



TRANSCETORES COM MODULAÇÃO MULTIPORTADORA E TÉCNICAS  
DE ALOCAÇÃO DE RECURSOS EM SISTEMAS DE TRANSMISSÃO DE  
DADOS VIA REDE DE ENERGIA ELÉTRICA

Fabrcio Pablo Virgíneo de Campos

Tese de Doutorado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Doutor em Engenharia Elétrica.

Orientadores: Marcello Luiz Rodrigues de  
Campos  
Moisés Vidal Ribeiro

Rio de Janeiro  
Fevereiro de 2013

TRANSCEPTORES COM MODULAÇÃO MULTIPORTADORA E TÉCNICAS  
DE ALOCAÇÃO DE RECURSOS EM SISTEMAS DE TRANSMISSÃO DE  
DADOS VIA REDE DE ENERGIA ELÉTRICA

Fabício Pablo Virgínio de Campos

TESE SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ  
COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE)  
DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS  
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR  
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

---

Prof. Marcello Luiz Rodrigues de Campos, Ph.D.

---

Prof. Moisés Vidal Ribeiro, D.Sc.

---

Prof. Weiler Alves Finamore, Ph.D.

---

Prof. José Antonio Apolinário Junior, D.Sc.

---

Prof. José Manoel de Seixas, D.Sc.

---

Prof. Djalma Mosqueira Falcão, Ph.D.

RIO DE JANEIRO, RJ – BRASIL  
FEVEREIRO DE 2013

de Campos, Fabrício Pablo Virgínio

Transceptores com Modulação Multiportadora e Técnicas de Alocação de Recursos em Sistemas de Transmissão de Dados Via Rede de Energia Elétrica/Fabrício Pablo Virgínio de Campos. – Rio de Janeiro: UFRJ/COPPE, 2013.

XXII, 192 p.: il.; 29, 7cm.

Orientadores: Marcello Luiz Rodrigues de Campos

Moisés Vidal Ribeiro

Tese (doutorado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2013.

Referências Bibliográficas: p. 165 – 190.

1. Power Line Communication. 2. Alocação de Recursos. 3. OFDM. 4. arranjo de portas programável em campo - *Field Programmable Gate Array* (FPGA). I. de Campos, Marcello Luiz Rodrigues *et al.* II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

# Agradecimentos

Agradeço:

A Deus.

Aos meus pais e irmão.

Ao professor e amigo Marcello Campos.

Ao professor e amigo Moisés Ribeiro.

Aos professores da UFRJ.

Aos meus colegas do LPS-COPPE/UFRJ. Em especial, aos amigos Danton e Cristiano.

Aos meus colegas do LAPTEL-UFJF.

Aos meus alunos orientados: Guilherme Coelho Ramos, Guilherme José dApparecida Filho, Rafael Wagner Miranda Paolucci e Lucas Motta Sirimarco.

Aos funcionários das universidades UFRJ e UFJF.

Ao povo brasileiro, que diretamente ou indiretamente financiou esse trabalho através do CNPq, FAPEMIG, FINEP e CAPES.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Doutor em Ciências (D.Sc.)

TRANSCEPTORES COM MODULAÇÃO MULTIPORTADORA E TÉCNICAS  
DE ALOCAÇÃO DE RECURSOS EM SISTEMAS DE TRANSMISSÃO DE  
DADOS VIA REDE DE ENERGIA ELÉTRICA

Fabrizio Pablo Virgínio de Campos

Fevereiro/2013

Orientadores: Marcello Luiz Rodrigues de Campos  
Moisés Vidal Ribeiro

Programa: Engenharia Elétrica

As redes PLC de acesso e *smart grid communication* têm despertado notável interesse quando o acesso às redes de dados e aplicações *smart grid* são consideradas. Para essas aplicações, é fundamental que as novas gerações de dispositivos de comunicação de dados sejam de baixo-custo, verdes e sustentáveis. Esta tese apresenta técnicas, de baixa complexidade computacional e baixo consumo de energia, aplicadas a transceptores para esses dispositivos. São apresentados estudos de caso versado sobre plataformas de desenvolvimento, os quais indicam as plataformas baseadas em FPGA como as mais apropriadas para a prototipação das técnicas propostas e que viabilizam a implementação de *Ethernet* embarcada com elevada taxa de transferência efetiva. Protótipos para avaliar diversos transceptores para redes de comunicação baseadas em *clustered*-OFDM foram implementados, o que leva a concluir que o transmissor  $\mathcal{P}(\cdot)$ -II e o receptor  $\mathcal{Q}(\cdot)$ -III propostos são os que demandam menores recursos de *hardware* e consumos de energia, quando comunicações de dados em banda base e banda passante são consideradas. Para explorar, de forma ótima, as redes PLC de acesso que utilizam os transceptores propostos, formulam-se e propõem-se técnicas de baixa complexidade para alocação de usuários nos *clusters* e técnicas de baixa complexidade para alocação de bits nas subportadoras. As implementações das técnicas propostas, Alocação Por Ordenação (APO), Alocação Direta Por Ordenação (ADPO), alocação de bits com Agrupamento Uniforme (AU) e com Agrupa/Ordena (AO), demonstram que estas são as de menor tempo de execução. Deste modo, os transceptores e técnicas propostas são apropriadas para as aplicações práticas de baixo custo discutidas.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Doctor of Science (D.Sc.)

MULTICARRIER MODULATION TRANSCEIVERS AND RESOURCE  
ALLOCATION FOR POWER LINE COMMUNICATION

Fabício Pablo Virgínio de Campos

February/2013

Advisors: Marcello Luiz Rodrigues de Campos  
Moisés Vidal Ribeiro

Department: Electrical Engineering

PLC access network and smart grid communication present remarkable interest considering broadband accesses and smart grid applications. It is fundamental for the new generation of communication devices to be low cost, green, and sustainable. This thesis proposes the development of low-computational cost and low-power techniques for the transceivers of these devices. Case studies indicate that FPGA-based platforms are appropriate to prototype the proposed techniques. It was also seen that embedded Ethernet with effective high data rate is viable with those platforms. Several transceivers were prototyped and analyzed for clustered-OFDM. The prototypes indicate that the proposed transmitter  $\mathcal{P}(\cdot)$ -II and the receiver  $\mathcal{Q}(\cdot)$ -III demand lower hardware resources and energy, when considering baseband and pass-band communication. To optimally exploit the PLC access network that uses the proposed transceivers, this thesis proposes low-complexity user-allocation and bit-allocation techniques. The implementation of the proposed resource-allocation techniques, *Alocação Por Ordenação (APO)*, *Alocação Direta Por Ordenação (ADPO)*, *Agrupamento Uniforme (AU)* and *Agrupa/Ordena (AO)*, demonstrate that those have the lowest execution times. Thereby, the proposed transceivers and techniques are appropriate for low cost practical applications.

# Sumário

<b>Lista de Abreviaturas</b>	<b>x</b>
<b>Lista de Figuras</b>	<b>xvi</b>
<b>Lista de Tabelas</b>	<b>xx</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Objetivos . . . . .	2
1.2 Estrutura da Tese . . . . .	3
<b>2 Revisão da Literatura</b>	<b>5</b>
2.1 Revisão Sobre a Tecnologia PLC . . . . .	6
2.2 Canais PLC . . . . .	8
2.3 Ruídos Aditivos . . . . .	14
2.4 Revisão Sobre <i>clustered</i> -OFDM . . . . .	21
2.5 Revisão sobre Dispositivos Reconfiguráveis - FPGA . . . . .	27
2.6 Sumário . . . . .	29
<b>3 <i>Ethernet</i> com Elevada Taxa de Transferência Efetiva</b>	<b>31</b>
3.1 Formulação do Problema . . . . .	32
3.2 Soluções para Implementação da <i>Ethernet</i> em Sistemas Embarcados .	34
3.2.1 Solução 1: Microcontrolador ARM7 com <i>Ethernet</i> Nativa . . .	36
3.2.2 Solução 2: Microcontrolador ATMEGA128 com TIBBO EM- 100, modo SPI . . . . .	37
3.2.3 Solução 3: Proposta de uso de FPGA com Nios II e camada MAC/PHY LAN91C111 . . . . .	38
3.2.4 Solução 4: Proposta de uso de FPGA com Nios II e camada MAC TSE . . . . .	39
3.3 Estudo de Caso 1: <i>WebServer</i> - Custo versus Taxa de Transferência Efetiva . . . . .	40
3.4 Estudo de Caso 2: Autenticação via <i>Ethernet</i> - Análise da Taxa de Transferência Efetiva . . . . .	42

3.4.1	Sistema de Autenticação de Impressões Digitais . . . . .	42
3.4.2	Taxa de Transferência Efetiva Máxima . . . . .	45
3.5	Sumário . . . . .	47
<b>4</b>	<b>Sistemas de Modulação Multiportadora</b>	<b>49</b>
4.1	Plataformas de Desenvolvimento para Transceptores OFDM: Uma Revisão . . . . .	50
4.2	Escolha da Plataforma de Desenvolvimento: Estudo de Caso . . . . .	52
4.3	Arquitetura para Transceptores OFDM em Plataforma FPGA: Uma Proposta . . . . .	56
4.3.1	Descrição da Unidade de Processamento Tx-PHY . . . . .	58
4.3.2	Descrição da Unidade de Processamento Rx-PHY . . . . .	60
4.4	Implementação de Transceptores OFDM Tradicionais . . . . .	62
4.4.1	SSB-OFDM - Transmissor $\mathcal{P}(\cdot)^{SSB}$ e Receptor $\mathcal{Q}(\cdot)^{SSB}$ . . . . .	63
4.4.2	DSB-OFDM - Transmissor $\mathcal{P}(\cdot)^{DSB}$ e Receptor $\mathcal{Q}(\cdot)^{DSB}$ . . . . .	70
4.4.3	HS-OFDM - Transmissor $\mathcal{P}(\cdot)^{HS}$ e Receptor $\mathcal{Q}(\cdot)^{HS}$ . . . . .	72
4.5	Implementação de Novos Transceptores OFDM . . . . .	75
4.5.1	Transmissor HS-OFDM Modificado $\mathcal{P}(\cdot)$ -I . . . . .	75
4.5.2	Transmissor HS-OFDM Modificado $\mathcal{P}(\cdot)$ -II . . . . .	76
4.5.3	Receptor HS-OFDM Modificado $\mathcal{Q}(\cdot)$ -I . . . . .	78
4.5.4	Receptor HS-OFDM Modificado $\mathcal{Q}(\cdot)$ -II . . . . .	79
4.5.5	Receptor HS-OFDM Modificado $\mathcal{Q}(\cdot)$ -III . . . . .	80
4.6	Análise Comparativa - Resultados de Implementações em FPGA . . . . .	81
4.7	Sumário . . . . .	88
<b>5</b>	<b>Formulação do Problema de Alocação de Recursos</b>	<b>91</b>
5.1	Problemas de Gerenciamento e Alocação de Recursos em Redes PLC de Acesso . . . . .	91
5.1.1	Recursos de Planejamento de Rede . . . . .	92
5.1.2	Recursos de Modem . . . . .	95
5.1.3	Recursos de Tráfego . . . . .	98
5.2	Alocação de Recursos no Planejamento da Rede: Formulação . . . . .	98
5.3	Alocação de Recursos de Modem - PRA: Formulação . . . . .	103
5.4	Sumário . . . . .	108
<b>6</b>	<b>Alocação de Usuários com Baixa Complexidade</b>	<b>109</b>
6.1	Alocação de Usuários . . . . .	110
6.2	Procedimento de Entrada na Rede PLC de Acesso . . . . .	111
6.3	Medida das Condições do Canal para Alocação de Usuários . . . . .	116
6.4	Técnicas de Alocação de Usuários . . . . .	123

6.4.1	Técnica Força Bruta . . . . .	124
6.4.2	Técnica <i>Branch and Bound: B&amp;B</i> . . . . .	124
6.4.3	Proposta 1: Emprego da Técnica de Alocação por Valor de Uso - AVU . . . . .	125
6.4.4	Proposta 2: Emprego da Técnica Húngara - Hung . . . . .	127
6.4.5	Proposta 3: Técnica de Alocação Por Ordenação - APO . . .	128
6.4.6	Proposta 4: Técnica de Alocação Direta Por Ordenação - ADPO	131
6.5	Exemplo Numérico - Alocação de 5 Usuários em 5 <i>Clusters</i> . . . . .	133
6.6	Resultados das Implementações das Técnicas de Alocação de Usuários	134
6.6.1	Resultados das Implementações das Técnicas de Alocação de Usuários em Matlab . . . . .	135
6.6.2	Resultados das Implementações das Técnicas de Alocação de Usuários em Linguagem “C” . . . . .	138
6.6.3	Resultados das Implementações das Técnicas de Alocação de Usuários em Linguagem “C” no Processador Embarcado Nios II	139
6.7	Sumário . . . . .	142
<b>7</b>	<b>Alocação de Bits com Baixa Complexidade</b>	<b>143</b>
7.1	Técnicas de Alocação de Bits . . . . .	143
7.2	Técnicas Propostas . . . . .	147
7.2.1	Técnica de Agrupamento Uniforme - AU . . . . .	148
7.2.2	Técnica Agrupa/Ordena - AO . . . . .	149
7.3	Resultados . . . . .	151
7.3.1	Exemplo do Emprego das Técnicas AU e AO . . . . .	152
7.3.2	Desempenho da Alocação de Bits com a Técnica de Agrupa- mento Uniforme . . . . .	153
7.3.3	Desempenho da Alocação de Bits com a Técnica Agrupa/Ordena	155
7.3.4	Análise da Perda da Taxa de transferência de Dados . . . . .	156
7.3.5	Implementação das Técnicas de Alocação de Bits em FPGA .	157
7.4	Sumário . . . . .	162
<b>8</b>	<b>Conclusões</b>	<b>163</b>
8.1	Trabalhos futuros . . . . .	164
	<b>Referências Bibliográficas</b>	<b>165</b>
<b>A</b>	<b>Produção Científica</b>	<b>191</b>
A.1	Depósito de Pedido de Patente . . . . .	191
A.2	Capítulo de Livro . . . . .	191
A.3	Artigos em Revistas . . . . .	191

A.4	Artigos em Congressos Internacionais . . . . .	191
A.4.1	2008 . . . . .	191
A.4.2	2009 . . . . .	192
A.4.3	2010 . . . . .	192
A.4.4	2011 . . . . .	192
A.4.5	2013 . . . . .	192
A.5	Artigos em Congressos Nacionais . . . . .	192
A.5.1	2008 . . . . .	192
A.5.2	2012 . . . . .	192

# Lista de Abreviaturas e Siglas

**AM** modulação em amplitude - *Amplitude Modulation*

**AO** Agrupa e Ordena

**APO** Alocação Por Ordenação

**ADPO** Alocação Direta Por Ordenação

**ARQ** requisição automática de retransmissão - *Automatic Repeat Request*

**ASIC** circuito integrado de aplicação específica - *Application-Specific Integrated Circuit*

**AT** Alta Tensão

**AU** Agrupamento Uniforme

**AVU** Alocação por Valor de Uso

**AWGN** ruído branco aditivo e Gaussiano - *Additive White Gaussian Noise*

**BER** taxa de erro de bits - *Bit Error Rate*

**BoPLC** *Broadband Power Line Communication*

**BP** passa banda - *Band Pass*

**BPSK** *Binary Phase Shift Keying*

**BS** estação base - *Base Station*

**BT** Baixa Tensão

**CDMA** acesso múltiplo por divisão de código - *Code Division Multiple Access*

**CENELEC** Comitê Europeu de Normalização Eletrotécnica

**DCT-OFDM** *Discrete Cosine Transform OFDM*

**DFT** transformada discreta de Fourier - *Discrete Fourier Transform*

**CI** Circuito Integrado

**DMT** *Discrete Multitone Transceiver*

**DWMT** *Discrete Wavelet Multitone*

**DSB** banda lateral dupla - *Double Side Band*

**DSB-OFDM** *Double Side Band-OFDM*

**DS-CDMA** *Direct Sequence Code Division Multiple Access*

**DSL** linha digital de assinante - *Digital Subscriber Line*

**DSP** processador digital de sinais - *Digital Signal Processor*

**DSPs** processadores digitais de sinais - *Digital Signal Processors*

**EMC** compatibilidade eletromagnética - *Electromagnetic Compatibility*

**EMI** interferência eletromagnética - *Electromagnetic Interference*

**ETSI** Instituto Europeu para Padrões de Telecomunicações - *European Telecommunication Standards Institute*

**FCH** *Frame Control Header*

**FDMA** *Frequency Division Multiple Access*

**FEQ** equalização na frequência - *Frequency Equalizer*

**FFT** transformada rápida de Fourier - *Fast Fourier Transform*

**FM** modulação em frequência - *Frequency Modulation*

**FMT** *Filtered Multitone Modulation*

**FPGA** arranjo de portas programável em campo - *Field Programmable Gate Array*

**FSK** modulação por chaveamento de frequência - *Frequency Shift Keying*

**GMSK** *Gaussian Minimum Shift Keying*

**HS-OFDM** *Hermitian Symmetric-OFDM*

**HD-PLC** *High Definition-PLC*

**HPPA** *HomePlug Powerline Alliance*

**ICI** interferência entre portadoras - *Inter-Carrier Interference*

**IDFT** transformada discreta inversa de Fourier - *Inverse Discrete Fourier Transform*

**IFFT** transformada rápida inversa de Fourier - *Inverse Fast Fourier Transform*

**ISP** provedores de serviço de internet - *Internet Service Providers*

**ISI** interferência inter-simbólica - *Inter-Symbol Interference*

**LAN** rede local - *Local Area Network*

**LC** células lógicas - *Logic Cells*

**L-C** *Levin-Campello*

**LCAO** *Levin-Campello* modificada pela técnica AO

**LCAU** *Levin-Campello* modificada pela técnica AU

**LE** elementos lógicos - *Logic Elements*

**LP** passa baixa - *Low Pass*

**LT** Logaritmo Tabelado

**LUT** *Look-Up Tables*

**LR** registradores lógicos - *Logic Registers*

**M-FSK** *M-ary Frequency Shift Keying*

**M-PSK** *M-ary Phase Shift Keying*

**M-QAM** *M-ary Quadrature Amplitude Modulation*

**MA** *Margin-Adaptive*

**MAC** controle de acesso ao meio - *Media Access Control*

**MC-CDMA** *Multi-Carrier Code Division Multiple Access*

**MC-SS** *Multi-Carrier Spread Spectrum*

**mcSNR** *Multi-Channel SNR*

**MC** multiportadora - *Multi-Carrier*

**MIMO** *Multiple-Input Multiple-Output*

**MISO** *Multiple-Input Single-Output*

**MSK** *Minimum Shift Keying*

**MT** *Média Tensão*

**NaPLC** *Narrowband Power Line Communication*

**NRT** *Not-Real-Time*

**OFDM** *Orthogonal Frequency Division Multiplexing*

**OFDMA** *Orthogonal Frequency Division Multiplexing Adaptive*

**OQAM-OFDM** *Offset Quadrature Amplitude Modulation OFDM*

**PHY** *física - Physical*

**PLC** *transmissão de dados através da rede de energia elétrica - Power Line Communication*

**PLL** *Phase Locked Loop*

**PRA** *alocação de recursos de modem em redes PLC - PLC Resource Allocation*

**PSD** *densidade espectral de potência - Power Spectral Density*

**PSK** *modulação por chaveamento de fase - Phase Shift Keying*

**QoS** *qualidade de serviço - Quality of Service*

**RA** *Rate-Adaptive*

**RC** *computação reconfigurável - Reconfigurable Computing*

**RM** *Rate Maximization*

**RF** *rádio frequência - Radio Frequency*

**RISC** *computador com um conjunto reduzido de instruções - Reduced Instruction Set Computer*

**RNG** *Ranging*

**RT** *Real-Time*

**RTL** *nível de transferência de registradores - Register-Transfer Level*

**SGC** *comunicações aplicadas à smart grid - Smart Grid Communication*

**SNR** *relação sinal ruído - Signal to Noise Ratio*

**SoC** sistema on-chip - *System-On-Chip*

**SS** assinante - *Subscriber*

**SSB** banda lateral única - *Single Side Band*

**SSB-OFDM** *Single Side Band-OFDM*

**TSE** *Triple-Speed Ethernet*

**UPA** *Universal Powerline Alliance*

**WANAP** ponto de acesso à rede de longa distância - *Wide Area Network Access Point*

**WF** *Waterfilling*

**WFAO** *Waterfilling* modificada pela técnica AO

**WFAU** *Waterfilling* modificada pela técnica AU

# Lista de Figuras

2.1	Atenuação do canal PLC dependente da distância e da frequência. . .	9
2.2	Ilustração do módulo da amplitude da resposta em frequência de 3 canais PLC. . . . .	10
2.3	Parte real da impedância de uma rede PLC onde a carga é uma cafeteira, ilustração da variação da impedância com a frequência. . .	10
2.4	Evolução de um canal PLC para um período de 2 horas, ilustração da variação temporal. . . . .	11
2.5	Resposta ao impulso de um canal simulado e medido para verificar a qualidade do modelo. . . . .	13
2.6	Módulo e fase no domínio da frequência de um canal simulado e medido para verificar a qualidade do modelo. . . . .	13
2.7	Exemplos de ruídos obtidos pela modelagem. . . . .	15
2.8	Representação de 2 exemplos de ruídos impulsivos no domínio do tempo e suas PSDs. . . . .	18
2.9	Exemplo da PSD do ruído aditivo. . . . .	19
2.10	Principais ruídos modelados. . . . .	20
2.11	Ilustração do conceito <i>clustered</i> -OFDM para 4 <i>clusters</i> e 2 usuários. .	24
2.12	Esquema <i>clustered</i> -OFDM para comunicação de dados <i>downlink</i> considerando $P$ <i>clusters</i> e $M$ usuários. . . . .	25
2.13	Exemplo de arquitetura de um FPGA da família Cyclone IV. . . . .	27
3.1	Blocos básicos da interface <i>Ethernet</i> para sistemas embarcados. . . .	33
3.2	Soluções para a implementação da <i>Ethernet</i> em dispositivos para sistemas embarcados. (1)-(2): Soluções existentes e (3)-(4): Soluções propostas. . . . .	35
3.3	Placa de desenvolvimento baseada no ARM7 LPC2388. . . . .	37
3.4	Protótipo da placa com o conversor <i>Ethernet</i> /Serial Tibbo EM-100. .	38
3.5	Diagrama da solução baseada em FPGA com MAC <i>Ethernet</i> externa. .	39
3.6	Diagrama da solução baseada em FPGA com MAC <i>Ethernet</i> interna. .	40
3.7	Comparação entre custo normalizado e taxa de transferência efetiva para as soluções analisadas. . . . .	41

3.8	Sistema de autenticação biométrica. . . . .	42
3.9	TSE MAC <i>Ethernet</i> em <i>loopback</i> . . . . .	46
4.1	Plataformas de desenvolvimento avaliadas. . . . .	54
4.2	Diagrama de blocos do transmissor OFDM simplificado. . . . .	54
4.3	Esforço de implementação e tempo de execução de uma IFFT e de um símbolo OFDM nas quatro plataformas. . . . .	55
4.4	Arquitetura <i>top-level</i> , proposta, do transceptor OFDM em plataforma FPGA. . . . .	57
4.5	O diagrama de blocos da Tx-PHY. . . . .	59
4.6	O diagrama de blocos do mapeador QAM. . . . .	60
4.7	O diagrama de blocos da Rx-PHY. . . . .	61
4.8	O diagrama de blocos do demapeador QAM. . . . .	62
4.9	Um diagrama de blocos de um transmissor $\mathcal{P}(\cdot)^{SSB}$ SSB-OFDM e receptor $\mathcal{Q}(\cdot)^{SSB}$ para esquemas <i>clustered</i> -OFDM. . . . .	64
4.10	A representação RTL da implementação da função $\mathbf{IX}$ . . . . .	65
4.11	A representação RTL da implementação das funções de inserção do prefixo cíclico e <i>upsampling</i> . . . . .	65
4.12	A representação RTL da implementação do filtro. . . . .	66
4.13	A representação RTL da implementação da função de modulação em banda passante. . . . .	66
4.14	A representação RTL da implementação da função de demodulação em banda passante. . . . .	67
4.15	A representação RTL da implementação das funções de remoção do prefixo cíclico e <i>downsampling</i> . . . . .	67
4.16	A representação RTL da implementação das funções de estimação de canal e FEQ. . . . .	68
4.17	A representação RTL da implementação da função $\mathbf{II}^T$ . . . . .	68
4.18	Um diagrama de blocos dos esquemas do transmissor $\mathcal{P}(\cdot)^{DSB}$ e do receptor $\mathcal{Q}(\cdot)^{DSB}$ DSB-OFDM para <i>clustered</i> -OFDM. . . . .	70
4.19	Um diagrama de blocos de esquemas de transmissor $\mathcal{P}(\cdot)^{HS}$ e receptor $\mathcal{Q}(\cdot)^{HS}$ HS-OFDM para <i>clustered</i> -OFDM. . . . .	73
4.20	Um diagrama de blocos do transmissor HS-OFDM $\mathcal{P}(\cdot)$ -I modificado. . . . .	76
4.21	Um diagrama de blocos do transmissor HS-OFDM $\mathcal{P}(\cdot)$ -II modificado. . . . .	77
4.22	Um diagrama de blocos do receptor HS-OFDM $\mathcal{Q}(\cdot)$ -I modificado. . . . .	78
4.23	Um diagrama de blocos do receptor HS-OFDM $\mathcal{Q}(\cdot)$ -II modificado. . . . .	79
4.24	Um diagrama de blocos do receptor HS-OFDM $\mathcal{Q}(\cdot)$ -III modificado. . . . .	80
4.25	(a) Complexidade computacional teórica em termos de adições; (b) Complexidade computacional teórica em termos de multiplicações. . . . .	84

4.26	O <i>floorplan</i> do FPGA com o transceptor baseado no $\mathcal{P}(\cdot)$ -II e $\mathcal{Q}$ -III. . . . .	87
4.27	Os protótipos de dois transceptores baseados nos esquemas $\mathcal{P}(\cdot)$ -II e $\mathcal{Q}$ -III. . . . .	88
5.1	Categorias de recursos em redes PLC de acesso banda larga. . . . .	92
5.2	Sistema de transmissão e distribuição de energia elétrica. . . . .	93
5.3	Topologia de rede e equipamentos PLC. . . . .	93
5.4	Gerência e alocação de recursos considerando o planejamento da rede. . . . .	94
5.5	Gerência e alocação de recursos, considerando PRA, relacionados à camada PHY. . . . .	95
5.6	Exemplo de uma rede PLC de acesso. . . . .	96
5.7	Módulo da resposta em frequência para quatro canais PLC externos de BT. . . . .	96
5.8	Gerência e alocação de recursos considerando tráfego relacionados à camada MAC. . . . .	98
5.9	Classes de algoritmos de otimização multiobjetivo. . . . .	100
6.1	Cenário para o desenvolvimento das técnicas de alocação de usuários. . . . .	112
6.2	Diagrama de sequência para a entrada na rede PLC de acesso. . . . .	113
6.3	Ilustração de um quadro de dados <i>downlink</i> e <i>uplink</i> . . . . .	113
6.4	Fluxograma do procedimento de entrada na rede PLC de acesso para a SS. . . . .	115
6.5	Fluxograma do procedimento de entrada na rede PLC de acesso para a BS. . . . .	116
6.6	Comparação entre as medidas para informação da condição do canal. . . . .	120
6.7	Distribuição de probabilidade cumulativa para diversas medidas em relação à $m$ cSNR. . . . .	121
6.8	Comparação entre a complexidade no cálculo das diversas medidas no Matlab. . . . .	122
6.9	Comparação entre a complexidade no cálculo das diversas medidas no processador embarcado. . . . .	122
6.10	Fluxograma do algoritmo que implementa a técnica AVU. . . . .	127
6.11	Fluxograma do algoritmo que implementa a técnica de APO. . . . .	129
6.12	Fluxograma do algoritmo que implementa a técnica ADPO. . . . .	132
6.13	Exemplo de alocação de usuários para canais PLC externos. . . . .	133
6.14	Curva de eficácia das técnicas em relação à B&B no Matlab. . . . .	137
6.15	Curvas comparativas de complexidade computacional no Matlab. . . . .	137
6.16	Curva de eficácia das técnicas em relação ao <i>Branch and Bound</i> em “C”. . . . .	139
6.17	Curvas comparativas de complexidade computacional em “C”. . . . .	139

6.18	Curva de eficácia das técnicas em relação à <i>Húngara</i> em <i>hardware</i> . . .	140
6.19	Curvas comparativas de complexidade computacional em <i>hardware</i> . . .	141
7.1	Entrada e saída da técnica de locação de bits. . . . .	147
7.2	Entrada e saída da técnica de locação de bits quando a técnica de agrupamento é considerada. . . . .	147
7.3	Exemplo de agrupamento das subportadoras pela técnica AU para um canal PLC. . . . .	149
7.4	Exemplo de agrupamento das subportadoras pela técnica AO para um canal PLC. . . . .	150
7.5	Desempenho da técnica WFAU em função de $L$ . . . . .	154
7.6	Desempenho da técnica LCAU em função de $L$ . . . . .	154
7.7	Desempenho da técnica WFAO em função de $\Delta$ . . . . .	155
7.8	Desempenho da técnica LCAO em função de $\Delta$ . . . . .	155
7.9	Distribuição de probabilidade cumulativa da perda de taxa para as técnicas LCAO, WFAO, LCAU e WFAU. . . . .	157
7.10	Tempo de execução em função de $L$ quando a técnica AU é empregada.	159
7.11	Tempo de execução em função de $\Delta$ quando a técnica AO é empregada.	160

# Lista de Tabelas

2.1	Descrição dos parâmetros das expressões (2.1) e (2.2) . . . . .	12
2.2	Parâmetros para o modelo de ruído de fundo . . . . .	18
3.1	Requisitos de memória FLASH para diversas aplicações <i>Ethernet</i> em sistemas embarcados . . . . .	33
3.2	Taxas de transferência efetivas em Mbps . . . . .	42
3.3	Comparação entre as soluções analisadas . . . . .	42
3.4	Limite superior da taxa de transferência efetiva no nível do protocolo TCP . . . . .	45
3.5	Limite superior da taxa de transferência efetiva no nível do protocolo IP . . . . .	47
4.1	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do transmissor $\mathcal{P}(\cdot)^{SSB}$ . . . . .	69
4.2	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do receptor $\mathcal{Q}(\cdot)^{SSB}$ . . . . .	69
4.3	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do transmissor $\mathcal{P}(\cdot)^{DSB}$ . . . . .	71
4.4	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do receptor $\mathcal{Q}(\cdot)^{DSB}$ . . . . .	71
4.5	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do transmissor $\mathcal{P}(\cdot)^{HS}$ . . . . .	74
4.6	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do receptor $\mathcal{Q}(\cdot)^{HS}$ . . . . .	74
4.7	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do transmissor $\mathcal{P}(\cdot)$ -I . . . . .	76
4.8	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do transmissor $\mathcal{P}(\cdot)$ -II . . . . .	78
4.9	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do receptor $\mathcal{Q}(\cdot)$ -I . . . . .	79

4.10	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do receptor $\mathcal{Q}(\cdot)$ -II . . . . .	80
4.11	Utilização dos recursos de <i>hardware</i> exigidos pela implementação do receptor $\mathcal{Q}(\cdot)$ -III . . . . .	81
4.12	Complexidade, em termos de multiplicações e somas, dos transmissores $\mathcal{P}(\cdot)$ e receptores $\mathcal{Q}(\cdot)$ atuais . . . . .	82
4.13	Complexidade computacional, em termos de multiplicações e somas, dos transmissores $\mathcal{P}(\cdot)$ e receptores $\mathcal{Q}(\cdot)$ propostos . . . . .	83
4.14	Parâmetros adotados na implementação em FPGA . . . . .	85
4.15	Utilização dos recursos do <i>hardware</i> exigidos pelos transmissores no dispositivo FPGA . . . . .	85
4.16	Utilização dos recursos de <i>hardware</i> exigidos pelo receptores no dispositivo FPGA . . . . .	85
4.17	Utilização dos recursos de <i>hardware</i> do transceptor full duplex $\mathcal{P}(\cdot)$ -II e $\mathcal{Q}$ -III no dispositivo FPGA . . . . .	86
4.18	Utilização dos recursos de <i>hardware</i> no dispositivo FPGA para implementar filtros FIR com diferentes ordens . . . . .	87
6.1	Exemplo numérico de alocação de 5 usuários em 5 <i>clusters</i> . . . . .	134
6.2	Uso de memória das funções que implementam as técnicas de alocação de usuários, considerando no processador embarcado iii com <i>Linux</i> . . . . .	141
7.1	Energia transmitida e energia incremental para a modulação QAM quadrada . . . . .	146
7.2	Número de elementos dos vetores após ser aplicada a técnica AU quando $N = 1024$ . . . . .	153
7.3	Número de elementos dos vetores após ser aplicada a técnica AO quando $N = 1024$ . . . . .	153
7.4	Tempo de execução, em segundos, do caso WFAU . . . . .	158
7.5	Tempo de execução, em segundos, do caso LCAU . . . . .	158
7.6	Tempo de execução, em segundos, do caso WFAO . . . . .	159
7.7	Tempo de execução, em segundos, do caso LCAO . . . . .	159
7.8	Tempo de execução das técnicas para <i>Waterfilling</i> , considerando o canal 1 . . . . .	161
7.9	Tempo de execução das técnicas para <i>Levin-Campello</i> , considerando o canal 1 . . . . .	161

# Lista de Algoritmos

1	Técnica alocação por ordenação (APO) . . . . .	131
2	Técnica alocação direta por ordenação (ADPO) . . . . .	132
3	Técnica agrupamento uniforme (AU) . . . . .	148
4	Técnica agrupa/ordena (AO) . . . . .	151

# Capítulo 1

## Introdução

Nos últimos anos, a crescente demanda por acesso rápido às redes de dados, o estágio atual de desenvolvimento das técnicas de processamento de sinais e comunicação digital de dados, associadas com dispositivos capazes de processar sinais cada vez mais rápidos, e custos decrescentes de fabricação de dispositivos de comunicação de dados, têm impulsionado o uso de diversos tipos de meios de transmissão visando, sobretudo, atender à demanda explosiva por transferência de dados com garantia de qualidade de serviço - *Quality of Service* (QoS). Dentre as diversas tecnologias disponíveis e competitivas, a transmissão de dados através da rede de energia elétrica - *Power Line Communication* (PLC) é apontada como uma alternativa atraente, verde e sustentável para a constituição de rede de dados banda larga e banda estreita [1–3].

As redes de energia elétrica são utilizadas para transmitir e distribuir energia em frequências muito baixas e não foram projetadas para a comunicação de dados. Deste modo, o uso das redes de energia elétrica como infraestrutura de comunicação de dados é desafiador, uma vez que elas resultam em canais caracterizados por desvanecimento seletivo em frequência e variante no tempo, crescente atenuação do sinal quando a distância e a frequência aumentam, presença de ruído impulsivo de elevada potência e variação temporal da impedância de acesso [4]. Apesar destes inconvenientes, a economia nos investimentos em infraestrutura (entre 40% e 60%) e elevadíssima capilaridade têm motivado a pesquisa e desenvolvimento de novas tecnologias PLC [5].

Para redes PLC de acesso, estudos apontam que a modulação multiportadora tem se apresentado como uma das soluções mais efetivas para combater os desafios impostos à transmissão de dados através das redes de energia elétrica [6]. Um dos requisitos para viabilizar o uso das redes PLC é a utilização eficiente do espectro de frequência disponível, quando diferentes usuários, utilizando esta modulação, competem pelos recursos. Dentre as diversas técnicas de modulação multiportadora, o esquema *clustered-Orthogonal Frequency Division Multiplexing* (OFDM), que con-

siste em dividir a banda de frequência disponível em *clusters* de forma que diversos transceptores usando OFDM possam operar em paralelo, tem apresentado resultados interessantes quando aplicado em redes PLC de acesso, implicando em redução da complexidade [7–9]. Devido ao comportamento seletivo na frequência e variante no tempo dos canais PLC, os usuários experimentam diferentes condições do canal de comunicação. Deste modo, o emprego de técnicas de gerenciamento e alocação de recursos pode elevar o desempenho das redes PLC de acesso quando *clustered-OFDM* é considerado [1].

A atual tendência de desenvolvimento revela que os fatores fundamentais que direcionam a pesquisa de novas gerações de sistemas de telecomunicações devem exibir flexibilidade, redução da complexidade e redução do consumo de energia, procurando lidar com as limitações de aplicações práticas e não simplesmente uma busca cega por aumento de desempenho e capacidade do sistema [10, 11]. Contudo, a maioria dos grupos de pesquisa abandonou o estudo baseado em *hardware* e protótipos e estão confiando, cada vez mais, em resultados fundamentados simplesmente em simulações, que resultam em uma coleção de propostas que são improváveis de serem implementadas e, por isso, observa-se uma redução do número de submissões de patentes relacionadas à camada física - *Physical* (PHY) [12]. A complexidade e o consumo de tempo nas tarefas de prototipação estão entre as principais razões para isso. Por outro lado, os trabalhos [13] e [14] afirmam que as simulações não são capazes de modelar todos os efeitos e distorções presentes nas aplicações práticas para que seja possível identificar corretamente o desempenho e a complexidade de uma determinada técnica, indicando que as implementações práticas são as melhores para esse fim.

Há uma indicação clara de que as pesquisas e os desenvolvimentos para a introdução de novas gerações de tecnologias PLC devem objetivar aplicações práticas. Assim sendo, a investigação de técnicas e métodos que resultem em sistemas de comunicação de dados que sejam verdes <sup>1</sup> e sustentáveis é de grande interesse, sobretudo para garantir que as restrições associadas às aplicações práticas sejam atendidas. Neste contexto, as reduções de complexidade computacional, do consumo de energia e tempo de execução das técnicas implementadas são de grande interesse e aplicabilidade.

## 1.1 Objetivos

Levando em consideração o contexto supracitado, os objetivos da presente tese de doutorado são os seguintes:

---

<sup>1</sup>Define-se como verdes as soluções que buscam reduzido consumo de energia de forma a otimizar a capacidade do sistema mantendo a QoS.

- i) estudar as redes PLC por meio de uma revisão bibliográfica com foco na camada PHY e camada de controle de acesso ao meio - *Media Access Control* (MAC);
- ii) analisar e propor uma plataforma de desenvolvimento para transceptores de elevada taxa de transferência de dados, considerando o emprego em sistemas embarcados, o tempo de desenvolvimento e os custos;
- iii) analisar e propor transceptores OFDM de baixa complexidade computacional adequados às implementações de equipamentos para redes PLC de acesso, de forma que sejam avaliados tempo de execução, consumo de energia e consumo de recursos de *hardware* através da prototipação em dispositivos FPGA;
- iv) formular os problemas de gerenciamento e alocação de recursos nos transceptores propostos para redes PLC de acesso como problemas de otimização multiobjetivo, de forma a possibilitar o desenvolvimento de técnicas para encontrar a solução desses em aplicações práticas;
- v) conceber, desenvolver, prototipar e avaliar técnicas de alocação de usuários em redes baseadas em *clustered*-OFDM de baixa complexidade computacional e reduzido tempo de execução para solucionar o problema de alocação de usuários em redes PLC de acesso baseadas em *clustered*-OFDM; e
- vi) conceber, desenvolver, prototipar e avaliar técnicas de alocação de bits para redes baseadas em modulação multiportadora de baixa complexidade computacional e reduzido tempo de execução com o objetivo de solucionar o problema de alocação de bits nas subportadoras, quando redes PLC de acesso baseadas em *clustered*-OFDM são consideradas.

## 1.2 Estrutura da Tese

A presente tese de doutorado é organizada como se segue.

O capítulo 1 apresenta uma breve discussão sobre redes PLC de acesso apontando a necessidade de desenvolvimento de transceptores e de técnicas de gerenciamento e alocação de recursos para sistemas multiportadora com baixo custo computacional e aplicações práticas. Descreve também os objetivos e a estrutura da tese apontando que as implementações de todas as técnicas propostas foram verificadas em *hardware*.

O capítulo 2 descreve as principais características das redes PLC de acesso que são as referências para os desenvolvimentos realizados. Este também apresenta uma revisão sobre *clustered*-OFDM, dispositivos FPGA e *softcores*.

O capítulo 3 apresenta os problemas relacionados à obtenção de elevadas taxas de transferência efetiva de dados via *Ethernet* e as implementações de propostas de arquiteturas baseadas em dispositivos reconfiguráveis FPGA, para indicar, por meio de estudos de caso, a plataforma de desenvolvimento mais apropriada para a implementação de dispositivos de comunicação em aplicações práticas que demandem

elevado desempenho.

O capítulo 4 apresenta diversos transceptores OFDM. Aponta, por meio de um estudo de caso, qual plataforma de desenvolvimento é mais adequada para a implementação de transceptores. Indica uma proposta de arquitetura para o desenvolvimento de transceptores de forma a considerar as complexidades, além dos controles e interfaces. Este capítulo apresenta os resultados da implementação de diversos transmissores e receptores por meio da prototipação em FPGA, para indicar quais demandam menores recursos de *hardware* e menores consumos de energia em aplicações práticas.

O capítulo 5 apresenta a formulação dos problemas de alocação de recursos classificando estes como: i) recursos de planejamento de rede; ii) recursos de modem; e iii) recursos de tráfego.

O capítulo 6 discute as técnicas de alocação de usuários pesquisadas e propostas, assim como os resultados de implementação.

O capítulo 7 detalha as técnicas de alocação de bit pesquisadas e propostas, assim como os resultados de implementação.

Por fim, o capítulo 8 discute as conclusões finais e os trabalhos futuros.

# Capítulo 2

## Revisão da Literatura

No presente capítulo, discute-se a caracterização das redes de energia elétrica de Baixa Tensão (BT) e externas na faixa de frequência compreendida entre 1,7 MHz e 50 MHz, quando empregadas como canal de comunicação de dados para aplicações de acesso banda larga, entre o secundário do transformador de Média Tensão (MT) para BT e o medidor de energia, e para aplicações de acesso e *smart grid communication*. A caracterização, através da descrição dos modelos de canais e de ruídos aditivos, se faz necessária para o desenvolvimento e avaliação das camadas PHY e MAC de sistemas de comunicação voltados para aplicações PLC. O entendimento das características do meio de comunicação apresentadas neste capítulo é de fundamental importância para se justificar as restrições encontradas ao se especificar os sistemas de comunicação digital de dados, que são apresentadas no capítulo 4, e para a formulação dos problemas discutidas no capítulo 5.

Para possibilitar a transmissão de dados via redes de energia elétrica, diversas técnicas de modulação podem ser empregadas. Deste modo, este capítulo apresenta uma revisão na literatura sobre estas técnicas e destaca a modulação baseada em *clustered-OFDM*. Finalmente, este capítulo apresenta uma descrição dos dispositivos FPGA e de *softcores* que podem ser utilizados para a implementação de transceptores.

Neste contexto, a seção 2.1 apresenta uma breve revisão sobre a tecnologia PLC e aponta suas vantagens, desvantagens e particularidades. Já a seção 2.2 traz uma descrição das características específicas das redes de energia elétrica e descreve a modelagem de canal adotada para este meio de comunicação. A seguir, a seção 2.3 discute os ruídos tipicamente encontrados nas redes de energia elétrica de BT e externas e descreve os modelos de ruídos aditivos implementados para verificação dos sistemas multiportadoras analisados. A seção 2.4 traz uma revisão da literatura sobre técnicas de modulação para PLC, destacando a modulação *clustered-OFDM*. A seção 2.5 apresenta uma descrição dos dispositivos FPGA e de *softcores*. A seção 2.6 sintetiza as informações apresentadas no presente capítulo.

## 2.1 Revisão Sobre a Tecnologia PLC

Nas últimas décadas, a crescente demanda por acesso banda larga, a necessidade permanente de novos serviços de telecomunicações e de capacidades adicionais de transmissão induziram e motivaram a busca por novas tecnologias de acesso às redes de comunicação de dados. A investigação de diferentes meios de comunicação de dados para atender a essa demanda tem como parâmetros: o desempenho, o custo, a facilidade de uso e a adequação para a aplicação. Assim, os canais PLC se apresentam como uma opção a ser considerada como meio de transmissão de dados [7]. Além disso, a necessidade de uma infraestrutura de telecomunicações confiável e bidirecional para aplicações de acesso e de *smart grid communication* tem cada vez mais chamado atenção para o uso das tecnologias PLC [1].

O fato das redes de energia elétrica estarem amplamente disponíveis a todos levanta a questão desse ser um meio conveniente de acesso banda larga para usuários residenciais, comerciais e industriais e aplicações *smart grid*. O aproveitamento desse grande potencial é justificado pela economia de se implementar uma rede de dados sem o custo adicional da implantação do meio físico como, por exemplo, nos casos das tecnologias do tipo linha digital de assinante - *Digital Subscriber Line* (DSL), fibra óptica e rede local - *Local Area Network* (LAN) [15]. Porém, as redes de energia elétrica foram inicialmente projetadas e dimensionadas fisicamente para a distribuição de energia a diversas máquinas e equipamentos conectados às mesmas nas frequências de 50 Hz e 60 Hz. Assim, afirma-se que, *a priori*, as redes de energia elétrica não são adequadas para a transmissão de sinais, principalmente quando a frequência dos sinais de transmissão aumenta (efeito pelicular) e quando a distância entre os dispositivos Tx e Rx aumenta (efeito da resistência).

Essa atenção especial dada às redes de energia elétrica para a transmissão de dados se deve às seguintes vantagens:

i) a busca por soluções “verdes”, uma vez que o uso de uma infraestrutura já existente reduz o uso de cobre em novas instalações [16, 17];

ii) as redes de energia elétrica são vistas como candidatas naturais para *smart grid communication* [18–20];

iii) as redes de energia elétrica já estão presentes em cerca de 95% dos domicílios, comerciais e industriais [21]. Através do “Programa Nacional de Universalização do Acesso e Uso da Energia Elétrica - Luz para Todos” [22], do Governo Federal Brasileiro, objetiva-se que cerca de 100% da população será atendida pelo fornecimento de energia elétrica;

iv) o baixo custo de implementações da infraestrutura de comunicação, pois a mesma já se encontra instalada;

v) a capacidade teórica dos canais PLC pode ultrapassar os 2,5 Gbps [23];

vi) o aumento explosivo da capacidade de processamento dos modernos processadores digitais de sinais - *Digital Signal Processors* (DSPs) e dispositivos FPGA e a diminuição constante dos custos dos mesmos;

vii) o desenvolvimento de novas técnicas de transmissão digital de dados [21, 24];  
e

viii) a possibilidade de empresas concessionárias de energia elétrica se tornarem provedores de acesso à internet e de seus inerentes serviços.

Existem registros de transmissão de comandos utilizando a tecnologia PLC desde 1838, sendo que a primeira patente foi registrada em 1897, no Reino Unido. Em 1905, aplicações foram patenteadas nos Estados Unidos e, em 1913, ocorreu a primeira produção comercial [25].

Na década de 80, foi possível a implementação de técnicas de processamento de sinais, de modulação e de codificação de canais em modems PLC que permitiram taxas de aproximadamente 14,4 kbps. Nessa mesma época, o Comitê Europeu de Normalização Eletrotécnica (CENELEC) introduziu uma norma que permitia taxas de transferência de dados de até 144 kbps para distâncias inferiores a 500 m, potência do sinal transmitido abaixo de 5 mW e operação numa faixa de frequência entre 9 kHz e 148,5 kHz. Ao longo da década de 90, algumas empresas, como DS2, Ascom e Echelon [5], propuseram o uso da faixa entre 1,7 MHz e 30 MHz para a transmissão banda larga de dados, chegando a dezenas de Mbps.

No ano de 2000, foi então introduzido o padrão HomePlug 1.0 [26]. Esse padrão foi desenvolvido pela HomePlug Alliance, e já suportava taxa de transferência de dados de até 14 Mbps. Em seguida, o padrão da HomePlug Alliance evoluiu para o HomePlug AV, finalizado em 2005, que previa taxas de transferência de dados de 200 Mbps na camada PHY e 100 Mbps na camada MAC. No mesmo ano, o CENELEC lançou um *draft* do padrão ES 59013, o qual alocava uma banda desde 1,6 MHz até 12,7 MHz para sistemas de acesso, e entre 14,35 MHz até 30 MHz para sistemas domiciliares [3]. Duas importantes padronizações em âmbito internacional são a IEEE P1901 e o ITU-T G.hn [5]. A IEEE P1901, criada em 2005 e publicada em 2010, estabelece um padrão que unifica as tecnologias PLC para equipamentos com elevadas taxas de transferência de dados (maiores que 100 Mbps). A IEEE P1901.2 padroniza os equipamentos banda estreita (banda menor que 500 kHz). O padrão ITU-T G.hn, promovido pelo *HomeGrid Forum*, considera as redes PLC, linhas telefônicas e cabo coaxial com taxas de transferência de até 1 Gbit/s.

Com o desenvolvimento e amadurecimento da tecnologia PLC, o Governo Brasileiro, otimista com as possibilidades de implantação desta técnica, implementou as regulamentações aprovadas pela ANATEL e ANEEL em abril e agosto de 2009. A primeira [27] aprova a regulamentação sobre as condições de uso de radiofrequência por sistemas PLC de banda larga para ambientes externos e estabelece que a banda

de frequência permitida para esses sistemas é entre 1,705 e 50 MHz. A segunda resolução [28] regulamenta a utilização das instalações de distribuição de energia elétrica como meio de transmissão de dados, definindo prestadores de serviços PLC, distribuidoras e suas atribuições. É importante destacar que, no Brasil, não existe, por parte da ANATEL, uma regulamentação para aplicações PLC internas. Entretanto, os equipamentos precisam atender às normas de compatibilidade eletromagnética.

A rede PLC de acesso cobre as últimas centenas de metros de uma rede de comunicação, conectando o usuário às redes de telecomunicações. Os assinantes da rede PLC são conectados por meio de um modem PLC que garante a transferência de dados sobre redes de energia elétrica de BT até um concentrador ou estação base - *Base Station* (BS). Por outro lado, o concentrador ou BS é conectado ao *backbone* da rede de telecomunicação através de um *link* de comunicação, que pode ser fibra óptica, tecnologia DSL, rádio frequência - *Radio Frequency* (RF), etc. Assim, a construção de novas infraestruturas de redes de acesso na última milha pode ser evitada, empregando-se a tecnologia PLC de banda larga.

## 2.2 Canais PLC

As redes de energia elétrica foram, desde o início, projetadas para a transmissão e a distribuição de energia elétrica. Consequentemente, o uso das mesmas para estabelecer comunicação de dados apresenta limitações e dificuldades superiores às aquelas observadas em sistemas que utilizam outros meios metálicos para transmissão de dados, tais como cabos telefônicos, cabos coaxiais e pares trançados. De um modo geral, as redes de distribuição de energia possuem diferenças consideráveis entre si, tratando-se da estrutura, topologia e propriedades físicas, quando comparadas aos convencionais meios *wireline*, como fio telefônico, coaxial e par trançado. Uma das características marcantes é o compartilhamento de um mesmo meio físico de comunicação por vários usuários e a presença de várias fontes de ruído. A rede de energia elétrica pode ser entendida como um conjunto de canais de transmissão que apresentam impedância de entrada que varia com o tempo e com a frequência e as variações temporais da sua resposta ao impulso são devidas à grande diversidade de equipamentos que a ela são conectados. Logo, a rede de energia elétrica pode ser considerada como um conjunto de canais de multipropagação (devido às reflexões geradas pelos ramais com descontinuidade de impedância). A impedância de entrada dos canais em sistemas PLC é altamente variante com a frequência, fortemente dependente da localização, tipo e topologia das redes e equipamentos a ela conectados [29].

Em PLC, o canal também podem ser visto como um meio termo entre um canal

de telefonia fixa tradicional e um canal de comunicação sem fio. De fato, trata-se de um meio sujeito a desvanecimento seletivo em frequência e, no pior caso, sujeito a atenuação severa do sinal (função da distância e da frequência), está sujeito a ruídos com níveis de potência elevados, capazes de corromper as rajadas de dados transmitidos. Tais meios podem ser modelados como canais variantes no tempo [30].

Considerando os comentários feitos para caracterizar os canais PLC e com as descrições encontradas na literatura, constata-se que ao se utilizar a rede de energia elétrica para a transmissão de dados, deve-se lidar de forma apropriada com os seguintes problemas: i) atenuação do sinal em função do aumento da distância; ii) atenuação em função do aumento da frequência; iii) atenuação seletiva na frequência; iv) variação da impedância de entrada da rede de energia elétrica quando a frequência varia; e v) comportamento ciclovariante no tempo do canal. Deste modo, deve-se modelar de forma apropriada esse meio de transmissão.

A influência da distância e da frequência na atenuação de um sinal transmitido por canais PLC nas redes de BT e externas, apresentada em [31], é ilustrada na figura 2.1. Destacam-se cinco situações parametrizadas pelas distâncias 100 m, 150 m, 200 m, 300 m e 380 m, resultando em grupos de funções de atenuação com características diferentes entre si, o que demonstra a forte dependência da atenuação com a distância.

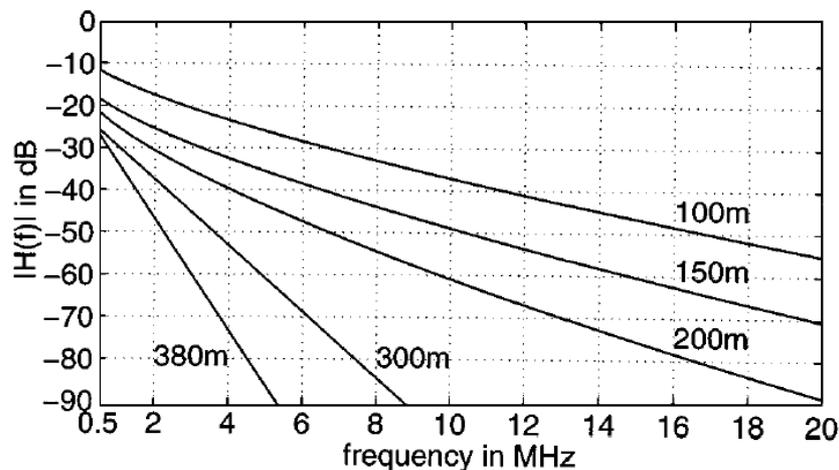


Figura 2.1: Atenuação do canal PLC dependente da distância e da frequência.  
 Figura extraída de [31].

As atenuações seletivas em frequência são ilustradas na figura 2.2, que mostra a simulação para o modelo descrito pela equação (2.1). Essa figura também demonstra o aumento da atenuação com o aumento da frequência.

A impedância dos canais PLC é altamente variante com a frequência e tem valores entre alguns ohms ( $\Omega$ ) e kilo-ohms ( $k\Omega$ ), com picos em algumas frequências. Na maioria das frequências, a impedância tem comportamento indutivo ou capacitivo atingindo valores entre  $90 \Omega$  e  $100 \Omega$ . É importante salientar que a impedância

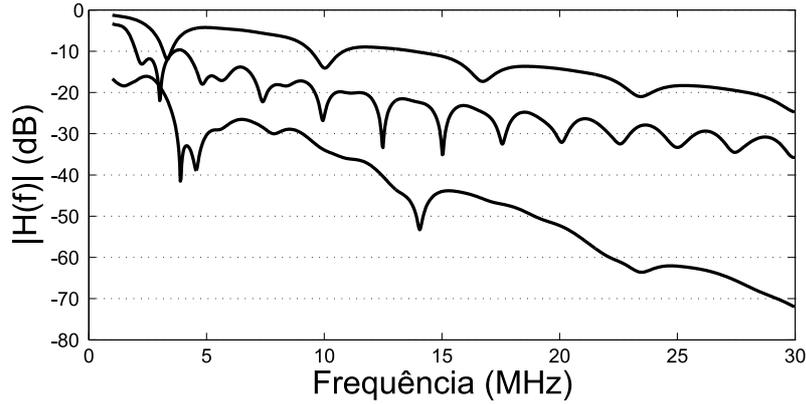
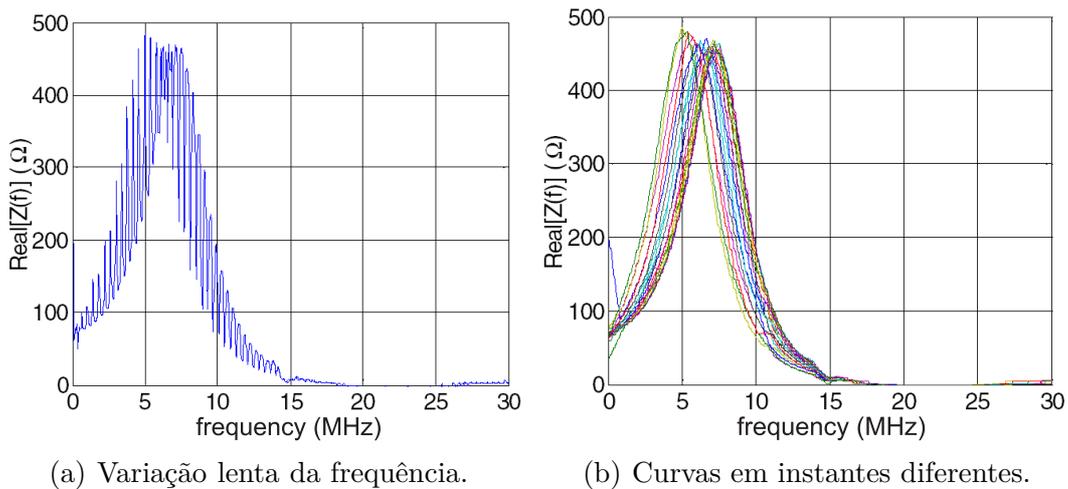


Figura 2.2: Ilustração do módulo da amplitude da resposta em frequência de 3 canais PLC.

de entrada é influenciada fortemente pela topologia da rede de energia elétrica e pelas cargas conectadas à mesma. Assim, pode-se dizer que a rede de BT não tem uma impedância característica, uma vez que o valor desta impedância depende de cargas sendo conectadas e desconectadas aleatoriamente. As cargas, então, devem ser modeladas por uma impedância complexa dependente da frequência [25]. Mesmo o foco desta tese sendo as redes de energia elétrica externas, pode-se, de forma ilustrativa, observar o comportamento ao longo do tempo da impedância de entrada de uma tomada onde se encontra uma carga conectada. Deste modo, a figura 2.3(a) ilustra a variação da impedância com a frequência e 2.3(b) para vários instantes de tempo quando a carga é uma cafeteira. Este exemplo está presente aqui apenas para ilustrar a variação da impedância da rede em função da carga, independentemente se é uma rede interna ou externa.



(a) Variação lenta da frequência.

(b) Curvas em instantes diferentes.

Figura 2.3: Parte real da impedância de uma rede PLC onde a carga é uma cafeteira, ilustração da variação da impedância com a frequência.

Figura extraída de [32].

Estudos relacionados às propriedades de alta frequência de dispositivos elétricos conectados à rede de energia elétrica de BT foram apresentados em [32]. Os resultados experimentais revelam um comportamento variante no tempo e sincronizados com a fundamental. Este fato apoia uma proposta de um modelo de canal ciclicamente variante no tempo. Exemplos de medições em canais PLC confirmaram esse comportamento, que deve ser considerado no desenvolvimento de sistemas de transmissão. Neste caso, a variação temporal da resposta do canal PLC deve ser compensada, caso contrário, o desempenho do receptor é degradado severamente [32]. Para ilustrar a variação temporal das características do canal PLC, na figura 2.4 é mostrada a evolução da amplitude da resposta em frequência de um canal, entre 7 MHz e 15 MHz, durante um período de 2 horas. Assim, são observadas variações de até 15 dB para determinadas frequências, que provavelmente foram causadas pela mudança nas cargas conectadas, enquanto outros *notches* permanecem na mesma frequência, provavelmente devido a alguma tomada sem nenhum equipamento a ela conectado [33].

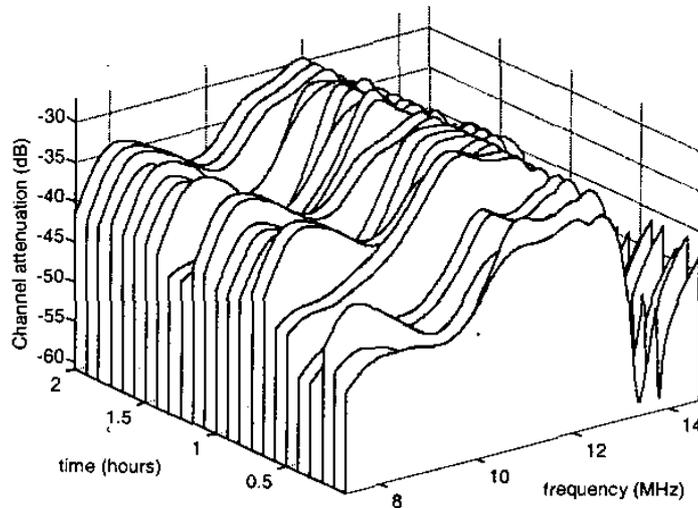


Figura 2.4: Evolução de um canal PLC para um período de 2 horas, ilustração da variação temporal.

Figura extraída de [32].

Assumindo-se ausência de ruído e supondo-se invariância no tempo durante o intervalo de transmissão dos sinais de comunicação de dados e, que a abordagem para modelagem seja *top down*, então o modelo de multipropagação para um canal de energia elétrica, proposto em [24], pode ser obtido. Deste modo, a resposta em frequência do canal PLC é dada por

$$H(f) = \sum_{i=1}^N \underbrace{|g_i(f)| e^{\varphi g_i(f)}}_{\text{Fator Peso}} \underbrace{e^{-(a_0+a_1 f^k)d_i}}_{\text{Fator de Atenuação}} \underbrace{e^{-j2\pi f\tau_i}}_{\text{Fator de Atraso}}, \quad f > 0, \quad (2.1)$$

em que

$$\tau_i = \frac{d_i \sqrt{\varepsilon_r}}{c_0}, \quad (2.2)$$

e os parâmetros de (2.1) e (2.2) são listados na tabela 2.1.

Tabela 2.1: Descrição dos parâmetros das expressões (2.1) e (2.2)

$N$	Número total de caminhos de propagação
$i$	Número de caminhos, onde o caminho com menor atraso tem índice $i=1$
$a_0$ e $a_1$	Parâmetros de atenuação
$k$	Expoente do fator de atenuação (os valores típicos estão entre 0,5 e 1)
$g_i$	Fator peso para o caminho $i$ , em geral complexo, pode ser considerado como uma combinação dos fatores de transmissão e reflexão envolvidos
$d_i$	Comprimento do caminho $i$
$\tau_i$	Atraso do caminho $i$
$\varepsilon_r$	Constante dielétrica do cabo
$c_0$	Velocidade da luz

Aplicando a inversa da transformada de Fourier em (2.1) é possível obter a resposta ao impulso de  $H(f)$ . Essa resposta ao impulso pode ser representada por

$$h(t) = \sum_{i=1}^N a_i f(t - t_i), \quad (2.3)$$

em que  $t_i \geq 0$ , pois assume-se que o modelo de canal PLC é causal,  $a_i$  é uma constante. A discretização de  $h(t)$  é obtida a partir de

$$h(n) = h(t)|_{t=nT}, \quad (2.4)$$

em que  $T$  é o intervalo de amostragem e assume-se que  $\frac{1}{T} \geq 2f_{\max}$  e  $f_{\max}$  é a frequência máxima de  $h(t)$ .

Como discutido anteriormente, a resposta de frequência que caracteriza o canal PLC, apresenta profundos *notches*. Esses *notches* são causados pelas múltiplas reflexões produzidas pela falta de casamento de impedância. Esse comportamento é contemplado na equação (2.1).

A equação (2.1) descreve a propagação do sinal através de  $N$  caminhos (ou multi-percursos) com individuais fatores de atraso e de atenuação. Percebe-se, pelo fator de atenuação, que a atenuação aumenta com a distância e a frequência caracterizando este meio.

Uma vez que a modelagem acima será usada para a validação da proposta apresentada nesta tese, é importante conhecer o quão próximo a mesma está dos canais reais. Com o propósito de determinar a qualidade do modelo usado, os resultados obtidos em [34] estão apresentados nas figuras 2.5, 2.6(a) e 2.6(b). Essas figuras mostram valores obtidos a partir de medições em canais reais e os valores obtidos a

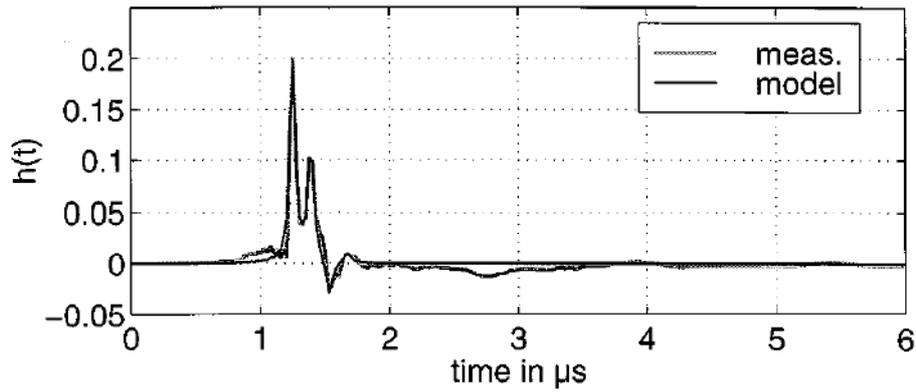


Figura 2.5: Resposta ao impulso de um canal simulado e medido para verificar a qualidade do modelo.

Figura extraída de [34].

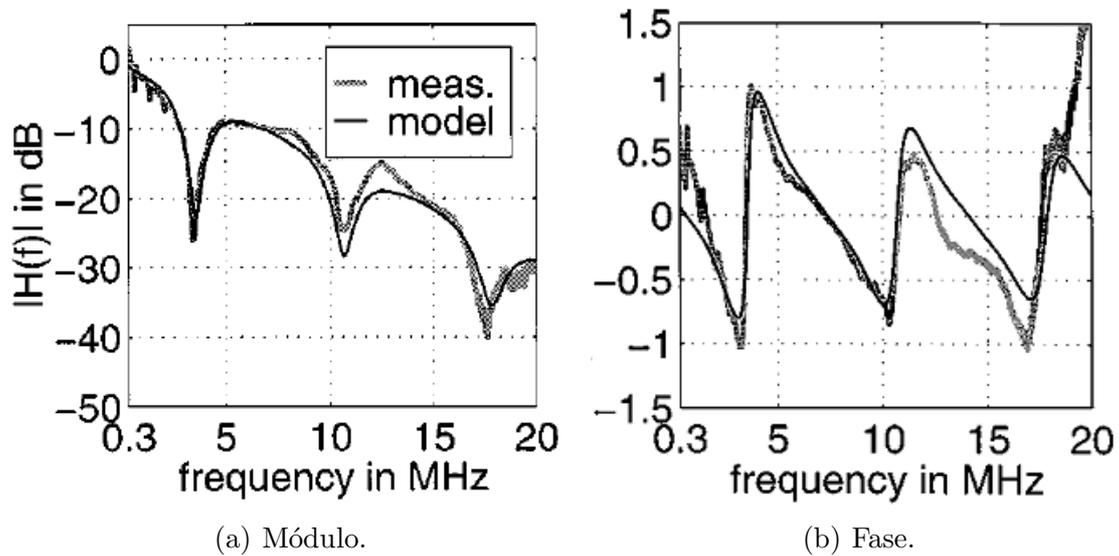


Figura 2.6: Módulo e fase no domínio da frequência de um canal simulado e medido para verificar a qualidade do modelo.

Figuras extraídas de [34].

partir da modelagem descrita pela equação (2.1). A figura 2.5 apresenta a resposta ao impulso do meio obtida e medida mostrando uma boa aproximação, já as figuras 2.6(a) e 2.6(b) apresentam o módulo da amplitude e a fase da resposta em frequência do canal simulado e medido ficando mais claro a constatação de que modelo corresponde a uma reprodução aproximada dos meios de comunicação reais. Assim, pode-se afirmar que os resultados de simulações da transmissão de dados com esse modelo aproximam-se dos resultados obtidos em uma rede de energia elétrica real.

## 2.3 Ruídos Aditivos

A presença de ruído superposto a um sinal tende a obscurecê-lo ou mascará-lo, limitando a capacidade do receptor de fazer decisões corretas sobre os símbolos recebidos, diminuindo a taxa da transferência de dados ou aumentando a probabilidade de erro [35]. Neste contexto, é importante explicitar que o ruído nas redes de transmissão e distribuição de energia elétrica, ao contrário do que acontece em vários outros canais de comunicação, não pode ser modelado por um ruído branco [24, 36].

Segundo [37], o ruído é gerado aleatoriamente pela natureza e pelo homem. Em redes de BT, pequenas indústrias e aparelhos eletrodomésticos produzem ruído na faixa de frequência de 5 kHz à 100 kHz que se espalha por alguns MHz. Em frequências muito baixas, a influência do ruído é elevada, diferentemente das frequências muito elevadas, pois a densidade espectral de potência - *Power Spectral Density* (PSD) do ruído decresce.

Alguns estudos sobre os principais tipos de ruídos foram apresentados em [24, 34, 38–41]. Nesses trabalhos, os autores apresentam uma classificação dos ruídos presentes em canais PLC. Essa classificação baseou-se naquela classificação introduzida em [42] para aplicações de banda estreita em canais PLC residenciais.

O ruído no receptor é não estacionário (varia com a frequência, localização e tempo) e pode atingir valores elevadíssimos quando, por exemplo, fornos de micro-ondas e motores são ligados [25, 43].

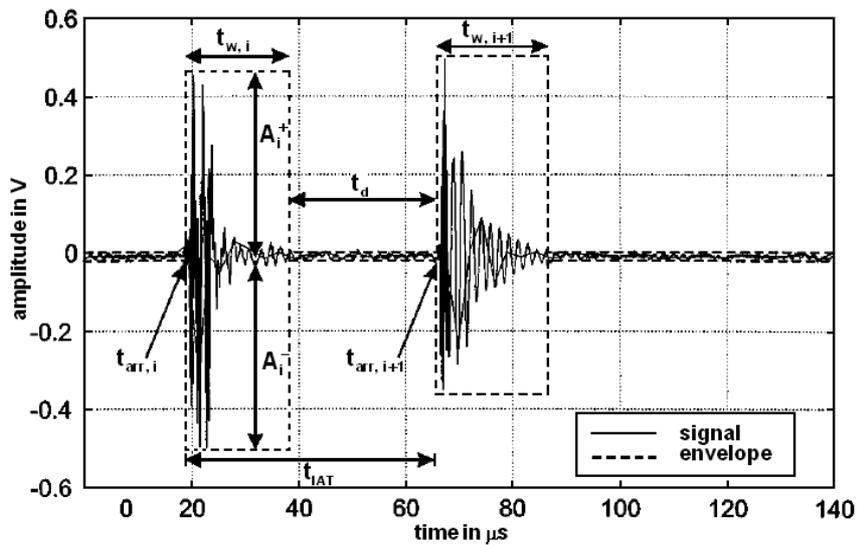
As principais interferências presentes em um canal PLC na faixa de 100 kHz a 50 MHz são considerados em [24, 41] onde a descrição do ruído nas redes de energia elétrica é dada por

$$v(t) = v_{bkgr}(t) + v_{nb}(t) + v_{pa}(t) + v_{ps}(t) + v_{imp}(t), \quad (2.5)$$

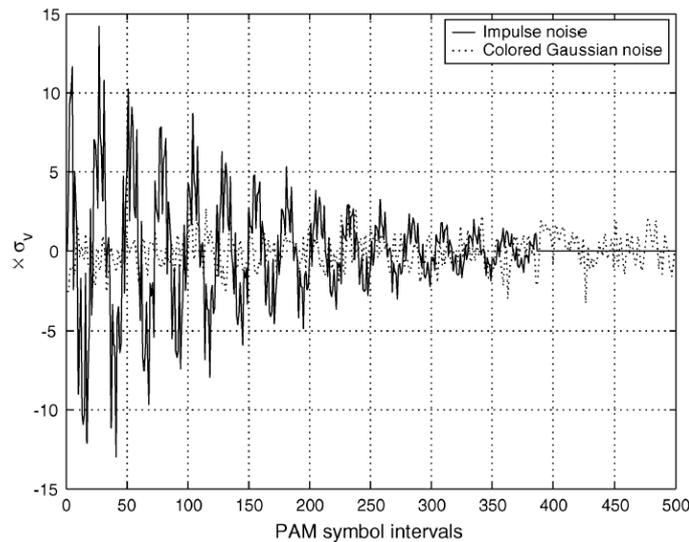
em que  $v_{bkgr}(t)$  é o ruído colorido de fundo,  $v_{nb}(t)$  é o ruído em banda estreita,  $v_{pa}(t)$  é o ruído impulsivo periódico e assíncrono com a componente fundamental (50 ou 60 Hz),  $v_{ps}(t)$  é o ruído impulsivo periódico síncrono com a componente fundamental, e, finalmente,  $v_{imp}(t)$  é o ruído impulsivo assíncrono, sendo este o mais severo. Objetivando a simulação em um cenário mais próximo do que é realmente encontrado nas redes de distribuição de energia elétrica, são implementados e descritos os seguintes modelos de ruídos: i) ruído colorido de fundo; ii) ruído impulsivo periódico e síncrono à componente fundamental; e iii) ruído impulsivo assíncrono. Não foi implementado o modelo para o ruído em banda estreita, pois ele estaria em bandas de frequência não utilizadas pelos sistemas simulados e o modelo para o ruído impulsivo periódico síncrono com a componente fundamental não foi implementado por entender-se que seus efeitos seriam similares ao ruído impulsivo assíncrono com menor PSD.

O ruído impulsivo é caracterizado por um pulso com forma aleatória, cuja amplitude é muito maior que a do ruído de fundo. Geralmente, aparelhos externos conectados à rede são os responsáveis por esses ruídos impulsivos. Motores elétricos e chaves são alguns dos mais comuns geradores de ruídos impulsivos. Seguem as descrições dos ruídos: i) impulsivo periódico síncrono à componente fundamental; ii) impulsivo assíncrono; e iii) de fundo.

- Ruído Impulsivo Periódico Síncrono à Componente Fundamental



(a) Ilustração dos parâmetros do modelo.



(b) Ilustração de uma ocorrência do ruído.

Figura 2.7: Exemplos de ruídos obtidos pela modelagem.  
Figuras extraídas de [41, 44].

Para esse tipo, os ruídos têm uma taxa de repetição de 60 Hz à 120 Hz e são sincronizados com a frequência da componente fundamental da rede de energia

elétrica. Eles são de curta duração (alguns microsegundos) e têm densidade espectral de potência decrescente com a frequência. Eles são principalmente causados pelo chaveamento dos retificadores de tensão dos conversores eletrônicos e são variantes no tempo. Através de medições, foi constatado que uma alta porcentagem de ruídos impulsivos ocorrem periodicamente e em sincronia pelos cabos elétricos. O ruído impulsivo consiste em senóides amortecidas [45], com elevada PSD nas baixas frequências. O impulso periódico pode ser modelado por uma coleção de  $I_s$  senóides amortecidas, assim como apresentado em [44]

$$n_s(t) = \sum_{i=1}^{I_s} A_i \sin(2\pi f_i(t - t_{arr,s}) + \alpha_i) \times e^{-\frac{t-t_{arr,s}}{\tau_i}} \Pi\left(\frac{t - t_{arr,s}}{t_{w,s}}\right), \quad (2.6)$$

em que  $f_i$  é a “pseudo-frequência” e  $\alpha_i$  é a fase da  $i$ -ésima senóide amortecida. O termo  $\Pi(t)$  é chamado de encoltória do ruído impulsivo e é definido como um pulso quadrado de duração  $t_{w,s}$  de amplitude constante no intervalo  $0 < t \leq 1$  e vale 0 para qualquer outro instante. O termo  $t_{arr,s}$  é o tempo que se dá entre a ocorrência de um evento de ruído e outra ocorrência, e  $A_i$  denota a amplitude da  $i$ -ésima senóide. Assume-se  $A_i \sim \mathcal{N}(0, G_i \sigma_v^2)$ ,  $i=1, \dots, I_s$ , em que  $G_i$  representa o acréscimo sobre a variância do ruído de fundo Gaussiano,  $\mathcal{N}(0, \sigma_v^2)$ , e está na faixa entre 20 a 30 dB acima da potência do ruído de fundo. O ganho  $G_i$  da senóide com “pseudo-frequências” elevadas é selecionado para adaptar-se aos conteúdos típicos de baixa frequência observados nas medições dos ruídos impulsivos; usualmente as “pseudo-frequências” são menores do que 1 MHz. O termo  $\tau_i$  denota o fator de amortecimento. Impulsos de aproximadamente  $t_{w,s} = 50\mu s$  foram medidos. Em [33] é definido que as “pseudo-frequências” assumem valores no intervalo de 500 kHz a 3 MHz. Seguindo as recomendações apresentadas em [33], foram consideradas três “pseudo-frequências” ( $I_s = 3$ ) com valores de 300 kHz, 2 MHz e 3 MHz.

Na figura 2.7(a), são mostrados alguns parâmetros que foram utilizados na equação (2.6) e o envelope do ruído que define onde haverá ou não a presença do ruído impulsivo [41]. De acordo com essa figura,  $t_{IAT}$  (intervalo de tempo relativo entre as chegadas dos impulsos) é dado por

$$t_{IAT} = t_{w,s} + t_d = t_{arr,i+1} - t_{arr,i}, \quad (2.7)$$

em que  $t_d$  é o intervalo de tempo entre o fim de um impulso e o início do impulso seguinte,  $t_{w,s}$  a largura de ocorrência do impulso e  $t_{arr,s}$  são os tempos de chegada (início) de cada ruído impulsivo. O gráfico de uma rajada de ruído impulsivo, segundo o modelo da equação (2.6), pode ser visto na figura 2.7(b) [41].

- Ruído Impulsivo Assíncrono

É causado, principalmente, pelos transitórios gerados por chaveamentos das cargas nas redes de energia elétrica. Esses ruídos, muitas vezes, são similares a senóides superpostas, têm tempo de duração em torno de alguns microsegundos até alguns milissegundos e apresentam tempos aleatórios de chegada. A representação desse ruído no domínio do tempo não é a forma mais clara de representação, conforme pode ser explicitado pelas figuras 2.8(a) e 2.8(b). Assim, realiza-se então uma análise espectral, a fim de obter mais informações sobre este. A PSD dos ruídos impulsivos assíncronos pode alcançar 50 dB acima da PSD dos ruídos de fundo, como observado nas figuras 2.8(c) e 2.8(d). São altamente variantes no tempo e podem causar erros em alguns bits ou rajadas de bits transmitidos.

A combinação de todas as fontes de ruído impulsivo, que são assíncronos à fundamental, pode ser modelada como a soma de senóides amortecidas de acordo com a equação (2.6), porém o termo  $t_{arr,a}$  é modelado como uma variável aleatória [41]. As rajadas assíncronas são geralmente causadas por transitórios de chaveamento das cargas. Fazendo  $t_{IAT,a} = t_{arr,a}^{(r)} + t_{arr,a}^{(r-1)}$  ser o tempo relativo de chegada entre rajadas de ruído assíncrono impulsivo consecutivas, ou seja, rajadas  $r$  e  $r-1$ . Assim,  $t_{IAT,a}$  é modelado por uma distribuição exponencial [44]. Seguindo as recomendações da literatura, assume-se que  $t_{IAT,a}$  tem uma distribuição exponencial com média igual a 100 ms, que  $t_{w,a}$  é constante com valor de 100  $\mu s$  e que as amplitudes das senóides amortecidas  $A_i, i = 1 \dots I_a$ , são modelados de forma idêntica às amplitudes das senóides amortecidas dos ruídos impulsivos síncronos.

Conforme é ilustrado na figura 2.8, ambos os impulsos excedem a PSD do ruído de fundo por no mínimo 10 dB a 15 dB na maior parte da banda de frequência de 100 kHz a 20 MHz. O exemplo 1 chega a exceder o ruído de fundo em mais de 50 dB e o exemplo 2 excede em mais de 30 dB. Como nos outros tipos de ruídos, pode-se dizer que sua PSD se concentra nas frequências abaixo de 1 MHz [41].

- Ruído de Fundo

O ruído de fundo pode ser definido por um tipo de ruído que está sempre presente em um sistema e ele é o resultado da soma de vários ruídos gerados por diferentes fontes [46]. Ele possui uma potência espectral relativamente baixa e que varia com a frequência. Sua PSD varia com o tempo em termos de minutos ou até mesmo em termos de horas.

A PSD do ruído de fundo utilizado pode ser modelada como uma curva similar ao decaimento exponencial. Este modelo, baseado em 3 parâmetros, é dado por [46]

$$S_n(f) = a + b|f|^c \text{ dBm/Hz}, \quad (2.8)$$

em que  $a$ ,  $b$ , e  $c$  são parâmetros dependentes da localização das medidas, sendo que a obtenção dos seus valores está descrita em [46], e  $f$  é a frequência em MHz. Os

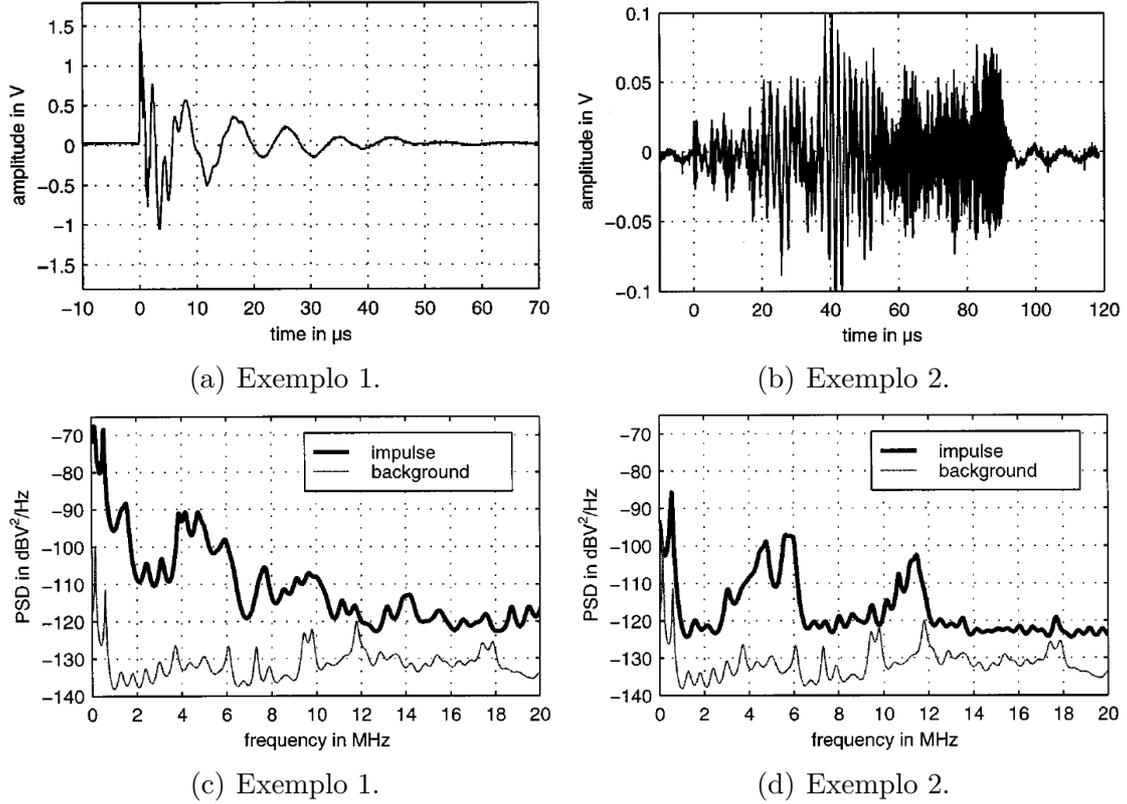


Figura 2.8: Representação de 2 exemplos de ruídos impulsivos no domínio do tempo e suas PSDs.

Figuras extraídas de [41].

valores de  $a$ ,  $b$  e  $c$  para ambientes que representam o melhor e pior cenários são listados na tabela 2.2, note que estes cenários são discutidos em [46] e são adotados na literatura como apropriados para redes PLC.

Tabela 2.2: Parâmetros para o modelo de ruído de fundo

Parâmetros	$a$	$b$	$c$
Melhor Caso	-140	38,75	-0,720
Pior Caso	-145	53,23	-0,337

Enquanto a figura 2.9 representa o ruído de fundo em um prédio de uma universidade e suas aproximações para o melhor e o pior caso, a figura 2.10 apresenta algumas das simulações dos principais modelos de ruídos utilizados e descritos nesta tese. O modelo da equação (2.6), que descreve o ruído periódico impulsivo síncrono simulado, pode ser visto na figura 2.10(a). Uma vez que o período da componente fundamental é  $T_{fund}=16,67$  ms para o sistema elétrico com frequência de 60 Hz, observa-se a ocorrência desse ruído a cada  $\frac{T_{fund}}{2}$  segundos.

A ocorrência de ruídos impulsivos assíncronos com a fundamental é ilustrada na figura 2.10(b). A implementação da equação (2.8) para o ruído de fundo, segundo

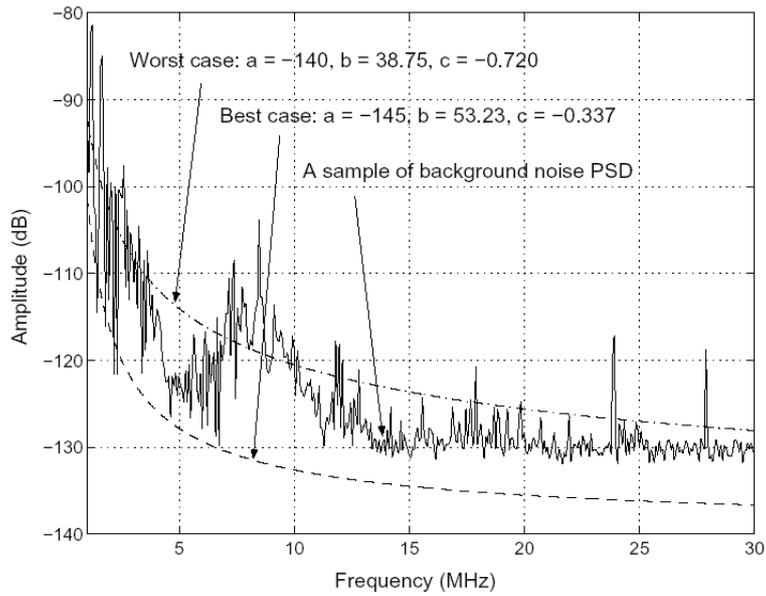
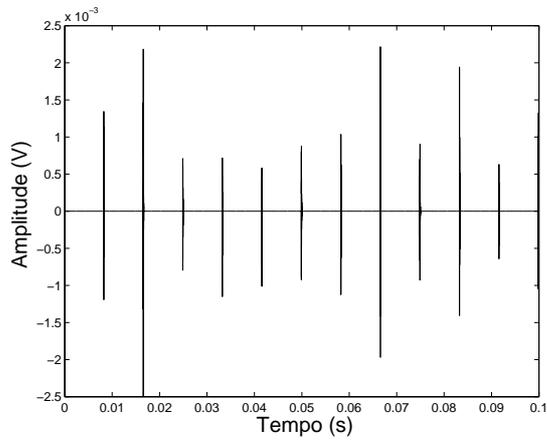


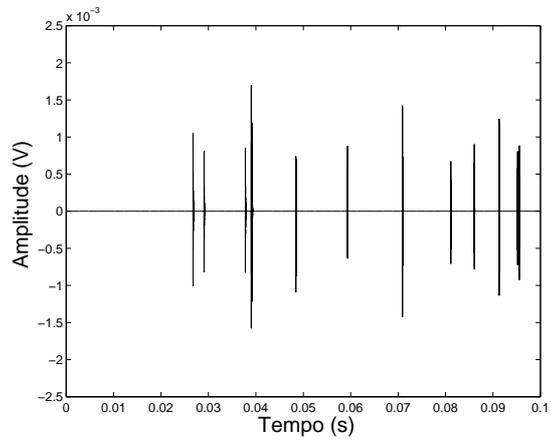
Figura 2.9: Exemplo da PSD do ruído aditivo.

Figura extraída de [46].

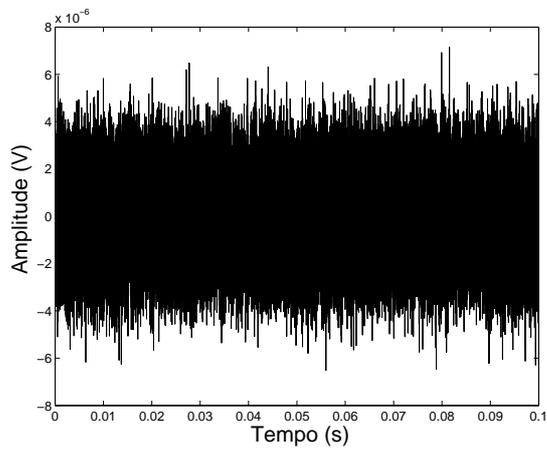
os parâmetros para o pior caso na tabela 2.2, é apresentado na figura 2.10(c). A composição do ruído presente em uma rede de energia elétrica simulado com todos os modelos aqui apresentados resulta no ruído mostrado na figura 2.10(d). Como exemplo de uma rajada de ruído impulsivo descrito pela equação (2.6), a figura 2.10(e) apresenta o ruído simulado com um valor de  $T_{arr}=66,62$  ms. Note que essa é a modelagem dos ruídos considerados para as verificações das técnicas propostas nesta tese.



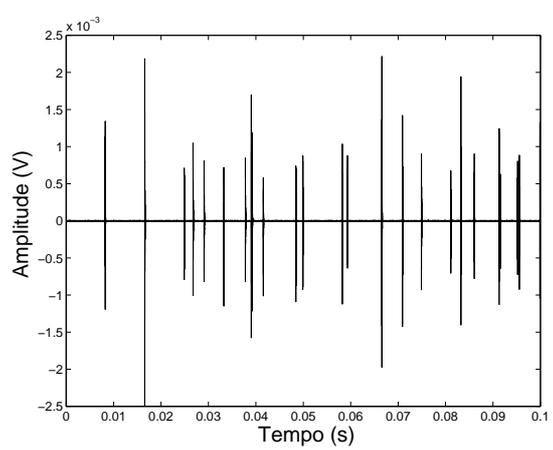
(a) Ruído síncrono.



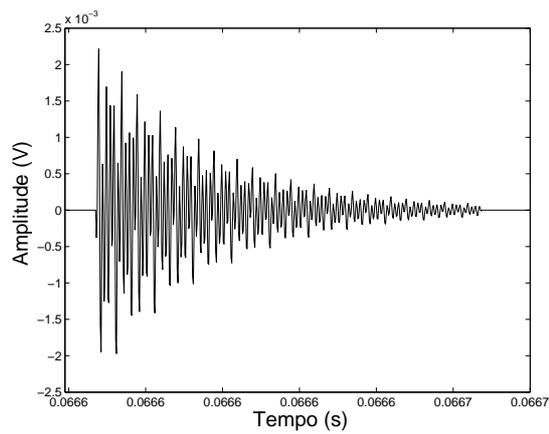
(b) Ruído assíncrono.



(c) Ruído de fundo.



(d) Soma dos três ruídos.



(e) Rajada de ruído impulsivo.

Figura 2.10: Principais ruídos modelados.

## 2.4 Revisão Sobre *clustered*-OFDM

A seleção de um esquema de modulação para PLC deve levar em conta três questões importantes: i) a presença de ruído e distúrbios impulsivos que podem causar uma relação sinal ruído - *Signal to Noise Ratio* (SNR) relativamente baixa; ii) o desvanecimento seletivo em frequência e variante no tempo; e iii) as imposições de regulamentação relacionadas à compatibilidade eletromagnética que limitam a potência transmitida [3].

De fato, as redes PLC, como qualquer rede, devem gerenciar múltiplos usuários em comunicação ponto a ponto ou ponto multiponto, compartilhando o espectro com outros sistemas de telecomunicações, além de lidar com adversidades inerentes ao uso de canais PLC para a transmissão de dados. Deste modo, dependendo da finalidade da aplicação, cada esquema de modulação apresenta certas vantagens e desvantagens.

Por exemplo, para aplicações de baixo custo e baixa taxa de transferência de dados ou *Narrowband Power Line Communication* (NaPLC), a modulação por chaveamento de frequência - *Frequency Shift Keying* (FSK) parece ser uma boa solução, além das técnicas de modulação *Binary Phase Shift Keying* (BPSK), modulação por chaveamento de fase - *Phase Shift Keying* (PSK), *Minimum Shift Keying* (MSK) e *Gaussian Minimum Shift Keying* (GMSK) [47, 48]. Recentemente, diversos sistemas banda estreita vêm sendo utilizados em aplicações de comunicações aplicadas à *smart grid* - *Smart Grid Communication* (SGC) e novas abordagens estão sendo empregadas com o objetivo de projetar sistemas banda estreita mais confiáveis [5], assim como o emprego de sistemas monoportadora *Multiple-Input Single-Output* (MISO) [2], *Multiple-Input Multiple-Output* (MIMO) [49], etc.

Entretanto, para aplicações com elevada taxa de transferência de dados e para lidar com os problemas introduzidos pelos canais PLC de forma robusta, é necessário o emprego de técnicas de modulação eficientes, tais como: *M-ary Phase Shift Keying* (M-PSK), *M-ary Quadrature Amplitude Modulation* (M-QAM) e *M-ary Frequency Shift Keying* (M-FSK) [29, 50], além das técnicas: acesso múltiplo por divisão de código - *Code Division Multiple Access* (CDMA) que oferece a vantagem de usar seu ganho de espalhamento para atender aos limites permitidos de EMI [25], espalhamento espectral - *Spread Spectrum* e modulação multiportadora - *Multi-Carrier* (MC) [51–53]. Dentre essas, OFDM [54], *Discrete Multitone Transceiver* (DMT) [55–58] e CDMA foram analisadas para aplicações PLC [59]. Ao fazer uma comparação do desempenho entre *Direct Sequence Code Division Multiple Access* (DS-CDMA) e esquemas OFDM para *Broadband Power Line Communication* (BoPLC) *downlink*, é possível notar que o OFDM atinge desempenho superior e flexibilidade maior no gerenciamento de recursos, enquanto o CDMA garante bom

desempenho e políticas de alocação satisfatórias [60]. Várias combinações dos dois esquemas, *Multi-Carrier Spread Spectrum* (MC-SS), como *Multi-Carrier Code Division Multiple Access* (MC-CDMA), foram propostas para BoPLC [61, 62].

Os esquemas multiportadora baseados em OFDM foram propostos, há mais de 50 anos [63], como excelentes candidatos para a transmissão digital de dados devido à equalização simplificada do canal, eficiência espectral elevada e flexibilidade na variação da taxa de transferência, quando aplicadas em canais seletivos na frequência. De acordo com [64] e [3], o OFDM atinge elevado desempenho em canais com desvanecimento seletivo em frequência e severa interferência inter-simbólica - *Inter-Symbol Interference* (ISI). A flexibilidade fornecida pelo sistema multiportadora, leva a uma eficiência espectral elevada, que chega a ser duas vezes a eficiência espectral obtida com sistemas mono-portadoras, dependendo do canal [65]. Além disso, técnicas de gerenciamento e alocação de recursos fazem com que seja possível atingir uma capacidade muito próxima dos limites teóricos, uma vez que a potência de transmissão disponível pode ser alocada de forma ótima entre as subportadoras, utilizando algoritmos de alocação de bits [65]. Por essas razões, o esquema OFDM é amplamente usado em aplicações PLC banda larga [29].

Diversas soluções multiportadora apresentam relevância prática em aplicações PLC, assim como OFDM [66], pulse-shaped OFDM [67], *Filtered Multitone Modulation* (FMT) [68], *Offset Quadrature Amplitude Modulation OFDM* (OQAM-OFDM) [69], modulação *Discrete Wavelet Multitone* (DWMT) [70], modulação *Discrete Cosine Transform OFDM* (DCT-OFDM) [71], entre outras. Os principais sistemas comerciais PLC baseados em técnicas multiportadoras são *High Definition-PLC* (HD-PLC) [72], *HomePlug Powerline Alliance* (HPPA) [26] e *Universal Powerline Alliance* (UPA) [73].

A modulação/demodulação multiportadora permite atingir elevadas taxas de transferência de dados e permite utilizar sinais com grande largura de banda, mas a sua complexidade computacional é elevada (quando se busca implementações com custo reduzido). Uma possibilidade para contornar essa desvantagem é o emprego do esquema de modulação baseado em *clustered-OFDM* [74]. Essencialmente, esse esquema divide a banda de frequência disponível em diversas bandas menores chamadas de *clusters*, nos quais os usuários podem acessar diversos *clusters* com a finalidade de explorar a diversidade na frequência. Essa divisão resulta na redução da complexidade do modem do usuário ou assinante - *Subscriber* (SS) [75].

Foi apresentado em [7–9] uma análise de desempenho do esquema *clustered-OFDM* para a transmissão de dados via rede de energia elétrica, quando o transmissor dispõe de informações parciais e completas do canal de comunicação de dados. Os resultados indicam que o esquema *clustered-OFDM* é um excelente candidato para explorar a utilização da banda de frequência disponível e reduzir os custos dos

transceptores. Entretanto, esses trabalhos não exploraram nem apontaram técnicas apropriadas de gerenciamento e alocação de recursos para a alocação ótima dos usuários nos *clusters*, os únicos resultados obtidos de alocação de usuários consideraram um cenário com poucos usuários. Apesar de discutir abordagens de baixa complexidade de implementação, esses trabalhos não apresentam ou indicam qual seria a melhor abordagem multiportadora a ser utilizada em cada um dos *clusters*. Fica claro que estudos adicionais são necessários e que o desenvolvimento de algoritmos e técnicas específicas para esses esquemas devem ser pesquisadas.

Comparando os esquemas *Orthogonal Frequency Division Multiplexing Adaptive* (OFDMA) e o *clustered-OFDM*, nota-se que estes apresentam diferentes níveis de flexibilidade e a capacidade do *clustered-OFDM* será menor ou igual à do OFDMA. A grande vantagem do *clustered-OFDM* é a redução de complexidade [76, 77]. Como a literatura apresenta diversas formulações e descrições do esquema OFDM convencional [78], <sup>1</sup> será apresentado aqui apenas a formulação do *clustered-OFDM*.

O esquema *clustered-OFDM* é um tipo particular de esquema multiportadora em que a largura de banda de transmissão  $B$  é dividida em  $P$  bandas ou *clusters*, as quais são usadas para a transmissão independente e paralela de dados por  $M$  usuários. Em outras palavras, cada *cluster* pode utilizar um esquema OFDM independente para a transmissão de dados.

A figura 2.11 exemplifica a porção do espectro utilizada por um determinado usuário quando operando em um dos *clusters* disponíveis, sendo que as outras porções da banda ficam disponíveis para os outros usuários. Neste exemplo, o número de *clusters* é  $P = 4$  de forma que o usuário 1 está alocado no *cluster* 1 e o usuário 2 está alocado no *cluster* 2. Nota-se, neste ponto, que é de fundamental importância a alocação ótima dos usuários nessas bandas de frequência. A formulação deste problema de alocação de usuários nos *clusters* será discutida no capítulo 5 e diversos resultados e técnicas de alocação de usuários serão apresentadas no capítulo 6.

Assumindo sincronização perfeita, a figura 2.12 descreve o esquema para a comunicação *downlink* de dados, ou seja, entre a BS e os usuários ou SUs (sistema multiusuário) baseada no esquema *clustered-OFDM*. Nesse, tem-se  $P$  *clusters* e  $M$  usuários alocados em cada *cluster*. A banda de frequência ocupada é  $f \in [0, B)$  e a banda de frequência do  $p$ -ésimo *cluster* é  $[(p-1)\frac{B}{P}, p\frac{B}{P})$ ,  $p = 1, \dots, P$ . Desse modo, o primeiro *cluster* está na banda base e os demais na banda passante. Os canais PLC são representados por  $h_{pq}[m]$ , em que  $p$  e  $q$  representam o  $p$ -ésimo *cluster* e o  $q$ -ésimo usuário. Além disso,  $L_{h,pq}$  é o comprimento efetivo do canal  $h_{pq}[m]$ . Seja

---

<sup>1</sup>entenda convencional como o sistema que transmite e processa sinais ocupando toda a banda de transmissão disponível

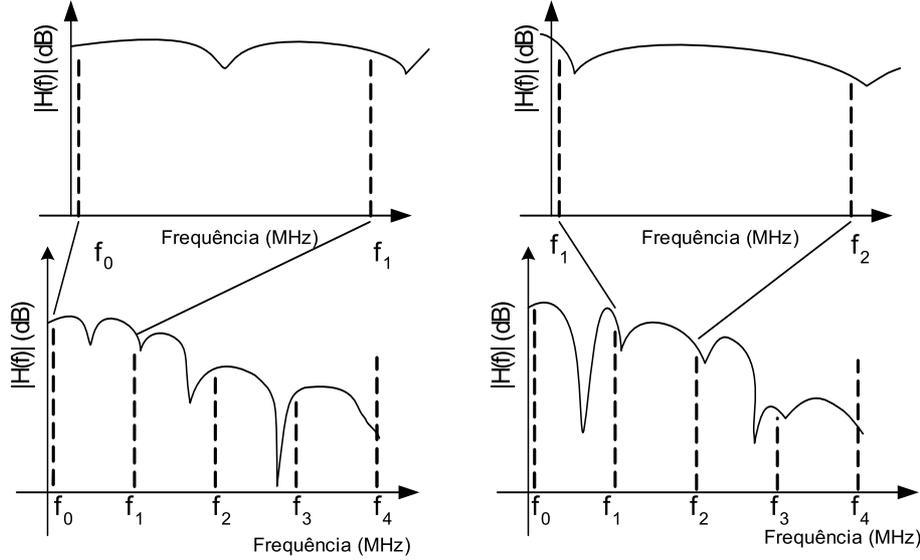


Figura 2.11: Ilustração do conceito *clustered-OFDM* para 4 *clusters* e 2 usuários.

$\mathbf{X}_{p,i} \in \mathbb{C}^{N \times 1}$  a representação no domínio da frequência do  $i$ -ésimo símbolo OFDM,  $-\infty < i < \infty$ , o qual foi gerado pelos BS para transmissão de dados através do  $p$ -ésimo *cluster*. Então, a representação no domínio do tempo discreto do símbolo OFDM é dada por

$$\mathbf{x}_{p,i} = \frac{1}{\sqrt{N}} \mathbf{W}^\dagger \mathbf{X}_{p,i}, \quad (2.9)$$

em que  $\mathbf{W} \in \mathbb{C}^{N \times N}$  é a matriz da transformada discreta de Fourier - *Discrete Fourier Transform* (DFT),  $\dagger$  é o operador de transposição e conjugação. A concatenação dos símbolos OFDM resulta em

$$x_p[n] = \sum_{i=-\infty}^{\infty} \sum_{o=0}^{N-1} \sum_{l=0}^{N-1} X_{p,i}(o) \sqrt{\frac{E_s}{N}} \exp\left(j2\pi \frac{ol}{N}\right) \delta[n - l - iN], \quad (2.10)$$

em que  $X_{p,i}(o)$  é o  $o$ -ésimo elemento do vetor  $\mathbf{X}_{p,i}$  e  $-\infty < n < \infty$ . Podemos reescrever (2.10) como

$$x_p[n] = \sum_{i=-\infty}^{\infty} \sum_{l=0}^{N-1} x_{p,i}[l], \quad (2.11)$$

em que  $x_{p,i}[l] = \sum_{o=0}^{N-1} X_{p,i}(o) \sqrt{\frac{E_s}{N}} \exp\left(j2\pi \frac{ol}{N}\right) \delta[n - l - iN]$ . Por questão de simplicidade o índice  $i$  foi omitido.

Finalmente, o sinal transmitido é dado por

$$s[m] = \sum_{p=1}^P s_p[m], \quad (2.12)$$

em que  $s_p[m]$  é o sinal no  $p$ -ésimo *cluster*.

O comprimento do prefixo cíclico e da resposta ao impulso do canal para o  $q$ -ésimo

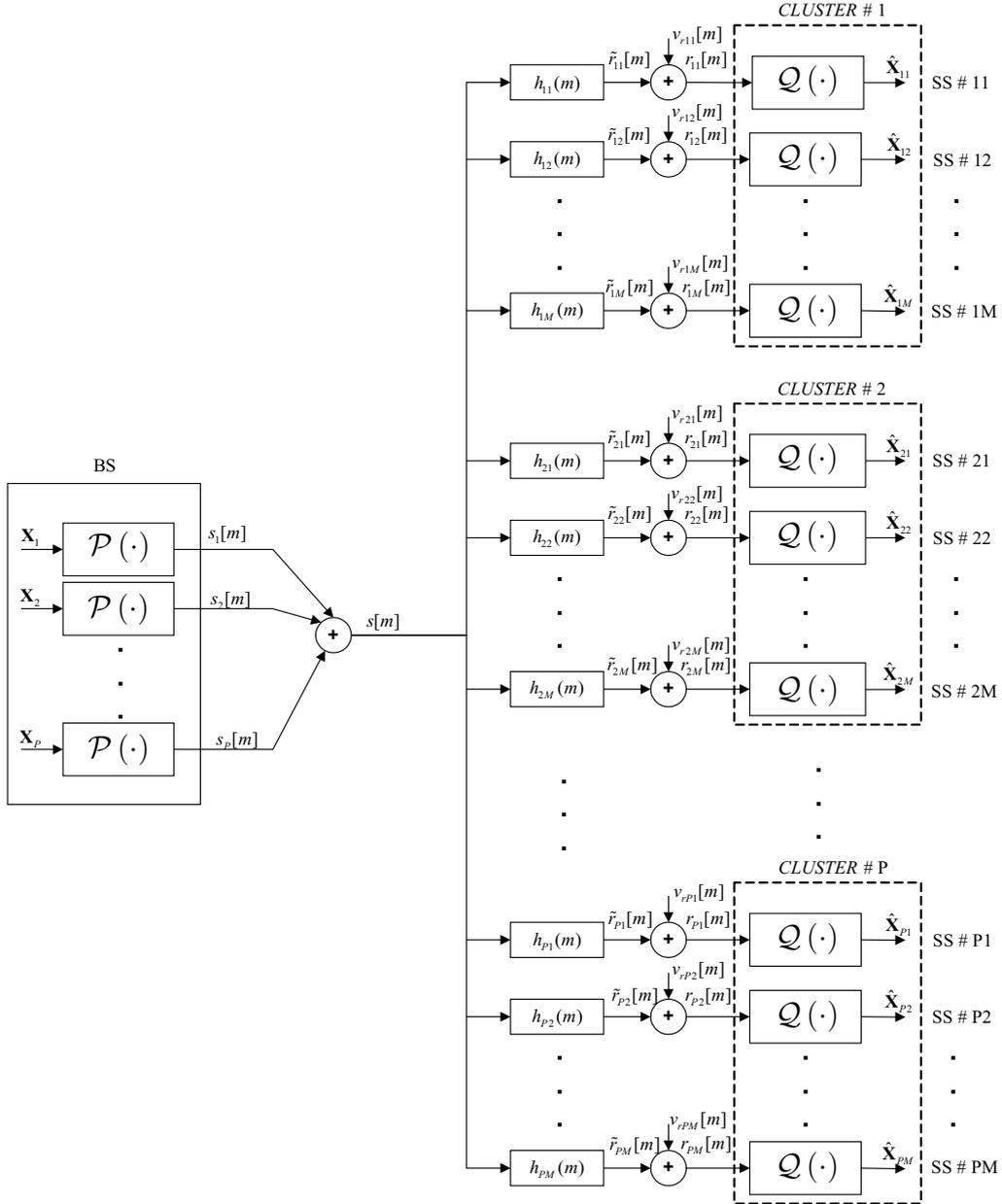


Figura 2.12: Esquema *clustered*-OFDM para comunicação de dados *downlink* considerando  $P$  *clusters* e  $M$  usuários.

usuário do  $p$ -ésimo *cluster* são  $L_{PC,pq}$  e  $L_{h,pq}$ , respectivamente, sendo  $L_{h,pq} \leq L_{PC,pq}$ . A saída do canal PLC no tempo discreto para o  $q$ -ésimo usuário do  $p$ -ésimo *cluster* é expressa por

$$\begin{aligned}
 r_{pq}[m] &= \tilde{r}_{pq}[m] + v_{r,pq}[m] \\
 &= \sum_{k=-\infty}^{\infty} s_p[k] h_{pq}[m - k] + v_{r,pq}[m],
 \end{aligned} \tag{2.13}$$

em que  $h_{pq}[m]$  é a resposta ao impulso do canal e  $v_{r,pq}[m]$  é o ruído aditivo na entrada do receptor do  $q$ -ésimo usuário alocado no  $p$ -ésimo *cluster*. Assumindo sincronização perfeita e que o receptor dispõe de informações completas do canal PLC, o sinal na

entrada da DFT normalizada no receptor é dado por

$$\begin{aligned} y_{pq}[n] &= \mathcal{Q}(r_{pq}[m]) \\ &= \tilde{y}_{pq}[n] + v_{pq}[n], \end{aligned} \quad (2.14)$$

no qual  $\mathcal{Q}(\cdot)$  realiza a demodulação, filtragem e remoção do prefixo cíclico. Dessa forma, a representação do símbolo OFDM recebido de forma distorcida no domínio da frequência é dada por

$$\begin{aligned} \mathbf{Y}_{pq} &= \frac{1}{\sqrt{N}} \mathbf{W} \mathbf{y}_{pq} \\ &= \frac{1}{\sqrt{N}} \mathbf{W} (\tilde{\mathbf{y}}_{pq} + \mathbf{v}_{pq}) \\ &= \tilde{\mathbf{Y}}_{pq} + \mathbf{V}_{pq} \\ &= \mathbf{H}_{pq} \mathbf{X}_{pq} + \mathbf{V}_{pq}, \end{aligned} \quad (2.15)$$

em que  $\mathbf{H}_{pq} = \text{diag}\{H_{pq}(0), H_{pq}(1), \dots, H_{pq}(N-1)\}$  e  $H_{pq}(l)$  é o  $l$ -ésimo elemento de

$$\mathcal{H}_{pq} = \frac{1}{\sqrt{N}} \mathbf{W} \begin{bmatrix} \mathbf{h}_{pq} \\ \mathbf{0} \end{bmatrix}, \quad (2.16)$$

em que  $\mathbf{h}_{pq} = [h_{pq}(0) \ h_{pq}(1) \ \dots \ h_{pq}(L_{h,pq}-1)]^T$  e  $\mathbf{0}$  é um vetor de zeros de comprimento  $N - L_{h,pq}$ , posto que  $N \gg L_{h,pq}$ . O vetor  $\mathbf{y}_{pq} \in \mathbb{C}^{N \times 1}$  é constituído das amostras extraídas da sequência  $\{y_{pq}[n]\}$ . Aplicando a equalização, baseada no critério *zero forcing* no domínio de frequência, a estimativa do símbolo OFDM é obtida por

$$\begin{aligned} \hat{\mathbf{X}}_{pq} &= \mathbf{H}_{pq}^{-1} \mathbf{Y}_{pq} \\ &= \mathbf{X}_p + \mathbf{H}_{pq}^{-1} \mathbf{V}_{pq}, \end{aligned} \quad (2.17)$$

em que  $\mathbf{X}_p \in \mathbb{C}^{N \times 1}$  é o símbolo OFDM transmitido no  $p$ -ésimo *cluster*. Por considerar a representação no domínio da frequência do símbolo OFDM, as seguintes funções

$$s_p[m] = \mathcal{P}(\mathbf{X}_p) \quad (2.18)$$

e

$$\hat{\mathbf{X}}_{pq} = \mathcal{Q}(r_{pq}[m]) \quad (2.19)$$

podem ser aplicadas. Note que  $\mathcal{P}(\cdot)$  gera o símbolo OFDM que será transmitido pelo  $p$ -ésimo *cluster*, e  $\mathcal{Q}(\cdot)$  realiza o  $\mathcal{P}^{-1}(\cdot)$  além da equalização. Em geral, para redes PLC baseadas em *clustered-OFDM*, visa-se sempre um conjunto de técnicas que são aplicadas para implementar  $\mathcal{P}(\cdot)$  e  $\mathcal{Q}(\cdot)$  com baixa complexidade computacional e degradação mínima de taxa de erro de bits - *Bit Error Rate* (BER).

Conclui-se, então, que é necessário uma investigação detalhada para determinar quais são as funções  $\mathcal{P}(\cdot)$  e  $\mathcal{Q}(\cdot)$  mais apropriadas para serem empregadas nas redes PLC de acesso com menor complexidade, menor consumo de energia e elevado desempenho. O capítulo 4 discute as funções  $\mathcal{P}(\cdot)$  e  $\mathcal{Q}(\cdot)$ , enquanto os capítulos 6 e 7 apresentam formas de otimizar o desempenho dessas.

## 2.5 Revisão sobre Dispositivos Reconfiguráveis - FPGA

FPGA é um dispositivo de silício de lógica programável capaz de realizar praticamente qualquer função digital. Além disso, é um dispositivo que pode ser programado de acordo com as aplicações do usuário (programador), diferentemente de um processador convencional, no qual a arquitetura é fixa e recebe instruções de como ela deve operar.

Diferentes famílias de FPGA são construídas com diferentes combinações dos blocos básicos de construção de um FPGA. As estruturas de *hardware* destacadas na figura 2.13 são selecionadas pelo *software* de *design* (por exemplo, Quartus II da Altera [79]) a partir das escolhas do projetista. O *software* de *design* seleciona as estruturas apropriadas para atingir as metas do projetista, que podem ser otimizadas para melhor desempenho ou o menor consumo de energia. Essa figura mostra os blocos básicos de um dispositivo FPGA (EP4CE115) da família Cyclone IV da Altera [79]. Para esse dispositivo FPGA, os recursos de *hardware* disponíveis são: 114480 células lógicas - *Logic Cells* (LC); 114480 registradores lógicos - *Logic Registers* (LR); 3981312 bits de memória *on-chip* (Mem) e 532 multiplicadores  $9 \times 9$  (Mult).

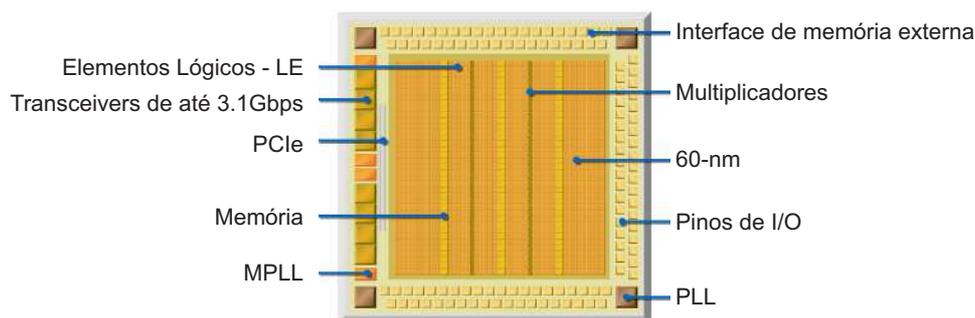


Figura 2.13: Exemplo de arquitetura de um FPGA da família Cyclone IV.

A arquitetura de um FPGA é predominantemente lógica, na forma de elementos lógicos - *Logic Elements* (LE), dispostos em uma matriz ao longo do dispositivo, que possuem duas partes: i) *Look-Up Tables* (LUT), que podem implementar funções lógicas comuns, tais como portas E ou OU; e ii) registradores, que podem implementar lógica síncrona, como *flip-flops*. Além dos LEs, outras estruturas de *hardware*

dedicadas estão presentes para auxiliar na implementação de funções definidas pelo usuário e aumentar o desempenho. Esses recursos estão, geralmente, dispostos em colunas ao longo do FPGA. Um dos tipos de recursos dedicados são as memórias internas (*Embedded Memory* - EM). As EMs podem variar tanto na capacidade quanto na disposição, com a finalidade de obter memórias mais robustas.

Multiplicadores internos (*Embedded Multipliers*) podem ser cascateados de tal forma a facilitar o processamento digital de sinais. A maioria dos dispositivos possuem *Phase Locked Loops* (PLLs) para geração dos sinais de *clock*. Os FPGAs contam com elementos de entrada e saída, cujas disposições e usos são definidas pelo programador. Todos esses elementos estão conectados através de uma planta (*floorplan*) contendo rotas reconfiguráveis. Essas rotas são extremamente flexíveis, assegurando que os recursos de *hardware*, para um projeto em particular, sejam conectados corretamente e de tal forma que atinjam as especificações de projeto, desde que as limitações do FPGA sejam respeitadas.

As grandes vantagens do FPGA são sua flexibilidade, reconfigurabilidade e possibilidade de implementação de processadores *softcores*. Diferentemente dos microprocessadores convencionais, os *softcores* são processadores com arquitetura interna reconfigurável, posto que são sintetizados no FPGA. Os processadores *softcores* são desenvolvidos com linguagem de descrição de *hardware*, tais como HDL (*hardware description language*), VHDL (*very high speed integrated circuit hardware description language*) ou Verilog. Uma vez projetado e sintetizado no FPGA, esse processador pode ser programado usando linguagens de alto nível, tal como a linguagem “C”, o que diminui o tempo e a complexidade de desenvolvimento dos projetos para sistemas embarcados. O processador *softcore* permite, por exemplo, uma alteração do seu núcleo de processamento visando o acréscimo de novos periféricos, mesmo após a finalização do projeto.

O Nios II é um processador *softcore*, desenvolvido pela empresa Altera, que permite ser programado com as linguagens “C”, “C++” e *Assembly* [79–81]. A arquitetura do Nios II é do tipo computador com um conjunto reduzido de instruções - *Reduced Instruction Set Computer* (RISC), cujas instruções são de 32 bits. As principais características do Nios II implementado são: *cache* separada para instruções e dados (512 B até 64 KB); MMU (*memory management unit*) ou MPU (*memory protection unit*) opcional; acesso à mais de 2 GB de espaço de endereçamento; opção *tightly coupled memory* para instruções e dados; seis estágios de *pipeline* para obter a melhor taxa efetiva de processamento; multiplicador implementado em *hardware* capaz de realizar operações em um único ciclo de *clock*; divisor implementado em *hardware* opcional; mais de 256 *custom instructions*; aceleradores de *hardware*; e módulo de depuração do tipo JTAG (*joint test action group*) [79].

Para as avaliações de tempo de execução realizadas na presente tese, o proces-

sador Nios II teve um periférico adicionado à sua arquitetura. Este periférico é composto por um contador de pulsos de *clock*, com 64 bits, que pode ser controlado por uma aplicação sendo executada no processador (*performance counter*) [82–84]. Este periférico tem a finalidade de medir o tempo de execução de qualquer porção de código sendo executado sem nenhuma interferência na execução desta, uma vez que o funcionamento do contador não interfere no processador. O procedimento básico é o que segue: i) executa-se uma função que inicializa e dispara o contador; ii) executa-se a porção do código a ser analisada; iii) executa-se uma função que para o contador e converte o número de pulsos de *clock* contados em um valor em segundos.

## 2.6 Sumário

O presente capítulo discutiu as redes de energia elétrica de BT e externas quando empregadas como canal de comunicação de dados para aplicações de acesso banda larga, entre o secundário do transformador MT/BT e o medidor de energia, e para aplicações *smart grid communication*. Foram apresentados os modelos de canais e de ruídos presentes nessas redes.

Uma revisão sobre *clustered-OFDM* foi apresentada, indicando a necessidade de desenvolvimento de esquemas de modulação de baixo custo, que serão propostas no capítulo 4, e de técnicas de alocação de recursos, que serão propostas nos capítulos 6 e 7.

Este capítulo apresentou, ainda, uma descrição dos dispositivos FPGA e de *soft-cores* que serão utilizadas em diversas implementações para validar as técnicas propostas nesta tese.



## Capítulo 3

# *Ethernet* com Elevada Taxa de Transferência Efetiva

De acordo com o E-CAST, em 2015 haverá 15 bilhões de dispositivos “inteligentes” conectados à Internet [85] e existe uma projeção de que 50 bilhões de dispositivos estejam conectados até 2020 [86]. Grande parte desses dispositivos serão de baixo custo e voltados para sistemas embarcados, automação, soluções *on-line*, celulares, *smartphones*, M2M (*machine-to-machine*) e *smart grids*. Existem diversas tecnologias que permitem esses dispositivos acessar a Internet, dentre as quais destaca-se a *Ethernet* [87, 88].

As aplicações, baseadas em microcontroladores, mais comuns e que fazem uso de interface *Ethernet* são os *micro-webserver*, conversores *Ethernet*-serial RS232/SPI (*serial peripheral interface*) e conversores *Ethernet* para redes industriais RS485/CAN (*controller area network*). Aplicações envolvendo *web-servers* são descritas em [89] e aquelas envolvendo redes de comunicação são discutidas em [90–92]. Já as aplicações para sistemas embarcados, telecomunicações, multimídia e veiculares são reunidas em [88, 93–97]. No que tange aos sistemas embarcados, a tecnologia atual é baseada em microcontroladores de baixo custo, os quais possuem limitações de recursos e processamento para a comunicação via *Ethernet*.

Para atender aos requisitos de QoS a partir do uso da *Ethernet*, o custo pode ser proibitivo para sistemas embarcados. Identifica-se, deste modo, a necessidade de desenvolvimento de soluções para obtenção de taxas de transferência efetivas elevadas e de baixo custo quer seja para *Ethernet*, quer seja para *Ethernet* tempo real. Atualmente, essa necessidade é exacerbada pela introdução de tecnologias, dispositivos e soluções que sejam verdes e sustentáveis [98, 99].

Neste contexto, a presente contribuição se debruça em discutir soluções para a implementação de interfaces de comunicação *Ethernet*, visando taxas de transferência efetivas elevadas, quando os dispositivos FPGAs são empregados. A partir das soluções discutidas e propostas, mostra-se a praticidade de se alcançar taxas de

transferência efetivas na ordem de centenas de Mbps, a partir de dispositivo FPGA. Para validar os ganhos com as soluções propostas, são apresentadas comparações com microcontroladores ARM (*advanced RISC machines*) [100], conversores serial/*Ethernet* Tibbo [101] e processador *softcore* em FPGA [102, 103]. Além disso, uma análise comparativa entre as soluções discutidas (custo e complexidade de desenvolvimento *versus* taxa de transferência efetiva) é apresentada para, sobretudo, facilitar a escolha da solução a ser adotada.

Este capítulo está organizado com se segue. A seção 3.1 centra-se na formulação do problema. A seção 3.2 apresenta quatro soluções para a implementação de interfaces *Ethernet*, sendo duas já existentes baseadas em microcontroladores, bem como duas propostas baseadas em FPGA. A seção 3.3 apresenta um estudo de caso que indica as relações entre custo e taxa de transferência efetiva (taxa obtida no sistema com a pilha TCP/IP completa). A seção 3.4 analisa comparativamente o desempenho das soluções propostas do ponto de vista de taxa de transferência efetiva por meio de um estudo de caso. Por fim, são apresentadas as considerações finais na seção 3.5.

## 3.1 Formulação do Problema

Nos últimos anos, o número de dispositivos providos de interfaces *Ethernet* vem aumentando consideravelmente. Entretanto, os dispositivos de controle, sensores, atuadores, interfaces de comunicação, dispositivos multimídia, entre outros, fazem uso de arquiteturas de *hardware* limitadas em memória e capacidade de processamento, o que dificulta a implementação de interfaces *Ethernet*. Para auxiliar na escolha do dispositivo de controle, a tabela 3.1 ilustra a demanda de memória FLASH para diferentes aplicações de um sistema embarcado [104], sendo: i) aplicação customizada baseada em UDP (*user datagram protocol*); ii) aplicação customizada baseada em terminal Telnet ou TCP (*transmission control protocol*); iii) aplicação baseada em web *browser* - HTTP (*hypertext transfer protocol*); iv) aplicação baseada em e-mail - SMTP (*simple mail transfer protocol*); v) aplicação com HTTP e configuração automática da rede - DHCP (*dynamic host configuration protocol*); e vi) aplicação customizada com HTTP, SMTP, DHCP e UDP.

Algumas características que tornaram o padrão *Ethernet* atrativo para sistemas embarcados são as seguintes: i) versatilidade; ii) facilidade de uso; iii) diversos equipamentos estão disponíveis; iv) rapidez; v) o *hardware* controla o acesso à rede; vi) pode alcançar longas distâncias; vii) as interfaces são eletricamente isoladas; viii) o custo é viável; e ix) garantia de QoS para aplicações em tempo real.

O padrão *Ethernet* especifica a camada MAC, a camada PHY e o cabeamento. Os padrões *Ethernet* são os seguintes: IEEE 802.3 (10Base-T: 10 Mbps), IEEE

Aplicação	Tamanho em KB
i) UDP	16
ii) TCP	25
iii) HTTP	30
iv) SMTP	30
v) HTTP + DHCP	38
vi) HTTP + SMTP+ DHCP + UDP	50

Tabela 3.1: Requisitos de memória FLASH para diversas aplicações *Ethernet* em sistemas embarcados

802.3u (*Fast Ethernet*: 100 Mbps), IEEE 802.3z (*Gigabit Ethernet*: 1 Gbps), IEEE 802.3ae (10 *Gigabit Ethernet*: 10 Gbps) e IEEE 802.3ba (40 Gbps e 100 Gbps). Além disso, já existe um padrão *Ethernet* tempo real (*real time Ethernet - RTE*) [105–107]. O RTE atende às demandas de sistemas industriais, que apresentam comportamento repetitivo e determinístico.

A maioria das soluções para sistemas industriais embarcados é desenvolvida sobre arquitetura de microprocessadores de baixo custo, com capacidade de processamento limitada e arquitetura de 8 bits e, portanto, incapazes de prover as interfaces *Ethernet*. Soluções com custo aceitável têm sido desenvolvidas com ARM baseado na arquitetura RISC de 32 bits. As soluções baseadas em ARM fazem uso do conceito de *system-on-chip*, que provê recursos de *hardware* para uma vasta gama de aplicações que demandam um conjunto mínimo de funcionalidades, consumo de energia reduzido e custo acessível. Entretanto, ainda existe uma lacuna que são as aplicações embarcadas providas de interface *Ethernet* que requerem capacidade de processamento de dados elevada para aplicações em tempo real ou não.

De uma forma geral, uma interface *Ethernet* para uso em sistemas embarcados pode ser dividida em cinco partes, vide figura 3.1, a saber: i) CORE (processador responsável pela aplicação); ii) MAC *Ethernet*; iii) PHY *Ethernet*; iv) acoplamento para garantir o isolamento; e v) conector RJ-45.

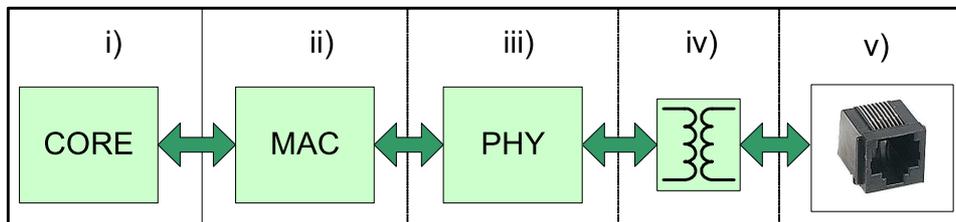


Figura 3.1: Blocos básicos da interface *Ethernet* para sistemas embarcados.

Considerando o desenvolvimento de interfaces *Ethernet* para sistemas embarcados, duas das questões de investigação de grande interesse são as seguintes:

- interfaces *Ethernet* de elevada taxa de transferência efetiva e de baixo custo;

- relação custo e complexidade de desenvolvimento *versus* taxa de transferência efetiva.

A 1ª questão de investigação é analisada, na seção 3.3, a partir de um estudo de caso onde quatro soluções são prototipadas e o custo, a taxa de transferência efetiva e a complexidade de desenvolvimento são discutidas. Para tratar da 2ª questão de investigação, a presente contribuição discute e analisa, na seção 3.4, a proposta de novas soluções baseadas em dispositivos FPGA objetivando interfaces *Ethernet* com taxas de transferência efetivas elevadas e de baixo custo.

## 3.2 Soluções para Implementação da *Ethernet* em Sistemas Embarcados

As soluções para a implementação da interface *Ethernet* discutidas nesta contribuição são ilustradas na figura 3.2, sendo que as de número 1 e 2 são as comumente encontradas na literatura e comercialmente disponíveis. Ambas contemplam o uso de microcontroladores de baixo custo e se diferenciam pelo nível de integração do padrão *Ethernet* no microcontrolador. Já as soluções de número 3 e 4, propostas nesta contribuição para elevar a taxa de transferência efetiva, são baseadas em dispositivos FPGA. A diferença entre as soluções 3 e 4 também é o nível de integração da interface *Ethernet* no FPGA. Uma vez que a análise comparativa entre essas soluções requer necessariamente a implementação das mesmas, as soluções abaixo listadas foram desenvolvidas e prototipadas:

- Solução 1: Microcontrolador ARM com *Ethernet* nativa;
- Solução 2: Microcontrolador ATMEGA128 com TIBBO EM-100, modo SPI;
- Solução 3: FPGA com Nios II e camada MAC/PHY baseada no Circuito Integrado (CI) LAN91C111; e
- Solução 4: FPGA com Nios II e camada MAC *Triple-Speed Ethernet* (TSE) e PHY baseada no CI Marvell 88E1111.

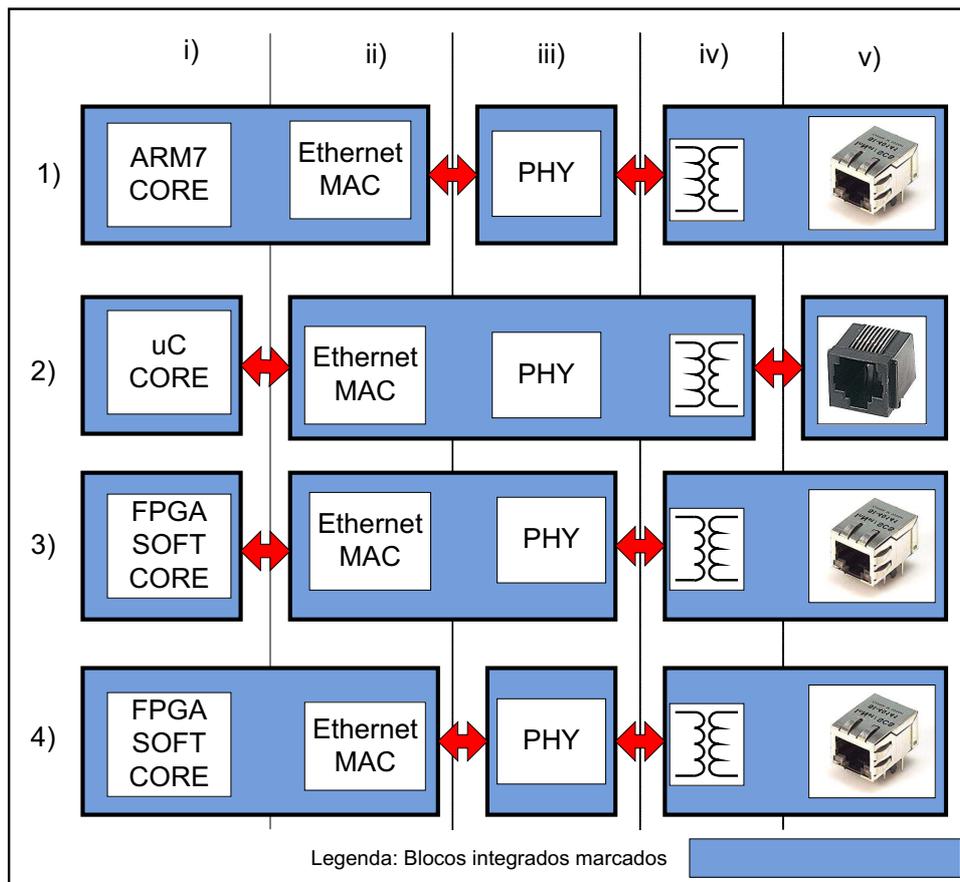


Figura 3.2: Soluções para a implementação da *Ethernet* em dispositivos para sistemas embarcados. (1)-(2): Soluções existentes e (3)-(4): Soluções propostas.

### 3.2.1 Solução 1: Microcontrolador ARM7 com *Ethernet* Nativa

A arquitetura ARM remonta a um projeto de 1983 da Arcon Computers, cujo objetivo era introduzir um processador similar ao MOS Technology 6502. A primeira versão a chegar ao mercado foi o ARM 2, em 1986. Além do processador MOS Technology 6502, a arquitetura ARM sofreu influência da arquitetura Berkeley RISC [108]. Essa arquitetura se tornou famosa e popular por apresentar desempenho elevado em comparação com outros microcontroladores de custo similar.

O microcontrolador ARM possui as seguintes características: instruções fixas de 32 bits; 15 registradores de 32 bits para uso geral; manipulação de periféricos de I/O como dispositivos mapeados na memória com suporte a interrupções; e *pipelines* de 3 e 5 estágios. Alguns processadores ARM incluem controladores de *display*, portas USB (*universal serial bus*), saídas PWM (*pulse width modulation*), conversores DA (*digital to analog*), conversores AD (*analog to digital*), interface *Ethernet*, dentre outros. Desta forma, a plataforma ARM pode proporcionar desempenho elevado, baixo custo, taxa de integração elevada e tempo de desenvolvimento reduzido. Atualmente, os microcontroladores ARM são largamente utilizados em dispositivos para sistemas embarcados [109]. Entretanto, seu comportamento para elevada taxa de transferência efetiva deve ser avaliado.

O microcontrolador ARM utilizado com *Ethernet* nativa para prover a comunicação via *Ethernet* é baseado no modelo ARM7 LPC2388. A placa de desenvolvimento utilizada, a qual implementa a solução 1, é mostrada na figura 3.3. Essa placa é constituída do LPC2388, um componente externo específico para implementar apenas a camada PHY do padrão *Ethernet* (DP83848VV) e de um conector *MagJack*. Os algoritmos da camada MAC são executados pelo ARM. O microcontrolador ARM7 LPC2388, fabricado pela NXP (Phillips), opera com *clock* de 72 MHz (64 DMIPs), 16 KB de *buffer* para Tx e Rx e 10/100 Mbps [110].

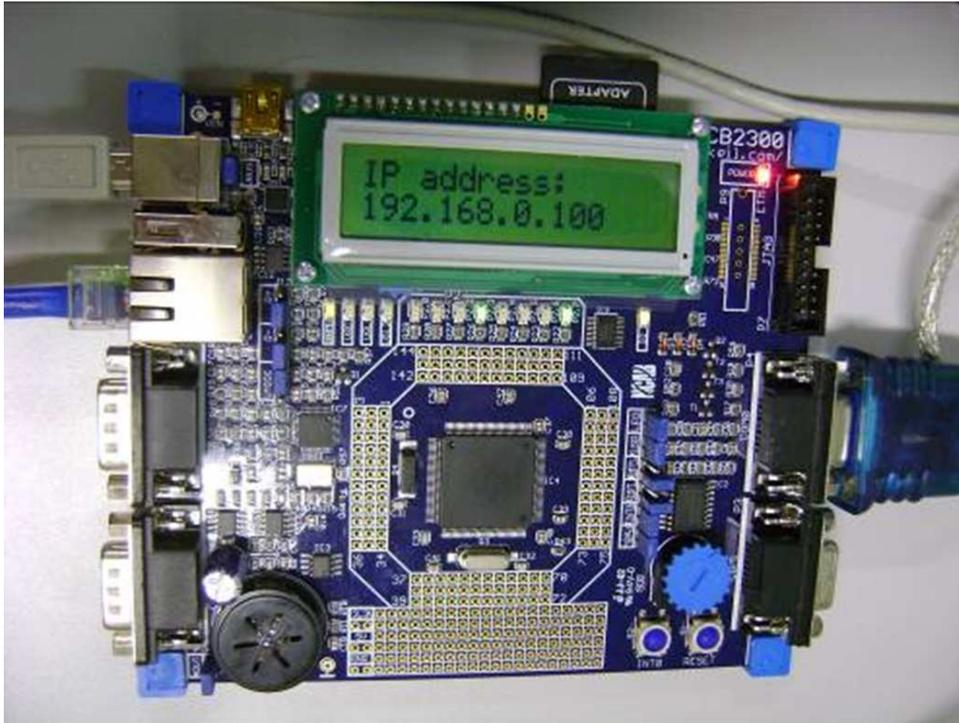


Figura 3.3: Placa de desenvolvimento baseada no ARM7 LPC2388.

### 3.2.2 Solução 2: Microcontrolador ATMEGA128 com TIBBO EM-100, modo SPI

O microcontrolador de baixo custo é baseado na arquitetura AVR, originalmente desenvolvida por Alf-Egil Bogen e Vegard Wollan na filial norueguesa da Atmel e teve versão final lançada em 1996. Essa arquitetura é composta por um conjunto de instruções reduzidas RISC de 8 bits e do tipo *Harvard* [102].

As principais características deste microcontrolador são: 133 instruções de 8 bits; registradores de 8 bits para uso geral; manipulação de periféricos de I/O como dispositivos mapeados na memória com suporte a interrupções; instruções executadas em 1 ciclo de *clock*; 128 KB de memória *Flash*; 4 KB de memória EEPROM (*electrically-erasable programmable read-only memory*); 4 KB de memória SRAM (*static random access memory*).

É importante destacar aqui que esse microcontrolador, assim como todos os de baixo custo, não possui interface *Ethernet*. Entretanto, isso não impossibilita seu uso em redes *Ethernet*, posto que é possível o emprego de conversores *Ethernet*/serial. Atualmente, a maioria das aplicações utiliza este tipo de solução para implementar a *Ethernet*, posto que o tempo de desenvolvimento é reduzido. A desvantagem é a taxa de comunicação da serial do microcontrolador, cujo valor máximo é 115,2 Kbps, o que implica em baixas taxas de transferência efetiva.

O conversor *Ethernet*/Serial utilizado nos testes é o módulo EM-100, da empresa

Tibbo [101]. Esse módulo disponibiliza uma porta serial padrão TTL (*half* ou *full duplex*) que atinge taxas até 115,2 Kbps e uma porta *Ethernet* 10-BaseT. O módulo disponibiliza ainda *buffer* de 512 KB para os modos Rx e Tx. Para os testes, uma placa com o módulo Tibbo EM-100, um conector *Ethernet* RJ-45, pinos de Tx/Rx e alimentação do módulo (5 VDC e 40 mA), a qual é mostrada na figura 3.4, foi prototipada, visando à implementação da solução 2. Note que o conector é mais simples uma vez que o transformador de acoplamento está integrado no módulo EM-100, vide figura 3.2.



Figura 3.4: Protótipo da placa com o conversor *Ethernet*/Serial Tibbo EM-100.

### 3.2.3 Solução 3: Proposta de uso de FPGA com Nios II e camada MAC/PHY LAN91C111

Com a finalidade de alcançar elevadas taxas de transferência efetivas, propõe-se a solução 3, que utiliza um dispositivo FPGA com camada MAC externa para prover a comunicação via *Ethernet*, assim como ilustrado na figura 3.5. O controle da camada MAC é realizado pelo *softcore* Nios II assim como descrito na seção 2.5. Finalmente, o uso desse processador reduz a complexidade de codificação ao nível daquela observada nos microcontroladores, citados nas seções 3.2.1 e 3.2.2. Esta solução é constituída de um FPGA da família Stratix II (EP2S601020C4); de um componente externo para implementar as camadas PHY e MAC *Ethernet*, LAN91C111, e um conector RJ-45 associado ao transformador de acoplamento (*MagJack*). Embora essa solução

simplifique o projeto, ela aumenta o custo final da solução, posto que o componente LAN91C111 pode custar até 20 vezes o valor de um componente que inclua apenas a camada PHY *Ethernet*, vide figura 3.2. O chip LAN91C111 possui 8 KB de memória interna para Tx e Rx, opera 10/100 Mbps, permite transmissão de dados em rajadas e suporta comunicação *full duplex*.

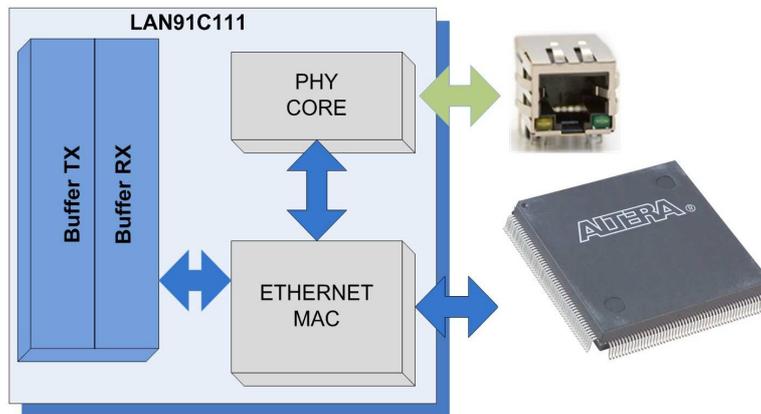


Figura 3.5: Diagrama da solução baseada em FPGA com MAC *Ethernet* externa.

### 3.2.4 Solução 4: Proposta de uso de FPGA com Nios II e camada MAC TSE

Com a finalidade de alcançar elevadas taxas de transferência efetivas, propõe-se a solução 4 que utiliza um dispositivo FPGA com camada MAC interna para prover a comunicação via *Ethernet*, assim como ilustrado na figura 3.6. Essa solução é constituída do dispositivo FPGA da família Stratix III (EP3SL150F1152C2) [102], de um componente externo específico para implementar apenas a camada PHY *Ethernet*, de um CI Marvell 88E1111, e do conector *MagJack*, vide figura 3.2. Para implementar a camada MAC *Ethernet* no FPGA, foi utilizada a TSE MAC [102], a qual permite a comunicação *half* e *full duplex*, 10/100/1000 Mbps e opera com *buffers* internos ao FPGA, que podem variar entre 4 KB e 4 MB para os modos Rx e Tx. A TSE MAC *Ethernet* é parametrizada pelo Nios II e possui três barramentos [111]: i) barramento Avalon *Streaming* para envio de dados (*source*); ii) barramento Avalon *Streaming* para recepção de dados (*sink*); e iii) um barramento Avalon *memory-mapped* para parametrização inicial da TSE MAC e controle.

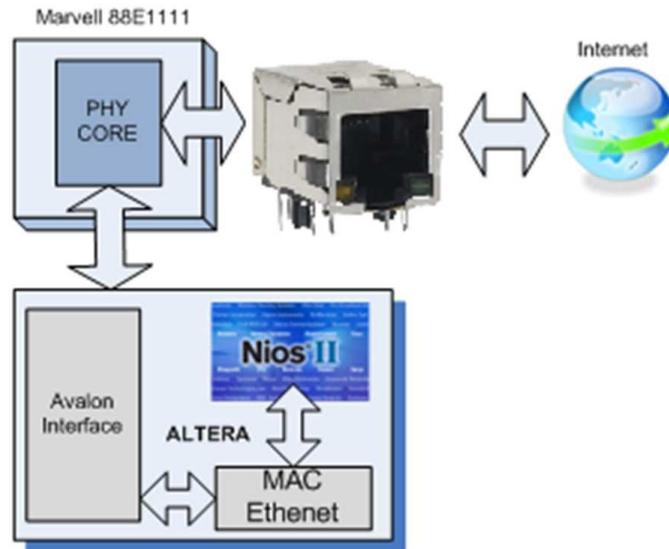


Figura 3.6: Diagrama da solução baseada em FPGA com MAC *Ethernet* interna.

### 3.3 Estudo de Caso 1: *WebServer* - Custo versus Taxa de Transferência Efetiva

Para avaliar e comparar a complexidade versus a taxa de transferência efetiva entre as soluções propostas e aquelas já disponíveis na literatura, foi desenvolvida uma aplicação *web-server* utilizando o HTTP. Neste caso, cada uma das soluções hospedou uma página HTML que permite o *upload* (cliente → servidor) de dados, armazenados em um cartão de memória SD (*secure digital card*). A aplicação consiste de um RTOS (*real time operating system*) e uma aplicação de *File System*, além dos protocolos TCP/IP. A tabela 3.2 apresenta os resultados de taxa de transferência efetiva para as soluções listadas na seção 3.2. Em termos de desempenho, as aplicações envolvendo FPGA apresentam melhorias expressivas, chegando a alcançar 2,23 Mbps neste estudo de caso.

Um outro parâmetro de análise importante para a escolha de uma determinada solução é o seu custo, posto que garante uma boa aceitação no mercado de um produto que venha a utilizar a *Ethernet* para transmitir dados. Neste contexto, os custos de cada solução foram levantados, considerando preços unitários em dólar de todos os componentes de cada solução [112]. No levantamento, não foram considerados os gastos com transporte e impostos. Apesar dos custos de produção se reduzirem consideravelmente quando o número de unidades produzidas ultrapassa alguns milhares, a presente análise fornece uma boa indicação do que é esperado, uma vez que as relações não sofrem grandes alterações.

A figura 3.7 apresenta uma comparação entre os custos de cada solução, juntamente com as taxas de transferência efetivas. O custo apresentado está normalizado

pela solução 2 que apresentou o maior valor (US\$ 72,52). O custo dos dispositivos FPGA capazes de implementar as soluções 3 e 4 foram obtidos de um representante local da Altera [113]. Mesmo sabendo que a sintetização das soluções FPGA em circuito integrado de aplicação específica - *Application-Specific Integrated Circuit* (ASIC) pode reduzir os custos de produção em até 20 vezes, essa situação não foi considerado neste trabalho. Conforme é observado, a solução 4 apresenta a melhor relação entre taxa de transferência efetiva e custo total. Ainda neste gráfico é interessante notar que a solução 2, mesmo sendo atualmente a mais empregada em sistemas embarcados de baixo custo, apresenta a pior relação entre taxa transferência efetiva e custo total. Entretanto, o que justifica o seu uso seria a facilidade de integração e utilização, enquanto as outras soluções apresentam uma complexidade maior na sua integração. Os resultados apresentados indicam uma vantagem significativa na utilização das soluções propostas, que oferecem um ganho expressivo de desempenho e conferem custo menor ao projeto.

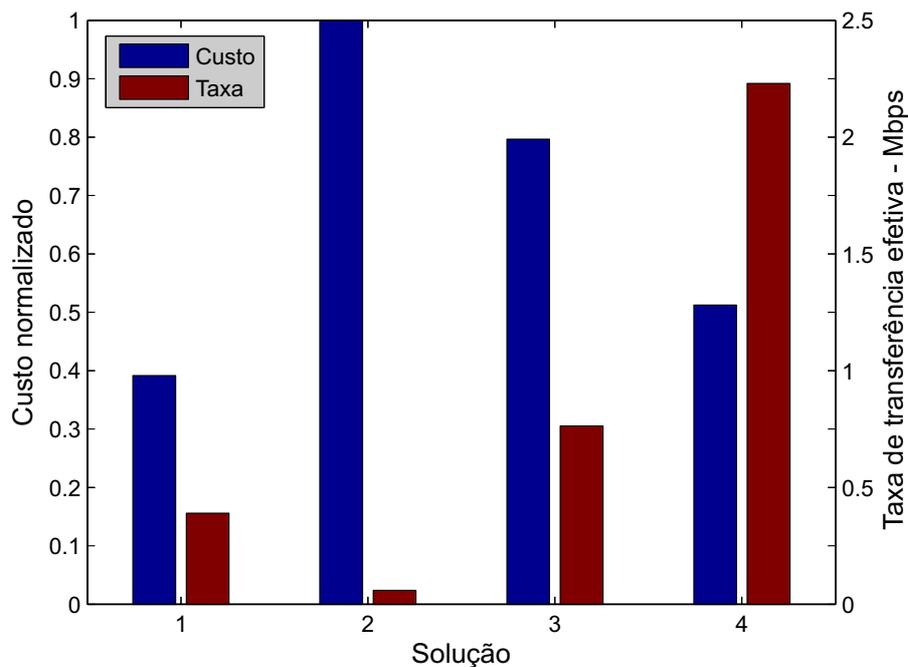


Figura 3.7: Comparação entre custo normalizado e taxa de transferência efetiva para as soluções analisadas.

No intuito de fornecer indícios relevantes para a tomada de decisão em relação ao uso das soluções discutidas nesta contribuição, algumas observações feitas ao longo das pesquisas, no que tange ao tempo de desenvolvimento e complexidade de implementação associado às quatro soluções analisadas, são reunidas na tabela 3.3. Note que B: Baixo, M: Médio e A: Alto.

Tabela 3.2: Taxas de transferência efetivas em Mbps

Solução	1	2	3	4
HTTP	0,390	0,060	0,763	2,230

Tabela 3.3: Comparação entre as soluções analisadas

Solução	1	2	3	4
Complexidade de Implementação	M	B	M	M
Tempo de Desenvolvimento	M	B	A	A

### 3.4 Estudo de Caso 2: Autenticação via *Ethernet* - Análise da Taxa de Transferência Efetiva

Esta seção apresenta uma análise da taxa de transferência efetiva de dados para as soluções 3 e 4 propostas na seção 3.2. Primeiramente, é realizado um estudo de caso da implementação de um sistema de autenticação de impressões digitais baseado em *Ethernet* e, em seguida, é discutido o limitante superior alcançado para a taxa de transferência efetiva.

#### 3.4.1 Sistema de Autenticação de Impressões Digitais

Para avaliar a taxa de transferência efetiva das quatro soluções, um sistema de autenticação de impressões digitais, vide figura 3.8, foi projetado. Nesta aplicação, as estações clientes (aparelhos de leitura de digitais baseados em FPGA) se comunicam através de uma interface *Ethernet* com um servidor (computador de uso pessoal), o qual armazena a identificação de cada usuário. Se a digital escaneada conferir com uma armazenada no servidor, é enviado ao dispositivo uma confirmação de autenticação autorizando o acesso.



Figura 3.8: Sistema de autenticação biométrica.

Para essa aplicação, os seguintes casos para análise foram considerados: i) transferência de dados com autenticação e ii) transferência de dados sem autenticação. Para tanto, um *socket* para conexão TCP/IP (*transmission control protocol/internet*

*protocol*) foi implementado. Através dessa conexão, o cliente envia uma informação para o servidor, o qual executa a aplicação, desenvolvida em Linux, que, por sua vez, retorna a autenticação. Deste modo, é possível avaliar a taxa de transferência efetiva e de pico da conexão. A taxa de transferência efetiva é expressa por

$$R = \frac{n_B(N_{TX} + N_{RX})}{\Delta t_{TX} + \Delta t_{RX}} \text{ bps}, \quad (3.1)$$

em que  $n_B = 8$  é o número de bits por *Byte*,  $N_{TX}$  e  $N_{RX}$  são os números de *Bytes* transmitidos e recebidos,  $\Delta t_{TX}$  e  $\Delta t_{RX}$  são os intervalos de tempo medidos para transmitir os dados e receber a autenticação.

A escolha do tamanho do pacote TCP/IP correspondeu ao limite imposto pelo MTU (*maximum transmission unit*) para, sobretudo, evitar a fragmentação do pacote. As medições de tempo de execução da aplicação para estimação da taxa de transferência efetiva foram realizadas com o dispositivo FPGA, pois os vários processos executados pelo computador poderiam interferir na correta aferição do tempo. As duas funções principais codificadas para envio e recebimento das mensagens são listadas a seguir:

```

1  int enviar(int sock, char stream[size1]){
2      if(send(sock, stream, size1, 0)!=size1){
3          printf("Erro ao enviar stream! \n");
4          exit(1);
5      }
6  }
7
8  int receber(int sock, char stream[size2]){
9      if(recv(sock, stream, size2, 0)!=size2){
10         printf("Erro ao receber autenticacao \n");
11         exit(1);
12     }
13 }

```

Utilizando as considerações acima, foi codificado um aplicativo em linguagem “C” para ser executado em Linux, cuja função é receber um *stream*, contendo 1400 *Bytes*, e enviar uma autenticação de 80 *Bytes*, caso o dado recebido esteja correto para autenticação. De posse do aplicativo, os seguintes testes foram executados:

1. o FPGA envia um *stream* e recebe a autenticação. O tempo para envio e recebimento foi medido pelo dispositivo FPGA;
2. o dispositivo FPGA é empregado para medir o intervalo de tempo necessário para o envio do *stream*, sem a autenticação. Neste caso,  $N_{RX} = 0$  e  $\Delta t_{RX} = 0$ , ou seja, não é considerado o tempo de recebimento da autenticação.

Com a finalidade de possibilitar a reprodução dos testes, os trechos dos códigos para o servidor, baseados no computador de uso pessoal, e para o cliente, baseados no FPGA, serão listados.

Segue lista de trecho do código do aplicativo executado pelo servidor, note que na linha 11 é realizado o teste de autenticação.

```
1 #define size1 80
2 #define size2 1400
3     ...
4 int main(){
5 char enviado[size1], recebido[size2], autentic[size2];
6 int sock;
7 memset(autentic,'a',size2);
8 sock=socket(PF_INET, SOCK_STREAM, IPPROTO_TCP);
9     ...
10 receber(sock, recebido);
11 if(!strcmp(recebido,autentic))
12 enviar(sock, enviado);
13 return(0);
14 }
```

Para o caso com autenticação, segue a lista com o trecho do código do aplicativo executado pelo Nios II no cliente:

```
1 #define size1 80
2 #define size2 1400
3     ...
4 int main(){
5 char enviado[size1], recebido[size2], autentic[size2];
6 int sock;
7 memset(autentic,'a',size1);
8 sock=socket(PF_INET, SOCK_STREAM, IPPROTO_TCP);
9     ...
10 enviar(sock, enviado);
11 receber(sock, recebido);
12 return(0);
13 }
```

Para o caso sem autenticação, segue a lista com o trecho do código do aplicativo executado pelo Nios II no cliente:

```
1 #define size1 1400
2     ...
3 int main(){
4 char enviado[size1];
5 int sock;
6 memset(autentic,'a',size1);
7 sock=socket(PF_INET, SOCK_STREAM, IPPROTO_TCP);
```

```

8      ...
9  enviar(sock, enviado);
10 return(0);
11 }

```

A tabela 3.4 apresenta os valores obtidos nos testes de autenticação utilizando as soluções 3 e 4 propostas e baseadas em FPGA, vide seções 3.2.3 e 3.2.4. Observe que os resultados alcançados com o uso de *sockets* se mostraram muito inferiores à especificação da interface *Ethernet* do FPGA (10/100/1000 Mbps), cerca de 2,9 Mbps e 4 Mbps, quando a solução 3 é considerada e cerca de 11 Mbps e 29 Mbps quando a solução 4 é considerada. É importante destacar aqui que uma taxa efetiva de 29 Mbps pode ser considerado elevadíssima para os sistemas embarcados atuais.

Tabela 3.4: Limite superior da taxa de transferência efetiva no nível do protocolo TCP

	Solução 3	Solução 4
Com Autenticação	2,9 Mbps	11 Mbps
Sem Autenticação	4,0 Mbps	29 Mbps

### 3.4.2 Taxa de Transferência Efetiva Máxima

Para verificar a taxa de transferência efetiva máxima da TSE MAC, implementou-se a configuração *loopback* através do desenvolvimento de um *hardware* específico em Verilog, vide figura 3.9. Assim, quando um *stream* de dados é enviado para o dispositivo FPGA, este simplesmente retorna o mesmo *stream* de dados, o que possibilita calcular o intervalo do tempo de transmissão deste *stream* de dados e a obtenção da taxa de transferência efetiva máxima.

O *hardware* foi conectado aos barramentos de fluxo de dados (*sink* e *source*), ligando-os diretamente (em *loopback*). O barramento Avalon *memory-mapped* de instruções permaneceu conectado ao Nios II, possibilitando que ele parametrizasse a TSE MAC.

Como nesta configuração a comunicação entre as camadas L2 e a pilha TCP/IP foi rompida, então a relação IP com o endereço MAC (*MAC-address*) do FPGA passou a ser desconhecida pela tabela ARP (*address resolution protocol*) do computador. Assim, foi necessário restabelecer a relação IP - MAC, para o melhor esclarecimento e para possibilitar o entendimento dos testes, segue o comando executado no computador:

```
arp - s < ip_fpga >< Mac_address_fpga >.
```

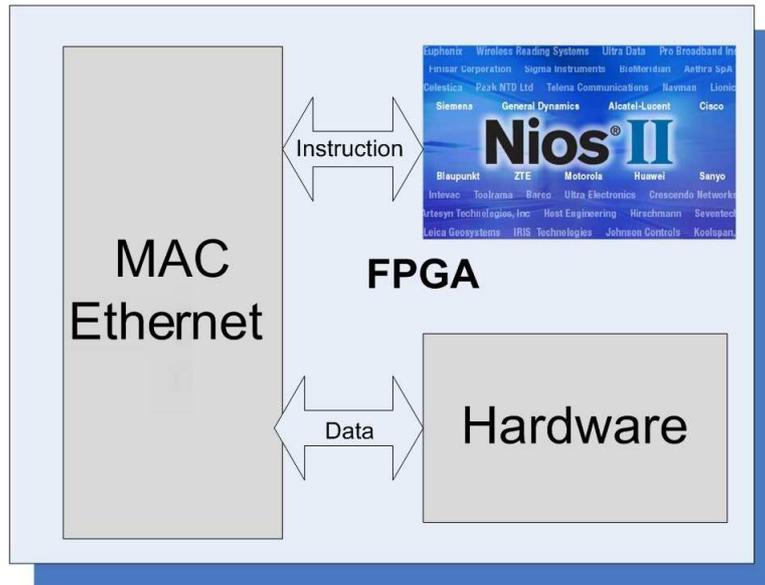


Figura 3.9: TSE MAC *Ethernet* em *loopback*

O comprimento do *stream* enviado pode ser aleatório, mas por simplicidade escolheu-se um datagrama, do tipo *ping*, de 1400 *Bytes*. O comando a ser executado no computador, Linux, para gerar este datagrama é:

```
ping < ip_do_FPGA > -s1400.
```

O *software Wireshark* [114, 115] foi utilizado para a validação desta implementação. Com ele foi possível verificar o cabeçalho *Ethernet* e conferir se o quadro transmitido tem como endereço físico de origem aquele da placa de rede do computador e se o quadro de informação recebido tem o endereço físico do FPGA, validando a implementação e os testes.

O resultado obtido com esse teste está apresentado na tabela 3.5. O fato de sintetizar a MAC internamente ao FPGA possibilitou o projeto de um *hardware* específico para a avaliação do limite superior da taxa de transferência efetiva de até 412 Mbps, taxa que supera as aplicações atuais. Deve-se ressaltar que o valor de 412 Mbps seria impensável utilizando-se outro dispositivo que não seja um FPGA com as parametrizações discutidas.

Na literatura, são poucas as discussões sobre soluções para interface *Ethernet* de baixo custo para sistemas embarcados. Os valores de taxa obtidos são aproximadamente 3500 vezes maior do que as soluções comumente utilizadas com conversores *Ethernet*/Serial, 115,2 Kbps, e, aproximadamente, 43000 vezes maior do que as interfaces de 9600 bps, as quais dominam o mercado de sistemas embarcados.

Tabela 3.5: Limite superior da taxa de transferência efetiva no nível do protocolo IP

	Solução 4
TSE MAC <i>loopback</i>	412 Mbps

### 3.5 Sumário

O presente capítulo discutiu a implementação de quatro soluções para a implementação de interfaces de comunicação com o protocolo *Ethernet* quando sistemas embarcados são considerados. As soluções propostas, as quais fazem uso de dispositivos FPGA, oferecem ganhos consideráveis para aplicações em sistemas embarcados que demandam elevada taxa de transferência efetiva.

Apesar de existirem soluções para sistemas embarcados baseadas em microcontroladores de baixo custo com interfaces *Ethernet*, tais dispositivos oferecem taxas de transferência efetivas bastante limitadas. Para lidar com essa constatação, o presente capítulo apresentou propostas capazes de atingir 29 Mbps, com a possibilidade de se chegar a taxas de transferência efetivas tão elevadas quanto 412 Mbps. As relações entre complexidade de desenvolvimento e taxa de transferência efetiva evidenciam que as soluções propostas são promissoras para sistemas embarcados que demandem elevada taxa de transferência efetiva.



# Capítulo 4

## Sistemas de Modulação Multiportadora

O aumento exponencial de aplicações *quadruple play*, acesso banda larga à internet, televisão, telefonia fixa e telefonia móvel, está ditando uma crescente demanda por redes de acesso que prevêm alta taxa transferência de dados, mobilidade e convergência. Com essas considerações, modems a cabo, DSL e acesso banda-larga sem fio (*Broadband Wireless Access* - BWA) são tecnologias que estão sendo exploradas. Além disso, comunicação óptica, PLC e comunicações por satélite estão sendo consideradas para lidar com os desafios técnicos, assim como as limitações devido aos custos de implementações das principais tecnologias.

Usualmente, o progresso de prototipação está atrelado à capacidade dos desenvolvedores de conceberem dispositivos eletrônicos complexos sob forte pressão de tempo de mercado. O sucesso depende do uso de processos tecnológicos apropriados, assim como da habilidade de interconectar componentes existentes de forma confiável (incluindo processadores, controladores e vetores de memória) em um sistema on-chip - *System-On-Chip* (SoC) [116]. Esse é o tipo de problema que pode ser superado quando plataformas de computação reconfigurável - *Reconfigurable Computing* (RC) são consideradas.

Plataformas RC são atrativas para prototipagem por causa de sua grande capacidade de processamento computacional, alto nível de flexibilidade, reprogramabilidade e fluxo de projeto fácil e rápido [116]. Além disso, elas utilizam ferramentas de projeto que permitem um equilíbrio de complexidade, desempenho e tempo de projeto e desenvolvimento [117]. Adicionalmente, facilitam a implementação de diversas unidades de processamento em paralelo e a reposição de funcionalidades, o que as tornam muito apropriadas para serem adotadas em sistemas de comunicação de dados que precisam ser atualizados e melhorados em campo.

Em se tratando da implementação de sistemas de comunicação de dados com elevada taxa de transferência de dados baseados em OFDM, para transceptores de-

finidos em *software*, é importante, além da flexibilidade, assegurar que o transceptor seja de baixo custo. Isso significa que precisam ser consideradas não apenas a complexidade computacional das funcionalidades OFDM, mas também as complexidades relacionadas aos controles e interfaces para a operação dos transceptores.

Ao utilizar plataformas RC baseadas em dispositivos FPGA, este capítulo apresenta e discute um protótipo de transceptor baseado em OFDM para comunicação de dados em banda base e banda passante [118–121]. Ao utilizar esse tipo de transceptor, modulação e demodulação analógicas são eliminadas, apenas conversores analógico para digital - *Analog-to-Digital Converter* (ADC) e digital para analógico - *Digital-to-Analog Converter* (DAC) de um canal são necessários, e a estimação da frequência da portadora é desnecessária. Visando guiar os projetistas para as melhores práticas de prototipagem relacionadas à plataformas FPGA, é também discutida a aplicabilidade do protótipo proposto em termos de: utilização de recursos do *hardware* do FPGA; desempenho; consumo de energia; e tempo de desenvolvimento. Finalmente, resultados comparativos relacionados ao uso de plataformas FPGA, baseadas no dispositivo Cyclone IV EP4CE115 da Altera [79], para prototipar transceptores OFDM para comunicação de dados em banda base e banda passante são apresentados. Diferentemente de contribuições anteriores, estão incluídas as complexidades dos controles e interfaces para a implementação do SoC de um transceptor baseado em OFDM em dispositivos FPGA.

Este capítulo está organizado como se segue. A seção 4.1 revisa o uso de plataformas para a prototipagem de transceptores baseados em OFDM. A seção 4.2 aponta, por meio de um estudo de caso, qual plataforma de desenvolvimento é mais adequada para a implementação de transceptores. A seção 4.3 discute sobre a arquitetura para o transceptor proposto baseado em OFDM implementado em FPGA. A seção 4.4 revisa os esquemas atuais de transceptores baseados em OFDM e discute suas implementações em uma plataforma FPGA. Na seção 4.5, são propostos novos esquemas para transceptores OFDM e são discutidas suas implementações em uma plataforma FPGA. Resultados numéricos de complexidade teórica e complexidade de implementação em FPGA são apresentados na seção 4.6. Finalmente, observações e conclusões são feitas na seção 4.7.

## 4.1 Plataformas de Desenvolvimento para Transceptores OFDM: Uma Revisão

As plataformas para transceptores baseadas em OFDM podem ser construídas em *software*, processador digital de sinais - *Digital Signal Processor* (DSP), ASIC, processadores com conjuntos de instruções para aplicação específica - *Application-*

*Specific Instruction Set processor* (ASIP) ou dispositivo FPGA. *Software*, DSP e plataformas FPGA são concebidas inicialmente para facilitar novos projetos e para permitir que os projetistas escrevam e modifiquem rotinas rapidamente. Atualmente, elas são aplicadas em diversas soluções comerciais.

Implementações de transceptores OFDM em *software* para processadores de propósito geral - *General Purpose Processor* (GPP) e para DSP são abordadas respectivamente em [122] e [123]. Porém, os resultados apresentados não são energeticamente eficientes para comunicações de dados com altas taxas de transferência de dados. O alto consumo de energia é devido ao uso de diversos núcleos GPP ou DSP em paralelo. Por outro lado, para comunicação de dados com baixas taxas, essa estratégia está sendo aplicada com sucesso em tecnologias PLC para comunicação em *smart grid* [124].

Considerando ASIC, a maioria dos trabalhos são conduzidos por fabricantes de CI para atender aos padrões de comunicação sem fio. Quase todas as contribuições focam em componentes individuais de transceptores OFDM, como a transformada rápida de Fourier - *Fast Fourier Transform* (FFT) ou transformada rápida inversa de Fourier - *Inverse Fast Fourier Transform* (IFFT), sincronização no tempo, codificação de canal, estimação de canal [125], devido à complexidade e o longo tempo demandados por projetos baseados em ASIC. Em [126], são apresentados os projetos de dois chips baseados em CMOS para comunicação digital em banda base que são partes de um esquema OFDM obedecendo parcialmente aos padrões HiperLAN/2 e IEEE802.11a. Usualmente, alta performance e baixo consumo de energia caracterizam transceptores projetados em ASIC. Porém, contribuições atuais raramente levam em conta a complexidade dos controles e das interfaces necessárias para implementar a solução completa [127, 128]. Além disso, a falta de flexibilidade não permite que soluções baseadas em ASIC suportem o contínuo desenvolvimento dos padrões de comunicação, mesmo eles sendo adequados para dispositivos de baixo consumo, como celulares e terminais de mão [129].

O uso de ASIP para implementar transceptores OFDM é discutido em [130–133]. Usualmente, ASIP é aplicado em transceptores de comunicação de dados de baixas taxas de transferência de dados. Um ASIP que realiza as funções principais OFDM ao introduzir instruções específicas para cada função OFDM é discutido em [131], descrevendo um processador que opera em uma frequência máxima de 280 MHz e com um total de 107000 portas lógicas, utilizando uma biblioteca de células padrão de 0,18  $\mu\text{m}$ . Um *software* de configuração para acomodar um bom custo benefício e que economiza tempo na implementação da PHY, MAC a pilha do padrão IEEE 802.16-2004 para a estação base e para o equipamento do consumidor é apresentado em [133], mas as complexidades ligadas aos controles e às interfaces não são abordada. ASIP está sendo aplicado com sucesso para comunicação de dados em

tecnologias PLC para *smart grid* [134] devido ao uso de arquiteturas aceleradoras de desempenho [135].

Plataformas reconfiguráveis baseadas em FPGA têm sido consideradas em diversas áreas [136–140]. A maioria das contribuições reporta implementações parciais de transceptores OFDM. A implementação de transceptores WiMAX fixos que ocupam aproximadamente 70% dos recursos do FPGA é apresentada em [141]. A implementação de um modulador OFDM, baseado no padrão IEEE 802.16-2004, é discutida em [142, 143]. O uso de plataformas FPGA para acomodarem os transceptores OFDM de ambos os padrões IEEE 802.11a e 802.16-2004 é abordado em [142, 143]. As implementações de parte dos transceptores OFDM, como o IFFT/FFT [144, 145], a redução PAPR [146], o projeto do *interleaver* [147], o detector/demodulador M-QAM quadrado de alta ordem [148], o demodulador 64-QAM [149], o detector de erro de canal [150] e o transmissor de banda base [151, 152] têm sido investigados. De forma geral, as contribuições atuais demonstram a sustentabilidade, flexibilidade e abundância de recursos em plataformas FPGA, como *LookUp Table* (LUTs), memória e multiplicadores para projetar transceptores de altas taxas de transferência de dados reconfiguráveis.

A respeito do uso de plataforma FPGA para transceptores OFDM, duas questões desafiadoras permanecem abertas. Primeiro, as complexidades relacionadas aos controles e interfaces não foram bem abordadas na literatura, mesmo que essas complexidades possam consumir muitos recursos. Segundo, existem diversas maneiras para implementar esquemas baseados em OFDM para a comunicação de dados em banda base e banda passante, assim o problema é encontrar qual o esquema que apresenta menor complexidade. Respostas para ambos os problemas são apresentadas nas seções seguintes.

## 4.2 Escolha da Plataforma de Desenvolvimento: Estudo de Caso

Com a finalidade de embasar a escolha da plataforma de desenvolvimento para esta tese, foi realizado um estudo de caso versando sobre a implementação de um transmissor OFDM simplificado. Nesse estudo de caso, duas questões foram avaliadas: i) Qual o esforço de desenvolvimento? e ii) Qual o tempo de execução das funções de um transmissor OFDM simplificado?

Na literatura, foram encontrados alguns trabalhos comparando plataformas de desenvolvimento, sendo que, no máximo, foram comparadas duas plataformas [153–155]. Um dos trabalhos indica que o desenvolvimento baseado em FPGA requer um esforço 4 vezes maior e tempo de execução até 450 vezes menor, quando comparado

com DSP para o caso particular apresentado [156].

Neste estudo de caso, as seguintes plataformas de desenvolvimento foram avaliadas:

i) ANALOG: DSP da Analog Devices (ADSP-21160M), com *clock* de 80 MHz, ambiente de programação VisualDSP++ e linguagem de programação “C/C++”;

ii) TEXAS: DSP da Texas Instruments (TMS320C6416TBGLZ1-ND) com *clock* de 1 GHz, ambiente de programação CodeComposer Studio, linguagem de programação “C/C++”;

iii) ALTERA: FPGA da Altera (EP2S60F1020C4), com *clock* de 100 MHz, ambiente de programação Quartus II / Simulink, linguagem de programação Verilog / Blocos; e

iv) CO-PROC: DSP (TMS3206416) e Co-processador FPGA (EP2S60F1020C4) dos fabricantes Texas Instruments e Altera, com *clock* de 1 GHz e 100 MHz, ambiente de programação CCStudio e Quartus II, linguagens de programação “C” e Verilog, barramento *External Memory Interface A* (EMIFa) operando a 80 MHz. Nesta plataforma, o FPGA é responsável apenas pelo co-processamento da transformada discreta inversa de Fourier - *Inverse Discrete Fourier Transform* (IDFT), ficando o DSP responsável pelas outras funções.

A figura 4.1 apresenta fotos das plataformas de desenvolvimentos avaliadas.

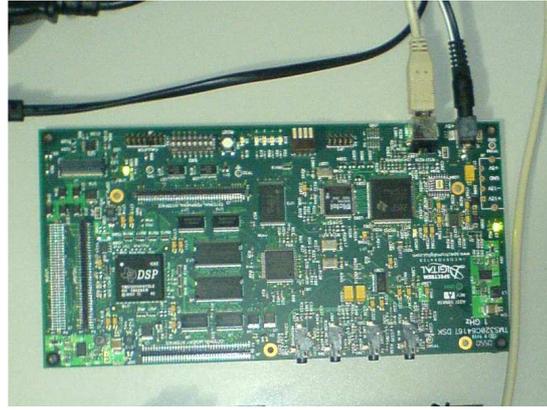
Neste estudo de caso, o transmissor OFDM implementado é composto pelas seguintes funções, vide figura 4.2: i) Serial/Paralelo (S/P); ii) modulador 4-QAM; iii) mapeamento Hermitiano simétrico,  $\mathcal{M}$ ; iv) IFFT; e v) adiciona prefixo cíclico (CP). O requisito principal de desempenho é processar um símbolo OFDM com 1024 subportadoras a cada  $50 \mu s$  com uma frequência de amostragem de 100 MHz, o que resultaria em uma taxa de transferência em torno de 20 Mbps, quando 4-QAM é considerado.

A figura 4.3(a) apresenta os tempos de desenvolvimento em horas, necessários para a implementação do modulador OFDM simplificado nas quatro plataformas. Esses tempos de desenvolvimentos foram registrados pelo próprio autor durante a codificação das implementações. Nota-se que a plataforma da Analog Devices é a que demandou o menor tempo de desenvolvimento, enquanto a plataforma da Altera demandou o maior tempo de desenvolvimento. Constatou-se que o desenvolvimento em linguagem “C” requer menor tempo de desenvolvimento do que em linguagens descritivas de *hardware*, tal como Verilog.

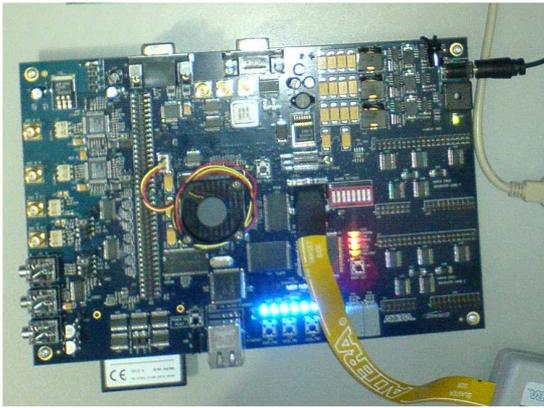
A figura 4.3(b) apresenta os tempos de execução para as quatro plataformas de desenvolvimento quando uma IDFT, de 1024 coeficientes, e um símbolo OFDM, com 1024 subportadoras, são processados. É notável a diferença de desempenho entre as plataformas de desenvolvimento, sendo que a plataforma baseada em FPGA apresenta os menores tempos de execução, sendo a única que atende ao requisito de de-



(a) DSP Analog Devices.



(b) DSP Texas.



(c) FPGA Altera.



(d) DSP e Co-processador FPGA.

Figura 4.1: Plataformas de desenvolvimento avaliadas.

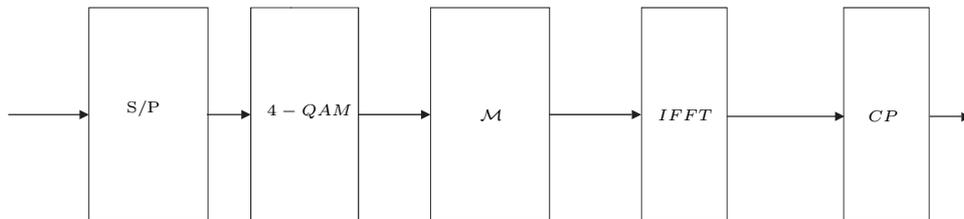
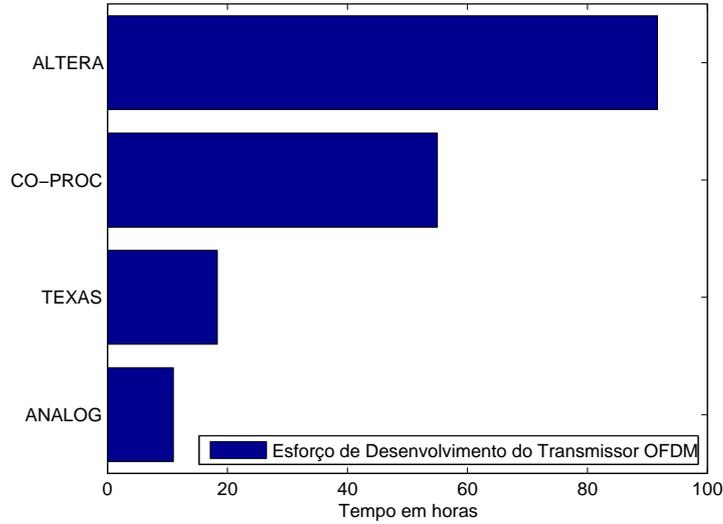
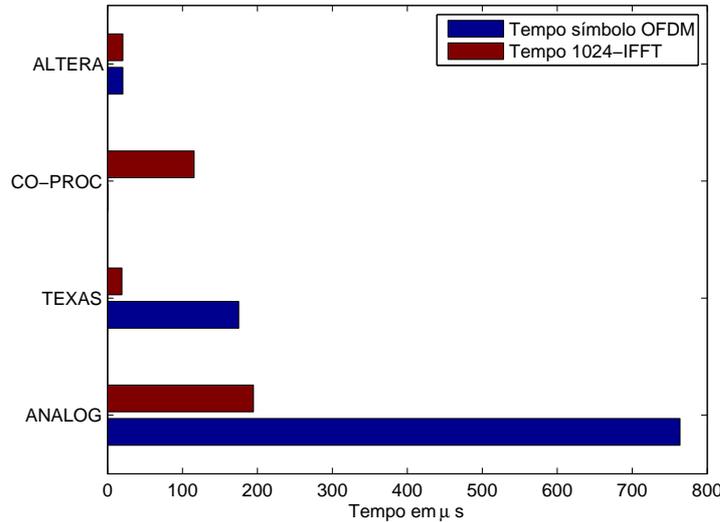


Figura 4.2: Diagrama de blocos do transmissor OFDM simplificado.

sempenho de  $50 \mu s$ . Apenas o tempo de processamento de uma IFFT é apresentado na plataforma com co-processamento, pois identificou-se durante o desenvolvimento que os atrasos gerados pelo barramento de comunicação entre o DSP e o FPGA resultam em elevados tempos de execução, note que este tempo foi medido no DSP e considerou toda a troca de dados. É importante notar a diferença entre os tempos de execução da IFFT e do símbolo OFDM nas plataformas baseadas em DSP, o que não ocorre com a plataforma baseada em FPGA, posto que o FPGA explora a arquitetura para paralelizar as tarefas.



(a) Esforço de implementação.



(b) Tempo de execução.

Figura 4.3: Esforço de implementação e tempo de execução de uma IFFT e de um símbolo OFDM nas quatro plataformas.

Conclui-se que, devido aos requisitos de desempenho, a plataforma de desenvolvimento baseada em FPGA, programado em Verilog, é a mais apropriada, posto que oferece elevado paralelismo e que o desenvolvimento em linguagem “C” é o que demanda o menor tempo de desenvolvimento do programador. Deste modo, a plataforma de desenvolvimento escolhida será baseada na arquitetura que combina implementação de funcionalidades em linguagem “C” para *softcore* e implementação em linguagem Verilog para dispositivos FPGA, de forma que as funções que demandem um desempenho elevado serão implementadas em Verilog. Neste contexto, a seção seguinte apresenta uma proposta de uma arquitetura implementada em pla-

plataforma de desenvolvimento FPGA que considera essas questões.

### 4.3 Arquitetura para Transceptores OFDM em Plataforma FPGA: Uma Proposta

Esta seção visa à discussão da implementação do transceptor OFDM em plataforma FPGA. Além das funções do OFDM, todos os controles e interfaces para um SoC completo baseado em dispositivo FPGA é abordado. A ideia é construir um SoC digital que combine a flexibilidade de atualização do *firmware* com a alta performance do *hardware* reconfigurável.

A figura 4.4 retrata a arquitetura *top-level* proposta para a implementação de um transceptor OFDM que faz uso de uma plataforma baseada no dispositivo FPGA Cyclone IV EP4CE115 da Altera [79]. A arquitetura é dividida em cinco unidades principais: i) Rx-PHY e Tx-PHY; ii) Processador *softcore* para executar a Rx-MAC e Tx-MAC; iii) Controlador *Ethernet*; iv) Controlador de memória; e v) Controladores DAC e ADC. Essa arquitetura permite implementações com tempo reduzido da MAC e PHY de transceptores OFDM, assim como a inclusão de novas funcionalidades nas camadas PHY e MAC, como: i) codificação de canal; ii) *interleaving*; iii) sincronização do símbolo [157]; iv) correção da frequência de amostragem; v) alocação de bits [9]; vi) agendamento; e vi) alocação de recursos. Essas unidades são descritas a seguir:

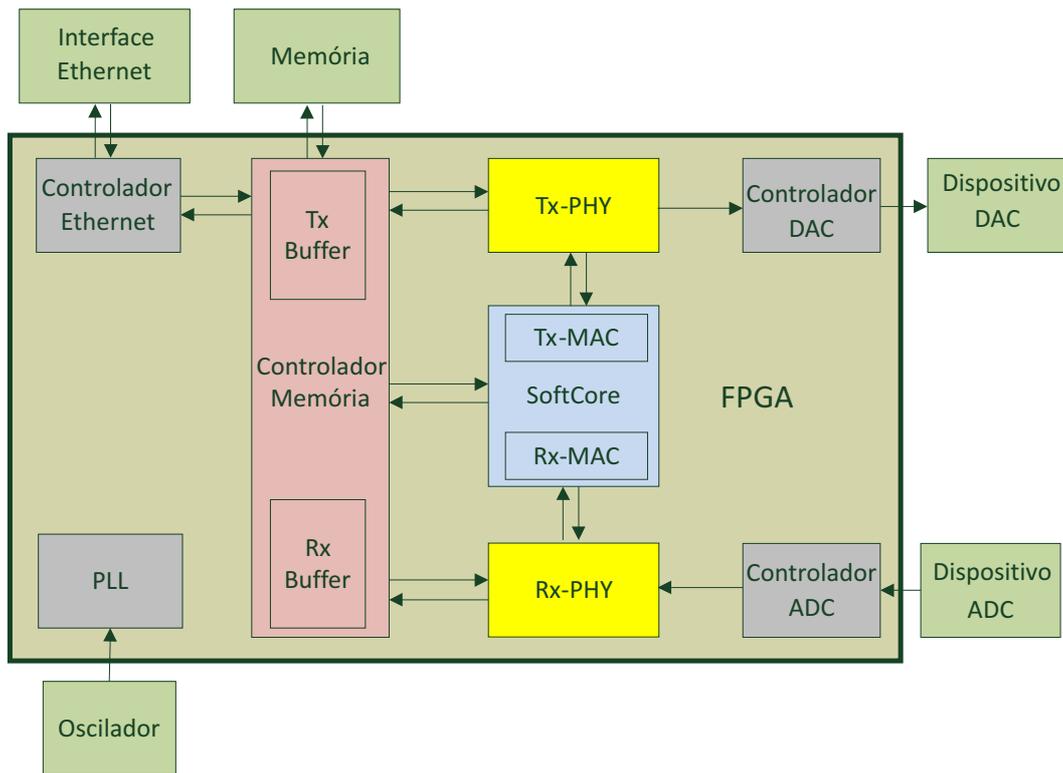


Figura 4.4: Arquitetura *top-level*, proposta, do transceptor OFDM em plataforma FPGA.

**Controlador *Ethernet*:** controla a comunicação de dados entre a interface *Ethernet* e os *buffers* Tx/Rx. A interface *Ethernet* adotada é baseada no CI 88E1111 [158], que implementa a camada PHY para 1000BASE-T, 100BASE-T, e 10BASE-T. O controlador *Ethernet* utiliza o TSE que implementa a camada MAC e permite o controle e a transferência de dados pelo CI 88E1111. Esse CI faz uso do *Gigabit Media Independent Interface* (GMII) para conectar a camada MAC e PHY do padrão IEEE 802.3. O GMII é implementado utilizando um barramento de dados de 8 bits com *clock* de 125 MHz. A comunicação de dados entre o interface *Ethernet* e os *buffers* Tx/Rx é assistida pelo uso da interface de mapeamento de memória Avalon (*Avalon Memory Mapped - Avalon-MM*), que é uma interface de escrita/leitura baseada em endereços para conexões mestre-escravo em um FPGA. O uso de implementação *Ethernet* baseado em FPGA é discutido no capítulo 3 e em [98].

**Controlador DAC:** essa unidade controla a comunicação de dados e conversão entre o barramento de saída de 18 bits da unidade Tx-PHY e o DAC de 14 bits. É responsável por garantir que todas as funções da Tx-PHY estejam sincronizadas. O CI DAC5672IPFBR escolhido [159] é parametrizado para trabalhar com uma frequência de amostragem igual a 120 MHz.

**Controlador ADC:** essa unidade controla a comunicação e conversão do barramento de saída de 14 bits do ADC para o barramento de entrada de 18 bits da

unidade Rx-PHY. É responsável por assegurar que todas as funções da unidade Rx-PHY estejam sincronizadas. O CI DAC AD9254BCPZ adotado [160] é configurado para trabalhar com uma frequência de amostragem igual a 120 MHz.

**PLL:** é responsável pela geração do *clock* da plataforma FPGA. O PLL é alimentado por um oscilador externo de 50 MHz, cuja frequência é denotada por  $F_{IN}$ . A frequência de saída da PLL é igual à frequência do oscilador controlado por tensão,  $F_{VC}$ , dividida pelo contador pós escala (*post-scale counter*)  $C$ . Ao gerar as frequências  $F_{REF} = F_{IN}/N$  e  $F_{VCO} = F_{REF} \times M = F_{IN} \times M/N$ , é possível obter o *clock* de saída, cuja frequência é dada por  $F_{OUT} = F_{VCO}/C = (F_{REF} \times M)/C = (F_{IN} \times M)/(N \times C)$ , em que  $M$  e  $N$  denotam o contador de *feedback* e o contador de pré escala respectivamente. No caso prototipado e apresentado neste capítulo  $F_{IN} = 50$  MHz, de forma que o *clock* principal é  $F_{OUT} = 120$  MHz, que é igual ao *clock* dos controladores ADC e DAC.

**Controlador de Memória:** controla a memória externa e *on-chip* com o uso da interface Avalon de 32 bits. A memória externa é uma SDRAM baseada no CI IS42S16320D [161], que possui uma capacidade de 128 MB e barramento de dados de 32 bits. A memória *on-chip* total é 6480 Kb (bits).

**Processador Softcore:** implementa um processador *softcore* baseado no Nios II [79–81], que é um processador embarcado com um conjunto de instruções reduzidas RISC de 32 bits desenvolvido pela Altera, para executar e controlar a camada MAC da comunicação de dados baseado em OFDM. Foi especialmente projetado para ser sintetizado nesse FPGA, assim como apresentado na seção 2.5. Opera com  $F = 50$  MHz e faz uso de diversas interfaces Avalon para controlar toda a arquitetura. A camada MAC é um *software* implementado na linguagem C/C++ e compilado em um *toolchain* GNU (General Public License) para tornar compatível com o Nios II.

**Tx-PHY e Rx-PHY:** esses blocos implementam os algoritmos da camada PHY do transmissor e receptor. Devido ao escopo deste capítulo, apenas os algoritmos relacionados aos esquemas OFDM discutidos em [118] são considerados. Todas as funções Tx-PHY e Rx-PHY são implementadas em dispositivos FPGA e conexões entre essas funções são mediadas pela interface Avalon-MM de 32 bits. As seções 4.3.1 e 4.3.2 detalham Tx-PHY e RX-PHY respectivamente.

### 4.3.1 Descrição da Unidade de Processamento Tx-PHY

O diagrama de blocos da Tx-PHY é ilustrado na figura 4.5. Cada bloco é descrito a seguir:

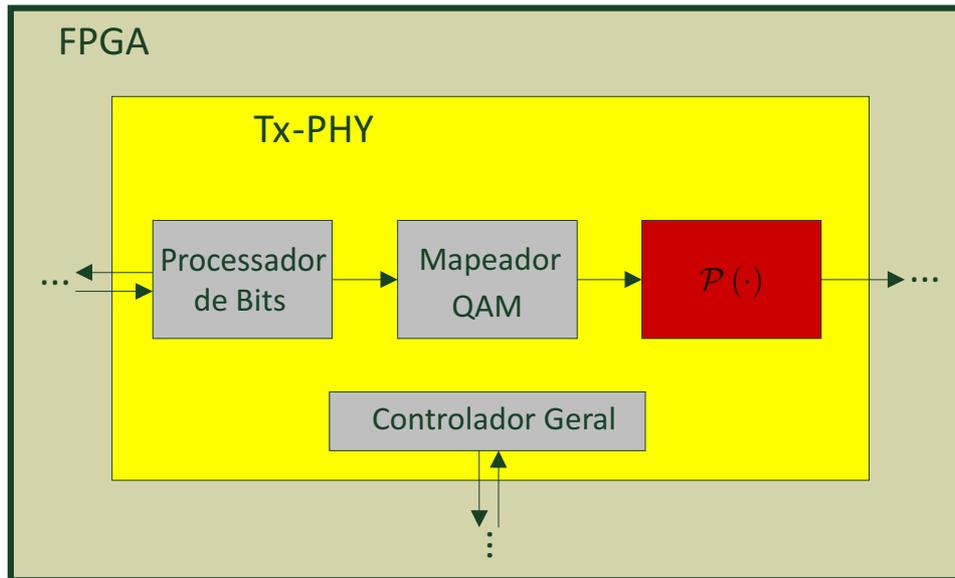


Figura 4.5: O diagrama de blocos da Tx-PHY.

**Controlador Geral:** é responsável por controlar todas as funções do OFDM associadas com a transmissão da camada PHY. A habilidade da Tx-PHY de atender aos requisitos de tempo e agendamento para a transmissão do símbolo OFDM é provida nesta unidade. Uma interface Avalon-MM escrava de 32 bits e um *buffer on-chip* são implementados para a troca de parâmetros de controle com o *softcore*. Os parâmetros de controle, que são gerados pela camada MAC, lidam com a dinâmica da comunicação de dados do esquema OFDM.

**Processador de Bits:** acessa o *buffer* Tx na posição de memória definida pelo controlador geral para acessar uma palavra de dados de 32 bits. Note que o controlador geral recebe a informação da posição da memória através da camada MAC. O dado é serializado antes de ser entregue para o bloco mapeador QAM.

**Mapeador QAM:** é responsável por mapear os fluxos de  $b$  bits em código *gray* e em constelações  $M$ -QAM quadradas, em que  $M = \{2^b \mid b = 2, 4, 6, 8, 10, 12\}$ , e BPSK. Baseados nos parâmetros gerados pelo algoritmo de alocação de bits executado na camada MAC, os símbolos  $M$ -QAM são alocados para todas as subportadoras. Permite a transmissão de diferentes quantidades de bits entre as subportadoras (modulação adaptativa) em um símbolo OFDM. Esta unidade é composta pelos seguintes blocos, veja figura 4.6: i) conversor serial/paralelo (S/P); ii) memória compartilhada; e iii) mapeador. O controlador geral provê, na memória compartilhada, os parâmetros (número de bits e número da subportadora) para a alocação de bits em todas as subportadoras. A análise do emprego de alocação de bits em esquemas *clustered*-OFDM é apresentada em [9] e o capítulo 7, desta tese, apresenta as propostas de técnicas de alocação de bits de baixa complexidade.

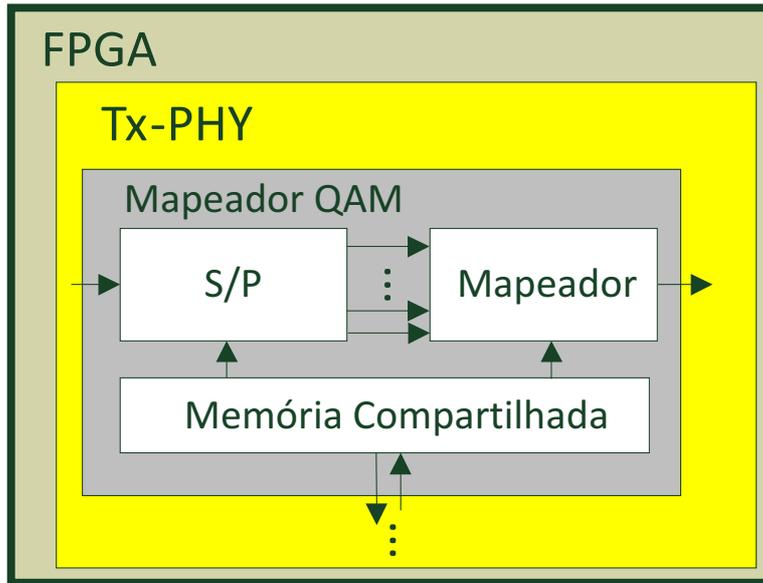


Figura 4.6: O diagrama de blocos do mapeador QAM.

O bloco S/P é responsável por receber e paralelizar o fluxo de bits de modo a fornecer uma palavra com comprimento igual a  $b = 1, 2, 4, 6, 8, 10, 12$  bits paralelos. Para isso, os parâmetros são lidos da memória compartilhada. Em seguida, envia uma mensagem de controle com o número de bits na palavra de dados para o bloco mapeador, que então fica encarregado de alocar o ponto adequado da constelação correspondente para a subportadora.

Um detalhe muito importante relacionado a essa unidade é o fato de que as constelações  $M$ -QAM de baixa ordem,  $M = \{2^b \mid b = 2, 4, 6, 8, 10\}$ , são derivadas de constelações  $2^{12}$ -QAM, o que diminui consideravelmente a necessidade de espaço de memória. A implementação de baixo custo desse esquema em FPGA foi proposta e discutida em [148].

$\mathcal{P}(\cdot)$ : essa unidade implementa o esquema OFDM para a transmissão de símbolos através de canais em banda base e banda passante. Propostas e implementações em FPGA de diversos esquemas baseados em OFDM são descritas nas seções 4.4 e 4.5 [121], [118] e [120].

### 4.3.2 Descrição da Unidade de Processamento Rx-PHY

O diagrama de blocos da Rx-PHY é retratado na figura 4.7. Cada bloco é descrito a seguir:

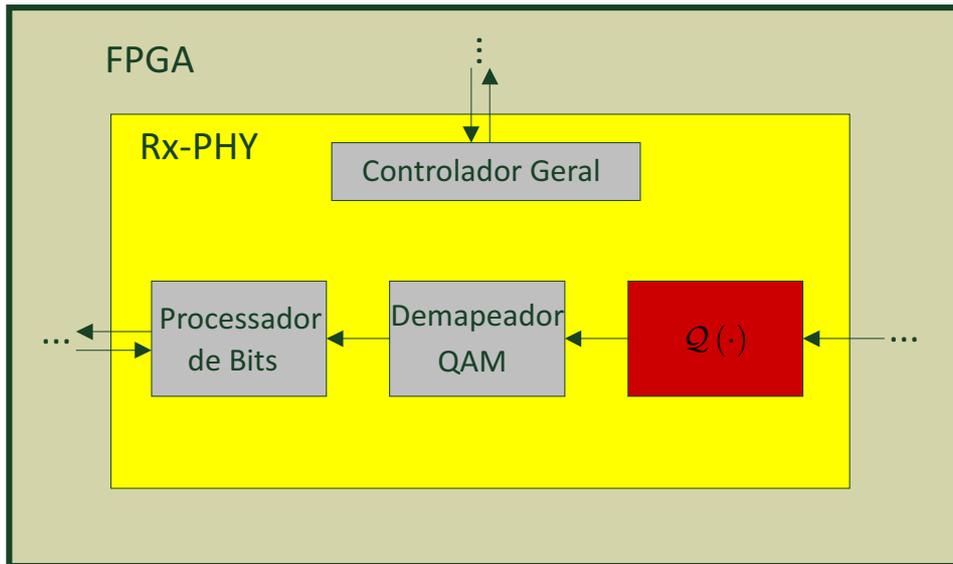


Figura 4.7: O diagrama de blocos da Rx-PHY.

**Controlador Geral:** é encarregado de controlar todas as funções do OFDM relacionadas à recepção da camada PHY. A habilidade da Rx-PHY de atender aos requisitos de tempo e agendamento para a recepção do símbolo OFDM é provida por essa unidade. Uma interface Avalon-MM escrava de 32 bits e um *buffer on-chip* são responsáveis pela troca de parâmetros de controle com o *softcore*. Os parâmetros de controle, que são gerados pela camada MAC, controlam a dinâmica da comunicação de dados baseada em OFDM. Sua implementação é similar à da Tx-PHY.

**Processador de Bits:** acessa o *buffer* Rx na posição de memória dedicada para o controlador geral para acessar uma palavra de dados de 32 bits. O controlador geral recebe a informação da posição da memória da camada MAC. Logo após, converte a palavra de dados da saída do demapeador QAM de fluxo paralelo para serial e a guarda em uma posição de memória de 32 bits indicada pelo controlador geral.

**Demapeador QAM:** promove a detecção dos símbolos nas subportadoras. É composto de três blocos, veja figura 4.8: i) conversor paralelo/serial (P/S); ii) memória compartilhada; e iii) demapeador. O controlador geral permite a leitura, na memória compartilhada, de parâmetros para a detecção de símbolos de cada subportadora, assim os símbolos BPSK e  $M$ -QAM,  $M = \{2^b \mid b = 2, 4, 6, 8, 10, 12\}$ , podem ser detectados.

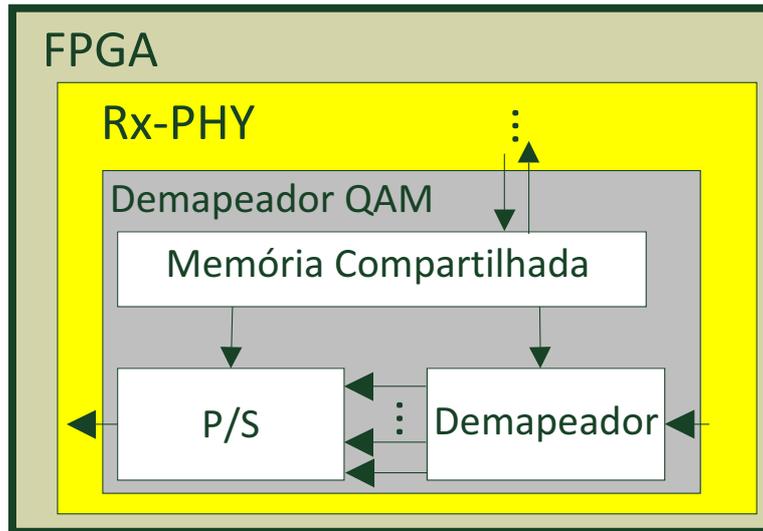


Figura 4.8: O diagrama de blocos do demapeador QAM.

Logo que a palavra de dados de 12 bits, que é constituída por componentes reais e imaginários, está disponível na entrada do bloco demapeador, realiza-se uma busca, utilizando as duas componentes, em uma árvore binária para a associação com um ponto da constelação. Assim, o fluxo de bits associado ao ponto detectado da constelação é apresentado à saída desse bloco. Uma descrição detalhada da implementação desse bloco é provida em [148].

$\mathcal{Q}(\cdot)$ : essa unidade implementa um esquema OFDM para a recepção de símbolos que são transmitidos através de canais em banda base e banda passante. Propostas e implementações em FPGA de diversos esquemas OFDM são descritas nas seções 4.4 e 4.5.

## 4.4 Implementação de Transceptores OFDM Tradicionais

Esta seção apresenta a implementação em FPGA de esquemas baseados em OFDM tradicionais para comunicação de dados em banda base e banda passante, de acordo com [118]. Assume-se que a largura de banda para a comunicação de dados ocupa a banda de frequência de  $[0, B)$  Hz e cada esquema utiliza uma largura de banda de  $B/P$  para a comunicação de dados. A implementação digital da modulação em banda base e banda passante permite a redução do custo do *front/end*, porém aumenta o custo com o dispositivo de processamento digital. Propostas para superar a crescente complexidade devido ao processamento digital de sinais são abordadas na seção 4.5.

Para as seções seguintes, o canal é linear e invariante no tempo (*time-invariant* -

LTI) e é expresso por  $\mathbf{h} = [h_0 h_1 \dots h_{L_h-1}]^T$ ,  $U$  é um fator de *upsampling* e a largura do prefixo cíclico,  $L_{CP}$ , é tal que  $L_{CP} = L_h$ . Além disso,  $D$  e  $U$  se referem aos fatores de *downsampling* e *upsampling*. Também,  $P$  é o número de subcanais de comunicações de dados,  $N = 512$ ,  $L_{PC} = N/4$  e  $B = 50$  MHz. Para estas seções  $D = U = P = 5$ .

#### 4.4.1 SSB-OFDM - Transmissor $\mathcal{P}(\cdot)^{SSB}$ e Receptor $\mathcal{Q}(\cdot)^{SSB}$

O *Single Side Band-OFDM* (SSB-OFDM) é um esquema de modulação de banda lateral única - *Single Side Band* (SSB) para transmissão em banda passante. Para esse esquema, a largura de banda da banda passante é igual a  $B/U$  e o comprimento do símbolo OFDM é  $2N$ . A figura 4.9 mostra o diagrama de blocos de um esquema SSB-OFDM. A saída da IDFT normalizada é expressa como

$$\mathbf{x} = \frac{1}{\sqrt{2N}} \mathbf{W}^\dagger (\mathbf{\Pi} \mathbf{X}), \quad (4.1)$$

em que  $\mathbf{X} \in \mathbb{C}^{2N \times 1}$  é o símbolo OFDM provido por uma técnica de modulação digital,  $\mathbf{W} \in \mathbb{C}^{2N \times 2N}$  é a matriz DFT,  $\dagger$  é o operador Hermitiano,  $\mathbf{\Pi} = [\mathbf{I}_N \mathbf{0}_N]^T$ ,  $\mathbf{I}_N$  é a matriz identidade de ordem  $N$  e  $\mathbf{0}_N$  é uma matriz quadrada de zeros de ordem  $N$ . Depois da inserção do CP, *upsampling* de  $U$  e filtragem passa-baixas, o sinal da saída do Tx-PHY é expresso por

$$s[m] = \Re\{(x_e[m] \star h_{LP}^a[m])\} 2 \cos[\omega m] - \Im\{(x_e[m] \star h_{LP}^a[m])\} 2 \sin[\omega m], \quad (4.2)$$

em que  $x_e[m]$  é obtido pelo *upsampling* de  $x[n]$  em  $U$ ,  $h_{LP}^a[m]$  é um filtro passa-baixas analítico com banda passante máxima igual a  $\pi/U$ , o símbolo  $\star$  é o operador convolução e  $\omega$  é a frequência de modulação. Os operadores  $\Re\{\cdot\}$  e  $\Im\{\cdot\}$  extraem as componentes reais e imaginárias de seus argumentos respectivamente. Para o sinal  $z[n]$ , o operador *upsampling* é definido como

$$z_e[m] = \begin{cases} z[m/U], & \text{se } m/U \text{ é um inteiro} \\ 0, & \text{caso contrário} \end{cases}. \quad (4.3)$$

Assumindo sincronização perfeita no receptor, tem-se então que, depois da remoção do CP, o vetor  $\mathbf{y} = \tilde{\mathbf{y}} + \mathbf{v}$  é obtido, composto das amostras da sequência  $\{y[n]\}$ . Deste modo, a estimação do símbolo OFDM pode ser representado por

$$\begin{aligned} \hat{\mathbf{X}} &= \mathbf{\Pi}^T (\mathbf{W}^{-1} \mathbf{Y}) \\ &= \mathbf{\Pi}^T \hat{\mathbf{X}}, \end{aligned} \quad (4.4)$$

em que,  $\mathbf{W} = [\mathbf{H}^\dagger \mathbf{H} + \mathbf{\Lambda}^{-1}] \mathbf{H}^\dagger$  executa a equalização na frequência - *Frequency Equalizer* (FEQ) baseada no critério de mínimo erro quadrático (*Minimum Mean Square Error* - MMSE),  $\mathbf{\Lambda} = \mathbf{\Lambda}_x \mathbf{\Lambda}_v$ ;  $\mathbf{\Lambda}_x = \mathbf{diag}\{\sigma_{X(0)}^2, \sigma_{X(1)}^2, \dots, \sigma_{X(N-1)}^2\}$ ;  $\mathbf{\Lambda}_v = \mathbf{diag}\{\sigma_{V(0)}^2, \sigma_{V(1)}^2, \dots, \sigma_{V(N-1)}^2\}$ ;  $\sigma_{X(j)}^2$  e  $\sigma_{V(j)}^2$  denotam a variância do sinal e do ruído na  $j$ -ésima subportadora,  $\mathbf{H} = \mathbf{diag}\{H_0, H_1, \dots, H_{2N-1}\}$  e  $H_j$  são o  $j$ -ésimo elemento do vetor, dado por

$$\mathbf{H} = \frac{1}{\sqrt{2N}} \mathbf{W} \begin{bmatrix} \mathbf{h} \\ \mathbf{z}_{2N-L_h} \end{bmatrix}, \quad (4.5)$$

em que  $\mathbf{z}_L$  denota um vetor coluna de zeros com  $L$  elementos.

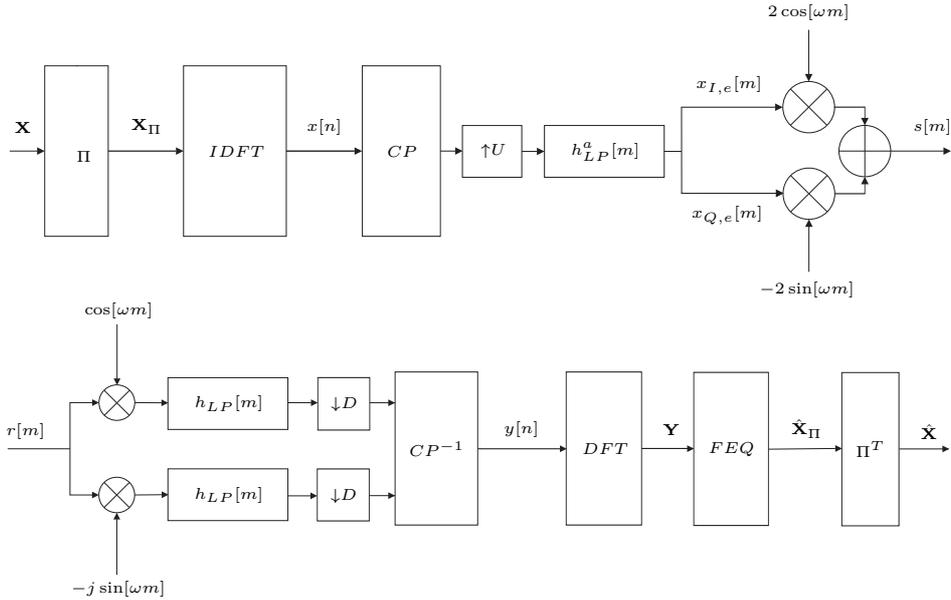


Figura 4.9: Um diagrama de blocos de um transmissor  $\mathcal{P}(\cdot)^{SSB}$  SSB-OFDM e receptor  $\mathcal{Q}(\cdot)^{SSB}$  para esquemas *clustered*-OFDM.

O esquema SSB-OFDM foi implementado em linguagem Verilog. O diagrama de blocos associado à representação no nível de transferência de registradores - *Register-Transfer Level* (RTL) das unidades SSB-OFDM são brevemente descritas. Nas figuras seguintes, a linha azul representa os caminhos de dados e as verdes os caminhos de controle. De acordo com o padrão Avalon [79], os sinais de controle são: i) habilitado (*enable* - ena); ii) início de pacote (*start of packet* - sop); iii) fim de pacote (*end of packet* - eop); e iv) *clock* (clk). Os sinais de dados chamados real e imag correspondem às componentes real e imaginária do sinal complexo. As seguintes descrições são para o processamento de um símbolo OFDM e podem ser aplicadas diretamente para os símbolos consecutivos.

**PIX:** a figura 4.10 retrata a representação RTL da unidade que executa a função **PIX**. Essa unidade faz uso de quatro *buffers* de comprimento  $N$  (dois para a componente real e dois para a imaginária do dado). Controles de escrita e leitura garantem que enquanto uma escrita ocorre em um *buffer* uma leitura ocorre no outro, para

cada componente do dado (abordagem “ping pong”). O controle da saída impõe que  $N$  amostras da sequência de entrada saem seguidas por  $N$  zeros para cada componente, resultando em  $2N$  amostras de um símbolo SSB-OFDM.

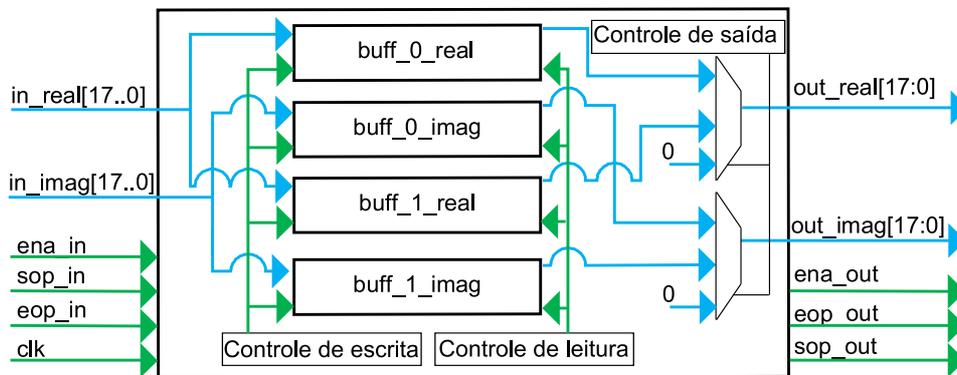


Figura 4.10: A representação RTL da implementação da função **IIX**.

**IDFT:** a unidade IDFT foi implementada utilizando a biblioteca IFFT da Altera [79]. O comprimento da entrada e saída são iguais a  $2N$  e o número de bits para quantizar a entrada e a saída é 18.

**Inserção do Prefixo Cíclico e *Upsampling*:** a figura 4.11 retrata a representação RTL da unidade que executa a inserção do prefixo cíclico e *upsampling*. Ambas funções são executadas pela mesma unidade devido à necessidade de se obter a máxima frequência de operação no FPGA. Para a inserção do prefixo cíclico, o controle de escrita e leitura garante que enquanto ocorre a escrita em um *buffer* ocorre a leitura no outro para cada componente. O controle de saída, em conjunto do controle de *upsample*, lê as últimas amostras  $L_{CP}$  e saem com elas antes de começar sair com as amostras guardadas do início, resultando em uma sequência de tamanho  $(2NU + UL_{CP})$  na saída.

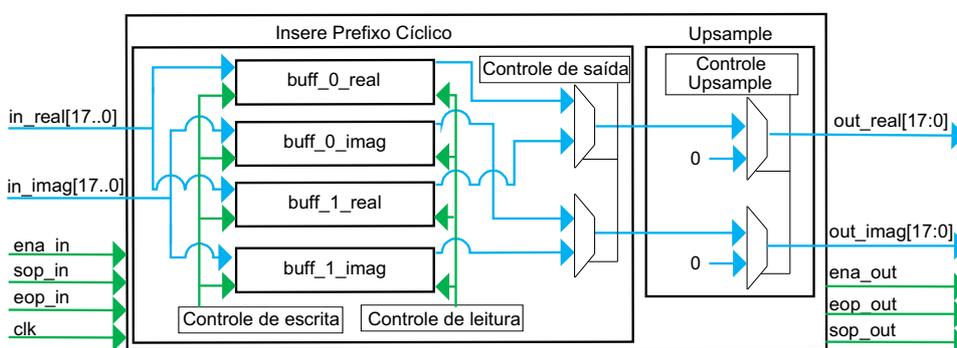


Figura 4.11: A representação RTL da implementação das funções de inserção do prefixo cíclico e *upsampling*.

**Filtro:** a figura 4.12 retrata a representação RTL da unidade que executa a filtragem. Essa unidade é composta de três partes: i) controle, para selecionar os

coeficientes adequados a serem usados (controle de escrita e controle de coeficientes); ii) memória de coeficientes, para guardar os diferentes coeficientes do filtro; e iii) filtro, para executar o processo de filtragem. O barramento de entrada, nomeado band, tem 3 bits para selecionar uma das cinco memórias que armazenam os coeficientes de cinco filtros diferentes.

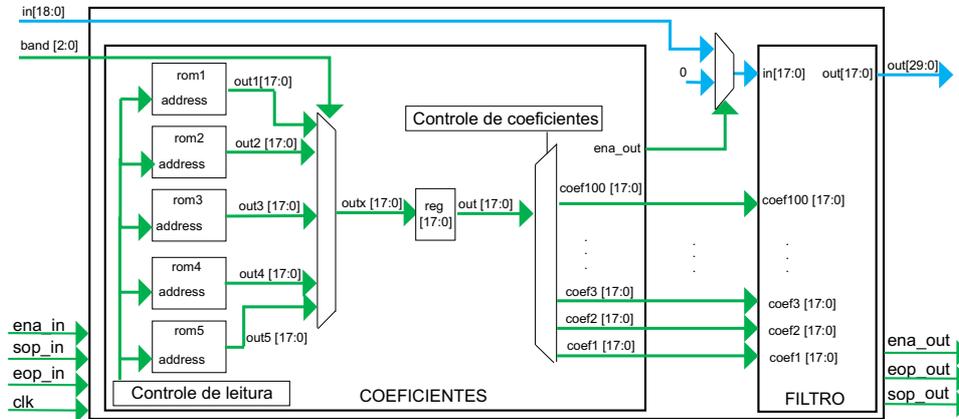


Figura 4.12: A representação RTL da implementação do filtro.

**Modulação em banda passante:** a figura 4.13 retrata a representação RTL da unidade que executa a modulação em banda passante. Essa unidade utiliza um oscilador controlado numericamente - *Numerically Controlled Oscillator* (NCO) [79] para gerar as portadoras de fase e quadratura; dois multiplicadores  $18 \times 18$  juntamente com um somador  $36 \times 36$  para executar a modulação em banda passante.

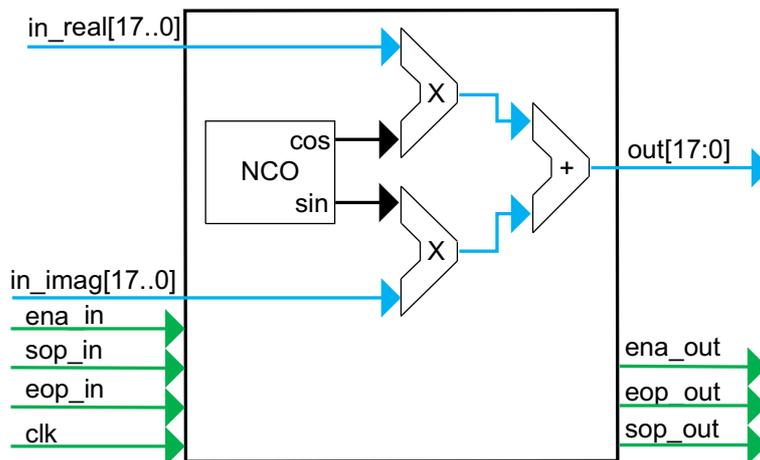


Figura 4.13: A representação RTL da implementação da função de modulação em banda passante.

**Demodulação em banda passante:** a figura 4.14 retrata a representação RTL da unidade que executa a demodulação em banda passante. Essa unidade utiliza uma NCO para gerar as portadoras de fase e quadratura juntamente com dois multiplicadores  $18 \times 18$  para executar a demodulação em banda passante.

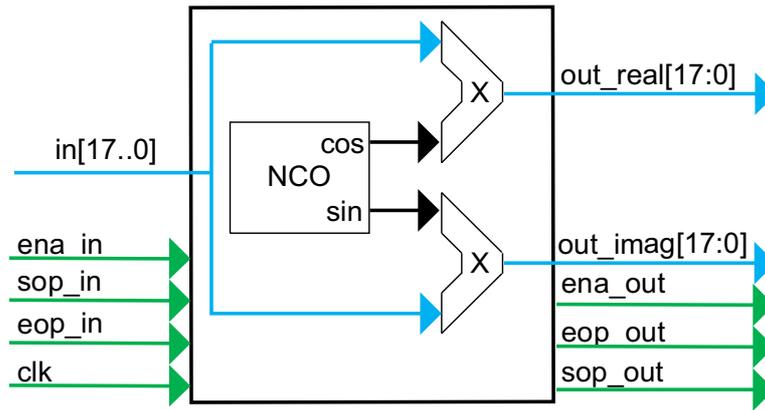


Figura 4.14: A representação RTL da implementação da função de demodulação em banda passante.

**Remoção do Prefixo Cíclico e *Downsampling*:** a figura 4.15 retrata a representação RTL da unidade que executa as funções de remoção do prefixo cíclico e *downsampling*. Ambas funções são executadas na mesma unidade para obter a máxima frequência de operação no FPGA. Para remover o prefixo cíclico de uma sequência de comprimento  $(2ND + DL_{CP})$ , as primeiras  $DL_{CP}$  amostras são descartadas então, para executar a operação de *downsampling*, a próxima amostra é registrada e as  $D$  amostras em sequência são descartadas até que uma sequência de tamanho  $2N$  seja obtida.

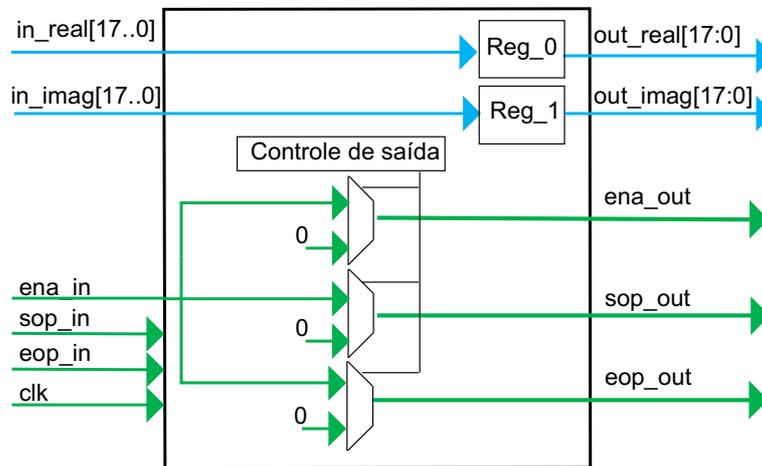


Figura 4.15: A representação RTL da implementação das funções de remoção do prefixo cíclico e *downsampling*.

**Equalizador de Frequência:** a figura 4.16 retrata a representação RTL da unidade que executa a estimação de canal e equalização de canal. A unidade de estimação recebe um sinal anteriormente conhecido e executa a estimação do canal e do ruído. A unidade de equalização executa a equalização na frequência baseada em um critério MMSE.

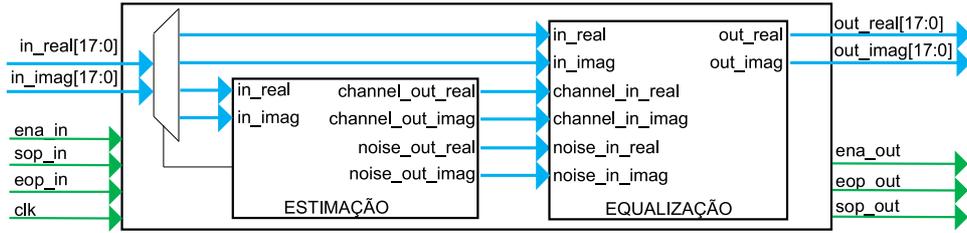


Figura 4.16: A representação RTL da implementação das funções de estimação de canal e FEQ.

$\Pi^T$ : a figura 4.17 retrata a representação RTL da unidade que executa a função  $\Pi^T$ . Essa unidade utiliza quatro *buffers* de tamanho  $N$  (dois para a componente real e dois para a imaginária do dado). Controles de escrita e leitura garantem que enquanto ocorre a escrita em um *buffer* ocorre a leitura no outro *buffer*, para cada componente do dado. A unidade de controle da saída impõe que a saída seja formada por  $N$  amostras apropriadas.

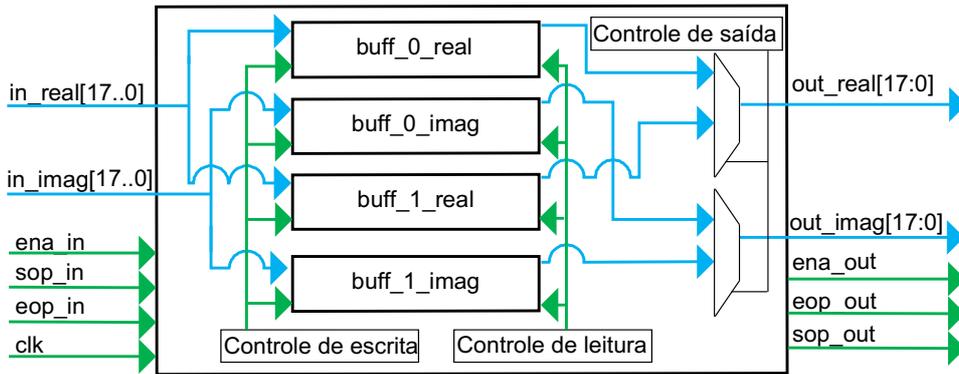


Figura 4.17: A representação RTL da implementação da função  $\Pi^T$ .

As tabelas 4.1 e 4.2 apresentam as demandas de recursos de *hardware* para o transmissor  $\mathcal{P}(\cdot)^{SSB}$  e receptor  $\mathcal{Q}(\cdot)^{SSB}$  implementados em FPGA. Todos os esquemas foram implementados em um dispositivo FPGA EP4CE115 Cyclone IV. Para esse dispositivo FPGA os recursos de *hardware* disponíveis são: 114480 LC; 114480 LR; 3981312 bits de memória *on-chip* (Mem); e 532 multiplicadores  $9 \times 9$  (Mult). A potência consumida (Pot) é apresentada em Watts (W).

Tabela 4.1: Utilização dos recursos de *hardware* exigidos pela implementação do transmissor  $\mathcal{P}(\cdot)^{SSB}$

$\mathcal{P}(\cdot)^{SSB}$	LC	LR	Mem	Mult	Pot
Função IIX	298	228	36.864	0	
IFFT	2.395	1.455	36.864	0	
Prefixo Cíclico e <i>Upsampling</i>	128	100	28.672	0	
Filtro (Ordem 101)	4.626	4.456	7.070	202	
Modulação Banda Passante	337	236	5.376	12	
<b>Total Absoluto</b>	2.395	1.455	36.864	214	0,654
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	6,8%	5,7%	2,9%	40,2%	

Tabela 4.2: Utilização dos recursos de *hardware* exigidos pela implementação do receptor  $\mathcal{Q}(\cdot)^{SSB}$

$\mathcal{Q}(\cdot)^{SSB}$	LC	LR	Mem	Mult	Pot
Demodulação Banda Passante	337	236	5.376	12	
Filtro Imag. (Ordem 101)	4.626	4.456	7.070	202	
Filtro Real (Ordem 101)	4.626	4.456	7.070	202	
Remove Prefixo Cíclico Imag.	123	100	28.672	0	
Remove Prefixo Cíclico Real.	102	84	28.672	0	
FFT	2.874	1.761	49.152	0	
Função $\Pi^T$	298	228	36.864	0	
<b>Total Absoluto</b>	12.986	11.321	162.876	416	0,675
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	11,3%	9,9%	4,1%	78,2%	

#### 4.4.2 DSB-OFDM - Transmissor $\mathcal{P}(\cdot)^{DSB}$ e Receptor $\mathcal{Q}(\cdot)^{DSB}$

O *Double Side Band*-OFDM (DSB-OFDM) é um esquema de modulação de banda lateral dupla - *Double Side Band* (DSB) para a transmissão em banda passante. A largura de banda do sinal em banda base e em banda passante é  $B/2U$  e  $B/U$  respectivamente. O comprimento do símbolo OFDM é  $N$ . Um diagrama de blocos de um modulador/demodulador é retratado na figura 4.18. O vetor de saída da IDFT é expresso como

$$\mathbf{x} = \frac{1}{\sqrt{N}} \mathbf{W}^\dagger \mathbf{X}. \quad (4.6)$$

Após a inserção do CP, *upsampling* do sinal de  $2U$  e filtragem passa baixa - *Low Pass* (LP) das componentes de fase e quadratura do sinal  $x_e[m]$ , a saída da Tx-PHY é dada por

$$s[m] = (x_{I,e}[m] \star h_{LP}[m])2 \cos[\omega m] - (x_{Q,e}[m] \star h_{LP}[m])2 \sin[\omega m], \quad (4.7)$$

em que  $s[m]$  e  $x_e[m] = x_{I,e}[m] + jx_{Q,e}[m]$  são definidos na seção 4.4.1. O fator de *upsampling* é igual a  $2U$ , pois o símbolo OFDM é DSB.

Quando o usuário recebe o sinal que é transmitido pelo canal, executa os passos descritos na seção 4.4.1. Para DSB-OFDM, o símbolo OFDM estimado é dado por

$$\hat{\mathbf{X}} = (\mathbf{W}^{-1} \mathbf{Y}). \quad (4.8)$$

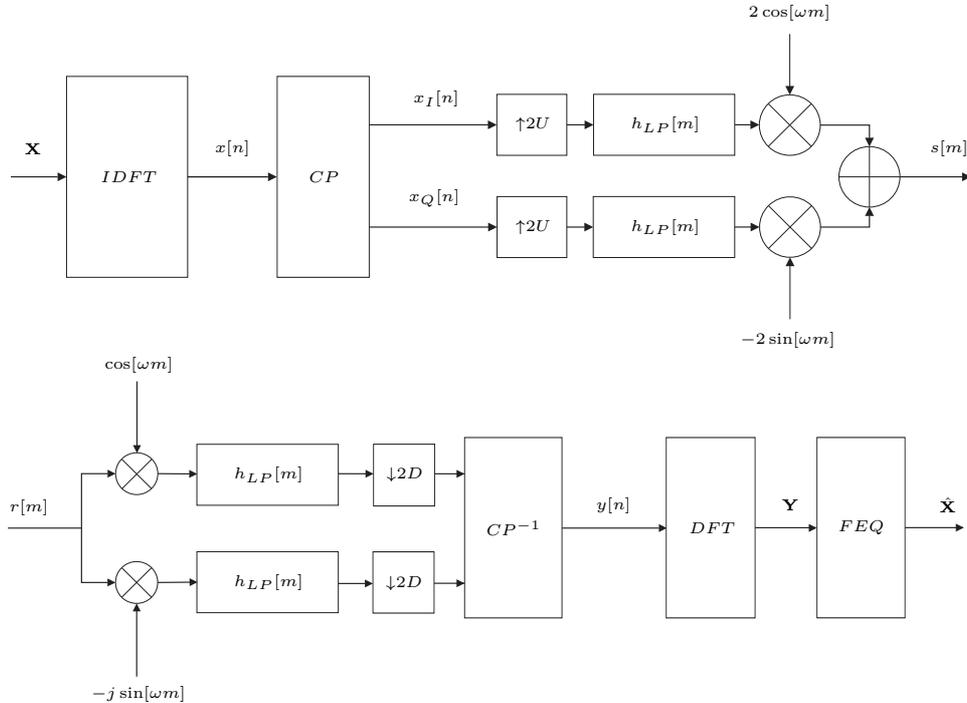


Figura 4.18: Um diagrama de blocos dos esquemas do transmissor  $\mathcal{P}(\cdot)^{DSB}$  e do receptor  $\mathcal{Q}(\cdot)^{DSB}$  DSB-OFDM para *clustered*-OFDM.

O esquema DSB-OFDM foi implementado em linguagem Verilog. Os diagramas de blocos associados com a representação RTL são similares aos apresentados na seção 4.4.1, exceto pelos seguintes detalhes:

**Upsampling:** a implementação da unidade *upsampling* é a mesma que a mostrada na figura 4.11, a diferença é que o fator de *upsampling* é igual a  $2U$ ; e

**Downsampling:** a implementação da unidade *downsampling* é a mesma que a mostrada na figura 4.15, a diferença é que o fator de *downsampling* é igual a  $2D$ .

As tabelas 4.3 e 4.4 apresentam as demandas de recursos de *hardware* para o transmissor  $\mathcal{P}(\cdot)^{DSB}$  e receptor  $\mathcal{Q}(\cdot)^{DSB}$  implementados em FPGA.

Tabela 4.3: Utilização dos recursos de *hardware* exigidos pela implementação do transmissor  $\mathcal{P}(\cdot)^{DSB}$

$\mathcal{P}(\cdot)^{DSB}$	LC	LR	Mem	Mult	Pot
IFFT	2.289	1.455	36.864	0	
Prefixo Cíclico e <i>Upsampling</i> Real	123	100	28.672	0	
Prefixo Cíclico e <i>Upsampling</i> Imag.	102	84	28.672	0	
Filtro Imag. (Ordem 101)	4.626	4.456	7.070	202	
Filtro Real (Ordem 101)	4.626	4.456	7.070	202	
Modulação Banda Passante	337	236	5.376	12	
<b>Total Absoluto</b>	12.103	10.787	113.724	416	0,658
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	10,6%	9,4%	2,9%	78,2%	

Tabela 4.4: Utilização dos recursos de *hardware* exigidos pela implementação do receptor  $\mathcal{Q}(\cdot)^{DSB}$

$\mathcal{Q}(\cdot)^{DSB}$	LC	LR	Mem	Mult	Pot
Demodulação Banda Passante	337	236	5.376	12	
Filtro Imag. (Ordem 101)	4.626	4.456	7.070	202	
Filtro Real (Ordem 101)	4.626	4.456	7.070	202	
Remove Prefixo Cíclico Imag.	123	100	28.672	0	
Remove Prefixo Cíclico Real.	102	84	28.672	0	
FFT	2.874	1.761	49.152	0	
<b>Total Absoluto</b>	12.688	11.093	126.012	416	0,664
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	11,1%	9,7%	3,2%	78,2%	

### 4.4.3 HS-OFDM - Transmissor $\mathcal{P}(\cdot)^{HS}$ e Receptor $\mathcal{Q}(\cdot)^{HS}$

O *Hermitian Symmetric-OFDM* (HS-OFDM) é o esquema de modulação para a comunicação de dados em banda base [162, 163]. A figura 4.19 mostra um diagrama de blocos de um esquema HS-OFDM aplicado à comunicação de dados em banda base. Para esse esquema, o comprimento do símbolo OFDM é  $2N$ . A saída da IDFT é dada por

$$\mathbf{x} = \frac{1}{\sqrt{2N}} \mathbf{W}^\dagger \mathbf{X}_{\mathcal{M}}, \quad (4.9)$$

em que  $\mathbf{x} \in \mathbb{R}^{2N \times 1}$  e  $\mathbf{X}_{\mathcal{M}} = \mathcal{M}(\mathbf{X}) \in \mathbb{C}^{2N \times 1}$  define um vetor, cujos elementos são expressos por

$$X_{\mathcal{M}}(l) = \begin{cases} X(l-1), & l = 1, \dots, N-1 \\ \Re\{X(N-1)\}, & l = 0 \\ \Im\{X(N-1)\}, & l = N \\ X^*(2N-l-1), & l = N+1, \dots, 2N-1 \end{cases}, \quad (4.10)$$

de forma que  $\mathcal{M}(\cdot)$  é uma função que realiza o mapeamento Hermitiano simétrico, como discutida em [162].

Após a inserção do CP, *upsampling* de  $U$  e filtragem LP (com largura de banda passante máxima igual a  $\pi/U$ ), o sinal é dado por

$$s[m] = x_e[m] \star h_{LP}[m], \quad (4.11)$$

em que  $x_e[m]$  é o sinal após o *upsampling* de  $U$ .

Assumindo sincronização perfeita no receptor, depois da filtragem LP, *downsampling* de  $D$  e remoção do CP, o símbolo OFDM estimado é dado por

$$\hat{\mathbf{X}}_{\mathcal{M}} = \mathcal{W}^{-1} \mathbf{Y}. \quad (4.12)$$

Assim,

$$\hat{\mathbf{X}} = \mathcal{M}^{-1}(\hat{\mathbf{X}}_{\mathcal{M}}). \quad (4.13)$$

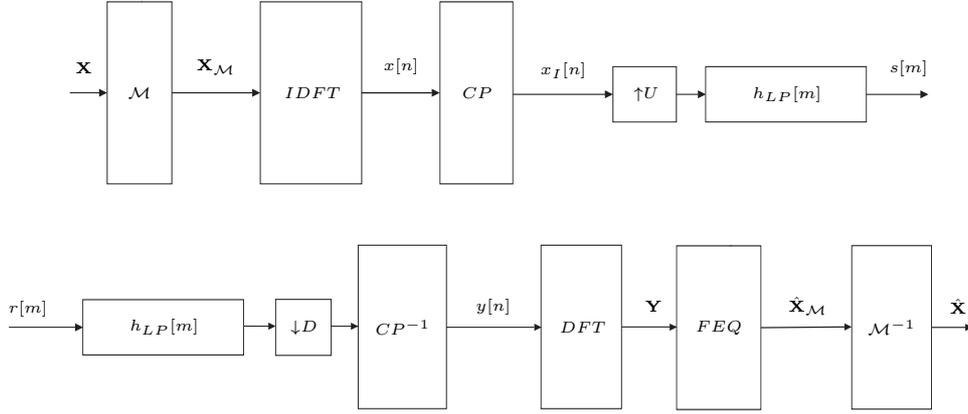


Figura 4.19: Um diagrama de blocos de esquemas de transmissor  $\mathcal{P}(\cdot)^{HS}$  e receptor  $\mathcal{Q}(\cdot)^{HS}$  HS-OFDM para *clustered*-OFDM.

O esquema HS-OFDM foi implementado em linguagem Verilog. Os diagramas de blocos associado à representação RTL são similares aos apresentados na seção 4.4.1, exceto pelos seguintes detalhes:

$\mathcal{M}(\hat{\mathbf{X}}_{\mathcal{M}})$ : o  $\mathcal{M}(\hat{\mathbf{X}}_{\mathcal{M}})$  é a função que implementa o mapeamento Hermitiano simétrico. A representação RTL dessa unidade é a mesma que a retratada na figura 4.10, com duas diferenças. A primeira diferença é que o controle de leitura lê as amostras seguindo a sequência  $\{0, 1, \dots, N - 2, N - 1, N - 1, N - 2, \dots, 1, 0\}$  para prover  $2N$  amostras na saída. A segunda diferença é que para compor as  $2N$  saídas imaginárias, as primeiras  $N$  amostras imaginárias lidas são seguidas por  $N$  amostras imaginárias lidas com seus sinais trocados. Para simplificar a implementação, é considerado que nenhum dado é transmitido na primeira subportadora, i.e., a amostra real e imaginária são iguais a zero.

$\mathcal{M}^{-1}(\hat{\mathbf{X}}_{\mathcal{M}})$ : a implementação da função de demapeamento Hermitiano simétrico é a mesma que a mostrada na figura 4.17.

As tabelas 4.5 e 4.6 apresentam as demandas de recursos de *hardware* para o transmissor  $\mathcal{P}(\cdot)^{HS}$  e receptor  $\mathcal{Q}(\cdot)^{HS}$  implementados em FPGA.

Tabela 4.5: Utilização dos recursos de *hardware* exigidos pela implementação do transmissor  $\mathcal{P}(\cdot)^{HS}$

$\mathcal{P}(\cdot)^{HS}$	LC	LR	Mem	Mult	Pot
Função $\mathcal{M}(\hat{\mathbf{X}}_{\mathcal{M}})$	298	228	36.864	0	
IFFT	2.395	1.455	36.864	0	
Prefixo Cíclico e <i>Upsampling</i>	128	100	28.672	0	
Filtro (Ordem 101)	4.626	4.456	7.070	202	
<b>Total Absoluto</b>	7.447	6.239	109.470	202	0,342
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	6,5%	5,4%	2,7%	38,0%	

Tabela 4.6: Utilização dos recursos de *hardware* exigidos pela implementação do receptor  $\mathcal{Q}(\cdot)^{HS}$

$\mathcal{Q}(\cdot)^{HS}$	LC	LR	Mem	Mult	Pot
Filtro (Ordem 101)	4.626	4.456	7.070	202	
Remove Prefixo Cíclico	28	18	65	0	
FFT	2.874	1.761	49.152	0	
Função $\mathcal{M}^{-1}(\hat{\mathbf{X}}_{\mathcal{M}})$	229	174	36.864	0	
<b>Total Absoluto</b>	7.757	6.409	93.151	202	0,341
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	6,8%	5,6%	2,3%	38,0%	

## 4.5 Implementação de Novos Transceptores OFDM

Foi apresentada em [7], [8] e em [9] uma análise de desempenho do esquema *clustered*-OFDM, para a transmissão de dados via rede de energia elétrica, que revelou que esse é capaz de lidar com as características dessas redes e também reduzir o custo dos transceptores. O estudo de quais tipos de transceptores são mais apropriados para esses esquemas é apresentado em [121] e em [118], onde é conduzida uma comparação de complexidade, em termos de multiplicações e soma, e é apresentado o desempenho de diversos esquemas OFDM. Esta seção aborda a implementação em FPGA desses esquemas ( $\mathcal{P}(\cdot)$  e  $\mathcal{Q}(\cdot)$ ) para comunicação em banda base e passante.

As subseções 4.5.1 e 4.5.2 abordam duas versões do transmissor  $\mathcal{P}(\cdot)$  enquanto as subseções 4.5.3, 4.5.4 e 4.5.5 apresentam três versões diferentes do receptor  $\mathcal{Q}(\cdot)$  para comunicação de dados em banda base e passante. Dois  $\mathcal{P}(\cdot)$  e três  $\mathcal{Q}(\cdot)$  permitem seis esquemas HS-OFDM. Os esquemas discutidos nas seções 4.5.2 e 4.5.5 permitem comunicação de dados tanto em banda passante quanto em banda base ao mudar a frequência do filtro passa-faixas, eliminando a necessidade de ter esquemas DSB-OFDM ou SSB-OFDM juntamente com HS-OFDM em um mesmo transceptor para prover comunicação em banda passante e em banda base.

Para esta seção, o tamanho do símbolo OFDM é  $2N$ , a largura da banda de frequência para a banda base e a banda passante são iguais a  $B/U$ .

### 4.5.1 Transmissor HS-OFDM Modificado $\mathcal{P}(\cdot)$ -I

A figura 4.20 mostra a proposta de um diagrama de blocos do  $\mathcal{P}(\cdot)$ -I, onde comprimento do símbolo OFDM é  $2N$ . Utiliza modulação DSB na banda base e modulação SSB na banda passante. Após a inserção do CP, *upsampling* de  $2N$ , filtragem LP (com largura de banda passante máxima igual a  $\pi/U$ ), modulação em fase para a transmissão através da banda passante e filtragem de banda passante (PB), cuja a largura de banda é igual a  $B/U$ , o SSB, com *upsampling* e  $x[n]$  modulado para a transmissão em banda passante pode ser expresso como

$$s_p[m] = ((x_e[m] \star h_{LP}[m])2 \cos[\omega m]) \star h_{PB}[m], \quad (4.14)$$

em que  $x_e[m]$  é obtido pelo *upsampling* de  $U$ . A filtragem LP é para eliminar as imagens das amostras de  $x[n]$  subamostradas. Um filtro passa banda - *Band Pass* (BP) que é centrado na frequência central da banda passante, o mesmo aplicado para gerar a versão SSB do sinal na banda passante, é aplicado. Destaca-se o fato

de que apenas a filtragem e a modulação precisam ser feitas em  $f_s = 2B$  Hz no transmissor e no receptor.

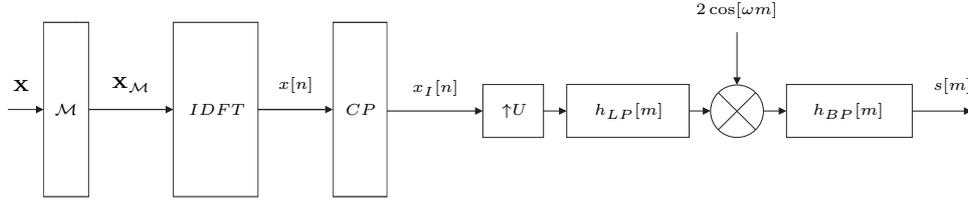


Figura 4.20: Um diagrama de blocos do transmissor HS-OFDM  $\mathcal{P}(\cdot)$ -I modificado.

O transmissor  $\mathcal{P}(\cdot)$ -I foi implementado em linguagem Verilog. O representação RTL é similar à apresentada nas seções anteriores, exceto pelos seguintes detalhes:

**Modulação em banda passante:** a implementação da unidade de modulação em banda passante é a mesma que a retratada na figura 4.13, a diferença é que apenas a modulação de fase é considerada. A filtragem BP tem frequência central igual a  $\omega m$  e largura de banda igual a  $B/U$ .

A tabela 4.7 apresenta as demandas de recursos de *hardware* para o transmissor  $\mathcal{P}(\cdot)$ -I implementado em FPGA.

Tabela 4.7: Utilização dos recursos de *hardware* exigidos pela implementação do transmissor  $\mathcal{P}(\cdot)$ -I

$\mathcal{P}(\cdot)$ -I	LC	LR	Mem	Mult	Pot
Função $\mathcal{M}(\hat{\mathbf{X}}_{\mathcal{M}})$	298	228	36.864	0	
IFFT	2.395	1.455	36.864	0	
Prefixo Cíclico e <i>Upsampling</i>	128	100	28.672	0	
Filtro LP (Ordem 101)	4.626	4.456	7.070	202	
Filtro BP (Ordem 101)	4.626	4.456	7.070	202	
Modulação Banda Passante	233	164	5.376	6	
<b>Total Absoluto</b>	12.306	10.859	121.916	410	0,654
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	10,7%	9,5%	3,1%	77,1%	

#### 4.5.2 Transmissor HS-OFDM Modificado $\mathcal{P}(\cdot)$ -II

A figura 4.21 retrata um diagrama de blocos do  $\mathcal{P}(\cdot)$ -II para OFDM que é uma alternativa simples para a comunicação de dados HS-OFDM em banda base e banda passante [119]. Seja o símbolo OFDM dado por  $\mathbf{X}_{\mathcal{M}} = \mathcal{M}(\mathbf{X})$ , e  $\mathbf{x}$  definido como na seção 4.4.1. Então, o sinal em banda base  $x[n]$  é composto pelas amostras do vetor

x. Com *upsampling* de  $U$  e resultando no sinal  $x_{I,e}[m]$  de modo que

$$X_{I,e}(e^{j\omega}) = X_I(e^{j\omega'U}), \quad (4.15)$$

que corresponde a repetição periódica de imagens do sinal em banda base do  $X_I(e^{j\omega'U})$  na harmônica  $\omega' = 2\pi/U$ . Então, um filtro passa-faixas  $h_{PB}[m]$  é aplicado para selecionar a banda lateral superior (*Upper Side Band* - USB) ou a banda lateral inferior (*Lower Side Band* - LSB) de uma das imagens do sinal para gerar o sinal a ser transmitido pelo do canal [164]. Para comunicação em banda base o filtro BP se torna um filtro LP.

A saída do transmissor da BS,  $s[m]$ , é expresso por

$$s_p[m] = x_{I,e}[m] \star h_{PB}[m], \quad (4.16)$$

em que  $x_{I,e}[m] \leftrightarrow X_{I,e}(e^{j\omega})$  é a versão subamostrada do  $x[n]$  por um fator de  $U$ .

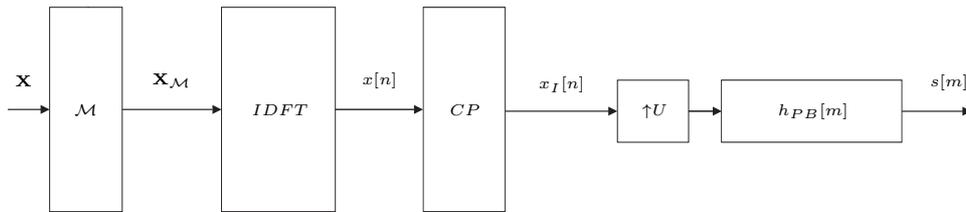


Figura 4.21: Um diagrama de blocos do transmissor HS-OFDM  $\mathcal{P}(\cdot)$ -II modificado.

O transmissor  $\mathcal{P}(\cdot)$ -II foi implementado em linguagem Verilog. A representação RTL é similar à apresentada nas seções anteriores, exceto pelos seguintes detalhes:

**Modulação em Banda Base e em Banda Passante:** a modulação em banda passante e em banda base é composta de duas unidades: i) *upsampling*; que a mesma que a mostrada na figura 4.11; e ii) filtragem BP, que é a mesma retratada na figura 4.12, com frequência central igual a  $\omega_m$  e largura de banda igual a  $B/U$ . Esse filtro é a chave para implementar a modulação em banda passante e em banda base no mesmo transmissor.

A tabela 4.8 apresenta as demandas de recursos de *hardware* para o transmissor  $\mathcal{P}(\cdot)$ -II implementado em FPGA.

Tabela 4.8: Utilização dos recursos de *hardware* exigidos pela implementação do transmissor  $\mathcal{P}(\cdot)$ -II

$\mathcal{P}(\cdot)$ -II	LC	LR	Mem	Mult	Pot
Função $\mathcal{M}(\hat{\mathbf{X}}_{\mathcal{M}})$	298	228	36.864	0	
IFFT	2.395	1.455	36.864	0	
Prefixo Cíclico e <i>Upsampling</i>	128	100	28.672	0	
Filtro BP (Ordem 101)	4.626	4.456	7.070	202	
<b>Total Absoluto</b>	7.447	6.239	109.470	202	0,342
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	6,5%	5,4%	2,7%	38,0%	

### 4.5.3 Receptor HS-OFDM Modificado $\mathcal{Q}(\cdot)$ -I

O esquema HS-OFDM adotado para comunicação em banda passante utiliza modulação SSB, assim o sinal SSB pode ser recuperado utilizando esquemas de demodulação convencionais aplicados para OFDM e SSB-OFDM quando  $\mathbf{x} \in \mathbb{C}^{2N \times 1}$ . Se  $\mathbf{x} \in \mathbb{R}^{2N \times 1}$ , apenas demodulação de fase é necessária. A proposta de um diagrama de blocos do receptor, designado como  $\mathcal{Q}(\cdot)$ -I, é ilustrado na figura 4.22.

Assumindo sincronização perfeita após a demodulação, filtragem LP, *downsampling* de  $D$ , remoção do CP e uso da DFT, o símbolo OFDM é obtido como em (4.13). Note que  $\mathcal{Q}(\cdot)$ -I utiliza demodulação em fase e em quadratura do SSB-OFDM, veja subseção 4.4.1.

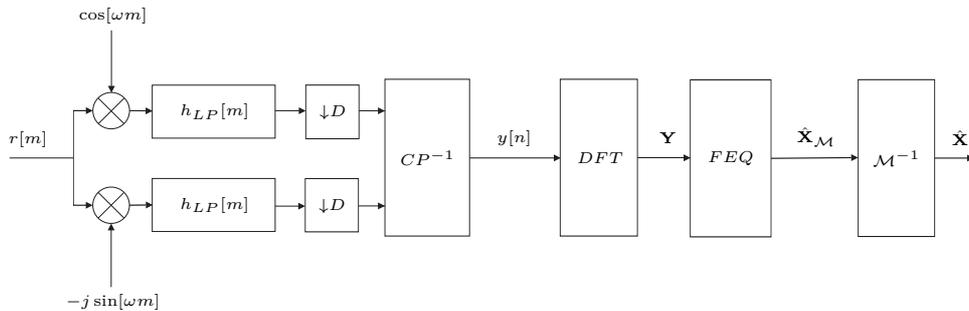


Figura 4.22: Um diagrama de blocos do receptor HS-OFDM  $\mathcal{Q}(\cdot)$ -I modificado.

O receptor  $\mathcal{Q}(\cdot)$ -I foi implementado em linguagem Verilog. A representação RTL é similar à apresentada nas seções anteriores.

A tabela 4.9 apresenta as demandas de recursos de *hardware* para o receptor  $\mathcal{Q}(\cdot)$ -I implementado em FPGA.

Tabela 4.9: Utilização dos recursos de *hardware* exigidos pela implementação do receptor  $\mathcal{Q}(\cdot)$ -I

$\mathcal{Q}(\cdot)$ -I	LC	LR	Mem	Mult	Pot
Demodulação Banda Passante	337	236	5.376	12	
Filtro Imag. (Ordem 101)	4.626	4.456	7.070	202	
Filtro Real (Ordem 101)	4.626	4.456	7.070	202	
Remove Prefixo Cíclico Imag.	123	100	28.672	0	
Remove Prefixo Cíclico Real.	102	84	28.672	0	
FFT	2.874	1.761	49.152	0	
Função $\Pi^T$	298	228	36.864	0	
<b>Total Absoluto</b>	12.986	11.321	162.876	416	0,675
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	11,3%	9,9%	4,1%	78,2%	

#### 4.5.4 Receptor HS-OFDM Modificado $\mathcal{Q}(\cdot)$ -II

A demodulação de sinais SSB, considerando demodulações em fase e em quadratura, pode ser realizado utilizando  $\mathcal{Q}(\cdot)$ -II, cuja proposta de um diagrama de blocos é mostrada na figura 4.23. Para comunicação em banda base, o  $\mathcal{Q}(\cdot)$ -II se converte para o  $\mathcal{Q}(\cdot)$  do esquema HS-OFDM. Note que a largura de banda do  $h_{BP}[m]$  e  $h_{LP}[m]$  é  $\pi/U$ . Depois da aplicação da FEQ, o símbolo OFDM é obtido como em (4.13).

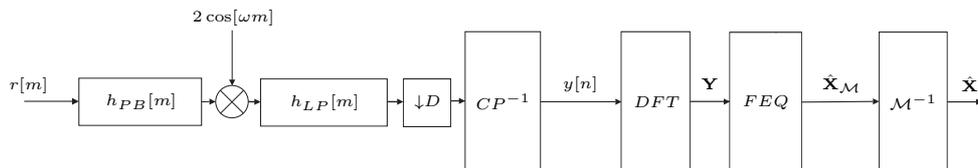


Figura 4.23: Um diagrama de blocos do receptor HS-OFDM  $\mathcal{Q}(\cdot)$ -II modificado.

O receptor  $\mathcal{Q}(\cdot)$ -II foi implementado em linguagem Verilog. A representação RTL é similar à apresentada nas seções anteriores, exceto pelos seguintes detalhes:

**Demodulação em banda passante:** a demodulação em banda passante desse receptor HS-OFDM modificado,  $\mathcal{Q}(\cdot)$ -II, é a mesma que a destacada na figura 4.14 desconsiderando a portadora de quadratura. O filtro BP tem frequência central igual a  $\omega m$  e largura de banda igual a  $B/U$ .

A tabela 4.10 apresenta as demandas de recursos de *hardware* para o receptor  $\mathcal{Q}(\cdot)$ -II implementado em FPGA.

Tabela 4.10: Utilização dos recursos de *hardware* exigidos pela implementação do receptor  $\mathcal{Q}(\cdot)$ -II

$\mathcal{Q}(\cdot)$ -II	LC	LR	Mem	Mult	Pot
Filtro PB. (Ordem 101)	4.626	4.456	7.070	202	
Filtro LP (Ordem 101)	4.626	4.456	7.070	202	
Demodulação Banda Passante	233	164	5.376	6	
Remove Prefixo Cíclico	28	18	65	0	
FFT	2.874	1.761	49.152	0	
Função $\mathcal{M}^{-1}(\hat{\mathbf{X}}_{\mathcal{M}})$	229	174	36.864	0	
<b>Total Absoluto</b>	12.616	11.029	105.597	410	0,580
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	11,0%	9,6%	2,7%	77,1%	

#### 4.5.5 Receptor HS-OFDM Modificado $\mathcal{Q}(\cdot)$ -III

O receptor  $\mathcal{Q}(\cdot)$ -III explora a teoria de banco de filtros para substituir a modulação/demodulação por uma simples combinação de operações de *upsampling/downsampling* com filtragem, veja [164]. Uma proposta de um diagrama de blocos para o receptor de um esquema *clustered*-OFDM  $\mathcal{Q}(\cdot)$ -III é retratada na figura 4.24. No diagrama de blocos,  $r[m]$  é o sinal recebido pelo usuário. Sendo filtrado por um filtro BP,  $h_{PB}[m]$ , e subamostrado por um fator de  $D$ , em que  $D = U$ , pois os esquemas HS-OFDM são do tipo SSB. O propósito do filtro  $h_{PB}[m]$  é remover todas as componentes de *aliasing*, exceto aquelas associadas com a banda desejada. Depois da remoção do CP, uso da DFT, o símbolo OFDM estimado é dado como em (4.13).

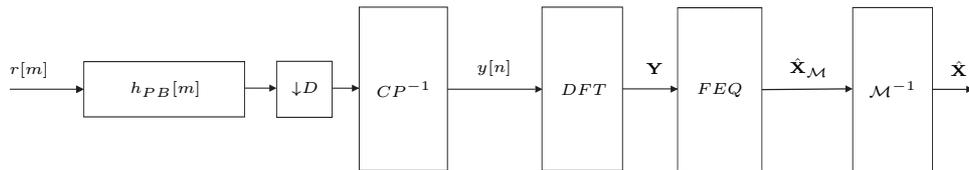


Figura 4.24: Um diagrama de blocos do receptor HS-OFDM  $\mathcal{Q}(\cdot)$ -III modificado.

O receptor  $\mathcal{Q}(\cdot)$ -III foi implementado em linguagem Verilog. A representação RTL é similar às apresentadas nas seções anteriores, exceto pelos seguintes detalhes:

**Demodulação em banda base e em banda passante:** a demodulação em banda base e em banda passante desse receptor HS-OFDM modificado,  $\mathcal{Q}(\cdot)$ -III, é composta de: i) filtro BP, que é o mesmo que o mostrado na figura 4.12; e ii) *downsampling*, como é descrito na seção 4.4.2.

A tabela 4.11 apresenta as demandas de recursos de *hardware* para o receptor

$\mathcal{Q}(\cdot)$ -III implementado em FPGA.

Tabela 4.11: Utilização dos recursos de *hardware* exigidos pela implementação do receptor  $\mathcal{Q}(\cdot)$ -III

$\mathcal{Q}(\cdot)$ -III	LC	LR	Mem	Mult	Pot
Filtro (Ordem 101)	4.626	4.456	7.070	202	
Remove Prefixo Cíclico	28	18	65	0	
FFT	2.874	1.761	49.152	0	
Função $\mathcal{M}^{-1}(\hat{\mathbf{X}}_{\mathcal{M}})$	229	174	36.864	0	
<b>Total Absoluto</b>	7.757	6.409	93.151	202	0,341
FPGA- EP4CE115F29C7N	114.480	114.480	3.981.312	532	
<b>Total Relativo</b>	6,8%	5,6%	2,3%	38,0%	

## 4.6 Análise Comparativa - Resultados de Implementações em FPGA

Esta seção apresenta uma análise comparativa sobre as complexidades teóricas e de implementações em um dispositivo FPGA dos esquemas baseados em OFDM e HS-OFDM, os quais são apresentados em seções anteriores. A complexidade, em termos de multiplicações e somas, e a utilização de recursos de *hardware* do dispositivo FPGA para implementar os transmissores e receptores com  $\mathcal{P}(\cdot)^{SSB}$  e  $\mathcal{Q}(\cdot)^{SSB}$  para o SSB-OFDM;  $\mathcal{P}(\cdot)^{DSB}$  e  $\mathcal{Q}(\cdot)^{DSB}$  para o DSB-OFDM;  $\mathcal{P}(\cdot)^{HS}$  e  $\mathcal{Q}(\cdot)^{HS}$  para o HS-OFDM;  $\mathcal{P}(\cdot)$ -I,  $\mathcal{P}(\cdot)$ -II,  $\mathcal{Q}(\cdot)$ -I,  $\mathcal{Q}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III para os esquemas HS-OFDM modificados são apresentadas. Além disso, as implementações em FPGA incluem a complexidade dos controladores e interfaces.

A tabela 4.12 apresenta a complexidade, em termos de multiplicações reais e adições, para os esquemas SSB-OFDM, DSB-OFDM e HS-OFDM discutidos em [118]. Esses resultados assumem FFTs radix-2 [165].

A tabela 4.13 apresenta a complexidade, em termos de multiplicações reais e adições, para os esquemas  $\mathcal{P}(\cdot)$ -I,  $\mathcal{P}(\cdot)$ -II,  $\mathcal{Q}(\cdot)$ -I,  $\mathcal{Q}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III discutidos em [118].

Sendo  $\alpha$  o fator de banda de guarda do sistema que ocupa uma banda de frequência  $(1 - \alpha)B/P$  e  $k$  a relação entre o comprimento do símbolo e o prefixo cíclico,  $K = L_{CP}/2NP$ , e considerando  $N = 2^l | l \in \{1, 2, 3, \dots, 12\}$ ,  $P = U = 5$ ,  $\alpha = 0, 1$ ,  $k = 1/16$  e  $L = 86$  a figura 4.25(a) apresenta a complexidade computacional teórica em termos de adições *versus* o número de subportadoras e a figura 4.25(b) apresenta a complexidade computacional teórica em termos de multiplicações *versus*

Tabela 4.12: Complexidade, em termos de multiplicações e somas, dos transmissores  $\mathcal{P}(\cdot)$  e receptores  $\mathcal{Q}(\cdot)$  atuais

$\mathcal{P}(\cdot)^{SSB}$		
Operações	$\times$	$+$
IFFT	$4N \log_2 2N$	$6N \log_2 2N$
Filtro LP	$8N(k+1)UL$	$4N(k+1)U(2L-1)$
Modulação banda passante	$4N(k+1)U$	$2N(k+1)U$
$\mathcal{Q}(\cdot)^{SSB}$		
Demodulação banda passante	$4N(k+1)U$	—
Filtro LP	$4N(k+1)ULU$	$4N(k+1)U(LU-1)$
FFT	$4N \log_2 2N$	$6N \log_2 2N$
FEQ	$8N(1-\alpha)$	$3N(1-\alpha)$
$\mathcal{P}(\cdot)^{DSB}$		
IFFT	$2N \log_2 N$	$3N \log_2 N$
Filtro LP	$2N(k+1)2UL/2$	$2N(k+1)2U(L/2-1)$
Modulação banda passante	$2N(k+1)2U$	$N(k+1)2U$
$\mathcal{Q}(\cdot)^{DSB}$		
Demodulação banda passante	$2N(k+1)2U$	—
Filtro LP	$2N(k+1)2ULU$	$2N(k+1)2U(LU-1)$
FFT	$2N \log_2 N$	$3N \log_2 N$
FEQ	$8N(1-\alpha)$	$3N(1-\alpha)$
$\mathcal{P}(\cdot)^{HS}$		
IFFT	$4N \log_2 2N$	$6N \log_2 2N$
Filtro LP	$2N(k+1)UL$	$2N(k+1)U(L-1)$
$\mathcal{Q}(\cdot)^{HS}$		
Filtro LP	$2N(k+1)ULU$	$2N(k+1)U(LU-1)$
FFT	$4N \log_2 2N$	$6N \log_2 2N$
FEQ	$8N(1-\alpha)$	$3N(1-\alpha)$

o número de subportadoras. O parâmetro  $N$  é representado como  $\log_2$  e o número de operações como  $\log_{10}$ . Essas figuras indicam que ambos os esquemas  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III combinados e o esquema HS-OFDM oferecem a menor complexidade computacional teórica. Entretanto, o esquema convencional HS-OFDM foi projetado para operar apenas em banda base, isso quer dizer que a proposta de combinação dos esquemas  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III oferece a menor complexidade teórica considerando transmissão de dados em banda base e em banda passante. É demonstrado em [118] que esses esquemas apresentam o mesmo desempenho em termos de BER e capacidade.

Tabela 4.13: Complexidade computacional, em termos de multiplicações e somas, dos transmissores  $\mathcal{P}(\cdot)$  e receptores  $\mathcal{Q}(\cdot)$  propostos

$\mathcal{P}(\cdot)$ -I		
Operações	$\times$	$+$
IFFT	$4N \log_2 2N$	$6N \log_2 2N$
Filtro LP	$2N(k+1)UL$	$2N(k+1)U(L-1)$
Modulação banda passante	$2N(k+1)U$	—
Filtro BP	$2N(k+1)ULU$	$2N(k+1)U(LU-1)$

$\mathcal{P}(\cdot)$ -II		
Operações	$\times$	$+$
IFFT	$4N \log_2 2N$	$6N \log_2 2N$
Filtro BP	$2N(k+1)UL$	$2N(k+1)U(L-1)$

$\mathcal{Q}(\cdot)$ -I		
Operações	$\times$	$+$
Demodulação banda passante	$4N(k+1)U$	—
Filtro LP	$4N(k+1)ULU$	$4N(k+1)U(LU-1)$
FFT	$4N \log_2 2N$	$6N \log_2 2N$
FEQ	$8N(1-\alpha)$	$3N(1-\alpha)$

$\mathcal{Q}(\cdot)$ -II		
Operações	$\times$	$+$
Filtro BP	$2N(k+1)ULU$	$2N(k+1)U(LU-1)$
Demodulação banda passante	$2N(k+1)U$	—
Filtro LP	$2N(k+1)ULU$	$2N(k+1)U(LU-1)$
FFT	$4N \log_2 2N$	$6N \log_2 2N$
FEQ	$8N(1-\alpha)$	$3N(1-\alpha)$

$\mathcal{Q}(\cdot)$ -III		
Operações	$\times$	$+$
Filtro BP	$2N(k+1)ULU$	$2N(k+1)U(LU-1)$
FFT	$4N \log_2 2N$	$6N \log_2 2N$
FEQ	$8N(1-\alpha)$	$3N(1-\alpha)$

Com a finalidade de prototipar os esquemas em FPGA, a tabela 4.14 lista os parâmetros adotados pelos esquemas na implementação em FPGA. Todos os esquemas foram implementados em um dispositivo FPGA EP4CE115 Cyclone IV. Para esse dispositivo FPGA os recursos disponíveis são: 114480 LC; 114480 LR; 3981312 bits de memória *on-chip* (Mem) e 532 multiplicadores  $9 \times 9$  (Mult).

A ferramenta de análise de consumo *PowerPlay Power Analyzer* [79] foi utilizada para obter o consumo de energia do dispositivo FPGA. Para o consumo de energia, as seguintes considerações foram observadas: i) escala de temperatura comercial; ii) tensão do núcleo do dispositivo FPGA igual a  $V_{ccint} = 1,20$  V; iii) temperatura ambiente de  $T_A = 25$  °C; iv) dissipador de calor de 23 mm; v) fluxo de ar de 1 m/s; vi) *toggle rate* igual a 1/8; e vii) 120 MHz para o *clock* do dispositivo FPGA.

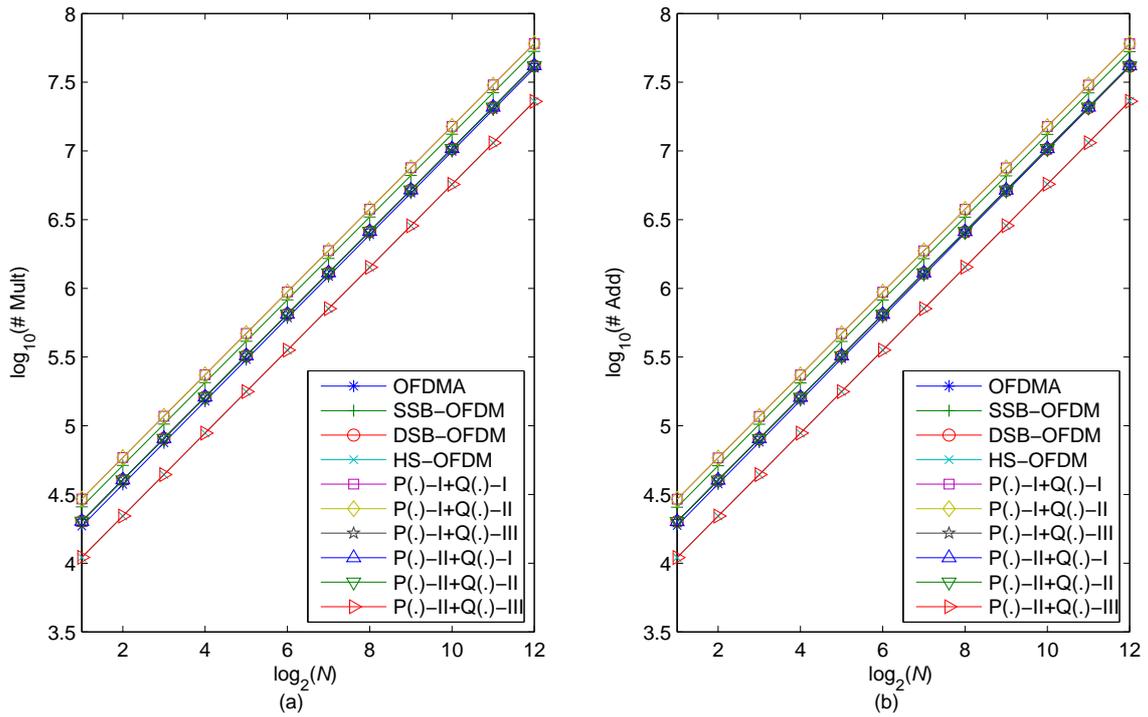


Figura 4.25: (a) Complexidade computacional teórica em termos de adições; (b) Complexidade computacional teórica em termos de multiplicações.

A tabela 4.15 representa a demanda em termos de LC, LR, Mem e Mult, em porcentagem e o consumo total de energia, em Watts, para a implementação dos cinco transmissores. De acordo com essa tabela,  $\mathcal{P}(\cdot)^{HS}$  e  $\mathcal{P}(\cdot)\text{-II}$  exigem a menor utilização de recursos de *hardware* e consumo de energia do dispositivo. Os resultados relacionados com a utilização de recursos concordam com os as análises teóricas de complexidade. O  $\mathcal{P}(\cdot)\text{-II}$  é o único que pode operar tanto em banda base como em banda passante e alcançou a menor complexidade de *hardware* e consumo de energia.

Tabela 4.14: Parâmetros adotados na implementação em FPGA

Parametros	Valores
$N$	512
$U$	5
$D$	5
Ordem do filtro	100
$L_{CP}$	$N/4$
Banda de frequência	$[0, 50)$ MHz
$B/U$	10 MHz

Tabela 4.15: Utilização dos recursos do *hardware* exigidos pelos transmissores no dispositivo FPGA

Transmissor	LC	LR	Mem	Mult	Pot
$\mathcal{P}(\cdot)^{SSB}$	6,8%	5,7%	2,9%	40,2%	0,654
$\mathcal{P}(\cdot)^{DSB}$	10,6%	9,4%	2,9%	78,2%	0,658
$\mathcal{P}(\cdot)^{HS}$	6,5%	5,4%	2,7%	38,0%	0,342
$\mathcal{P}(\cdot)$ -I	10,7%	9,5%	3,1%	77,1%	0,654
$\mathcal{P}(\cdot)$ -II	6,5%	5,4%	2,7%	38,0%	0,342

A demanda por utilização de recursos e consumo de energia pelos seis receptores é apresentada na tabela 4.16. Essa tabela mostra que o  $\mathcal{Q}(\cdot)^{HS}$  e o  $\mathcal{Q}(\cdot)$ -III exigem a menor utilização de recursos de *hardware* do dispositivo FPGA em termos de LC, LR, Mem e Mult. Além disso, eles requerem o menor consumo de energia.

Tabela 4.16: Utilização dos recursos de *hardware* exigidos pelo receptores no dispositivo FPGA

Receptores	LC	LR	Mem	Mult	Pot
$\mathcal{Q}(\cdot)^{SSB}$	11,3%	9,9%	4,1%	78,2%	0,675
$\mathcal{Q}(\cdot)^{DSB}$	11,1%	9,7%	3,2%	78,2%	0,664
$\mathcal{Q}(\cdot)^{HS}$	6,8%	5,6%	2,3%	38,0%	0,341
$\mathcal{Q}(\cdot)$ -I	11,3%	9,9%	4,1%	78,2%	0,675
$\mathcal{Q}(\cdot)$ -II	11,0%	9,6%	2,7%	77,1%	0,580
$\mathcal{Q}(\cdot)$ -III	6,8%	5,6%	2,3%	38,0%	0,341

Ao analisar as tabelas 4.15 e 4.16, fica claro que um transceptor composto por  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III exige a menor utilização de recursos de *hardware* e consumo de energia de um dispositivo FPGA. Baseado no fato que somente o transceptor resultante da combinação de  $\mathcal{P}(\cdot)$ -I ou  $\mathcal{P}(\cdot)$ -II com  $\mathcal{Q}(\cdot)$ -I,  $\mathcal{Q}(\cdot)$ -II ou  $\mathcal{Q}(\cdot)$ -III pode executar comunicação de dados tanto em banda base como em banda passante, então

o transceptor baseado nos esquemas  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III [119] é a melhor escolha, pois resulta na menor utilização de recursos de *hardware* e no menor consumo de energia.

A tabela 4.17 sumariza a complexidade do transceptor *full duplex*, que é baseado no  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III, quando os controles e interfaces são levados em conta, de acordo com a arquitetura proposta na seção 4.3. Note que se um transceptor *half duplex* fosse considerado, várias funções poderiam ser compartilhadas entre o transmissor e o receptor, o que reduziria a utilização total de recursos de *hardware*. Note que o controlador *Ethernet*, o controlador da memória e o *softcore* são responsáveis pela maior parte da utilização da memória disponível. Finalmente, nota-se que o consumo de energia para gerar e distribuir o *clock* é relevante.

Tabela 4.17: Utilização dos recursos de *hardware* do transceptor full duplex  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}$ -III no dispositivo FPGA

Cyclone IV	LC	LR	Mem	Mult	Pot
Controlador <i>Ethernet</i>	14,34%	12,81%	20,88%	0,00%	12,83%
Controlador DAC	0,10%	0,13%	0,00%	0,00%	0,03%
Controlador ADC	0,03%	0,04%	0,00%	0,00%	0,01%
PLL + Distribuição do <i>Clock</i>	0,00%	0,00%	0,00%	0,00%	17,11%
Controlador da Memória	1,42%	1,25%	36,00%	0,00%	8,13%
<i>Softcore</i> MAC	11,76%	9,09%	17,10%	0,75%	8,54%
Tx-PHY - $\mathcal{P}(\cdot)$ -II	22,98%	26,98%	7,95%	42,64%	19,45%
Rx-PHY - $\mathcal{Q}(\cdot)$ -III	43,45%	45,22%	7,16%	56,60%	19,39%
Controlador Geral Tx/Rx-PHY	3,70%	3,22%	10,91%	0,00%	4,28%
<i>Glue logic</i> + I/O	2,22%	1,27%	0,00%	0,00%	10,25%
<b>Total Absoluto</b>	47645	35094	3063722	530	1,7591 W
FPGA- EP4CE115F29C7N	114480	114480	3981312	532	
<b>Total Relativo</b>	42%	31%	77%	99%	

Uma análise do uso dos multiplicadores revela que eles são consumidos principalmente pelos filtros do Tx-PHY e Rx-PHY. Com o objetivo de destacar a demanda de multiplicadores dos filtros, a tabela 4.18 lista a demanda pelos multiplicadores quando a ordem do filtro assume quatro valores diferentes. Essa tabela indica que o filtro pode consumir quase todos os multiplicadores disponíveis se sua ordem for maior que 300.

Análises de *Floorplanning* foram realizadas para identificar as estruturas que deveriam ser posicionadas próximas, dentro do dispositivo FPGA, para maximizar a frequência de operação. É uma tarefa importante para ser realizada de modo a garantir que o projeto atenda às restrições de desempenho e utilização dos recursos de *hardware*. O *floorplan* no dispositivo FPGA para um transceptor *full duplex*

Tabela 4.18: Utilização dos recursos de *hardware* no dispositivo FPGA para implementar filtros FIR com diferentes ordens

Ordem do Filtro	LC	LR	Mem	Mult	Pot
302	20,1%	12,5%	0,3%	88,0%	0,773
202	9,0%	8,2%	0,4%	75,9%	0,606
100	4,0%	3,9%	0,2%	37,6%	0,296
64	2,6%	2,5%	0,1%	24,1%	0,180

baseado nos  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}$ -III, que é capaz de prover 100 Mbps com um *clock* de 120 MHz, é retratado na figura 4.26. Essa figura revela que os blocos do transceptor estão próximos entre si, o que permite que o *hardware* opere com alta frequência de *clock*.

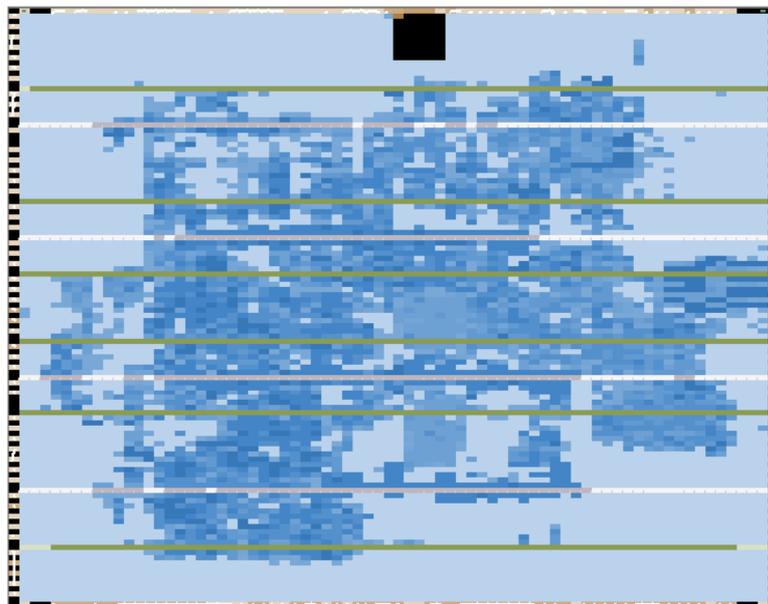


Figura 4.26: O *floorplan* do FPGA com o transceptor baseado no  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}$ -III.

Finalmente, a figura 4.27 retrata a fotografia dos protótipos dos transceptores baseados nos esquemas  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}$ -III em dois kits de desenvolvimento baseados em FPGA. O osciloscópio mostra os símbolos OFDM transmitidos pelos dois protótipos.

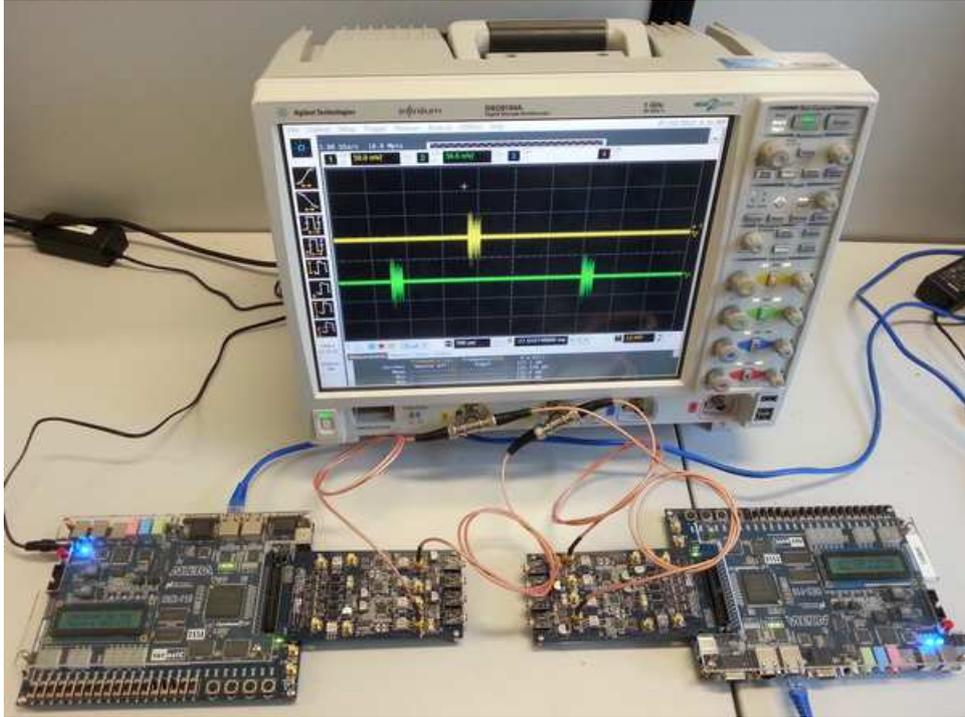


Figura 4.27: Os protótipos de dois transceptores baseados nos esquemas  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III.

## 4.7 Sumário

Com o objetivo de projetar transceptores de baixo custo e baixo consumo de energia para comunicação de dados em altas taxas de transferência de dados, este capítulo discutiu e analisou a implementação de diversos esquemas OFDM em plataformas baseadas em FPGA. Além da discussão das camadas PHY e MAC, uma atenção especial foi designada para as limitações de aplicações práticas, como a análise da utilização dos recursos de *hardware* e consumo de energia associados aos controles e interfaces de um transceptor OFDM.

Foi apresentado um estudo de caso que apontou a plataforma de desenvolvimento baseada em FPGA como a mais apropriada para implementação de transceptores de elevado desempenho.

Os esquemas para SSB-OFDM, DSB-OFDM, HS-OFDM e os novos propostos, HS-OFDM modificados, foram implementados utilizando a linguagem Verilog. Suas demandas em termos de utilização de recursos de *hardware* e consumo de energia foram analisadas.

Os resultados obtidos demonstraram que o cálculo das complexidades teóricas previu corretamente que tipo de ganho pode ser esperado ao implementar um transceptor baseado nos esquemas  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III em FPGA. Os resultados de implementação em FPGA indicam que o transceptor composto pelo transmissor  $\mathcal{P}(\cdot)$ -II e pelo receptor  $\mathcal{Q}(\cdot)$ -III é o que apresenta a menor complexidade e menor consumo

de energia, além de poder operar em banda base e em banda passante.

Este capítulo também apresentou um protótipo de transceptores baseados nos esquemas  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III capaz de atingindo taxas de até 100 Mbps.

As técnicas de alocação de usuários, propostas no capítulo 6, e as técnicas de alocação de bits, propostas no capítulo 7, são testadas no protótipo apresentado neste capítulo.



# Capítulo 5

## Formulação do Problema de Alocação de Recursos

No presente capítulo, discutem-se os problemas de alocação de recursos quando as aplicações de redes PLC de acesso e *smart grid communications* são consideradas. É proposta uma classificação dos recursos a serem otimizados da seguinte forma: i) recursos de planejamento de rede; ii) recursos de modem; e iii) recursos de tráfego.

São apresentadas as formulações dos problemas de gerenciamento e alocação de recursos como problemas de otimização multiobjetivo. Tal formulação unificada, mostrou-se fundamental para o desenvolvimento de técnicas de otimização, apresentadas nos capítulos 6 e 7, para resolver esses problemas.

A seção 5.1 apresenta os problemas de otimização relacionados às redes PLC e apresenta uma revisão bibliográfica. A seção 5.2 formula o problema multiobjetivo de otimização a ser resolvidos durante o planejamento da rede referente à topologia da rede considerando os problemas de coexistência com outros sistemas de comunicação de dados. A seção 5.3 define alocação de recursos de modem e formula o problema multiobjetivo de otimização quando alocação de recursos de modem em redes PLC - PLC *Resource Allocation* (PRA) é considerado para alocação de usuários e bits. Por fim, são apresentadas as considerações finais na seção 5.4.

### 5.1 Problemas de Gerenciamento e Alocação de Recursos em Redes PLC de Acesso

As redes PLC estão sendo cada vez mais empregados em aplicações de *smart grid communications* [5] e de acesso banda larga [166, 167]. Este capítulo aborda os desafios relacionados ao gerenciamento e alocação de recursos no intuito de implementar uma rede de acesso utilizando as redes de energia elétrica [20, 168, 169].

Com a intenção de estudar a complexidade e os desafios das técnicas de gerência

e alocação de recursos, três categorias principais de recursos podem ser definidas conforme a figura 5.1. A partir destas definições, nas seções 5.2 e 5.3 serão formulados os problemas de otimização cujas soluções e resultados são discutidos nos capítulos 6 e 7. As três categorias principais de recursos são:

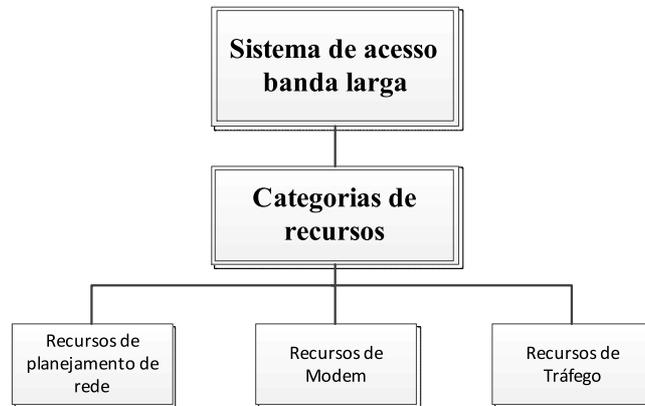


Figura 5.1: Categorias de recursos em redes PLC de acesso banda larga.

i) recursos de planejamento de rede, relacionados à topologia da rede; ii) recursos de Modem, relacionados aos parâmetros da camada PHY; e iii) recursos de tráfego, relacionados com a camada MAC.

### 5.1.1 Recursos de Planejamento de Rede

As redes de energia elétrica conectam as unidades geradoras a uma variedade de consumidores. A transmissão e distribuição de energia elétrica se dão por redes de transmissão e distribuição de energia elétrica operando em diferentes níveis de tensão e interconectadas por transformadores. Baseadas no nível de tensão na qual a energia é transmitida, as linhas de transmissão são classificadas como Alta Tensão (AT), MT e BT [29]. A figura 5.2 apresenta uma topologia simplificada e alguns equipamentos das redes de transmissão e distribuição de energia elétrica. Sobrepondo esse sistema complexo e diverso de transmissão de energia, deve-se prover uma rede PLC de acesso banda larga eficiente e confiável conectando usuários e os provedores de serviço de internet - *Internet Service Providers* (ISP).

A figura 5.3 apresenta uma topologia da rede de distribuição de energia elétrica simplificada na qual uma BS é instalada próxima de um transformador, de forma a poder extrair ou injetar sinais de comunicação na rede de energia elétrica de BT externa, e ela está conectado ao ISP por meio de um ponto de acesso à rede de longa distância - *Wide Area Network Access Point* (WANAP). Note que repetidores/*relays* são usados para cobrir longas distâncias e que cada usuário utiliza um modem PLC para se conectar à BS. A presença e, conseqüentemente, a coexistência com outros sistemas de telecomunicações também são consideradas. Neste contexto,

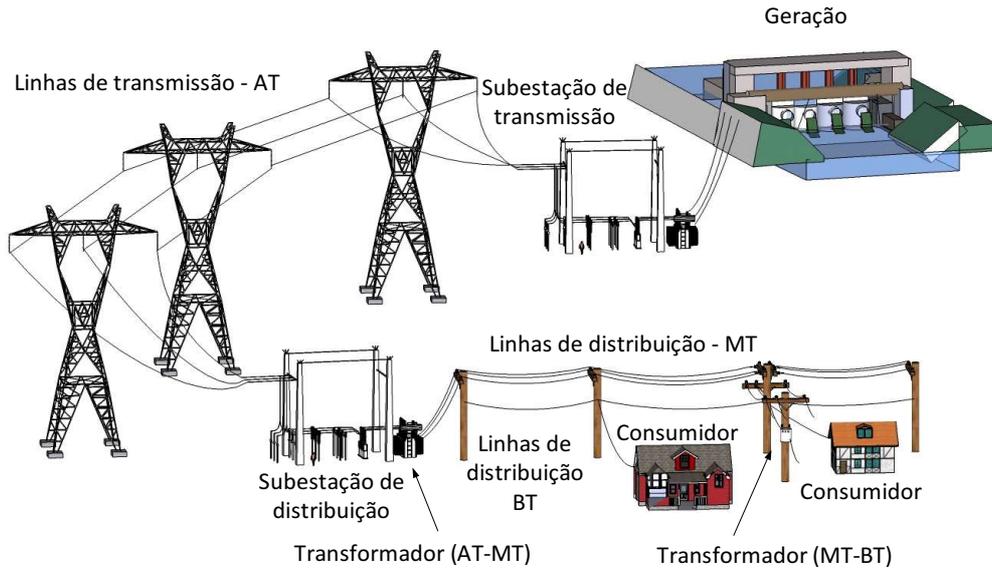


Figura 5.2: Sistema de transmissão e distribuição de energia elétrica.

o planejamento da rede pode ser dividido em duas tarefas distintas: i) definição da topologia da rede e ii) garantia da coexistência com outros sistemas de comunicação operando na mesma banda de frequência e localização geográfica.

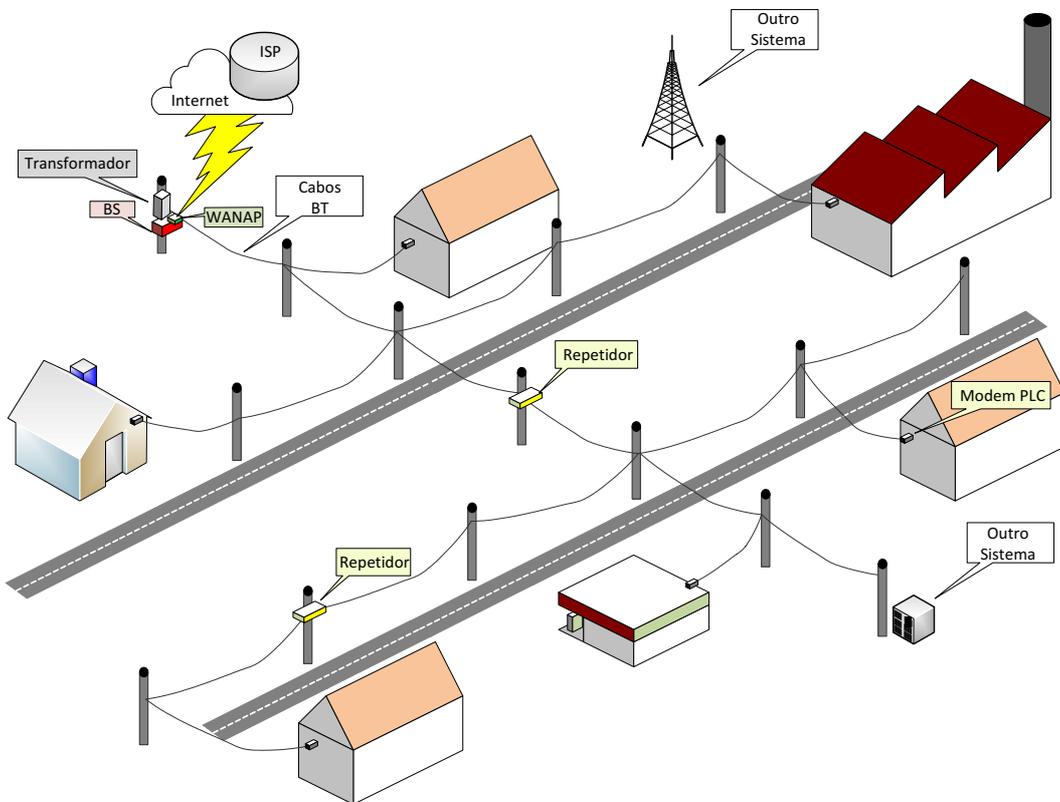


Figura 5.3: Topologia de rede e equipamentos PLC.

O planejamento da topologia da rede deve considerar as BSs, os repetido-

res/*relays* e os WANAPs como recursos cujo posicionamento e quantidade devem ser definidos de forma ótima. Como o número de modems corresponde ao número de usuários conectados na rede BT, este não será considerado como um recurso a ser otimizado. A figura 5.4 organiza os problemas de planejamento de rede PLC de acesso e apresenta a divisão do problema de planejamento da topologia da rede como:

i) problema de posicionamento e quantidade de BSs; ii) problema de posicionamento e quantidade de *relays*; e iii) escolha do WANAP, uma vez que sua posição é definida pela posição da BS.

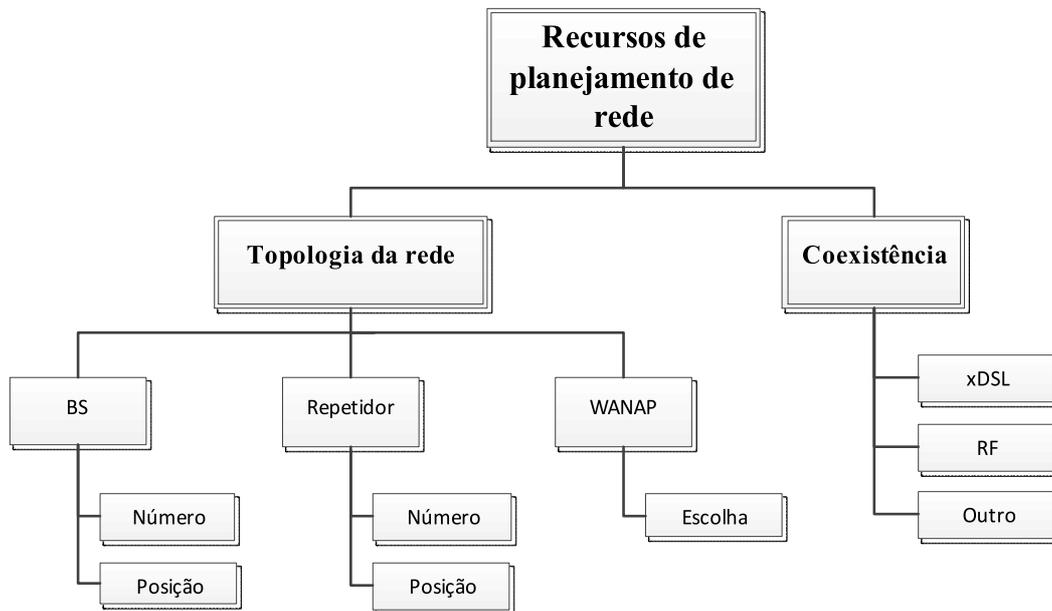


Figura 5.4: Gerência e alocação de recursos considerando o planejamento da rede.

A coexistência com outros sistema de comunicação de dados operando na mesma banda de frequência deve ser considerada no planejamento da rede PLC de acesso banda larga [170, 171]. De fato, a rede PLC de acesso banda larga opera em bandas de frequência que podem ser compartilhadas com outros sistemas como: rádio amador, DSL, estações modulação em amplitude - *Amplitude Modulation* (AM) e modulação em frequência - *Frequency Modulation* (FM), outras reds PLC, etc. Neste cenário, técnicas inovadoras e eficientes de cognição podem ser empregadas para lidar com esses problemas de coexistência [172–180]. Para esse problema, as técnicas de otimização devem retornar os intervalos de tempo nos quais a rede PLC de acesso pode operar sem interferir com o usuário primário, assim como o nível de potência e banda de frequência que resultam em uma interferência reduzida.

## 5.1.2 Recursos de Modem

Considerando *Frequency Division Multiple Access* (FDMA), em sistemas PLC, pode-se definir alocação de recursos de modem como PRA sendo o emprego de uma coleção de técnicas e ferramentas utilizadas para se distribuir os recursos de uma forma justa entre os usuários quando a camada PHY é considerada. PRA pode oferecer aumento considerável no desempenho do sistema devido ao uso de estratégias, como alocação de janelas temporais e banda de frequência, alocação de subportadora, alocação de potência e bit em função do volume de tráfego, condição do canal, disponibilidade de informações do canal, requisitos de QoS, entre outras restrições. A figura 5.5 apresenta os problemas de PRA quando a camada PHY do sistema de comunicação PLC é considerada. De acordo com a figura, o problema é dividido da seguinte forma:

- i) alocação de espectro e
- ii) alocação de potência.

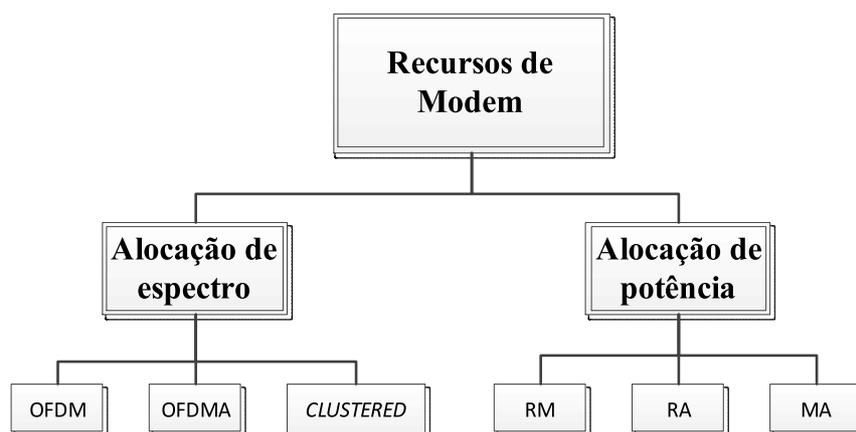


Figura 5.5: Gerência e alocação de recursos, considerando PRA, relacionados à camada PHY.

A rede PLC de acesso é um meio de comunicação de dados compartilhado entre os diferentes usuários que varia com a distância, a frequência e o tempo. Deste modo, cada usuário experimenta diferentes condições desse meio de comunicação (atenuação, ruído aditivo e impedância de acesso). Como consequência, um dos desafios das técnicas de PRA para elevar o desempenho da rede PLC é alocar o espectro e a potência levando essas informações em consideração. As figuras 5.6 e 5.7 ilustram a situação em que técnicas de PRA deveriam ser aplicadas para elevar o desempenho do sistema, quando quatro usuários são considerados.

A figura 5.6 ilustra uma rede PLC de acesso banda larga típica composta por uma BS PLC e quatro usuários PLC. Neste cenário, os usuários dispõem do meio de comunicação caracterizado por canais PLC com atenuações distintas na frequência, assim como ilustrado na figura 5.7, os quais são modelados de acordo com a equação

(2.1). Ambas as figuras sugerem que cada usuário deve transmitir dados em diferentes bandas de frequência para elevar o desempenho geral do sistema. É importante comentar que estes quatro canais modelados são utilizados para a validação das técnicas propostas nos capítulos 6 e 7.

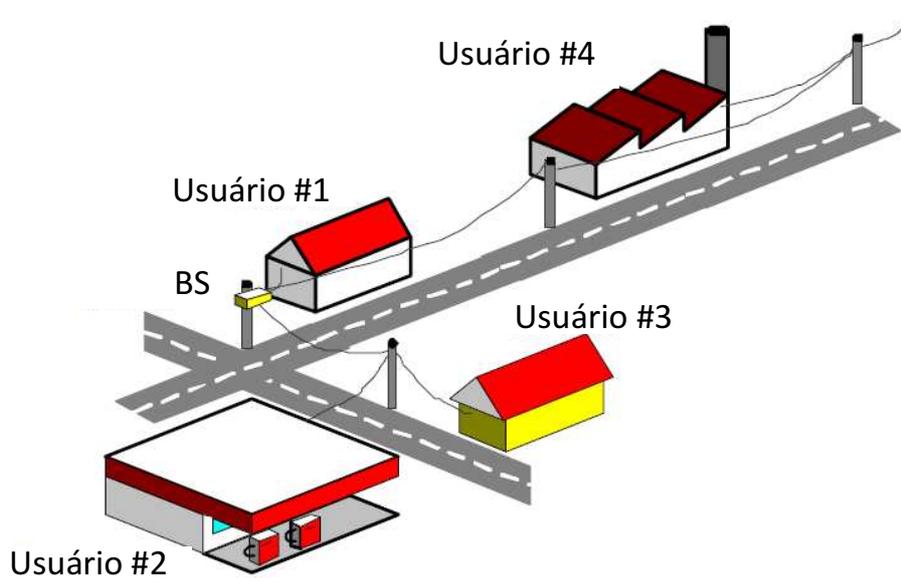


Figura 5.6: Exemplo de uma rede PLC de acesso.

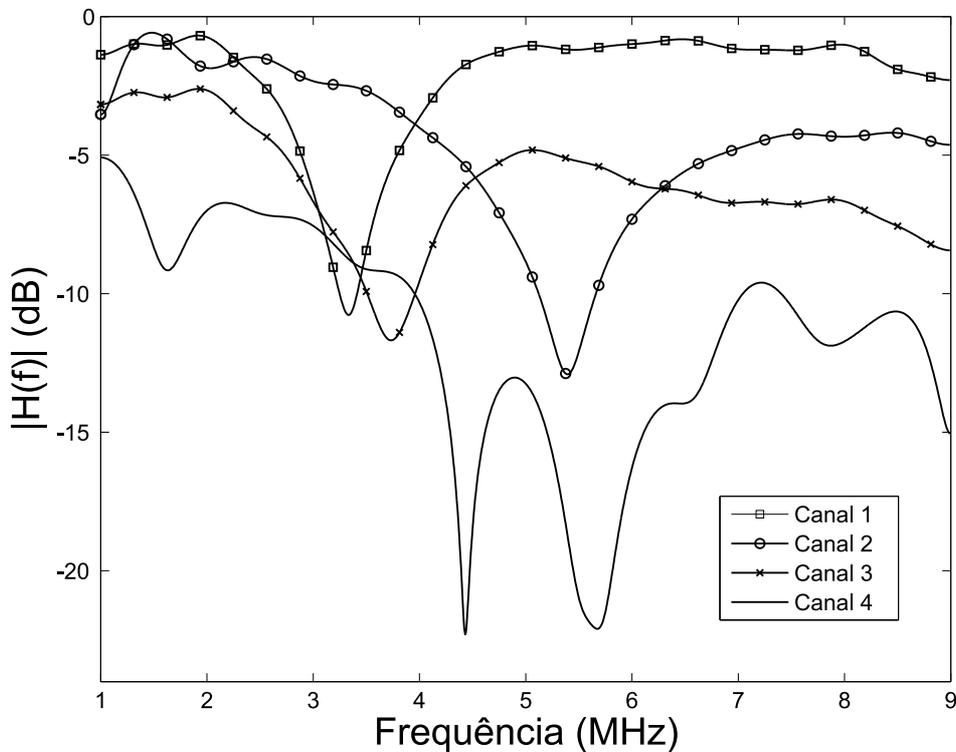


Figura 5.7: Módulo da resposta em frequência para quatro canais PLC externos de BT.

## Alocação de espectro

Técnicas de alocação de espectro podem elevar o desempenho do sistema considerando várias formas de diversidade, como diversidade em frequência e diversidade multiusuário, quando possível. Diversidade em frequência refere-se ao fato de diferentes subportadoras apresentarem diferentes atenuações do canal devido à seletividade em frequência do canal, enquanto diversidade multiusuário refere-se a usuários distintos experimentarem diferentes condições do canal, em função de seus posicionamentos distintos na rede, definida em [181], assim como pode ser inferido nas figuras 5.6 e 5.7. Essas diversidades implicam que uma subportadora com profunda atenuação para um usuário pode não apresentar profunda atenuação para outro usuário. Deste modo, uma abordagem interessante seria alocar cada usuário em um subconjunto de subportadoras que atendam às solicitações de recursos de casa usuário.

A figura 5.5 sugere uma divisão do problema de alocação de espectro em três tipos:

- i) OFDM, o qual determina os intervalos de tempo para a transmissão *downlink* e *uplink* quando multiplexação no tempo é considerada;
- ii) OFDMA, o qual determina o conjunto de subportadoras alocadas para cada usuário para *downlink* e *uplink*; e
- iii) *clustered*-OFDM/OFDMA, o qual determina a alocação dos usuários em cada *cluster* assim como seus conjuntos de subportadoras para *downlink* e *uplink*.

## Alocação de potência

Um outro problema importante para ser resolvido com técnicas de PRA é a alocação de potência ou bits nas subportadoras. Assim, como exemplificado na figura 5.7, o meio de comunicação de dados utilizados para PLC é seletivo em frequência, então uma abordagem ótima seria alocar diferentes valores de potência, ou quantidades de bits, em cada subportadora [182, 183]. Na literatura [184], o problema de alocação de potência ou bits é classificado em três categorias (veja figura 5.5), são elas:

- i) *Rate Maximization* (RM), cujo objetivo é utilizar a banda de transmissão do sistema de uma forma eficiente de modo que a BS possa transmitir com a máxima taxa de transferência para servir os modems PLC, considerando restrições de potência de transmissão. Esse problema é também conhecido como maximização da soma das taxas (*sum-rate maximization*) [184];
- ii) *Margin Adaptive* (MA), cujo objetivo é garantir um patamar mínimo de QoS requerido para todos os modems com a menor potência transmitida possível; e
- iii) *Rate Adaptive* (RA), cujo foco é a alocação de potência em cada subportadora

quando a potência total é constante.

### 5.1.3 Recursos de Tráfego

Além da otimização dos recursos no nível da camada PHY, alguns parâmetros adicionais devem ser considerados como: o tráfego, o atraso fim-a-fim e a capacidade [185–187]. O emprego desses parâmetros adicionais de controle de tráfego pode fazer com que a rede PLC atenda de forma efetiva as demandas dos usuários [188–190]. Esses parâmetros podem ser vistos como técnicas *cross-layer* caso as camadas PHY e MAC sejam consideradas.

Técnicas de gerenciamento e alocação de tráfego, agrupadas conforme a figura 5.8, são classificadas como:

i) controle de admissão, considera um mecanismo que pode estimar o nível de QoS necessário para uma nova sessão de transmissão de dados do usuário e se existe recurso suficiente para servir a essa sessão. Caso o recurso esteja disponível, a sessão é admitida [191];

ii) gerenciamento de fila, considerando a classificação de pacotes, na qual o fluxo de dados é identificado e classificado e, então, alocado em filas que oferecem níveis apropriados de QoS [192]; e

iii) agendamento de tráfego, permite, de forma eficiente, que cada usuário transmita seu fluxo de dados com a QoS necessária e determina a ordem de transmissão de cada usuário, ou seja, em qual intervalo de tempo e em qual subportadora cada usuário tem a permissão para transmitir [193–198].



Figura 5.8: Gerência e alocação de recursos considerando tráfego relacionados à camada MAC.

## 5.2 Alocação de Recursos no Planejamento da Rede: Formulação

Os problemas relacionados às redes PLC de acesso apresentados na seção 5.1 podem ser formulados como problemas de otimização do tipo *Single-Objective Op-*

*timization* (SOO) ou *Multi-Objective Optimization* (MOO), como os problemas que serão formulados consideram diferentes questões relativas às redes, optou-se por uma formulação MOO.

O processo de otimização procura por um ou mais vetores de variáveis de decisão  $\mathbf{x}$  que satisfaça todas as restrições e minimize um conjunto de funções objetivo  $f_k(\mathbf{x})$  para  $V$  parâmetros ou variáveis de decisão,  $K$  funções objetivo e  $R$  restrições. O problema MOO pode ser equacionado como

$$\begin{aligned} & \min_{\mathbf{x}} \mathbf{f}(\mathbf{x}), \\ \text{sujeito a : } & \mathbf{a}(\mathbf{x}) = 0 \\ & \mathbf{c}(\mathbf{x}) \geq 0 \end{aligned} \tag{5.1}$$

em que  $\mathbf{f}(\mathbf{x}) = [f_1(\mathbf{x}) \ f_2(\mathbf{x}) \ \dots \ f_K(\mathbf{x})]^T$ ,  $\mathbf{x} \in \Re^{V \times 1}$  é o vetor de funções objetivo,  $\mathbf{a}(\mathbf{x}) = [a_1(\mathbf{x}) \ a_2(\mathbf{x}) \ \dots \ a_I(\mathbf{x})]^T$  denota as  $I$  restrições de igualdade e  $\mathbf{c}(\mathbf{x}) = [c_1(\mathbf{x}) \ c_2(\mathbf{x}) \ \dots \ c_D(\mathbf{x})]^T$  denota as  $D$  restrições de desigualdade, tal que  $I + D = R$ .

Considerando a dificuldade em se minimizar a função  $\mathbf{f}(\mathbf{x})$  composta simultaneamente por múltiplas e, possivelmente, contraditórias funções objetivo, pode-se combinar as funções individuais  $f_k(\mathbf{x})$  como

$$\min_{\mathbf{x}} f(\mathbf{x}), \tag{5.2}$$

em que  $f(\mathbf{x}) = \sum_i w_i f_i(\mathbf{x})$  e os pesos são definidos para resultar em uma combinação convexa das funções objetivo (de modo que  $\sum_i w_i = 1$  e  $w_i \geq 0$ ).

Esse problema pode ser resolvido tanto com técnicas de otimização exatas, as quais podem ser complexas, quando por algoritmos heurísticos. O segundo grupo, ilustrado na figura 5.9, pode ser subdividido em:

- i) algoritmos baseados em heurística convencional, que são aplicados a um problema de otimização específico; e
- ii) algoritmos baseados em metaheurística, que são mais genéricos e podem ser aplicados para resolver um grupo de problemas com adaptações mínimas.

Assim, como descrito na subseção 5.1.1, o planejamento da rede PLC de acesso banda larga ou para *smart grid communication* pode ser dividido em posicionamento da BS e repetidores/*relays* e escolha da WANAP. A subseção 5.1.3 apresentou os impactos observados quando atrasos fim-a-fim e capacidade de comunicação de dados são considerados. Deste modo, um algoritmo pode ser usado para retornar a posição e o número ótimo de BSs e de *relays*, além da escolha dos WANAPs.

Com o objetivo de minimizar, de forma combinada, as funções que consideram os custos,  $f_{Costs}$ , e os atrasos,  $f_{Delay}$ , em redes PLC de acesso, considerando um conjunto de WANAPs disponíveis, as demandas por tráfego por usuário, os custos dos

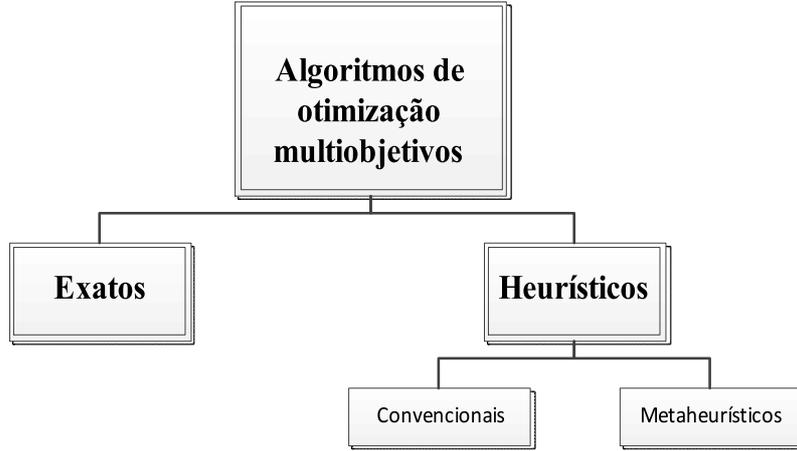


Figura 5.9: Classes de algoritmos de otimização multiobjetivo.

equipamentos PLC (BS e *relay*), restrições de cobertura e capacidade dos WANAPs, uma função multiobjetivo para alocação de recursos durante o planejamento da rede pode ser formulada como

$$\min_{\mathbf{x}} f_{plan}(\mathbf{x}) = w_{plan1}f_{Costs} + w_{plan2}f_{Delay}, \quad (5.3)$$

em que  $w_{plan1}$  e  $w_{plan2}$  são os pesos, definidos para resultar em uma combinação convexa das funções objetivo de custo e atraso fim-a-fim.

Considerando os custos dos equipamentos e de conexão,  $f_{Costs}$  pode ser expressa por

$$f_{Costs} = f_{Base\ stations\ costs} + f_{Relay\ costs} + f_{Connection\ costs} \quad (5.4)$$

em que  $f_{Base\ stations\ costs}$ ,  $f_{Relay\ costs}$ ,  $f_{Connection\ costs}$  consideram os custos das BSs, dos *relays* e das conexões dos WANAPs.

Definindo  $P^{BS}$  como um conjunto de localizações para o posicionamento das BSs,  $x_j$  como a variável que determina que a BS está posicionada na  $j$ -ésima posição e  $C^{BS}$  o custo da BS, a função custo relacionada à BS pode ser expressa por

$$f_{Base\ stations\ costs} = \sum_{j \in P^{BS}} C^{BS} x_j. \quad (5.5)$$

Considerando que  $U$  denota o conjunto total de usuários,  $U_j$  o subconjunto de usuários servidos pela  $j$ -ésima BS,  $U^{jk}$  o subconjunto de usuários servidos pela  $j$ -ésima BS através do *relay* localizado na  $k$ -ésima posição;  $y_{ij}$  é a variável de alocação que determina que o  $i$ -ésimo usuário está conectado à  $j$ -ésima BS,  $z_i^{jk}$  refere-se à  $k$ -ésima posição do *relay* que está entre a  $j$ -ésima BS e o  $i$ -ésimo usuário, e  $C^R$  é o

custo de um *relay*, a função custo relacionada com *relays* poder ser expressa como

$$f_{\text{Relay costs}} = \sum_{j \in P^{BS}} \sum_{k \in U_j} \left( C^R \frac{1}{|U_j^k|} \sum_{i \in U} x_j y_{ij} z_i^{jk} \right). \quad (5.6)$$

Finalmente, considerando  $w_{jh}$  como a variável que determina que o  $h$ -ésimo WANAP está alocado na  $j$ -ésima posição,  $W$  denota o conjunto de WANAPs disponíveis e  $C_{jh}^{BW}$  é o custo pela conexão do  $j$ -ésimo WANAP, a função de custo de conexão pode ser expressa por

$$f_{\text{Connection costs}} = \sum_{j \in P^{BS}} \sum_{h \in W} C_{jh}^{BW} x_j w_{jh}. \quad (5.7)$$

Assumindo que a variável  $\hat{y}_{ij}$  pode ser usada para garantir que o  $i$ -ésimo usuário possa conectar-se à  $j$ -ésima BS, então a restrição que garante a total cobertura de todos os usuários, na qual cada usuário deve ser associado a exatamente uma BS, pode ser expressa por

$$\sum_{j \in P^{BS}} x_j y_{ij} \hat{y}_{ij} = 1, \quad \forall i \in U. \quad (5.8)$$

A restrição que força cada BS conectar-se uma vez à rede *backbone* por meio de um WANAP pode ser expressa por

$$\sum_{h \in W} w_{jh} = 1, \quad \forall j \in P^{BS}. \quad (5.9)$$

Definindo  $K_h^W$  como sendo a capacidade do  $h$ -ésimo WANAP, a restrição que garante que a capacidade de cada WANAP não seja ultrapassada pode ser expressa por

$$\sum_{j \in P^{BS}} w_{jh} x_j \leq K_h^W, \quad \forall h \in W. \quad (5.10)$$

Considerando que a cobertura deve permanecer abaixo de um limite superior  $L_{\max}$  e definindo  $l_{i,j}^{BU}$  com a distância entre a  $j$ -ésima BS e o  $i$ -ésimo usuário, a restrição que garante que a distância entre a BS e o usuário é limitada, não considerando usuários servidos por *relays*, pode ser expressa por

$$l_{i,j}^{BU} x_j y_{ij} \hat{y}_{ij} (1 - z_j^{jk}) \leq L_{\max}, \quad \forall i \in U, j \in P^{BS}. \quad (5.11)$$

Adicionalmente, uma cadeia de *relays* pode ser necessária para alcançar um determinado usuário. Considerando  $R_{j \rightarrow i}[\cdot]$  como uma cadeia de *relays* entre o  $i$ -ésimo usuário e a  $j$ -ésima BS,  $l_{i,j,1}^{BR}$  a distância entre a  $j$ -ésima BS e o primeiro *relay* na cadeia até o  $i$ -ésimo usuário e  $z_{R_{j \rightarrow i}[\cdot]}^{jk}$  a  $k$ -ésima posição do *relay* que está entre a  $j$ -ésima BS e o  $i$ -ésimo usuário na cadeia de *relays*, a restrição que garante que as

distâncias entre a BS e seus *relays* adjacentes sejam limitadas pode ser expressa por

$$l_{i,j,1}^{BR} x_j y_{ij} \hat{y}_{ij} \bar{z}_{R_j \rightarrow i[1]}^{jk} \leq L_{\max}, \quad \forall i \in U, j \in P^{BS}. \quad (5.12)$$

Definindo  $P^R$  como o conjunto de posicionamento para a localização dos *relays*,  $k'$  como o índice do *relay* em uma cadeia de *relays* e  $l_{i,j,k',k'+1}^{RR}$  como a distância entre dois *relays* adjacentes  $k'$  e  $k' + 1$ , a restrição que garante que a distância entre dois *relays* adjacentes seja limitada pode ser expressa como

$$l_{i,j,k',k'+1}^{RR} x_j y_{ij} \hat{y}_{ij} \bar{z}_{R_j \rightarrow i[k']}^{jk} \bar{z}_{R_j \rightarrow i[k'+1]}^{jk} \leq L_{\max}, \quad \forall i \in U, j \in P^{BS}, k \in P^R, k' \in R_{j \rightarrow i}[\cdot]. \quad (5.13)$$

Definindo  $l_{i,j,k',R_{j \rightarrow i}}^{RU}$  como a distância entre o último *relay* na cadeia e o  $i$ -ésimo usuário, a restrição que garante que a distância entre o *relay* e seu usuário adjacente seja limitada pode ser expressa por

$$l_{i,j,R_{j \rightarrow i}}^{RU} x_j y_{ij} \hat{y}_{ij} \bar{z}_{R_{j \rightarrow i}[k']}^{jk} \leq L_{\max}, \quad \forall i \in U, j \in P^{BS}. \quad (5.14)$$

As restrições que garantem que todas as variáveis de alocação assumam valores zero ou um, quando um recurso está ou não alocado, podem ser expressas por

$$x_j, y_{ij}, \hat{y}_{ij}, w_{jh}, z_i^{jk}, \bar{z}_{R_j \rightarrow i[\cdot]}^{jk} \in \{0, 1\}. \quad (5.15)$$

Retornando à equação (5.3),  $f_{Delay}$  considera o atraso de *uplink*, considerando o atraso fim-a-fim entre o usuário e a BS. Baseado na teoria de filas [199], modela-se o fluxo de dados da rede PLC como um sistema M/G/1 (considerando um servidor simples com capacidade de fila infinita, enquanto os instantes de chegada dos dados são modelados como um processo de Poisson. Outros modelos poderiam ser considerados, a escolha deste se deve ao fato de um sistema M/G/1 representar, de forma satisfatória, os atrasos relacionados), então pode-se definir o atraso total afetando o pacote de dados do usuário como sendo a soma de:

i) tempo de serviço, que é o intervalo de tempo para processar e transmitir o pacote de dados; e

ii) tempo de espera, que é o intervalo de tempo que o pacote de dados deve esperar na fila (*buffer*) antes da transmissão.

Pode-se definir  $\lambda'$  como a taxa de chegada dos pacotes,  $\mu$  como a taxa de despacho dos pacotes,  $\rho = \lambda'/\mu$  como a taxa de utilização da fila (*buffer*) e  $X_{n,i,j}$  como o tempo de serviço para o  $n$ -ésimo pacote associado ao  $i$ -ésimo usuário alocado na  $j$ -ésima BS, que pode ser considerado como uma variável aleatória sem memória com probabilidade  $p(X_{n,i,j})$ . Considerando um sistema com um servidor simples (M/G/1), com capacidade de fila infinita servindo  $|U_j|$  usuários, e a chegada de

cada pacote é governada por um processo de Poisson [200] com taxa de  $\lambda = |U_j| \lambda'$  para *uplink*, o tempo médio de serviço para os pacotes é  $E \{X_{n,i,j}\}$  e o tempo médio de espera para os pacotes é

$$E \{X_{n,i,j}^{wait}\} = \frac{\lambda E \{X_{n,i,j}^2\}}{2(1 - \rho)}, \quad (5.16)$$

em que  $E \{.\}$  denota o operador esperança e  $E \{X_{n,i,j}^2\} = \sum_{n=0}^N p(X_{n,i,j}) X_{n,i,j}^2$ .

Finalmente, o atraso total pode ser expresso por

$$f_{Delay} = \sum_{j \in P^{BS}} \sum_{i \in U} x_j y_{ij} \left( E \{X_{n,i,j}\} + \frac{\lambda E \{X_{n,i,j}^2\}}{2(1 - \rho)} \right). \quad (5.17)$$

Baseado em (5.4) e (5.17), pode-se definir o vetor  $\mathbf{x} = [x_j \ y_{ij} \ w_{jh} \ z_i^{jk} \ \bar{z}_{R_j \rightarrow i}^{jk}]^T$ , escolhe-se os fatores de peso  $w_{plan1}$  e  $w_{plan2}$  adequadamente de forma a resultar em uma combinação convexa das funções objetivo. Assim sendo, a alocação de recursos durante o planejamento da rede pode ser formulada como

$$\min_{\mathbf{x}} f_{plan}(\mathbf{x}) = w_{plan1} f_{Costs} + w_{plan2} f_{Delay}, \quad (5.18)$$

sujeito às restrições (5.8), (5.9), (5.10), (5.11), (5.12), (5.13), (5.14) e (5.15). Note que os fatores de peso  $w_{plan1}$  e  $w_{plan2}$  podem ser escolhidos para considerar apenas custo ou atrasos como objetivo, caso seja necessário.

Esse problema pode ser resolvido utilizando-se diversas técnicas, assim como as discutidas em [201–204], nas quais o uso dos fatores de peso foi explorado para permitir um bom equilíbrio entre os dois objetivos, custo e atraso.

### 5.3 Alocação de Recursos de Modem - PRA: Formulação

Os problemas de PRA podem ser divididos em alocação de espectro, ou usuários, e alocação de potência, ou bits. Na literatura, encontram-se trabalhos que consideram problemas de alocação de espectro [205–209], trabalhos que consideram esses problemas como problemas multiobjetivos *cross-layer* [192, 198, 210–212], trabalhos que utilizam algoritmos bioinspirados [213, 214] e alguns que consideram técnicas de cognição [174, 176, 180] para lidarem com PRA. Nesta seção, apresenta-se uma formulação multiobjetivo considerando alocação de espectro, potência e *clusters*, ou seja, alocação de subportadoras, bits e usuários.

Considere uma rede adaptativa que possa alocar dinamicamente os usuários nas

subportadoras, bits nas subportadoras, baseado-se nas condições do canal, e que cada usuário pode ser alocado em um *cluster*. Pode-se, então, formular o problema objetivando-se a minimização da potência transmitida,  $f_{Pot}$ , e a maximização da taxa de transferência de dados total na BS,  $f_{Rate}$ . A função custo multiobjetivo para esse problema de PRA pode ser definida como

$$\min_{\mathbf{x}} f_{PRA}(\mathbf{x}) = w_{PRA1}f_{Pot} + w_{PRA2}(-f_{Rate}), \quad (5.19)$$

em que  $w_{PRA1}$  e  $w_{PRA2}$  são os pesos definidos de forma a resultar em uma combinação convexa das funções objetivo de potência e taxa de transferência.

Assumindo que essa rede diferencie dois tipos de serviços com diferentes requisitos de QoS: i) *Real-Time* (RT), por exemplo, tráfego de voz e vídeo; e ii) *Not-Real-Time* (NRT), por exemplo, tráfego *HyperText Transfer Protocol* (HTTP) e *File Transfer Protocol* (FTP). Deste modo, pode-se formular o problema de PRA como se segue.

Considere  $N$  como o número total de subportadoras em cada símbolo OFDM para uma rede PLC de acesso que serve  $\Omega_1$  e  $\Omega_2$  conjuntos de usuários,  $|\Omega_1| = K^{RT}$  e  $|\Omega_2| = K^{NRT}$ , em que  $|\cdot|$  é a cardinalidade do conjunto. Para usuários associados a serviços RT o conjunto  $\Omega_1$  é caracterizado pela taxa de transferência de dados  $R_k^{RT}$  bits/símbolo e BER requerida  $P_e^{RT}$ . Por outro lado, para usuários associados a serviços NRT o conjunto  $\Omega_2$  é caracterizado pela taxa de transferência de dados  $R_k^{NRT}$  bits/símbolo e BER requerida  $P_e^{NRT}$ .

Assumindo que não exista o efeito de interferência entre usuários e que haja completa disponibilidade de informação do canal PLC, então a quantidade de bits alocada,  $b_{k,n}$ , na  $n$ -ésima subportadora do  $k$ -ésimo usuário, pode ser expressa como [162]

$$b_{k,n} = \left\lfloor \log_2 \left( 1 + \frac{g_{k,n} p_{k,n} \gamma^c}{\Gamma_k \gamma^m} \right) \right\rfloor, \quad (5.20)$$

em que  $p_{k,n}$  é a potência alocada,  $g_{k,n} = \frac{|H_{k,n}|^2}{\sigma_{k,n}^2}$  representa a SNR para a  $n$ -ésima subportadora do  $k$ -ésimo usuário quando o transmissor injeta energia unitária na subportadora (denominada SNR normalizada),  $H_{k,n}$  é o  $n$ -ésimo coeficiente da representação no domínio de frequência do canal PLC,  $\sigma_{k,n}^2$  é a variância do ruído,  $\Gamma_k$  é o *gap* de SNR [162],  $\gamma^c$  é o ganho de codificação,  $\gamma^m$  é a margem do sistema que reflete a imunidade sobre a SNR (usualmente 3 dB), e  $\lfloor x \rfloor = \max\{m \in \mathbb{Z} | m \leq x\}$  é o operador de truncamento para o maior inteiro menor que  $x$ . Considerando que um esquema de modulação sem codificação *M-ary Quadrature Amplitude Modulation* (M-QAM) seja usado para transmitir dados por um canal Gaussiano, quando

a BER requerida por subportadora é constante, então  $\Gamma_k$  assume os valores

$$\Gamma_k \approx \begin{cases} [Q^{-1}(P_e^{RT}/4)]^2/3, & k \in \Omega_1 \\ [Q^{-1}(P_e^{NRT}/4)]^2/3, & k \in \Omega_2, \end{cases} \quad (5.21)$$

em que  $Q^{-1}(\cdot)$  é a função aproximada da inversa da Gaussiana. Então, a potência necessária para alocar  $b_{k,n}$  bits na subportadora pode ser expressa por

$$p_{k,n} = (2^{b_{k,n}} - 1) \frac{\Gamma_k \gamma^m}{\gamma^c} \frac{1}{g_{k,n}}. \quad (5.22)$$

Considerando as redes PLC e as restrições apresentadas, a potência total pode ser distribuída para atender às seguintes possibilidades:

- i) garantir taxa de transferência de dados constante para todos os usuários RT;
- ii) satisfazer as taxas mínimas para os usuários NRT; e
- iii) alocar a potência restante para todos os usuários NRT seguindo uma estratégia justa para aumentar a taxa de transferência de dados total.

Baseado nessas possibilidades, a função de alocação de potência  $f_{Pot} = f_{RT} + f_{NRT}$  que considera ambos os conjuntos de usuários, RT e NRT, pode ser formulada como

$$f_{Pot} = a \sum_{k \in \Omega_1} \sum_{n=1}^N s_{k,n} p_{k,n} - (1-a) \sum_{k \in \Omega_2} \sum_{n=1}^N s_{k,n} b_{k,n}, \quad (5.23)$$

em que  $a \in \mathfrak{R}$ ,  $a \in [0, 1]$  e  $s_{k,n} \in \{0, 1\}$ , é uma variável inteira que informa se a  $n$ -ésima subportadora está associada ao  $k$ -ésimo usuário.

A restrição que garante a QoS necessária para os usuários RT pode ser expressa como

$$\sum_{n=1}^N s_{k,n} b_{k,n} = R_k^{RT}, k \in \Omega_1. \quad (5.24)$$

A restrição que garante a QoS necessária para os usuários NRT pode ser expressa como

$$\sum_{n=1}^N s_{k,n} b_{k,n} \geq R_k^{NRT}, k \in \Omega_2. \quad (5.25)$$

A restrição que garante que a potência total transmitida,  $P_t$ , para cada símbolo OFDM seja limitada pode ser expressa como

$$\sum_{k \in \Omega} \sum_{n=1}^N s_{k,n} p_{k,n} \leq P_t. \quad (5.26)$$

De forma a atender completamente as regulamentações referentes à compatibilidade eletromagnética - *Electromagnetic Compatibility* (EMC) e interferência eletromagnética - *Electromagnetic Interference* (EMI) aplicadas a redes PLC de acesso, o limite superior da potência do sinal  $\bar{p}_n$  para a  $n$ -ésima subportadora pode ser garan-

tida pela adoção de técnicas de rádio cognitivo [172, 180]. A restrição que garante esse limite pode ser expressa por

$$0 \leq \sum_{k \in \Omega} \sum_{n=1}^N s_{k,n} p_{k,n} \leq \bar{p}_n. \quad (5.27)$$

A restrição que garante que o número de bits alocados na  $n$ -ésima subportadora é limitado pode ser expressa por

$$b_{k,n} \in \mathbb{Z}_+^b, \quad (5.28)$$

em que  $\mathbb{Z}_+^b = \{x \in \mathbb{Z} | x = 0, 1, 2, \dots, b\}$ .

A restrição que garante que cada subportadora seja alocada para apenas um usuário pode ser expressa por

$$\sum_{k \in \Omega} s_{k,n} \in \{0, 1\} \quad \forall n. \quad (5.29)$$

Retornando à equação (5.19),  $f_{Rate}$  considera a taxa de transferência total para o *downlink* em um esquema *clustered*-OFDM.

Pode-se formular o problema de alocação de recursos em *clustered*-OFDM como um problema de programação inteira binário que objetiva maximizar a taxa total de transferência de dados na BS. Busca-se oferecer conexões *downlink* aos usuários considerando uma alocação de taxa de transferência justa baseada nas características do canal e na demanda por tráfego dos usuários (RT e NRT).

Considere agora que  $K$  usuários devem ser alocados em  $M$  *clusters* ( $M$  pode ser considerado como um grupo de subportadoras, entretanto será considerado como *cluster*). Considerando um esquema FDMA e MIMO, o  $k$ -ésimo usuário pode ser alocado em exatamente um *cluster* e o  $m$ -ésimo *cluster* pode ter não mais do que um usuário. Considerando que cada *cluster* utiliza o modulador OFDM e, de acordo com (5.20), então o número de bits alocados,  $b_{n,k,m}$ , na  $n$ -ésima subportadora para o  $k$ -ésimo usuário no  $m$ -ésimo *cluster* pode ser expresso por

$$b_{k,n,m} = \left\lfloor \log_2 \left( 1 + \frac{g_{k,n,m} p_{k,n,m} \gamma^c}{\Gamma_{k,m} \gamma^m} \right) \right\rfloor. \quad (5.30)$$

A taxa de transferência de dados total para o *downlink* na BS considerando  $M$  *clusters* será

$$f_{Rate} = R^{BS} = \sum_{m=1}^M \sum_{k=1}^K \sum_{n=1}^N c_{k,n,m} b_{k,n,m}, \quad (5.31)$$

em que  $c_{k,n,m} \in \{0, 1\}$  é uma variável inteira que informa se a  $n$ -ésima subportadora

está associada ao  $k$ -ésimo usuário, o qual está alocado no  $m$ -ésimo *cluster*.

Pode-se notar que complexidade do problema de alocação de usuários nos *clusters* pode ser significativamente reduzida se for considerado que a tarefa mais importante é escolher o *cluster* baseando-se nas condições do canal, especialmente se o canal for variante no tempo. De forma a simplificar o problema, escolhe-se apenas uma subportadora,  $n = N/2$ , a subportadora central, uma discussão mais detalhada sobre essa escolha pode ser encontrada na seção 6.3. Neste caso,  $b_{k,N/2,m}$ ,  $c_{k,N/2,m}$  e  $g_{k,N/2,m}$  podem ser denotados como  $b_{k,m}$ ,  $c_{k,m}$  e  $g_{k,m}$ . A função de taxa de transferência total pode ser simplificada para

$$f_{Rate} = \sum_{m=1}^M \sum_{k=1}^K c_{k,m} b_{k,m}. \quad (5.32)$$

De acordo com a inequação de Jensen [215], o valor de  $x$  que satisfaz  $\max(\sum \log(f(x)))$  é o mesmo para  $\max(\sum f(x))$ , então, observando a equação 5.30, pode-se considerar como medida da condição do canal a SNR normalizada. Com essa simplificação,  $f_{Rate}$  pode ser reescrita como

$$f_{Rate} = \sum_{m=1}^M \sum_{k=1}^K c_{k,m} g_{k,m}. \quad (5.33)$$

Define-se  $d_k$  como sendo a demanda por tráfego normalizada para o  $k$ -ésimo usuário ( $\sum_k d_k = 1$ ). Para garantir alocação de taxa de transferência justa baseado na demanda (RT ou NRT), a função de taxa de transferência total pode ser modificada e se torna

$$f_{Rate} = \sum_{m=1}^M \sum_{k=1}^K c_{k,m} g_{k,m} d_k. \quad (5.34)$$

Como um usuário pode ser alocado em apenas um *cluster*, formula-se essa restrição como

$$\sum_{k=1}^K c_{k,m} = 1 \quad \forall m. \quad (5.35)$$

Um *cluster* não dever ter mais de um usuário, formula-se essa restrição como

$$\sum_{m=1}^M c_{k,m} \leq 1 \quad \forall k. \quad (5.36)$$

A restrição que garante que cada variável de alocação no *cluster* assuma valores um ou zero quando o usuário está alocado ou não no *cluster* pode ser expressa como

$$c_{k,m} \in \{0, 1\} \quad \forall k, m. \quad (5.37)$$

Baseado nas equações 5.23 e 5.34, definindo o vetor  $\mathbf{x} = [s_{k,n} \quad p_{k,n} \quad b_{k,n} \quad c_{k,m}]^T$

e escolhendo os fatores de peso de forma a resultar em uma combinação convexa das funções objetivo, então o problema PRA pode ser formulado como

$$\min_{\mathbf{x}} f_{PRA}(\mathbf{x}) = w_{PRA1}f_{Pot} - w_{PRA2}f_{Rate}, \quad (5.38)$$

sujeito às restrições 5.24 - 5.29 e 5.35 - 5.37. Note que os fatores de peso  $w_{PRA1}$  e  $w_{PRA2}$  podem ser escolhidos de forma a considerar apenas alocação de bits nas subportadoras ou alocação usuários nos *clusters*, se necessário. A variável  $w_{PRA2}$  indica se o esquema OFDMA é clusterizado ( $w_{PRA2} \neq 0$ ) ou não ( $w_{PRA2} = 0$ ).

O problema de alocação de recursos discutido aqui é um problema de programação não linear que considera variáveis inteiras e contínuas, o qual pode ser resolvido aplicando técnicas usuais de otimização, como a técnica de Gomory [216] ou a técnica Branch-and-Bound [217]. Quando o número de variáveis em (5.19) é grande, a complexidade computacional para execução dessas técnicas pode ser muito grande para aplicações práticas. Com o intuito de reduzir essa complexidade, diversas técnicas são propostas em [212]. Algumas delas são exatas e outras são heurísticas, assim como a técnica de *waterfilling* [218, 219] e o algoritmos de relaxação Lagrangeana [220]. Uma discussão interessante sobre o problema de gerência e alocação de recursos para redes PLC internas pode ser encontrada em [210].

## 5.4 Sumário

O presente capítulo formulou os problemas de alocação de recursos quando as aplicações de redes PLC de acesso e *smart grid communications* são consideradas.

No capítulo 6 desta tese, serão propostas técnicas de baixa complexidade para a solução do problema formulado neste capítulo, quando a alocação de usuários nos *clusters* em redes PLC de acesso com a abordagem *clustered-OFDM* é considerada.

No capítulo 7 desta tese, serão propostas técnicas de baixa complexidade para a solução do problema formulado neste capítulo, quando a alocação de bits nas subportadoras em sistemas de comunicação baseados em *clustered-OFDM* é considerada.

## Capítulo 6

# Alocação de Usuários com Baixa Complexidade

Este capítulo apresenta técnicas para a obtenção da solução do problema de alocação de usuários em redes PLC de acesso, discutido na seção 5.3, quando a abordagem *clustered*-OFDM é empregada com o objetivo de maximizar a taxa de transferência de dados na BS em sistemas de comunicação multiusuário. São revisitadas as técnicas de alocação ótima por força bruta e *Branch and Bound*. Tais técnicas serão utilizadas como referencial de validação das propostas de emprego de técnicas de alocação de usuários subótimas, a saber: emprego da técnica de alocação por valor de uso [221], e emprego da técnica Húngara. As técnicas que alcançam soluções ótimas também serão utilizadas como referencial de validação de duas técnicas de alocação de usuários subótimas propostas, a saber: técnica de alocação por ordenação (APO) e técnica de alocação direta por ordenação (ADPO).

Um procedimento de entrada na rede é definido para possibilitar a avaliação das técnicas de alocação de usuários, de forma a definir a dinâmica da rede e as mensagens de controle necessárias. A medida das condições do canal é definida para ser utilizada como os valores de entrada para as técnicas de alocação de usuários.

Neste contexto, este capítulo está organizado como se segue. A seção 6.1 discute o problema de alocação de usuários e apresenta uma breve revisão na literatura. A seção 6.2 apresenta o procedimento de entrada na rede PLC de acesso quando as limitações práticas e as demandas de processamento são consideradas. A seção 6.3 propõe uma análise sobre medidas que podem ser aplicadas para a alocação de usuários nos *clusters* quando a complexidade computacional e o volume de mensagens de controle são consideradas. Já a seção 6.4 revisita técnicas de alocação de usuários encontradas na literatura e introduz técnicas novas de baixa complexidade computacional. A seção 6.5 ilustra o problema de alocação de usuários por meio de um exemplo numérico de alocação de 5 usuários em 5 *clusters*. Os resultados comparativos entre as técnicas são apresentados na seção 6.6, nessa seção as técnicas

são avaliados de três formas: i) implementação em Matlab; ii) implementação em linguagem “C” e iii) implementação em linguagem “C” para três arquiteturas de processadores embarcados. A seção 6.7 sintetiza as informações apresentadas no presente capítulo.

## 6.1 Alocação de Usuários

Como discutido e formulado no capítulo 5, as redes PLC de acesso baseadas na abordagem *clustered*-OFDM necessitam da alocação ótima de usuários para que apresentem elevado desempenho. Os dispositivos que são utilizados nessas redes devem ser de baixo custo e, portanto, apresentam capacidade de processamento limitada. Deste modo, é fundamental o emprego de técnicas de alocação de usuários com baixa complexidade computacional.

Exemplos do emprego de técnicas de baixa complexidade computacional para alocação de usuários, em esquemas OFDM, para dispositivos sem fio podem ser encontrados em [222–224], os quais contemplam a alocação de bits e de potência. Em [221], é descrito uma técnica de baixa complexidade para alocação de usuários como forma de aperfeiçoar o desempenho de sistemas baseados no esquema OFDM.

Em [225], foi proposto uma técnica para alocação dinâmica de subportadoras e bits baseada em programação linear, além da apresentação de uma comparação entre solução ótima e solução subótima, que proporciona menor complexidade computacional. Outras soluções de alocação de subportadoras, bits e potência em sistemas sem fio são descritas em [218, 226–228].

No que tange às redes PLC, foram encontrados poucos trabalhos focando alocação de usuários em redes internas [194, 229]. Diversos trabalhos relacionados às PLC discutem a alocação dos dispositivos nas redes externas [203, 204, 230]. Por outro lado, não foram encontrados trabalhos que levem em consideração as restrições de capacidade de processamento em aplicações práticas, visando técnicas de alocação de usuários de baixa complexidade em redes PLC externas, que é o foco do presente capítulo. Assim sendo, existe uma demanda pelo desenvolvimento de técnicas de baixa complexidade computacional para alocação de usuários em redes PLC externas.

Para possibilitar a avaliação em aplicações práticas das técnicas de alocação de usuários propostas, as seções 6.2 e 6.3 discutem um procedimento de entrada na rede e também uma medida apropriada para representar as informações das condições dos canais para alocação de recursos.

## 6.2 Procedimento de Entrada na Rede PLC de Acesso

A camada MAC é responsável por diversas tarefas de controle e gerenciamento das sessões de conexão de cada usuário e, portanto, a carga de processamento necessária para executar essas tarefas pode ser extremamente elevada, dependendo do grau de sofisticação adotado e, conseqüentemente, do desempenho requerido. Discutiu-se no capítulo 4 o emprego de uma abordagem *clustered-OFDM* objetivando a redução de complexidade de implementação da camada PHY dos modems dos usuários em redes PLC e a exploração da flexibilidade de alocação de recursos PRA. Entretanto, essa abordagem naturalmente eleva a complexidade das funcionalidades da camada MAC, especialmente em aplicações PLC como as discutidas no capítulo 5. Uma vantagem apresentada pelo *clustered-OFDM* é a de poder explorar a banda de transmissão disponível para os diversos usuários por meio de alocação eficaz dos recursos. Para executar essa tarefa e, conseqüentemente, a alocação de usuários, a BS necessita da informação das condições do canal de todos os usuários para poder resolver um problema de otimização.

É considerada uma rede PLC de acesso com topologia em estrela, conforme ilustrado na figura 6.1, onde a BS é o elemento que gerencia, controla e monitora a rede, além de realizar a conexão dos modems dos assinantes com outras redes, assim como apresentado na figura 5.3.

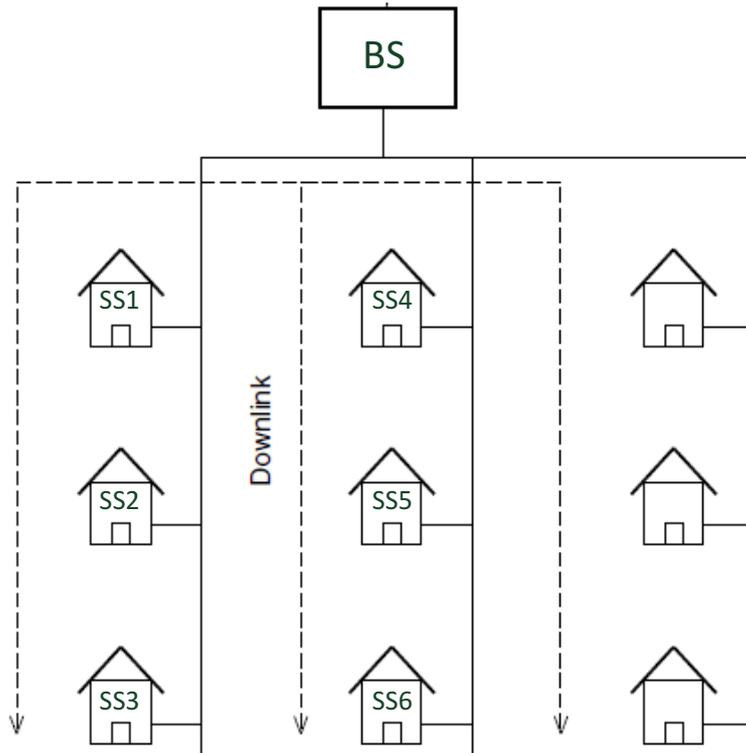


Figura 6.1: Cenário para o desenvolvimento das técnicas de alocação de usuários.

Explorar a diversidade por meio de alocação dos recursos, quando executado pela BS, apresenta as seguintes desvantagens: i) se todos os usuários tiverem que enviar as informações de SNR de todas as suas subportadoras, existirá um volume elevadíssimo de troca de mensagens de controle; ii) como os canais PLC são variantes no tempo, a alocação para uma determinada sessão de transmissão de dados do usuário pode não ser a melhor para as sessões de conexão seguintes, necessitando resolver o problema de alocação com uma frequência muito elevada, resultando em grande volume de processamento de informações; iii) caso a implementação da técnica de alocação não seja de baixo esforço computacional, a carga de processamento na BS pode comprometer outras funções da MAC; e iv) como a informação do canal de comunicação de um certo usuário é necessária antes do início de sua sessão de conexão e, antes desta, o usuário não se comunica com a BS, é preciso o emprego de alguma técnica para determinar de forma simples e efetiva a presença de um novo usuário e estabelecer um procedimento de entrada na rede, chamado aqui de *Ranging* (RNG).

A figura 6.2 modela o diagrama de sequência da entrada na rede de uma SS (novo assinante) por meio de um procedimento de RNG simplificado e apresenta as mensagens RNG-*request* enviada pelo assinante (SS) para solicitar uma conexão e RNG-*response* enviada pela BS indicando em qual *cluster* e em qual *slot* de tempo a conexão pode ser admitida. As mensagens DL-MAP (*downlink-map*) e UL-MAP (*uplink-map*), as quais são enviadas pela BS para todas as SS, correspondem aos

mapas de *downlink* e *uplink*, respectivamente, e informam quando as SSs devem transmitir e receber dados.

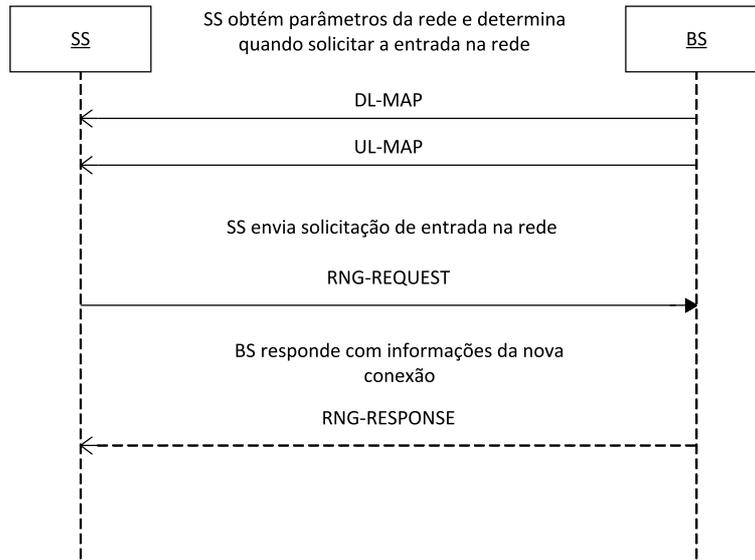


Figura 6.2: Diagrama de sequência para a entrada na rede PLC de acesso.

A figura 6.3 ilustra um exemplo dos quadros de dados para o *downlink* e *uplink* de uma sistema operando em um determinado *cluster*. É interessante destacar nessa figura que os intervalos de tempo e subportadoras reservadas para as trocas de mensagens do procedimento de entrada na rede PLC de acesso são extremamente limitados, note *Frame Control Header* (FCH) e *Ranging*.

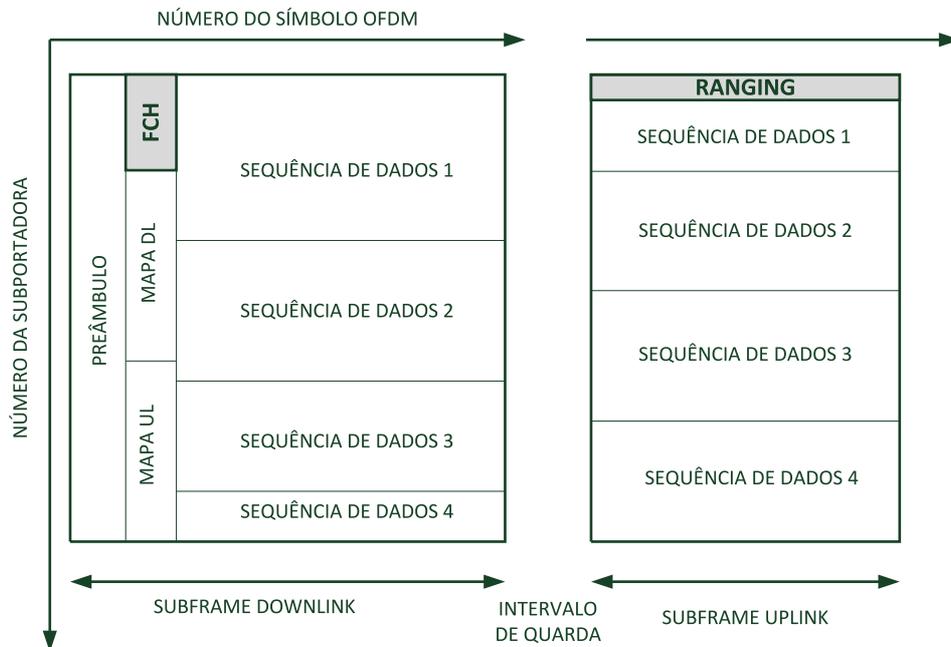


Figura 6.3: Ilustração de um quadro de dados *downlink* e *uplink*.

Sabendo que a quantidade de dados nas mensagens de controle durante a entrada

na rede PLC de acesso deve ser limitada, identifica-se um problema quando existe a demanda pela disponibilização das informações das condições do canal (SNR normalizada das subportadoras) de todos os usuários na BS para que a mesma possa alocar os usuários nos *clusters* mais apropriados.

Como o esquema OFDM ou HS-OFDM requer o emprego de técnicas de estimação de canal para possibilitar a equalização dos símbolos recebidos, o símbolo piloto pode ser utilizado para a estimação das condições do canal mesmo antes da entrada de um novo assinante na rede PLC de acesso, o que não impacta em aumento da complexidade da camada PHY para a execução dessa tarefa. Deste modo, os procedimentos descritos por meio de fluxogramas para a entrada na rede PLC de acesso para o usuário/SS e para a BS são propostos, conforme ilustrado nas figuras 6.4 e 6.5 respectivamente. Neste caso, a BS envia os símbolos pilotos para os usuários. O usuário que deseja entrar na rede recebe os pilotos, realiza uma medida das condições do canal e envia as condições dos *clusters* à BS por meio da mensagem *RNG-request* (a seção 6.3 discute sobre a melhor forma de compor esta mensagem).

Fazer uso das condições dos *clusters*, tanto para *downlink* quanto para *uplink*, é possível graças ao princípio da simetria do canal PLC, descrito em [231] para canais internos, também válido para canais externos, quando as impedâncias de acesso dos transceptores no modem e na BS são iguais (por exemplo,  $50 \Omega$ ). Desta forma, as condições do canal do ponto de vista da BS são idênticas às condições do canal do ponto de vista do usuário. As figuras 6.4 e 6.5 detalham que, de posse das condições do canal do usuário, a BS é capaz de alocar o novo usuário em algum dos *clusters* disponíveis e informá-lo por meio da mensagem *RNG-response*.

Devido à constante mudança das condições do canal, a entrada e a saída de usuários da rede PLC de acesso e à limitada capacidade de processamento dos dispositivos embarcados na BS, as técnicas de alocação de usuários devem atender aos seguintes requisitos: i) baixa complexidade; ii) mínima troca de mensagens de controle; e iii) resultados de alocação próximos à solução ótima. O atendimento a esses requisitos resulta numa solução efetiva para ser aplicada em redes PLC de acesso baseadas em *clustered-OFDM*.

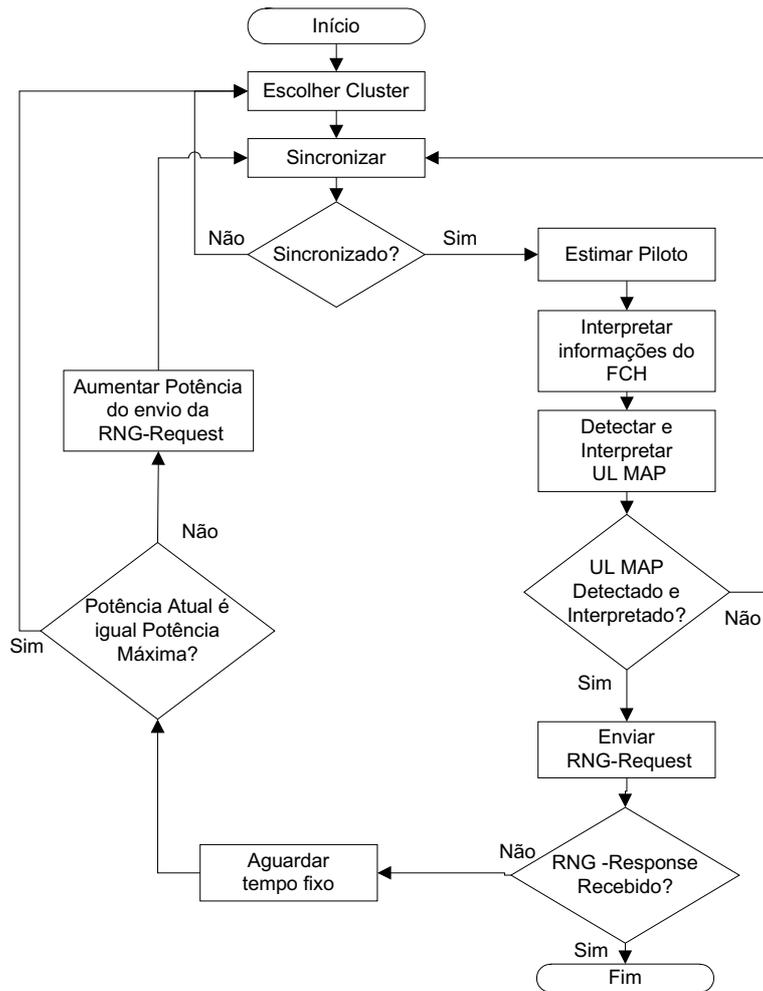


Figura 6.4: Fluxograma do procedimento de entrada na rede PLC de acesso para a SS.

Identifica-se no fluxograma do procedimento de entrada na rede do ponto de vista da BS, figura 6.5, a necessidade de se realizar a otimização da alocação dos usuários, tarefa que demanda maior esforço computacional. Deste modo, as seções seguintes descrevem a forma de caracterizar as condições do canal, para possibilitar a alocação de usuários, e discutem diversas técnicas com esse fim, levando em consideração a implementação destas em tempo real, com baixa complexidade computacional e elevada eficácia de alocação.

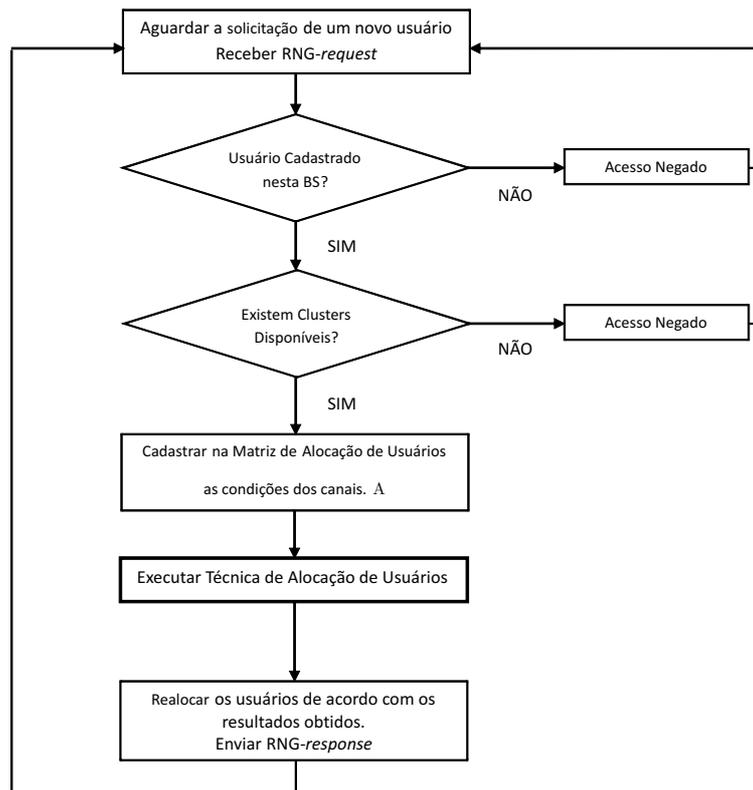


Figura 6.5: Fluxograma do procedimento de entrada na rede PLC de acesso para a BS.

## 6.3 Medida das Condições do Canal para Alocação de Usuários

Assim como definido na seção 6.2, a informação das condições do canal pode ser determinada de diversas formas, lembrando que o quanto mais detalhada for essa informação maior será o tamanho das mensagens de controle trocadas entre BS e SS e, conseqüentemente, melhor será o resultado da alocação. Por outro lado, o processo de alocação de usuários se torna mais complexo. Uma forma de contornar isso é usar uma medida das condições do canal, a qual reduz o tráfego de informações de controle e a complexidade das técnicas de alocação de usuários nos *clusters*.

Para a determinação de uma medida das condições do canal que possa ser utilizada para alocação de usuários, é necessário a implementação de alguma técnica para obtenção dessa. Como os sistemas de comunicação baseados em *clustered*-OFDM necessitam de estimação do canal para possibilitar a equalização no domínio de frequência, pode-se então aproveitar essas informações disponíveis para cada subportadora de forma a determinar uma medida das condições do canal em cada *cluster*. Com essa estratégia, não adiciona-se complexidade aos transceptores da camada PHY.

Nesta contribuição, a medida das condições do canal adotada é a *Multi-Channel SNR* (mcSNR) [78], uma vez que a SNR das subportadoras já está disponível pois é necessária para equalização na camada PHY. Essa adoção deve-se aos seguintes argumentos: i) é um conceito formal para se representar a SNR de um conjunto de canais em paralelo; ii) leva em consideração o canal e o ruído presentes, sendo uma boa representação das condições do canal, iii) possibilita reduzir o número de elementos do vetor com as condições do canal de  $M \times N$  para apenas  $M$ , ou seja, apenas uma informação por *cluster*. Essa medida é obtida por

$$mcSNR_{k,m} \triangleq \left[ \prod_{n=1}^N \left[ 1 + \frac{SNR_{k,n,m}}{\Gamma} \right]^{1/N} - 1 \right] \Gamma_k, \quad (6.1)$$

em que  $N$  é o número total de subportadoras em cada símbolo OFDM,  $\Gamma_k$  foi definido na equação (5.20),  $SNR_{k,n,m} = \frac{\varepsilon_x |H_{k,n,m}|^2}{\sigma_{k,n,m}^2}$  é a relação sinal ruído para a  $n$ -ésima subportadora do  $k$ -ésimo usuário do  $m$ -ésimo *cluster* e  $\varepsilon_x$  é a potência transmitida.

Apesar dessa medida ser bastante representativa para a alocação de usuários nos *clusters*, observa-se que o cálculo da mesma demanda elevada complexidade computacional à medida que  $N$  aumenta. Para contornar esse problema, pode-se adotar técnicas que possam oferecer uma estimativa da mcSNR, mas com reduzida complexidade computacional. Propor e avaliar essas técnicas é a principal contribuição desta seção. Assim sendo, uma medida da condição do canal baseada na SNR multicanal é expressa por

$$g_{\text{cond},k,m} = f_{\text{med}}\{g_{k,n,m}\}, \quad (6.2)$$

em que  $g_{k,n,m} = \frac{|H_{k,n,m}|^2}{\sigma_{k,n,m}^2}$  representa a SNR normalizada para a  $n$ -ésima subportadora do  $k$ -ésimo usuário no  $m$ -ésimo *cluster* quando o transmissor injeta energia unitária,  $\varepsilon_x = 1$ , na subportadora e  $f_{\text{med}}\{\cdot\}$  é a função para obtenção da medida, que pode ser obtida de diferentes formas. A seguir é apresentado um conjunto de funções para obtenção das medidas, cujas técnicas de obtenção fornecem diferentes níveis de complexidade computacional e de qualidade da estimativa. As funções são as seguintes:

- Valor mínimo, o qual é expresso por

$$\begin{aligned} f_{\min,k,m} &= \min\{g_{k,n,m}\} \\ &= \min_n g_{k,m}. \end{aligned} \tag{6.3}$$

- Valor máximo dado por

$$\begin{aligned} f_{\max,k,m} &= \max\{g_{k,n,m}\} \\ &= \max_n g_{k,m}. \end{aligned} \tag{6.4}$$

- Média geométrica expressa por

$$\begin{aligned} f_{\text{geo},k,m} &= \text{geo}\{g_{k,n,m}\} \\ &= \left( \prod_{n=1}^N g_{k,n,m} \right)^{1/N}. \end{aligned} \tag{6.5}$$

- Média aritmética, a qual é dada por

$$\begin{aligned} f_{\text{arit},k,m} &= \text{ari}\{g_{k,n,m}\} \\ &= \frac{1}{N} \sum_{n=1}^N g_{k,n,m}. \end{aligned} \tag{6.6}$$

- Mediana expressa por

$$f_{\text{med},k,m} = \text{med}\{g_{k,n,m}\}, \tag{6.7}$$

em que o operador  $\text{med}\{\cdot\}$  ordena o vetor e seleciona o elemento central.

- Valor central dado por

$$\begin{aligned} f_{\text{prim},k,m} &= \text{central}\{g_{k,n,m}\} \\ &= g_{k,N/2,m}. \end{aligned} \tag{6.8}$$

- Primeiro valor definido por

$$\begin{aligned} f_{\text{central},k,m} &= \text{primeiro}\{g_{k,n,m}\} \\ &= g_{k,1,m}. \end{aligned} \tag{6.9}$$

- Último valor definido por

$$\begin{aligned} f_{\text{ult},k,m} &= \text{ultimo}\{g_{k,n,m}\} \\ &= g_{k,N,m}. \end{aligned} \tag{6.10}$$

- Média harmônica que pode ser matematicamente representada por

$$\begin{aligned}
 f_{\text{har},k,m} &= \text{har}\{g_{k,n,m}\} \\
 &= \frac{N}{\sum_{n=1}^N \frac{1}{g_{k,n,m}}}.
 \end{aligned}
 \tag{6.11}$$

Para avaliar comparativamente cada medida de forma a escolher a que melhor representa o *cluster*, como medida das condições do canal, considere o exemplo em que uma banda disponível de 50 MHz dividida em 5 *clusters*, cada *cluster* utilizando  $N = 512$  subportadoras resultando em um total de 2560 subportadoras por usuário. Cada *cluster* pode ser representado por uma medida, resultando em 5 medidas por usuário. Assim sendo, fica evidente a redução do volume de mensagens trocadas, de 2560 valores de SNR para apenas 5 medidas para representar a condição do canal de um usuário.

A figura 6.6 apresenta de forma ilustrativa, para o exemplo com 4 usuários distintos, a representação das SNRs normalizadas por meio de cada uma das medidas discutidas. As legendas, orig, min, max, geo, arit, med, prim, central, ult e har correspondem ao valor original da SNR, ao valor mínimo, ao valor máximo, à média geométrica, à média aritmética, à mediana, ao primeiro valor, ao valor central, ao último valor e à média harmônica respectivamente.

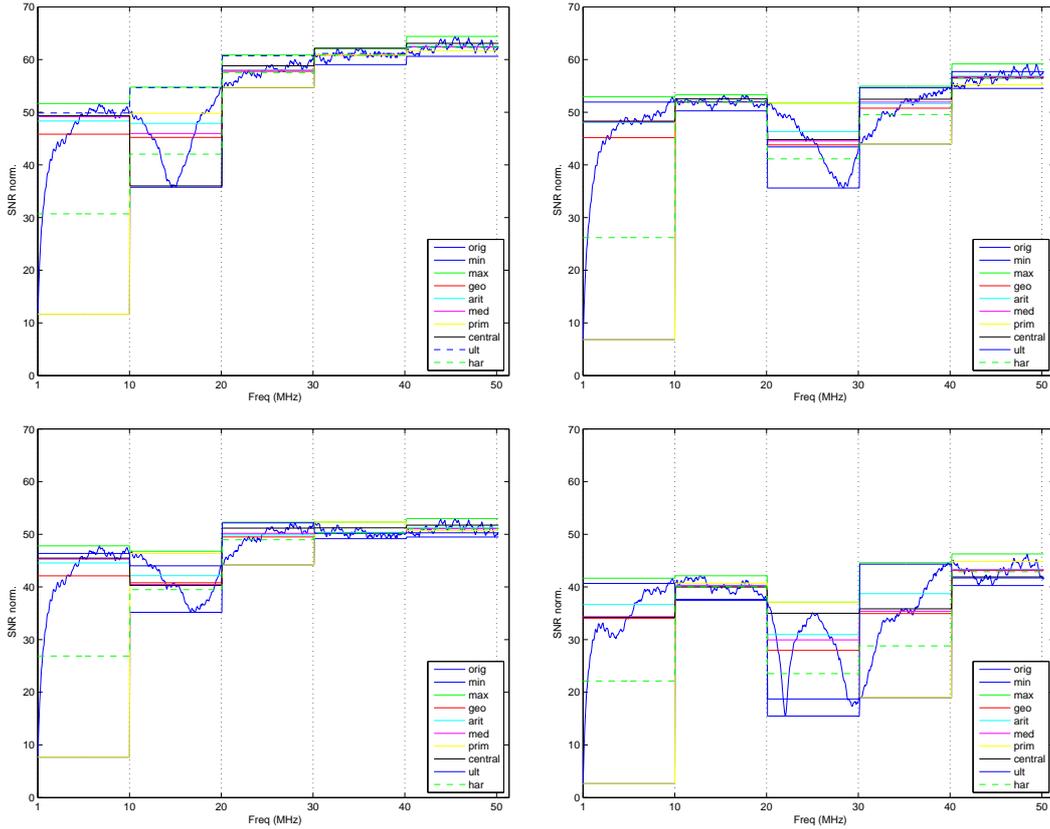


Figura 6.6: Comparação entre as medidas para informação da condição do canal.

Para avaliar o quanto cada medida se aproxima mcSNR, foi calculado o módulo da diferença,  $\Delta$ , entre a mcSNR e cada uma das medidas das condições do canal, considerando o  $m$ -ésimo *cluster* para os  $K$  usuários, ambos valores em dB, ou seja,

$$\Delta = |10 \log_{10}(mcSNR_{k,m}) - 10 \log_{10}(f_{med,k,m})|. \quad (6.12)$$

Com a finalidade de avaliar comparativamente as diversas medidas com a mcSNR, a figura 6.7 apresenta a probabilidade cumulativa da diferença  $\Delta$  ser menor que um determinado valor, para cada uma das medidas, quando 2010 canais PLC são considerados, referentes às redes de energia elétrica de baixa tensão e externas, cujas SNRs foram obtidas com os canais e ruídos modelados de acordo com o apresentado no capítulo 2. Ou seja, para essa avaliação foram considerados  $K = 2010$  usuários,  $N = 512$  subportadoras e  $M = 5$  *clusters*. Escolhendo um valor no gráfico para comparar as medidas, nota-se que a média geométrica é a medida que se aproxima primeiro da mcSNR. Observa-se, também, que a probabilidade da diferença entre a medida e a mcSNR ser menor do que 6 dB é de 98 % para a média aritmética, 96 % para o valor central e 85 % para a média harmônica.

Para finalizar as comparações entre as medidas propostas, a complexidade computacional para o cálculo de cada uma das medidas foi avaliada. Assim sendo, as

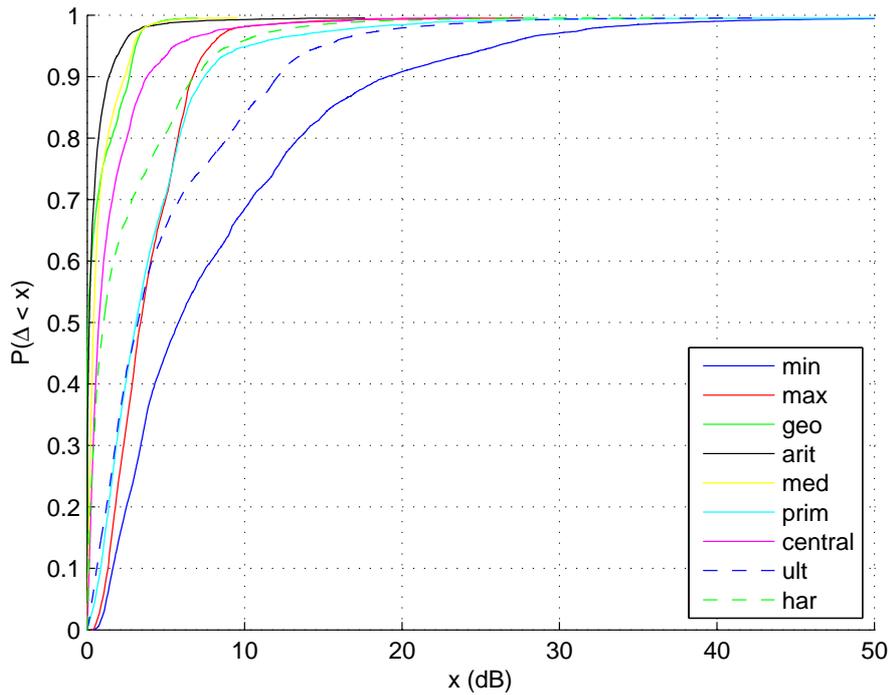


Figura 6.7: Distribuição de probabilidade cumulativa para diversas medidas em relação à mcSNR.

técnicas aplicadas para a obtenção das medidas foram implementadas no Matlab e em linguagem “C” para o *softcore* Nios II rodando no FPGA Cyclone IV EP4CE115 da Altera [79]. Apesar das implementações em Matlab não serem parâmetros para avaliar tempo de execução das técnicas, optou-se por apresentar o tempo de execução neste *software* posto que as relações de tempo de execução entre as técnicas é relevante para inferir, num primeiro momento, o que pode ser esperado com a implementação usando, por exemplo, a linguagem “C”. Além disso, a obtenção dos resultados quando a ordem é elevada, para as medidas que realizam radiciação em seus cálculos, apenas foi possível em Matlab.

A figura 6.8 apresenta o tempo de execução das técnicas no Matlab para cálculo das medidas quando o número de subportadoras assume os valores  $N \in [50, 50000]$ . Para as implementações em linguagem “C” das medidas, os tempos de execução no *softcore* Nios II estão apresentados na figura 6.9. Note que o cálculo de algumas destas medidas é inviável de ser realizado em um processador embarcado, por exemplo, a mcSNR e a média geométrica, que precisam realizar radiciação de ordem  $N$ . A legenda mcsnr corresponde aos resultados referentes à mcSNR.

Dentre as medidas, a medida valor central foi a que apresentou melhor relação entre a aproximação do valor das SNRs e complexidade computacional. Deste modo, todos os testes nas seções seguintes levarão em consideração a medida valor central. A complexidade associada a essa medida é apenas a leitura na tabela da SNR

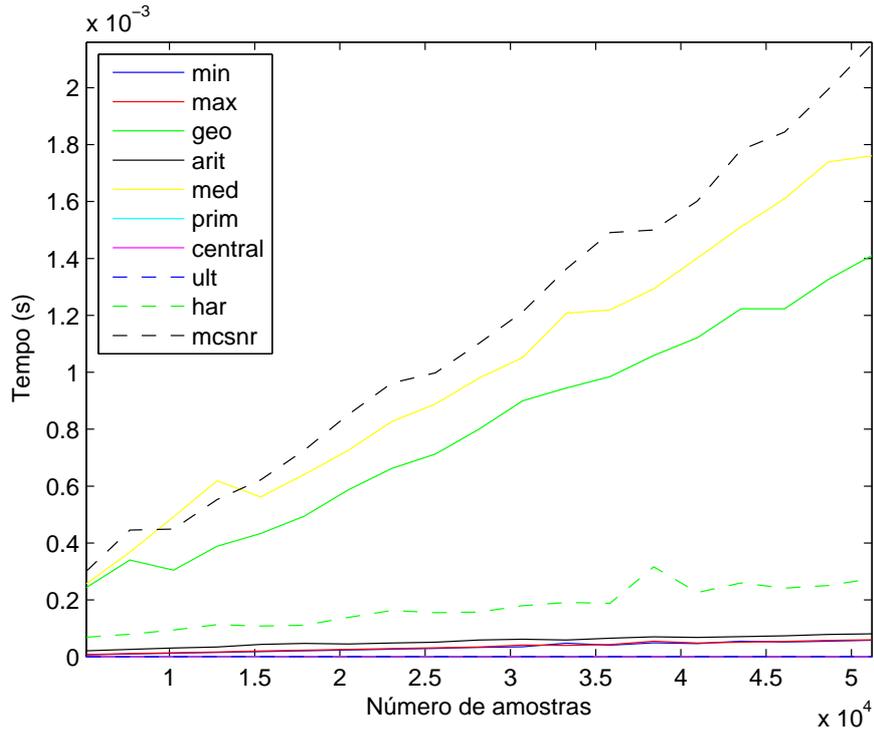


Figura 6.8: Comparação entre a complexidade no cálculo das diversas medidas no Matlab.

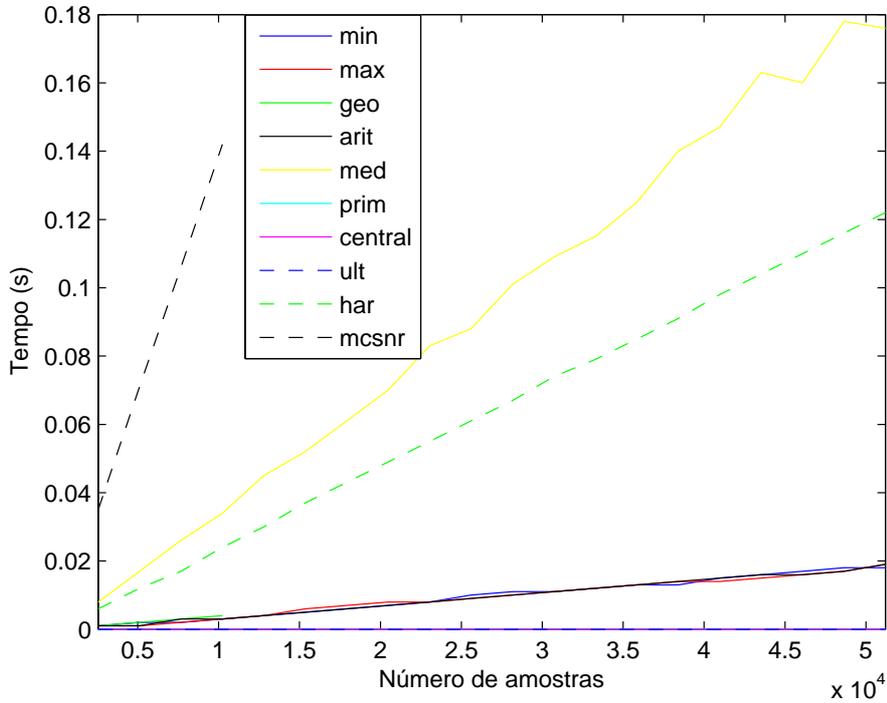


Figura 6.9: Comparação entre a complexidade no cálculo das diversas medidas no processador embarcado.

normalizada da subportadora  $N/2$ , não realizando nenhuma operação de soma, multiplicação ou comparação.

## 6.4 Técnicas de Alocação de Usuários

Para lidar com problema alocação de usuários em sistemas de comunicação de dados com abordagem *clustered-OFDM* para redes PLC de acesso, considere o problema de alocação de  $K$  usuários em  $M$  *clusters* disponíveis,  $K \leq M$ , de tal forma que a soma das taxas de transferência de dados dos usuários seja maximizada, assim como formulado na equação (5.38), quando  $w_{PRA1} = 0$  e  $w_{PRA2} = 1$ . Define-se a matriz custo de alocação de usuários, como sendo a matriz que contém as medidas das condições do canal para cada usuário. Essa matriz, a qual é a entrada para as técnicas de alocação de usuário, é expressa por

$$\mathbf{A} = \begin{bmatrix} a_{11} & a_{12} & a_{13} & a_{14} & \dots & a_{1M} \\ a_{21} & a_{22} & a_{23} & a_{24} & \dots & a_{2M} \\ \vdots & \vdots & \vdots & \vdots & & \vdots \\ a_{K1} & a_{K2} & a_{K3} & a_{K4} & \dots & a_{KM} \end{bmatrix}, \quad (6.13)$$

em que  $a_{k,m} = f_{\text{med}}\{g_{k,n,m}\}$  de forma que cada linha seja composta pelas medidas das condições do canal para um determinado usuário. Como discutido nas seções 5.3 e 6.3, essa medida pode ser calculada de acordo com a equação (6.2), medida que represente as condições do canal para o  $k$ -ésimo usuário no  $m$ -ésimo *cluster*.

Para garantir a alocação do usuário resultando em uma taxa de transferência de dados justa baseada na demanda (RT ou NRT), de acordo com a função custo da taxa de transferência total da rede, dada pela expressão (5.34), define-se  $d_k$  como sendo a demanda por tráfego normalizada para o  $k$ -ésimo usuário ( $\sum_{k=1}^K d_k$ ). O vetor  $\mathbf{d} = [d_1 \ d_2 \ \dots \ d_K]^T$  carrega as demandas normalizadas dos usuários e é uma das entradas para as técnicas de alocação de usuários.

Ao aplicarmos uma técnica de otimização para resolver o problema de alocação de usuários, essa retorna a seguinte matriz de alocação de usuários

$$\mathbf{C} = \begin{bmatrix} c_{11} & c_{12} & c_{13} & c_{14} & \dots & c_{1M} \\ c_{21} & c_{22} & c_{23} & c_{24} & \dots & c_{2M} \\ \vdots & \vdots & \vdots & \vdots & & \vdots \\ c_{K1} & c_{K2} & c_{K3} & c_{K4} & \dots & c_{KM} \end{bmatrix}, \quad (6.14)$$

em que  $c_{k,m} \in \{0, 1\}$ ,  $\forall k, m$ , é a variável inteira que informa se o  $k$ -ésimo usuário está alocado no  $m$ -ésimo *cluster*, de acordo com a equação (5.37).

A partir dessas matrizes, pode-se resolver o problema de alocação de usuários

descrito na seção 5.3, as subseções seguintes apresentam as técnicas de alocação de usuários.

### 6.4.1 Técnica Força Bruta

A técnica força bruta pode ser usada com a técnica de otimização que consiste na busca exaustiva da melhor solução, ou solução ótima, através do teste de todas as possibilidades. Para o caso da alocação de usuários, tal técnica consiste em enumerar todas as possibilidades de alocação para um conjunto de usuários e *clusters*, e a partir dessa informação é calculada a taxa de transferência total na BS para cada caso. O resultado que fornece maior taxa é escolhido como solução ótima. Tal técnica executa  $M!$  testes, em que  $M$  é o número total de *clusters* e  $!$  é o operador fatorial, o que a demanda um grande esforço computacional, não sendo assim uma solução rápida para o problema de alocação de usuários. Entretanto, a busca exaustiva realizada pela técnica força bruta, por garantir uma solução ótima, fornece uma base para a validação das técnicas estudadas e propostas adiante.

### 6.4.2 Técnica *Branch and Bound*: *B&B*

A técnica *Branch and Bound* (B&B) foi inicialmente proposta em [217] como uma solução de problemas de otimização discreta e combinatória através da aplicação de técnicas de programação dinâmica. Essa técnica consiste de dois mecanismos:

- Ramificação (*Branching*): Consiste em particionar o problema inicial de forma que cada subcaso pode ser resolvido ou novamente particionado; e
- Delimitação (*Bounding*): Consiste em eliminar subcasos que através da solução relaxada demonstram não possuírem uma solução ótima.

A eliminação sistemática de subcasos não ótimos é possível graças ao princípio de Rutherford Aris que diz: “*Se você não fez um trajeto ótimo com suas ações até o presente, não conseguirá fazê-lo com as suas ações que ainda restam*” [232]. Desta forma, é possível eliminar os ramos que não contenham a solução ótima no decorrer da solução do problema de forma que o resultado seja obtido com menor complexidade do que aquele obtido pela técnica força bruta, descrita na subseção 6.4.1.

Para casos de otimização binária, é possível garantir que a solução encontrada pela técnica *Branch and Bound* é ótima [233]. Desta forma, a solução do problema de alocação de recursos, apresentada por essa técnica, também pode ser usada para validação das técnicas subótimas que serão discutidas e propostas mais adiante.

Por ser uma técnica de busca, a complexidade de um algoritmo que implementa

a técnica *Branch and Bound* depende diretamente do problema a ser resolvido. Apesar da redução de complexidade computacional em relação à técnica força bruta, a técnica *Branch and Bound* não é adequada para aplicações em dispositivos embarcados, uma vez que o seu emprego implica em elevada complexidade.

### 6.4.3 Proposta 1: Emprego da Técnica de Alocação por Valor de Uso - AVU

Esta técnica foi inicialmente introduzida em [221] e discutida em [234], é aqui denominada Alocação por Valor de Uso (AVU). O objetivo dela é maximizar a capacidade de um esquema OFDM multiusuários efetuando a alocação de usuários. Esta seção discute a proposta do emprego desta técnica para problemas de alocação de usuários em sistemas de comunicação baseados em *clustered*-OFDM quando redes PLC de acesso são consideradas. Tal técnica consiste de duas fases: inicialização e iteração, as quais são descritas a seguir:

- Fase de inicialização: primeiramente, a informação da condição do canal para o  $k$ -ésimo usuário no  $m$ -ésimo *cluster* é considerada para determinar os valores de uso iniciais para cada um dos usuários. Um valor de uso elevado implica em elevada probabilidade de que o usuário seja alocado neste *cluster*.

Define-se o fator de *ranking*,  $R_{k,m}$ , como sendo a classificação do  $m$ -ésimo *cluster* quando os respectivos valores de uso são ordenados, em relação ao  $k$ -ésimo usuário em ordem decrescente. Por exemplo, no caso de  $M$  *clusters*, o *cluster* com características mais apropriadas do canal para um determinado usuário recebe o *ranking*  $M$ , enquanto o próximo seria  $M - 1$  e assim por diante. Define-se a matriz de *ranking*,  $\mathbf{R} \in \mathbb{Z}^{K \times M}$ , sendo formada pelos fatores de *ranking*,  $R_{k,m}$ . Define-se a matriz de valores de uso  $\mathbf{U}(i) \in \mathbb{R}^{K \times M}$  para a  $i$ -ésima iteração. Deste modo, a matriz com os valores de uso iniciais, ou seja  $\mathbf{U}(0)$ , é definida como a matriz custo de alocação do canal multiplicada pelo fator de *ranking* para elevar a probabilidade de alocação no *cluster* e pode ser expressa por

$$\mathbf{U}(0) = \mathbf{A} \odot \mathbf{R}, \quad (6.15)$$

em que  $\odot$  representa o produto elemento a elemento entre as matrizes.

Finalmente, os valores na matriz são normalizadas para uma escala entre 0 e 100. Baseado nesses valores normalizados, o *cluster* com maior valor de uso é selecionado para a alocação de cada usuário. Como mais de um usuário poderia ser alocado em um mesmo *cluster*, sendo essa uma situação de conflito, é preciso iniciar uma fase iterativa para solucionar os conflitos.

- Fase de iteração: considera-se que, para a  $i$ -ésima iteração o valor de uso,  $u_{k,m}(i)$ , seja modificado de acordo com o *cluster* selecionado pelos outros usuários na iteração anterior. Isto é feito calculando-se o custo,  $c_{k,m}(i)$ , do uso da cada *cluster* por todos os usuários. O custo é igual ao número de outros usuários que selecionaram o mesmo *cluster*. Caso o *cluster* não seja selecionado por nenhum usuário, o custo é zero. Os novos valores de uso devem ser calculados da seguinte forma para se tentar resolver os conflitos

$$u_{k,m}(i) = u_{k,m}(i-1)\omega + \frac{u_{k,m}(i-1)(1-\omega)}{\frac{c_{k,m}(i)}{K-1} + 1} + vr, \quad (6.16)$$

em que  $u_{k,m}(i-1)$  é o valor de uso para a iteração anterior,  $\omega$  é uma constante previamente definida que controla a convergência da técnica,  $v$  o ruído inserido para adicionar diversidade entre os valores de uso e forçar usuários a trocarem de *cluster* em casos de conflito, calculado por um valor aleatório multiplicado pela constante  $r$ .

Define-se alocação viável quando a restrição de um único usuário por *cluster* é alcançada e todos os usuários estão alocados. O procedimento iterativo se encerra quando encontrar uma alocação viável ou quando o número máximo de iterações é atingido. Desta forma, essa técnica não garante um resultado de alocação viável sempre, sendo necessário implementar outra técnica que garanta a alocação em outros *clusters* dos usuários que foram alocados em conflito, ou seja, no mesmo *cluster*.

O fluxograma do algoritmo que implementa essa técnica é mostrado na figura 6.10.

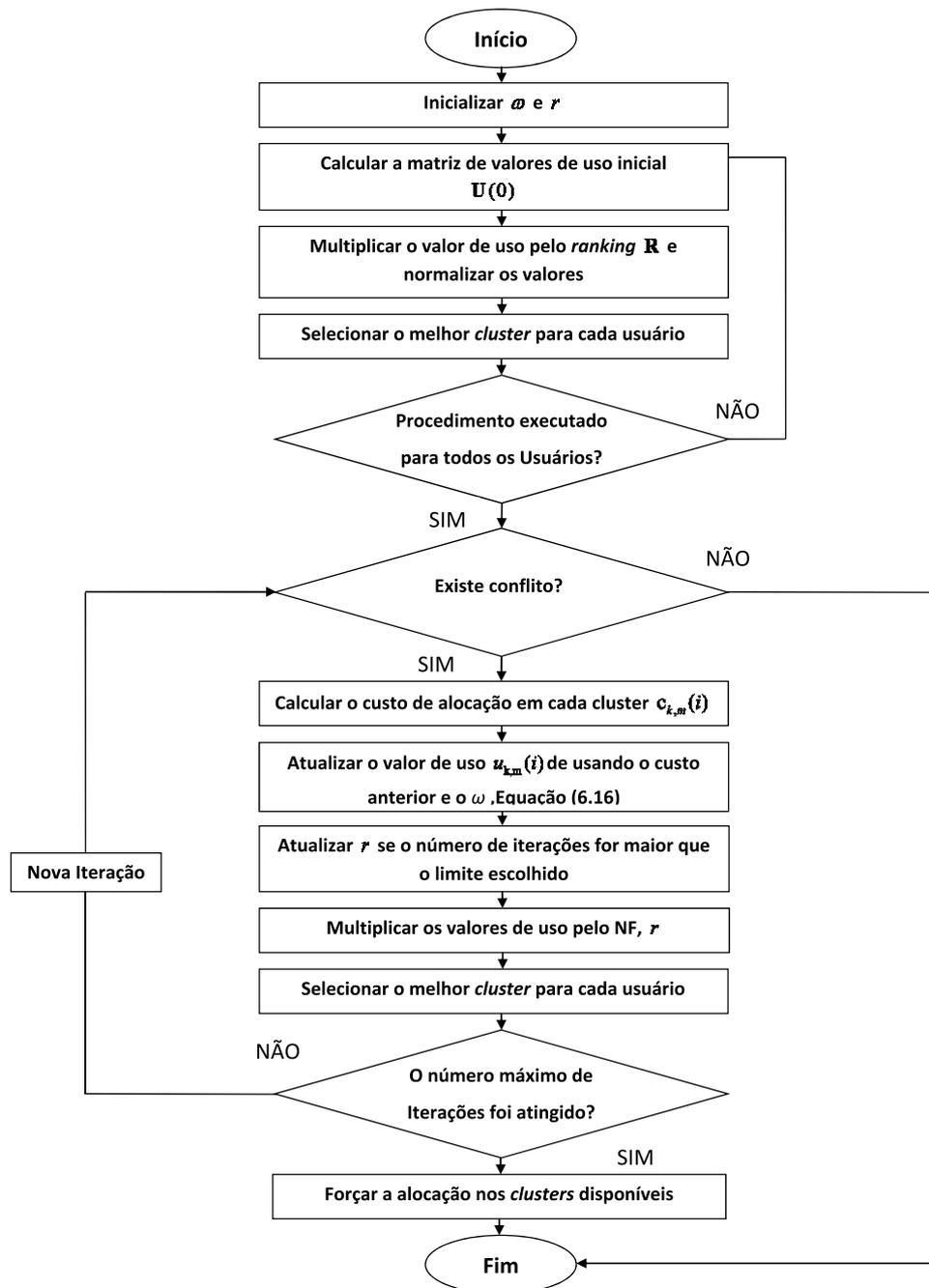


Figura 6.10: Fluxograma do algoritmo que implementa a técnica AVU.

#### 6.4.4 Proposta 2: Emprego da Técnica Húngara - Hung

A técnica de otimização denominada de Húngara é capaz de solucionar problemas de alocação e apresenta complexidade  $O(M^3)$ . Esta seção discute a proposta do emprego dessa técnica para solucionar problemas de alocação de usuários em sistemas de comunicação baseados em *clustered-OFDM* quando redes PLC de acesso são consideradas. Inicialmente, essa técnica foi proposta por Harold Kuhn, em 1955, e revisada por James Munkres em 1957. Desta forma, ficou conhecida também como técnica de Kuhn-Munkres. A denominação de técnica Húngara se deve ao fato de

o trabalho de Kuhn-Munkres ser baseado fundamentalmente no trabalho de dois matemáticos Húngaros (Dénes König e Jenő Egerváry) [235]. A técnica consiste em subtrair todos os elementos de cada uma das linhas da matriz que contém o custo de cada alocação do menor elemento desta linha. Tal procedimento é repetido para as colunas. Após essa primeira etapa, são feitas alocações nos valores zero de cada linha e cada coluna em busca de uma solução viável ao problema. Caso não seja possível efetuar todas as alocações, o problema é reduzido e o menor elemento da matriz restante é subtraído de todos os outros elementos criando um novo zero na matriz de alocação de usuários. Tal procedimento é repetido até que a alocação obtida contemple uma solução viável ao problema.

Dada uma matriz custo conforme mostrado em (6.14), um algoritmo que implemente a técnica Húngara deve proceder de acordo com os seguintes passos:

- Passo 1: subtrair os elementos de cada linha da matriz custo pelo menor elemento da respectiva linha de forma que:  
Cada linha deve apresentar ao menos 1 elemento nulo e todos os elementos devem ser positivos ou nulos;
- Passo 2: subtrair os elementos de cada coluna da matriz custo do menor elemento da respectiva coluna de forma que:  
Cada coluna deve apresentar ao menos 1 elemento nulo;
- Passo 3: selecionar linhas e colunas de forma que seja possível desenhar um traço que cubra todos os elementos nulos e que nenhum traço a mais do necessário seja desenhado;
- Passo 4: executar o teste de otimalidade:  
Se o número de traços é  $M$ , escolha uma combinação da matriz custo modificada de forma que o somatório dessas escolhas seja nulo ou se o número de traços for menor que  $M$  vá a ao passo 5;
- Passo 5: selecionar o menor elemento não coberto por traços. Subtrair cada linha não coberta por traços do elemento selecionado, e somar tal elemento a cada coluna coberta por traços. Retorne a 3;
- Passo 6: fim.

### 6.4.5 Proposta 3: Técnica de Alocação Por Ordenação - APO

Com a finalidade de reduzir a complexidade para se obter a solução do problema de alocação de usuários, o presente trabalho propõe uma técnica baseada na ideia

de inicialmente ordenar todas as medidas da condição do canal para cada usuário. Desta forma, sabe-se, *a priori*, qual é a melhor opção de alocação para cada usuário e também quais são as outras opções de alocação subótimas para esse usuário.

Seja a matriz custo de alocação de usuários  $\mathbf{A}$ , em que cada linha representa as medidas da condição do canal para cada usuário. Cada linha deve ser ordenada de acordo com a melhor condição de canal para cada usuário e os índices dessa ordenação devem ser guardados em uma matriz  $\mathbf{C}$ .

O fluxograma do algoritmo que implementa essa técnica é mostrado na figura 6.11. A melhor alocação para os usuários seria escolher os *clusters* na coluna com a

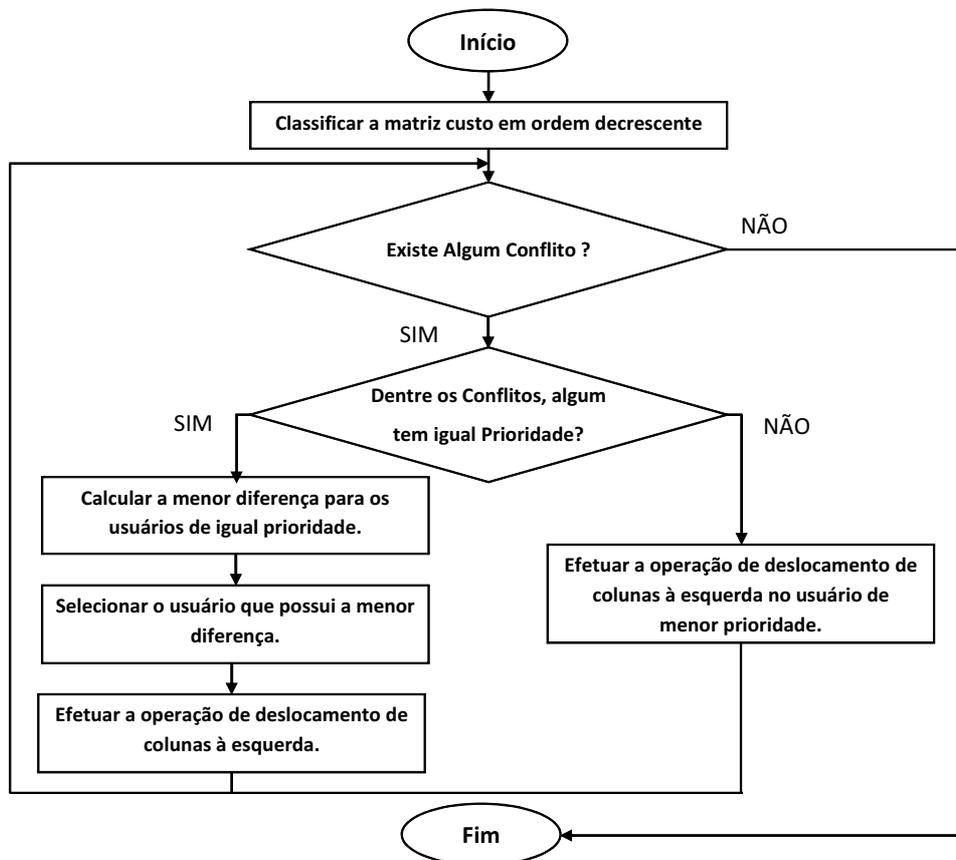


Figura 6.11: Fluxograma do algoritmo que implementa a técnica de APO.

melhor medida da condição do canal da matriz ordenada, o que usualmente resulta em vários usuários dividindo um mesmo *cluster* (conflito). Para solucionar os conflitos, essa técnica faz uso de dois critérios, vistos a seguir em ordem de relevância:

i) Critério de prioridade: em caso de usuários em conflito, o usuário de menor demanda terá menor prioridade e será realocado. Podendo ser considerados usuários RT e NRT;

Considere a matriz custo de alocação de usuários,  $\mathbf{A}$ , e matriz de índices de alocação de usuários ordenada,  $\mathbf{C}$ , o vetor de demanda por tráfego,  $\mathbf{d}$ , disponíveis

e que foi identificado um conflito entre os usuários  $k = i$  e  $k = j$  no *cluster*  $m = l$ , ou seja  $c_{i,l} = c_{j,l}$ . O teste se dará na seguinte forma:

$$d_i - d_j \begin{cases} > 0, \text{ o usuário } j \text{ deve ser realocado para } l - 1 \\ < 0, \text{ o usuário } i \text{ deve ser realocado para } l - 1 \\ = 0, \text{ testar menor diferença} \end{cases} . \quad (6.17)$$

ii) Critério da menor diferença: no caso de usuários em conflito e com a mesma prioridade,  $d_i = d_j$ , será realocado aquele que tiver a menor diferença,  $\delta_i - \delta_j$  entre o valor da melhor medida da condição do canal e o valor da segunda melhor medida da condição do canal. As diferenças entre a melhor e a segunda melhor medida da condição do canal para os usuários  $i$  e  $j$  são definidas como

$$\begin{aligned} \delta_i &= a_{i,c_{i,l}} - a_{i,c_{i,l-1}} \\ \delta_j &= a_{j,c_{j,l}} - a_{j,c_{j,l-1}} \end{aligned} . \quad (6.18)$$

Então, teste se dará na seguinte forma:

$$\delta_i - \delta_j \begin{cases} > 0, \text{ o usuário } j \text{ deve ser realocado para } l - 1 \\ < 0, \text{ o usuário } i \text{ deve ser realocado para } l - 1 \\ = 0, \text{ testar menor diferença fazendo } l = l - 1 \end{cases} . \quad (6.19)$$

De acordo com os critérios vistos, sempre um usuário é selecionado para abrir mão de sua melhor alocação e ingressar em sua segunda melhor alocação para atendimento dos critérios supracitados. Esse procedimento é executado através de um simples deslocamento de colunas na matriz ordenada das medidas da condição do canal dos usuários, o mesmo deslocamento deve ser feito na matriz de índices  $\mathbf{C}$ .

O procedimento para verificar conflitos e deslocar colunas é feito iterativamente até que uma alocação viável seja encontrada. Como essa técnica não garante a convergência, é necessário limitar o número de iterações e utilizar uma técnica auxiliar a qual garanta a alocação dos usuários que persistiram em conflito ao término do procedimento principal, essa técnica será descrita na seção 6.4.6. O algoritmo 1 implementa a técnica Alocação Por Ordenação (APO).

---

**Algoritmo 1:** Técnica alocação por ordenação (APO)

---

**Entrada:**  $\mathbf{A}$ ,  $\mathbf{d}$ , expressos pelas equações (6.14) e (5.34) respectivamente.

**Saída:**  $\mathbf{C}$

**início**

$\mathbf{C} = \text{IndicesLinhasOrdenadas}(\mathbf{A});$

$\text{NumeroIteracoes} = 0;$

**repita**

$\text{NumeroIteracoes} = \text{NumeroIteracoes} + 1;$

**se**  $\text{TestaConflito}(\mathbf{C})$  **então**

**se**  $\text{TestaPrioridadeIgualEntreConflitos}(\mathbf{C}, \mathbf{d})$  **então**

$\text{CalcularMenorDiferenca}(\mathbf{C}, \mathbf{A});$

$\mathbf{C} = \text{DeslocarLinhasComMenorDiferenca}(\mathbf{C}, \mathbf{A});$

**senão**

$\mathbf{C} = \text{DeslocarLinhasConflitantes}(\mathbf{C}, \mathbf{A});$

**fim se**

**senão**

$\text{conflito} = 0;$

**fim se**

**até**  $\text{conflito} == 0$  ou  $\text{NumeroIteracoes} == \text{LimiteIteracoes};$

**fim**

---

#### 6.4.6 Proposta 4: Técnica de Alocação Direta Por Ordenação - ADPO

O presente trabalho apresenta a proposta de uma segunda técnica, essa é uma versão simplificada da técnica APO apresentada na seção 6.4.5 e, conseqüentemente, computacionalmente menos exigente.

Inicialmente, efetua-se a ordenação de acordo com as condições do canal em ordem decrescente, tal como na técnica da seção 6.4.5 resultando na matriz  $\mathbf{C}$ . Em seguida, realiza-se uma etapa iterativa para solucionar os conflitos, considerando os *clusters* que não foram escolhidos por nenhum usuário. A técnica seleciona um dos usuários em conflito, de menor prioridade, e o realoca no melhor *cluster* livre para esse usuário. Caso sejam de mesma prioridade, um dos usuários é escolhido sem o emprego de nenhum critério adicional.

Desta forma, a técnica, além de apresentar reduzida complexidade computacional, garante a convergência em um número reduzido de iterações (ocorrerá uma iteração para cada conflito existente na alocação inicial). Essa característica permite inclusive que essa técnica seja uma ferramenta de decisão final para as técnicas das seções 6.4.3 e 6.4.5, caso não convirjam dentro do limite estipulado de iterações. O fluxograma do algoritmo que implementa essa técnica é mostrado na figura 6.12, enquanto o algoritmo 2 implementa a técnica Alocação Direta Por Ordenação (ADPO).

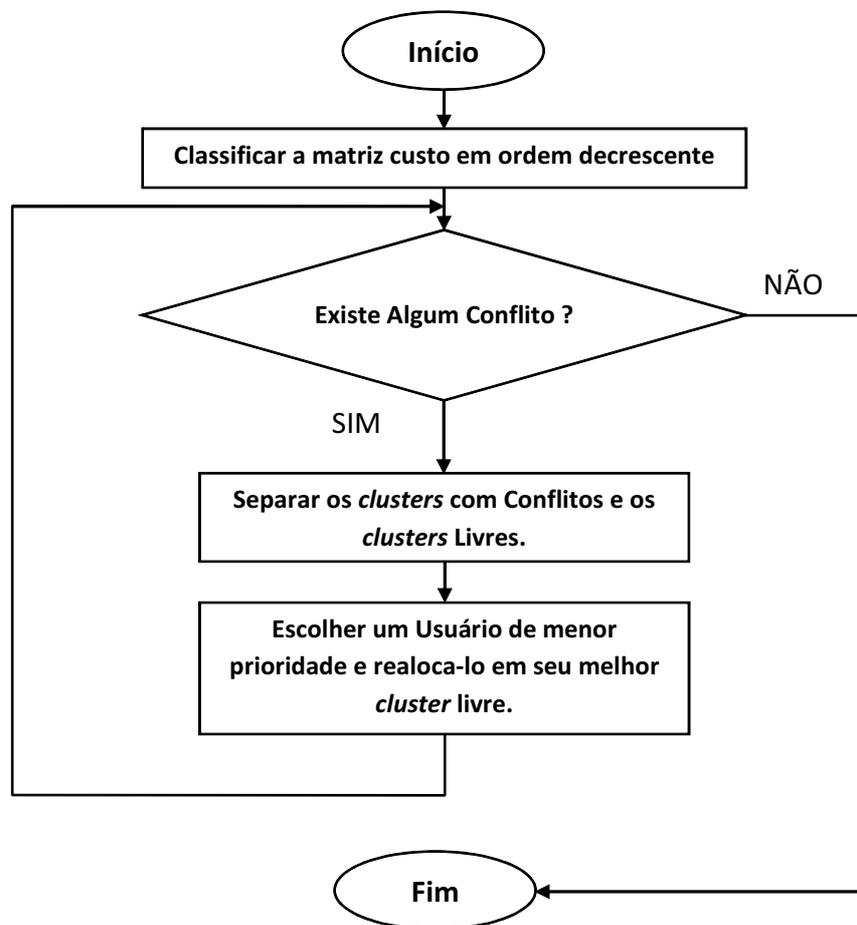


Figura 6.12: Fluxograma do algoritmo que implementa a técnica ADPO.

---

**Algoritmo 2:** Técnica alocação direta por ordenação (ADPO)

---

**Entrada:**  $A$ ,  $d$ , expressos pelas equações (6.14) e (5.34) respectivamente.

**Saída:**  $C$

**início**

$C = \text{IndicesLinhasOrdenadas}(A)$ ;

**repita**

**se**  $\text{TestaConflito}(C)$  **então**

$C = \text{DeslocarLinhasConflitantes}(C, d)$

**senão**

$\text{conflito} = 0$

**fim se**

**até**  $\text{conflito} = 0$ ;

**fim**

---

## 6.5 Exemplo Numérico - Alocação de 5 Usuários em 5 Clusters

Com a finalidade de ilustrar o problema de alocação de usuários, este exemplo apresenta  $K = 5$  usuários considerando canais PLC, referentes a uma rede de energia elétrica BT e externa, modelados de acordo com a equação (2.1), e considera a presença de ruído aditivo, modelado de acordo com a equação (2.5), definidos no capítulo 2. Esses usuários serão alocados em  $M = 5$  clusters.

A relação sinal ruído de 0 até 50 MHz resultante para cada um dos usuários é apresentada na figura 6.13, de forma normalizada para simplificar as análises de deste exemplo. Considera-se que a banda de frequência foi dividida em 5 clusters de 10 MHz cada um. O objetivo é maximizar a taxa total de transferência de acordo com a equação (5.38), considerando  $w_{PRA1} = 0$  e  $w_{PRA2} = 1$ , por meio da alocação de cada um dos usuários em um único cluster, levando-se em consideração a restrição (5.35), de forma que nenhum cluster tenha mais de um usuário, vide restrição (5.36).

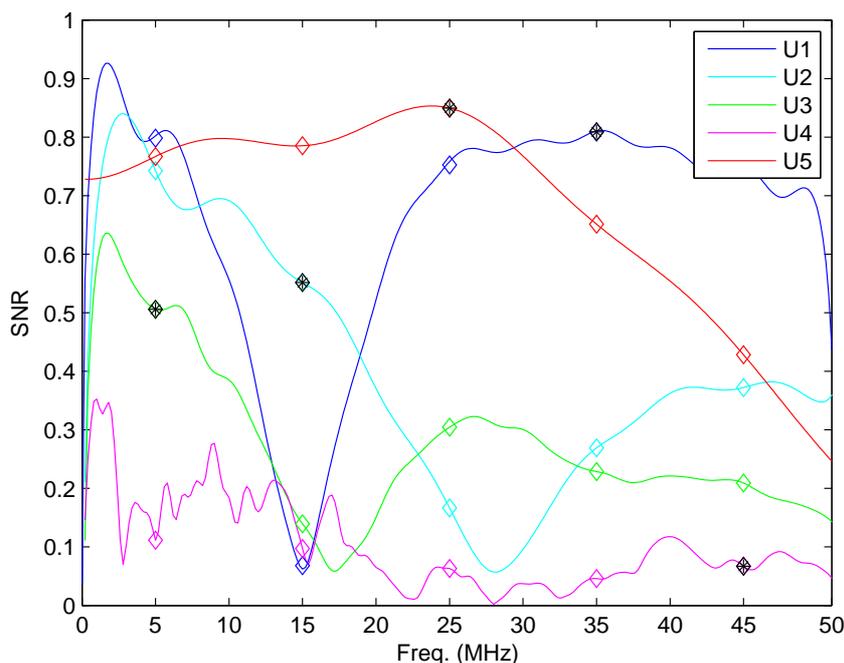


Figura 6.13: Exemplo de alocação de usuários para canais PLC externos.

Com a finalidade de reduzir o volume de dados nas trocas de mensagens entre SS e BS, é considerada como informação da condição do canal para cada usuário a subportadora central em cada cluster, ou seja, as subportadoras nas frequências 5, 15, 25, 35 e 45 MHz identificadas na figura 6.13 por um marcador ( $\diamond$ ), de acordo com o apresentado na seção 6.3. Os resultados da alocação ótima para esse exemplo estão indicados nessa figura por um marcador preto (\*) e foram obtidos utilizando

a técnica de força bruta apresentada na seção 6.4.1.

A tabela 6.1 apresenta os dados utilizados como entrada para a técnica que busca a solução do problema de alocação de usuários. Os valores dessa tabela correspondem aos marcadores da figura 6.13. Esses dados são utilizados para compor a matriz de alocação de usuários da equação 6.14. A coluna resultado representa em qual dos *clusters* o usuário foi alocado.

Tabela 6.1: Exemplo numérico de alocação de 5 usuários em 5 *clusters*

Usuário	Resultado	<i>cluster</i> 1	<i>cluster</i> 2	<i>cluster</i> 3	<i>cluster</i> 4	<i>cluster</i> 5
1	C4	0,7982	0,0679	0,7525	<b>0,8088</b>	0,7559
2	C2	0,7423	<b>0,5515</b>	0,1666	0,2691	0,3723
3	C1	<b>0,5058</b>	0,1393	0,3045	0,2288	0,2092
4	C5	0,1115	0,0972	0,0631	0,0461	<b>0,0669</b>
5	C3	0,7669	0,7852	<b>0,8496</b>	0,6512	0,4282

A matriz de alocação de usuários resultante para esse caso é

$$\mathbf{C}_{5 \times 5} = \begin{bmatrix} 0 & 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 \\ 0 & 0 & 1 & 0 & 0 \end{bmatrix}. \quad (6.20)$$

## 6.6 Resultados das Implementações das Técnicas de Alocação de Usuários

Para a obtenção dos resultados das implementações das técnicas de alocação de usuários, foi implementado um simulador capaz de gerar valores para as informações das condições dos canais para cada usuário. Esses serão utilizados para a avaliação comparativa dessas técnicas. Os valores gerados de condições dos canais foram normalizadas para valores inteiros de 0 a 255. Tal escolha se deve ao fato do tamanho das variáveis inteiras em linguagem “C” de 8 bits e pelo fato de a utilização delas evitar o esforço computacional extra de se trabalhar com operações em ponto flutuante. É fundamental destacar que o objetivo dessas simulações é realizar uma análise comparativa entre as técnicas de alocação descritas na seção 6.4. O procedimento de entrada na rede PLC de acesso descrito nas figuras 6.4 e 6.5 não serão avaliados nesta seção.

Considerou-se uma rede PLC de acesso baseada no *clustered*-OFDM com  $M = 100$  opções de alocação (*clusters*) e o número de usuários  $K \in [1, 100]$ . Os resultados

apresentados correspondem ao valor médio de 20 realizações das simulações para cada ponto. Para análise quantitativa, define-se a proporção entre o número de usuários a serem alocados e o número de *clusters* disponíveis como carregamento da rede, que pode ser calculado por

$$\mu = \frac{K}{M}, \quad (6.21)$$

em que  $\mu \in [0, 1]$  e  $\mu = 1$  corresponde ao problema de alocação quando  $K = 100$  usuários devem ser alocados em  $M = 100$  *clusters* disponíveis.

Conforme citado na seção 6.4.2, a técnica *Branch and Bound* oferece a solução ótima em casos de otimização binária [233]. Assim sendo, a taxa de transferência total na BS obtida após a otimização por essa técnica será considerada como referência para as outras técnicas analisadas. A técnica força bruta foi utilizada para a validação da implementação de todas as técnicas.

Deste modo, pode-se definir a eficácia de alocação como uma medida para se avaliar o quanto as técnicas de alocação subótimas se aproximaram da solução ótima. A técnica *Branch and Bound* será utilizada como referência de solução ótima. Seja  $R_{BB}$  o somatório da taxa de transferência de todos os  $K$  usuários quando a técnica *Branch and Bound* é empregada e  $R_{teste}$  o somatório da taxa de transferência de todos os  $K$  usuários quando uma técnica em teste é empregada, define-se eficácia de alocação como

$$\xi = \frac{R_{teste}}{R_{BB}}, \quad (6.22)$$

em que  $\xi \in [0, 1]$  e  $\xi = 1$  indica que a solução do problema de otimização obteve a mesma solução que o caso de referência.

A medida utilizada para avaliar a complexidade computacional foi o tempo de execução das funções que implementam as técnicas de alocação de usuários. As seções 6.6.1, 6.6.2 e 6.6.3 apresentam os resultados das implementações em Matlab, em linguagem “C” e em processador embarcado respectivamente.

### 6.6.1 Resultados das Implementações das Técnicas de Alocação de Usuários em Matlab

As curvas de eficácia de alocação em relação ao carregamento da rede, para as técnicas em teste nas implementações em Matlab, são apresentadas na figura 6.14, de forma que as siglas B&B, AVU, Hung, APO, ADPO e Aleat correspondem as técnicas *Branch and Bound*, alocação por valor de uso, Húngara, alocação por ordenação, alocação direta por ordenação e alocação aleatória respectivamente. Alocação aleatória corresponde a alocação em que nenhuma técnica de otimização

foi empregada.

As curvas de eficácia de alocação e complexidade computacional em relação ao carregamento da rede nas implementações em Matlab são mostradas nas figuras 6.14 e 6.15. Cada ponto dessas curvas corresponde a uma média de 20 realizações para cada técnica avaliada.

A análise da figura 6.14 permite visualizar que a técnica Húngara conseguiu atingir eficácia de  $\xi = 1$  para todos os casos de carregamento da rede. A técnica de alocação direta por ordenação obteve  $\xi = 0,97$ , como pior eficácia em relação à condição considerada ótima. Já a técnica de alocação por ordenação obteve como pior resultado  $\xi = 0,96$  em relação à solução considerada ótima. A técnica de alocação por valor de uso obteve como pior caso  $\xi = 0,92$  em relação à solução considerada ótima. Pela curva alocação aleatória, nota-se que  $\xi \approx 0,50$  quando nenhuma técnica de alocação é empregada.

Na maioria das análises, os piores resultados foram obtidos em situações de carregamento da rede próximas de  $\mu = 1$ , sendo que até  $\mu = 0,40$  de carregamento da rede, todas as soluções obtiveram resultados muito próximos da alocação ótima, exceto a aleatória.

Com relação à figura 6.15(a), é possível notar que as técnicas B&B e a técnica de alocação por valor de uso necessitaram de um tempo relativamente longo para encontrar a solução viável de alocação. Para detalhar o comportamento das técnicas Hung, APO e ADPO, a figura 6.15(b) apresenta o tempo de execução da implementação dessas técnicas.

O comportamento praticamente constante da curva representativa da técnica B&B é esperado devido ao emprego de matrizes de alocação de usuários quadradas de ordem  $M$ , de forma que mesmo problemas de alocação com poucos ou com muitos usuários tiveram resultado de complexidade parecido no Matlab.

Notou-se um aumento do esforço computacional e diminuição da eficácia em relação à alocação ótima, quando a alocação dava-se através da técnica de alocação por valor de uso para valores de carregamento da rede acima de  $\mu = 0,70$ . Pode-se atribuir essa característica ao fato da técnica não garantir a convergência, sendo necessário fixar um número máximo de iterações. Após o limite de iterações ser atingido, uma técnica auxiliar é empregada para forçar a alocação dos usuários conflitantes em *clusters* livres. O limite de 500 iterações foi escolhido [221] e a técnica auxiliar é a apresentada na seção 6.4.6.

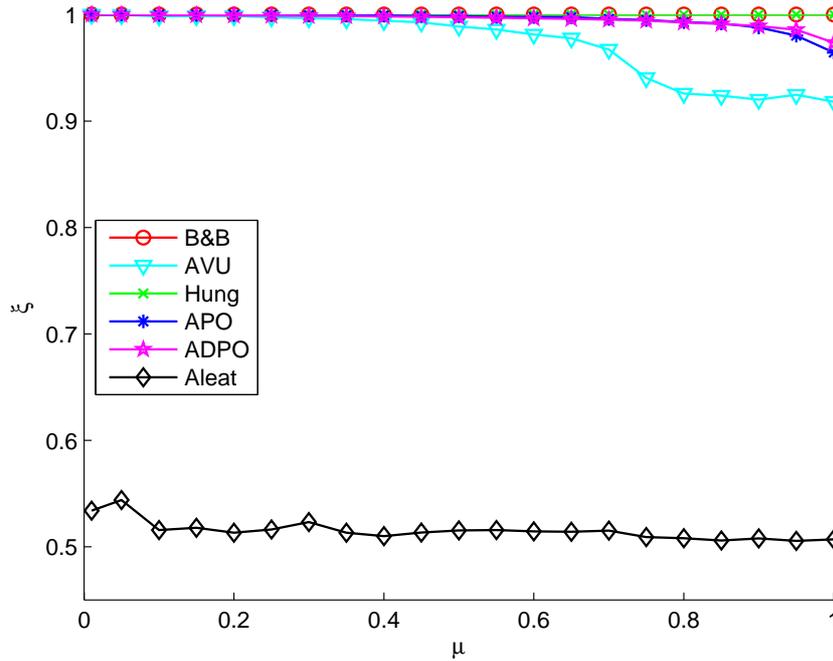


Figura 6.14: Curva de eficácia das técnicas em relação à B&B no Matlab.

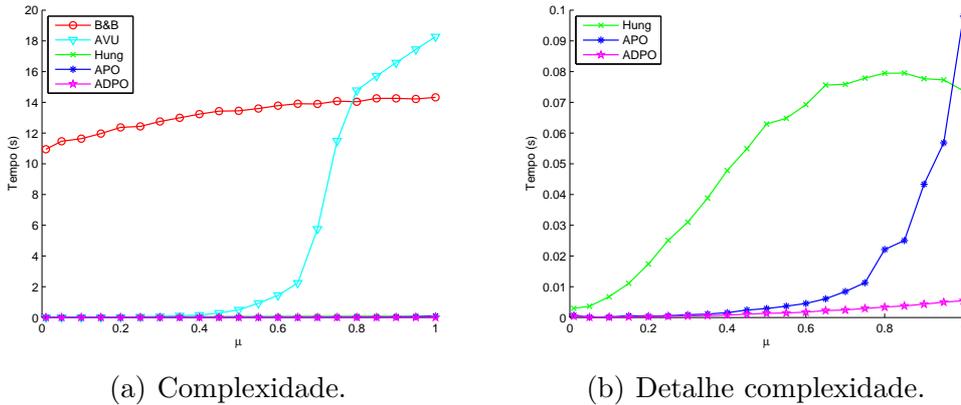


Figura 6.15: Curvas comparativas de complexidade computacional no Matlab.

Tanto a técnica Húngara, como as técnicas de alocação por ordenação e de alocação direta por ordenação apresentaram bons valores de eficácia, sendo que a primeira obteve a solução ótima em todos dos casos, e as duas últimas demandaram o menor custo computacional resultando em soluções subótimas.

As taxas de transferência de dados obtidas para a alocação aleatória, ou seja, para o emprego de nenhuma técnica discutida, resulta em uma capacidade muito abaixo da solução ótima. É importante comentar que para a obtenção dos resultados de alocação aleatória foi necessário um número elevadíssimo de realizações da simulação, foram realizadas 10000 simulações para cada ponto e a média aritmética foi considerada. Esse fato pode ser um indicativo do motivo dos pontos ficarem em

torno de  $\xi = 0,5$ .

Assim, observa-se até o momento que as melhores soluções para serem implementadas com foco na utilização de dispositivos embarcados com capacidade de processamento limitado são as técnicas Húngara, de alocação por ordenação e de alocação direta por ordenação.

## 6.6.2 Resultados das Implementações das Técnicas de Alocação de Usuários em Linguagem “C”

Para a obtenção dos resultados das implementações em linguagem “C” foi utilizada a suite DevC [236], em um microcomputador AMD Phenom X4 965 4x 3.4 GHz e 4 GB de Memória DDR3 1333 MHz rodando o sistema operacional Windows 7 de 64 bits.

Todas as funções implementadas receberam um código para exportar os dados gerados nas simulações numa forma reconhecida pelo *software* Matlab, que foi utilizado para gerar os gráficos comparativos das soluções.

O conjunto de dados foi gerado de forma idêntica à utilizada em ambiente Matlab, ou seja, foram gerados dados com valores normalizados entre 0 e 255 que representam as informações das condições dos canais para cada usuário. Todas as técnicas foram simuladas com um conjunto de dados comum. Tal como na simulação apresentada na seção 6.6.1, a eficácia de alocação de usuários em relação à solução considerada ótima B&B é avaliada, assim como a complexidade computacional necessária para se obter a solução viável de alocação.

Os resultados encontrados para as técnicas implementados em linguagem “C” condizem com os resultados obtidos para as simulações em ambiente Matlab, de forma que a portabilidade da implementação das técnicas foi comprovada, guardadas as devidas proporções no que tange ao tempo de execução.

Nota-se, através da figura 6.16, que a solução gerada pela técnica Húngara, pela técnica de alocação por ordenação e pela técnica de alocação direta por ordenação obtiveram eficácia de alocação próxima da solução B&B, considerada ótima. Além dessas terem uma complexidade computacional consideravelmente menor do que a técnica B&B e alocação por valor de uso. O não emprego de técnicas de otimização resulta em desempenho muito abaixo da capacidade, o que é comprovado pela curva obtida pela alocação aleatória de usuários.

As figuras 6.17(a) e 6.17(b) apresentam o tempo de execução como medida para se avaliar a complexidade das técnicas. Pode-se verificar que a técnica de alocação direta por ordenação é a que apresenta menor complexidade.

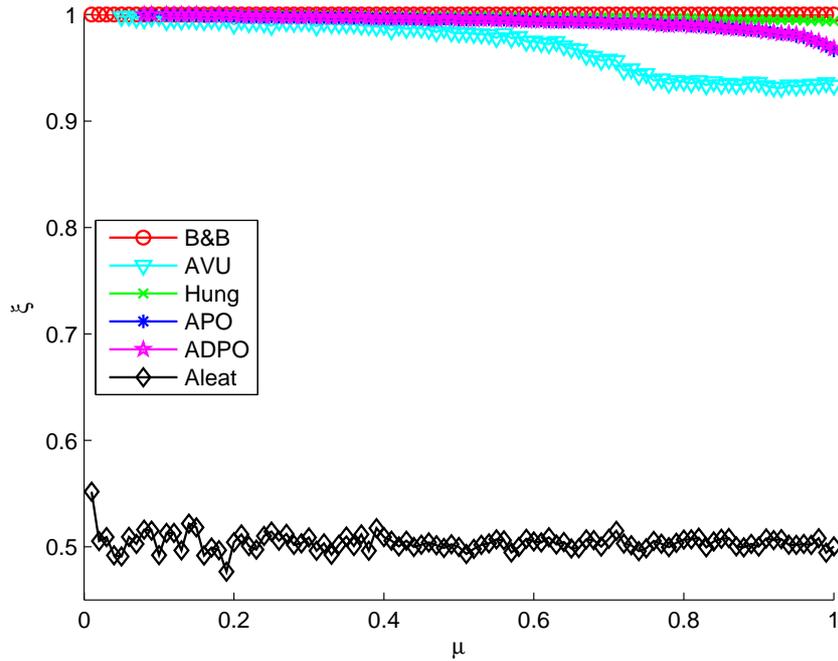


Figura 6.16: Curva de eficácia das técnicas em relação ao *Branch and Bound* em “C”.

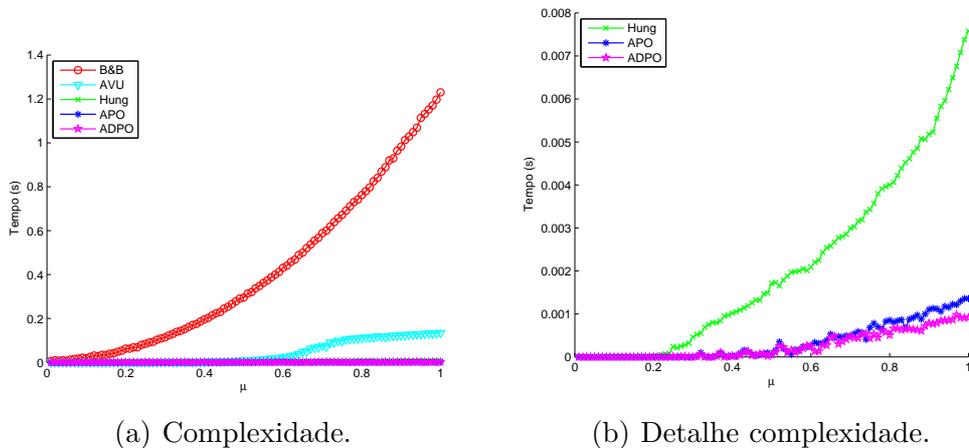


Figura 6.17: Curvas comparativas de complexidade computacional em “C”.

### 6.6.3 Resultados das Implementações das Técnicas de Alocação de Usuários em Linguagem “C” no Processador Embarcado Nios II

Para a avaliação do tempo de execução das técnicas de alocação de usuários em ambiente embarcado, tal como a implementação de dispositivos de comunicação de dados no processador embarcado Nios II em dispositivo FPGA, descrito na seção 4.2 [237], foram prototipados três processadores distintos em FPGA, os quais apresentam as seguintes características principais:

i) **Nios II com memória On-Chip:** arquitetura de 32 bits baseada no *softcore* Nios II, o qual faz uso de 350 KB de memória on-chip do dispositivo FPGA Cyclone IV EP4CE115F29C7N como memória RAM para o processador. Durante os testes este processador executava apenas as técnicas sob avaliação;

ii) **Nios II com memória SDRAM externa:** arquitetura de 32 bits baseada no *softcore* Nios II, o qual faz uso de 256 KB de memória SDRAM externa do dispositivo FPGA como memória RAM para o processador. Durante os testes este processador executava apenas as técnicas sob avaliação; e

iii) **Nios II com memória SDRAM externa e sistema operacional Linux embarcado:** arquitetura de 32 bits baseada no *softcore* Nios II, o qual faz uso de 256 KB de memória SDRAM externa do dispositivo FPGA como memória RAM para o processador. Além do projeto do processador, foi customizado um *kernel* Linux como sistema operacional. Deste modo, e durante os testes, este processador executa as tarefas relacionadas ao sistema operacional além das técnicas sob avaliação.

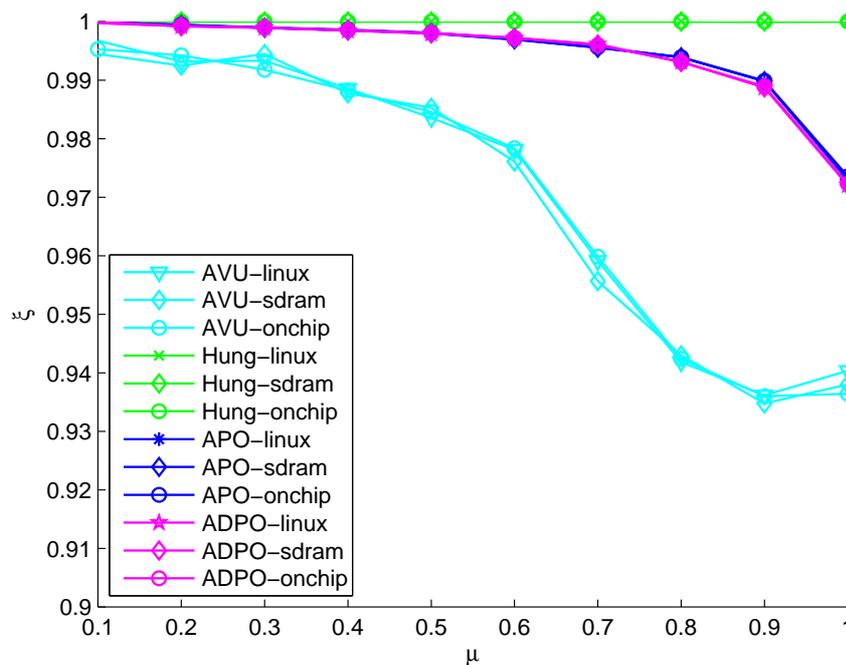


Figura 6.18: Curva de eficácia das técnicas em relação à *Húngara* em *hardware*.

A técnica B&B não foi implementada nos testes com processadores embarcados devido à sua elevada complexidade computacional. Deste modo, os resultados serão apresentados em relação à técnica Húngara empregada para alocação de usuários.

Devido à grande dificuldade de codificar rotinas para a entrada dos dados nos três processadores, foram feitos os testes com o carregamento da rede  $\mu$  variando de 0,10 em 0,10. Efetuaram-se 20 medidas para cada ponto e para cada processador embarcado.

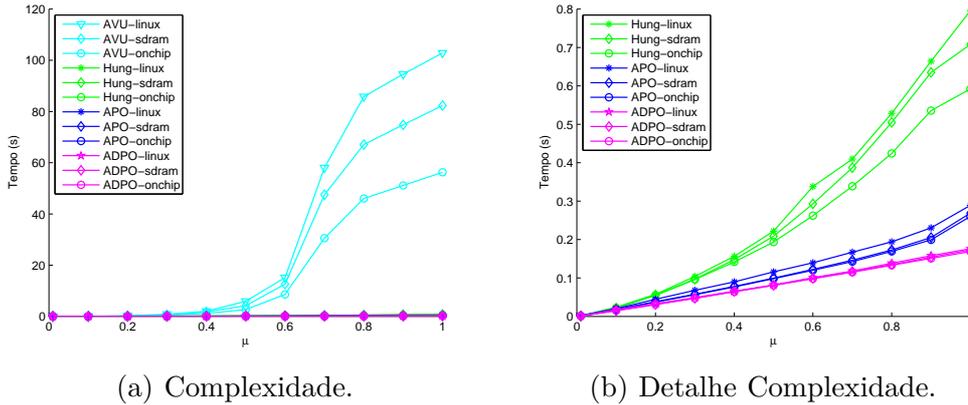


Figura 6.19: Curvas comparativas de complexidade computacional em *hardware*.

Tabela 6.2: Uso de memória das funções que implementam as técnicas de alocação de usuários, considerando no processador embarcado iii com *Linux*

Memória	RAM (KB)	Virtual (KB)	Pico Virtual (KB)
Hung	260	1825	1825
ADPO	204	1566	1566
APO	204	1566	1566
AVU	288	1636	1636

Pode-se notar que o tempo de execução das técnicas no processador embarcado foram em média 50 vezes menor que o desempenho apurado no microcomputador descrito na seção 6.6.2. Deve-se considerar, ainda, que a implementação das técnicas teve exclusividade na execução pelo processador embarcado nos casos (i) e (ii), enquanto que para o microcomputador e para o processador no caso (iii) os recursos foram compartilhados com o sistema operacional.

A figura 6.18 apresenta a eficácia das técnicas de alocação de usuários nos três processadores. As legendas “onchip”, “sdrum” e “linux” correspondem aos processadores (i), (ii) e (iii) respectivamente. Note que a eficácia das técnica não é dependente da arquitetura utilizada. As técnicas APO e ADPO apresentam resultados semelhantes e a técnica AVU é a que apresenta a menor eficácia.

As figuras 6.19(a) e 6.19(b) apresentam o tempo de execução como medida para avaliar a complexidade das técnicas. Verifica-se que a arquitetura com memória *on-chip* é a que apresenta os menores tempos de execução, enquanto a arquitetura com memória externa e Linux apresenta os maiores tempos. Pode-se verificar que a técnica de alocação direta por ordenação é a que apresenta menor complexidade em todos os casos.

A tabela 6.2 apresenta o uso de memória durante o processamento de cada técnica, quando em execução no processador do caso (iii), com Linux. Para realizar essas avaliações, as funções que implementam as técnicas foram executadas repetidamente resolvendo o problema  $\mu = 1$ . O cálculo da memória utilizada foi ob-

tido pela diferença de uso de memória antes e depois do início da execução de cada função. As informações de memória virtual foram adquiridas através dos arquivos de status de processos do Linux. Constata-se que a técnica Húngara é a que requer maiores picos de utilização de memória do processador. Por outro lado, as técnicas APO e ADPO apresentam o menor uso de memória.

Conclui-se, então, que o emprego das técnicas já existentes pode resultar em demanda de processamento muito elevada, o que inviabiliza o emprego dessas em processadores para aplicações práticas. Deste modo, as técnicas propostas são de suma importância, pois apresentam uma boa relação entre complexidade e desempenho, assim como demonstrado pelas implementações.

## 6.7 Sumário

Considerando o problema de alocação de usuários em redes PLC de acesso quando a abordagem *clustered*-OFDM é empregada com o objetivo de maximizar a taxa de transferência de dados na BS, o presente capítulo apresentou quatro propostas de técnicas de alocação de usuários, sendo que duas são o emprego de adaptações de técnicas existentes e duas são propostas originais de técnicas de baixa complexidade computacional. Também foi apresentada uma proposta de medidas para representar os *clusters* do ponto de vista de alocação de usuários, e suas complexidades foram avaliadas.

As técnicas foram prototipadas em *softcore* para FPGA e os resultados indicam que as técnicas Alocação Por Ordenação (APO) e Alocação Direta Por Ordenação (ADPO), propostas, são as de menor complexidade e não comprometem, de forma significativa, o desempenho das redes PLC de acesso.

# Capítulo 7

## Alocação de Bits com Baixa Complexidade

No presente capítulo, discutem-se técnicas de alocação de bits com baixa complexidade computacional para modulação multiportadora baseada em OFDM, quando as redes PLC de acesso são consideradas.

As técnicas de alocação de bits são fundamentais para que os sistemas baseados em modulação multiportadora possam alcançar elevada eficiência espectral. Para que as implementações práticas dessas técnicas sejam viáveis, considerando as limitações de *hardware*, é mandatório que essas apresentem reduzida complexidade e reduzido tempo de execução. Deste modo, para solucionar o problema de alocação de bits apresentado na seção 5.3, técnicas de baixa complexidade computacional são propostas para a implementação em FPGA.

Este capítulo está organizado como se segue. A seção 7.1 apresenta uma revisão das técnicas existentes e indica a necessidade do desenvolvimento de técnicas de baixa complexidade. A seção 7.2 apresenta duas propostas de técnicas para a redução da complexidade da alocação de bits nas subportadoras. A seção 7.3 apresenta os resultados de desempenho das técnicas propostas e suas complexidades quando implementadas em FPGA. A seção 7.4 sintetiza o que foi apresentado neste capítulo.

### 7.1 Técnicas de Alocação de Bits

Diversos padrões atuais discutem as especificações de sistemas de comunicação de dados baseados na tecnologia PLC, de forma que sejam competitivos [20]. Entretanto, os canais PLC apresentam limitações quanto empregados para comunicação de dados, uma vez que são caracterizados por desvanecimento seletivo em frequência e variante no tempo, sujeito a interferências de ruído de fundo, ruído colorido e im-

pulsivo, entre outras características, implicando, desta forma, na necessidade do emprego de técnicas de comunicação digital de dados e técnicas de alocação de recursos sofisticadas [43].

Diferentes sistemas de comunicação de dados foram padronizados e propostos para PLC. Em particular, sistemas baseados em modulação OFDM e, de forma geral, sistemas multiportadoras resultam em soluções apropriadas para lidar com as características dos canais PLC e alcançar elevado desempenho [171, 238, 239]. Para os moduladores OFDM, o emprego de técnicas de alocação de bits resulta no aumento da eficiência espectral e, conseqüentemente, aumento da taxa de transferência de dados e da complexidade [240].

Respeitando algumas restrições, demonstrase que a alocação ótima de bits converge para a capacidade do canal teórica definida por Shannon [241]. Entretanto, em aplicações práticas, a solução ótima pode não ser factível devido às seguintes razões: i) o número de subportadoras,  $N$ , é elevado e, como a complexidade aumenta com  $N$ , o uso de recursos de *hardware* pode tornar-se significativo; e ii) na  $n$ -ésima subportadora podem ser alocados  $b_n \in \mathbb{R}$  bits, o que demandaria uma constelação de tamanho infinito. Como resultado, diversas técnicas subótimas de alocação de bits foram investigadas na literatura para DSL [242–244] e para PLC [9, 245–249].

De forma geral, em sua maioria, os trabalhos relacionados às técnicas de alocação de bits estão focados em maximizar a eficiência espectral [250]. Por outro lado, a complexidade, tempo de execução e demanda por recursos de *hardware* foram discutidas em poucos trabalhos [251, 252].

De acordo com [246], as técnicas de alocação de bits são originalmente derivadas da técnica *Waterfilling* [253] e as mais utilizadas em transceptores PLC são as seguintes: Hughes-Hartogs [254, 255], Chow [242, 256], Fisher [257] e Levin-Campello [258].

A técnica *Waterfilling* [78, 259] foi proposta para encontrar a solução ótima, alocando um número de bits,  $b_n \in \mathbb{R}$ , na  $n$ -ésima subportadora, dependendo do critério. Entretanto, as restrições de *hardware* impõem que  $b_n \in \mathbb{Z}_+$ . Para adequar as técnicas de alocação de bits nas subportadoras a essas restrições, podem ser aplicadas duas estratégias. A primeira realiza a alocação de bits pelo arredondamento dos resultados obtidos pela técnica *Waterfilling* discutido anteriormente, quantizando os bits alocados, essa é chamada de técnica de Chow. A outra estratégia é baseada na técnica que foi sugerida por Hughes-Hartogs, que quantiza a energia a ser alocada, entretanto essa apresenta elevadíssima complexidade [255]. Uma outra técnica foi desenvolvida por Jorge Campello e por Howard Levin e ficou conhecida como técnica de alocação *Levin-Campello* [258, 260–263]. Diferentemente das anteriores, ela resolve o problema de alocação de bits nas subportadoras resultando em  $b_n \in \mathbb{Z}_+$ , sem a necessidade do emprego da técnica *Waterfilling*.

De fato, elas oferecem resultados próximos aos ótimos para a alocação contínua e inteira de bits. Uma vez que o foco dessas pesquisas é melhorar o desempenho dos sistemas multiportadoras, os problemas associados com a complexidade computacional, bem como o tempo de execução ficam em segundo plano. Entretanto, essas questões são fundamentais para aplicações práticas e serão o foco do presente capítulo.

Assim sendo, identifica-se a necessidade de desenvolver técnicas de alocação de bits nas subportadoras, de baixa complexidade computacional e reduzido tempo de execução, tendo em vista as aplicações práticas. Para a introdução dessas técnicas, é necessária a discussão complementar do problema de alocação de bits, vide capítulo 5, além do que é discutido a seguir.

Considere o vetor  $\mathbf{g} = [g(0) \ g(1) \ \dots \ g(N-1)]^T$  composto pelos valores das SNRs normalizadas nas subportadoras de um determinado usuário, e que esse faça uso de um modulador OFDM com  $N$  subportadoras, tal como definido na seção 5.3. Se  $b_n \in \mathbb{Z}_+$  e  $\beta \in \mathbb{S}$ , em que  $\mathbb{S}$  é um subconjunto de  $\mathbb{R}$ , tal que  $b_n = B_n\beta$ , na qual  $B_n \in \mathbb{Z}_+$  é adimensional e, portanto,  $\beta$  representa o número de bits fracionário, pode-se definir o vetor  $\mathbf{b} = [b_1 \ b_2 \ \dots \ b_N]^T$ , tipicamente  $\mathbb{S} = \{1/4, 1/2, 3/4, 1, 2\}$ .

Para a alocação de quantidades inteiras de bits, é fundamental o conceito de energia incremental. De acordo com [78], a energia incremental é definida como

$$e_n(b_n) \triangleq \varepsilon(b_n) - \varepsilon(b_n - \beta), \quad (7.1)$$

em que,  $\varepsilon(b_n)$  é definido como a função de energia para a  $n$ -ésima subportadora carregar  $b_n$  bits e  $\varepsilon(b_n - \beta)$  como a função de energia para a  $n$ -ésima subportadora carregar  $b_n - \beta$  bits.

Por exemplo, para um modulador QAM com  $\beta = 1/2$  bit por dimensão e  $d_n$ , a mínima distância entre os pontos da constelação QAM na  $n$ -ésima subportadora, tem-se a seguinte função de energia

$$\varepsilon(b_n) = \begin{cases} \frac{2^{b_n}-1}{6}d_n^2, & b_n \text{ par} \\ \frac{2^{b_n+1}-1}{12}d_n^2, & b_n \text{ ímpar} \end{cases}, \quad (7.2)$$

e, finalmente, a energia incremental pode ser expressa como

$$e_n(b_n) = \begin{cases} \frac{2^{b_n}-1}{12}d_n^2, & b_n \text{ par} \\ \frac{2^{b_n+1}-1}{12}d_n^2, & b_n \text{ ímpar} \end{cases}. \quad (7.3)$$

Como a expressão exata para  $e_n(b_n)$  pode ser algo complicado de ser obtido, adotam-se tabelas. Por exemplo, a tabela 7.1 ilustra a energia incremental para a modulação QAM. Para uma grande quantidade de bits, a energia incremental para o QAM é, aproximadamente, o dobro da quantidade de energia necessária para

Tabela 7.1: Energia transmitida e energia incremental para a modulação QAM quadrada

$b_n$	0	1	2	3	4	5	6	7	8
$\varepsilon_n(b_n)$	0	$\frac{d_n^2}{4}$	$\frac{d_n^2}{2}$	$\frac{5d_n^2}{4}$	$\frac{5d_n^2}{2}$	$\frac{21d_n^2}{4}$	$\frac{21d_n^2}{2}$	$\frac{85d_n^2}{4}$	$\frac{85d_n^2}{2}$
$e_n(b_n)$	0	$\frac{d_n^2}{4}$	$\frac{d_n^2}{4}$	$\frac{3d_n^2}{4}$	$\frac{5d_n^2}{2}$	$\frac{11d_n^2}{4}$	$\frac{21d_n^2}{4}$	$\frac{43d_n^2}{4}$	$\frac{85d_n^2}{4}$

a constelação anterior, ou 3 dB por bit [78]. Alternativamente, considerando  $\Gamma$  definido na equação (5.21), uma função de energia para QAM com  $\beta = 1$  poderia também ser definida por

$$\varepsilon_n(b_n) = 2 \frac{\Gamma}{g_n} (2^{b_n} - 1), \quad (7.4)$$

e, portanto, a energia incremental é expressa por

$$e_n(b_n) = \frac{\Gamma}{g_n} (2 \cdot 2^{b_n} - 2^{b_n}) \quad (7.5)$$

$$= \frac{\Gamma}{g_n} 2^{b_n} (2 - 1) \quad (7.6)$$

$$= \frac{\Gamma}{g_n} 2^{b_n} \quad (7.7)$$

$$= 2e_n(b_n - 1), \quad (7.8)$$

que é exatamente 3 dB de incremento por bit [78]. Assim sendo, as subportadoras com valores de SNR com diferenças menores que a energia incremental receberão igual número de bits. Esse fato sugere que é possível encontrar uma forma de agrupar as subportadoras com SNRs próximas e a alocação para essas resultaria em iguais quantidades inteiras de bits. Conclui-se, então, que uma vez definido o conceito de energia incremental, é possível elaborar técnicas que explorem o agrupamento das subportadoras para reduzir a complexidade da alocação de bits.

Uma proposta para a redução da complexidade é a redução da quantidade de alocações realizada pelas técnicas, o que pode ser alcançado por meio do agrupamento das subportadoras, o que implica na redução considerável da complexidade das técnicas de alocação de bits. Nas seções 7.2.1 e 7.2.2, são introduzidas duas técnicas de agrupamento das subportadoras para serem empregadas em conjunto das técnicas de alocação de bits, denominadas: Técnica Agrupamento Uniforme (AU) e Técnica Agrupa e Ordena (AO). Foram escolhidas as técnicas *Waterfilling* (WF) e *Levin-Campello* (L-C) para avaliar o desempenho e a complexidade das técnicas propostas, pois WF e L-C são técnicas consagradas na literatura e que representam bem a alocação contínua e alocação inteira de bits nas subportadoras.

## 7.2 Técnicas Propostas

Esta seção apresenta duas técnicas originais, propostas com a finalidade de reduzir a complexidade da alocação de bits nas subportadoras, quando aplicações práticas são consideradas.

Assim como ilustrado na figura 7.1, uma técnica de alocação de bits recebe um vetor  $\mathbf{g}$  composto pelos  $N$  valores de SNR e resulta no vetor  $\mathbf{b}$  composto pelos números de bits para cada uma das  $N$  subportadoras.

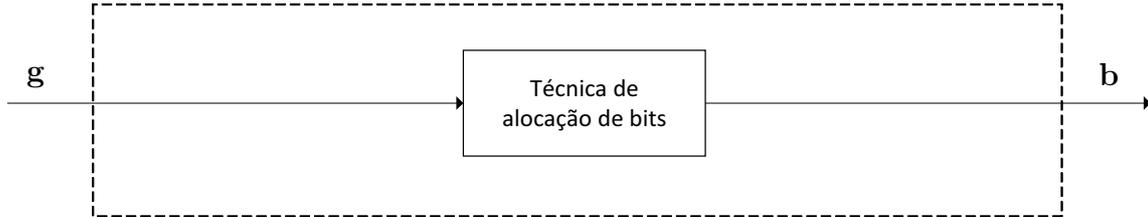


Figura 7.1: Entrada e saída da técnica de locação de bits.

A figura 7.2 ilustra a proposta do emprego de técnicas de agrupamento das subportadoras com a finalidade de reduzir a complexidade da solução do problema de alocação de bits. Seja a função  $\mathcal{A}(\cdot)$ , inversível, que mapeia um vetor em outro, de forma que o número de elementos do vetor resultante seja menor do que o do vetor original. Define-se o vetor agrupado como

$$\mathbf{g}_a = \mathcal{A}(\mathbf{g}). \quad (7.9)$$

Note que os vetores  $\mathbf{g}$  e  $\mathbf{b}$  têm número de elementos igual a  $N$  e que os vetores  $\mathbf{g}_a$  e  $\mathbf{b}_a$  têm número de elementos igual a  $N_a$ , de forma que  $N_a \leq N$ . Deste modo, a complexidade do problema de alocação de bits nas subportadoras pode ser reduzida, quando  $N_a \ll N$ . As subseções seguintes apresentam duas técnicas de agrupamento que implementam a função  $\mathcal{A}(\cdot)$  com a finalidade de reduzir a complexidade do problema de alocação de bits.

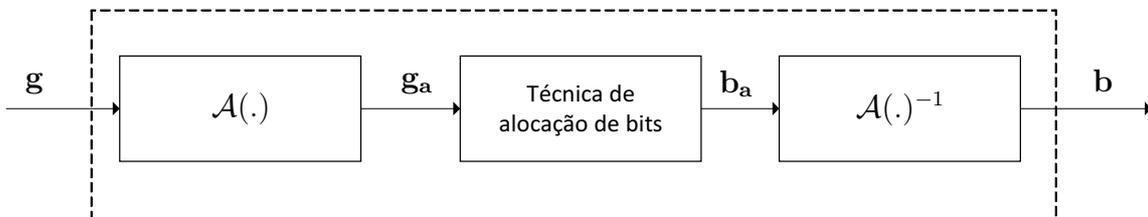


Figura 7.2: Entrada e saída da técnica de locação de bits quando a técnica de agrupamento é considerada.

### 7.2.1 Técnica de Agrupamento Uniforme - AU

Esta técnica consiste no agrupamento uniforme de subportadoras e, consequentemente, resulta na redução do número de elementos do vetor  $\mathbf{g} = [g(0) g(1) \dots g(N-1)]^T$ . Considere  $L$  sendo o número de elementos do vetor de agrupamento. A segmentação do vetor  $\mathbf{g}$  resulta nos vetores de agrupamento  $\mathbf{g}_{i,L} = [g(i(L-1)) g(i(L-1)+1) \dots g(iL-1)]^T$ ,  $i = 1, 2, \dots, N_{\text{au}}$ ,  $N_{\text{au}} = \lceil \frac{N}{L} \rceil$ , em que  $\lceil x \rceil = \min\{m \in \mathbb{Z} | m \geq x\}$ . A SNR normalizada representativa do vetor  $\mathbf{g}_{i,L}$  é expressa por

$$g_{\text{au},i} = \min_j g_{i,L}(j) \quad (7.10)$$

em que,  $j = 0, 1, \dots, L-1$  e  $g_{i,L}(j)$  é o  $j$ -ésimo elemento do vetor  $\mathbf{g}_{i,L}$ . Finalmente, define-se o vetor agrupado  $\mathbf{g}_{\text{au}} = [g_{\text{au},1} g_{\text{au},2} \dots g_{\text{au},N_{\text{au}}}]^T$ , o qual é usado como vetor de entrada das técnicas de alocação de bits. Note que esse vetor tem número de elementos reduzido para  $N_{\text{au}}$ .

As seguintes observações se aplicam a essa técnica: i) a escolha da SNR normalizada mínima deve-se ao fato de que não há interesse em violar a restrição de probabilidade de erro de bits ( $P_e$ ) aplicada ao modulador, formulada pela equação (5.21). Portanto, é uma escolha conservadora que privilegia a probabilidade de erro; e ii) se  $N_{\text{au}} \ll N$ , há uma redução considerável no número de elementos do vetor de entrada para a técnica de alocação de bits, o que pode resultar em redução de complexidade e possível redução de taxa de transferência de dados. A implementação da técnica AU é descrita pelo algoritmo 3.

---

#### Algoritmo 3: Técnica agrupamento uniforme (AU)

---

**Entrada:** vetorMaior[ $N$ ],  $L$

**Saída:** vetorMenor[ $N_{\text{au}}$ ]

**início**

**para**  $i = 0; i \leq N_{\text{au}}; i = i + 1$  **faça**

**atribua** vetorMenor( $i$ ) ← mínimo de vetorMaior( $i(L-1)$ ) até  
         vetorMaior( $iL-1$ );

**fim para**

**fim**

---

O emprego da técnica AU pode ser exemplificado pela figura 7.3, na qual um vetor composto pelos valores de SNR, quando a PSD do sinal transmitido é  $-50 \text{ dBV}^2/\text{Hz}$ , para um canal PLC externo com número de elementos  $N = 1024$  pode ser reduzido para um vetor com com número de elementos  $N_{\text{au}} = 8$ , sendo que cada elemento do vetor reduzido é composto pelo agrupamento de  $L = 128$  subportadoras e sua SNR equivale a menor SNR das subportadoras pertencentes ao grupo.

A notável vantagem da técnica AU é a sua simplicidade de implementação, além de resultar na redução da complexidade quando a alocação de bits é considerada.

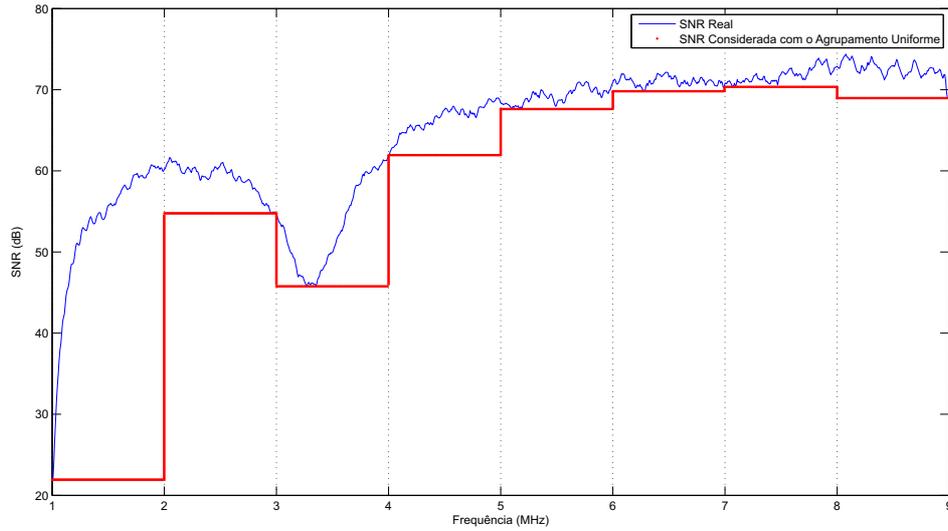


Figura 7.3: Exemplo de agrupamento das subportadoras pela técnica AU para um canal PLC.

Entretanto, devido à escolha do mínimo valor de SNR para cada grupo, a taxa de transferência de bits por símbolo também pode ser reduzida. Essas características são avaliadas na seção 7.3, na qual os resultados comparativos são apresentados, além da implementação desta técnica em *softcore* para FPGA.

## 7.2.2 Técnica Agrupa/Ordena - AO

Assim como a técnica AU, a técnica AO reduz o número de elemento do vetor  $\mathbf{g}$ . Além disso, essa técnica gera a ordenação das SNRs das subportadoras. Assim sendo, além de reduzir o número de elementos do vetor  $\mathbf{g}$ , a técnica AO retorna o vetor ordenado  $\mathbf{g}_{ao}$ . A ordenação prévia das subportadoras reduz o tempo de execução da alocação de bits quando empregada em conjunto com outras técnicas.

Essa técnica pode ser formulada como se segue. Seja a função de quantização escalar expressa por

$$Q(x) = \text{sgn}(x)\Delta \left\lfloor \frac{|x|}{\Delta} \right\rfloor, \quad (7.11)$$

em que  $\lfloor x \rfloor = \max\{m \in \mathbb{Z} | m \leq x\}$ ,  $|x|$  retorna o valor absoluto de  $x$ ,  $\text{sgn}(x)$  retorna o sinal de  $x$  e  $\Delta$  é a faixa de quantização, na qual os possíveis valores de  $x$  serão quantizados como múltiplos inteiros de  $\Delta$ .

Considerando os elementos do vetor  $\mathbf{g}$  em dB e aplicando  $Q(x)$  aos elementos deste vetor, obtém-se o vetor  $\mathbf{g}_q = [g_q(1) \ g_q(2) \ \dots \ g_q(N_{ao})]^T \in \mathbb{R}^{N_{ao} \times 1}$  cujos elementos são múltiplos inteiros de  $\Delta$ , ou seja  $g_q(j) = i\Delta \ \forall j, i \in \mathbb{Z}_+$ , e  $N_{ao}$  é o número de elementos do vetor  $\mathbf{g}_q$ . Uma vez que a função de arredondamento é aplicada, todos

os valores de SNR na faixa entre  $[i\Delta, (i + 1)\Delta)$  são mapeados em  $i\Delta$ . Isso significa que a quantização é conservadora e, portanto, a mesma evita violar a restrição de  $P_e$ , formulada pela equação (5.21), quando a alocação de bits é implementada. Levando em consideração a discussão sobre energia incremental apresentada na seção 7.1, tem-se que  $Q(x)$  explora esse conceito para resultar em um vetor agrupado de acordo com a faixa de quantização  $\Delta$ . O vetor  $\mathbf{k}_a \in \mathbb{Z}_+$  é constituído pelos índices que mapeiam os elementos do vetor  $\mathbf{g}_q$  no vetor  $\mathbf{g}$ .

O vetor agrupado  $\mathbf{g}_q$  pode ser ordenado, resultando no vetor  $\mathbf{g}_{ao} \in \mathbb{R}^{N_{ao} \times 1}$  constituído pelos elementos do vetor  $\mathbf{g}_q$ , em dB, ordenados de forma crescente, ou seja,  $g_{ao}(0) \geq g_{ao}(1) \geq \dots \geq g_{ao}(N - 1)$ . O vetor  $\mathbf{k}_o \in \mathbb{Z}_+$  é constituído pelos índices que mapeiam os elementos do vetor  $\mathbf{g}_{ao}$  no vetor  $\mathbf{g}_q$ . A implementação da técnica AO é descrita pelo algoritmo 4.

O emprego dessa técnica pode ser ilustrado pela figura 7.4, na qual um vetor composto pelos valores de SNR, quando a PSD do sinal transmitido é  $-50 \text{ dBV}^2/\text{Hz}$ , para um canal PLC,  $\mathbf{g}$ , com número de elementos  $N = 1024$  é reduzido para um vetor,  $\mathbf{g}_{ao}$ , com número de elementos  $N_{ao} = 10$ .

Em relação à técnica AU, a técnica AO apresenta maior complexidade, posto que executa a tarefa de agrupamento, além da tarefa de ordenação das subportadoras.

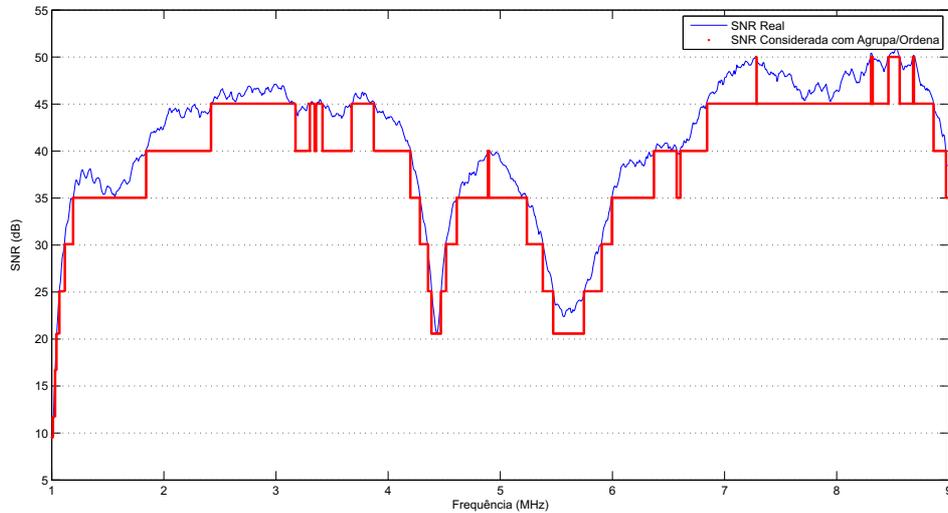


Figura 7.4: Exemplo de agrupamento das subportadoras pela técnica AO para um canal PLC.

---

**Algoritmo 4:** Técnica agrupa/ordena (AO)

---

**Entrada:**  $VetorMaior[N], \Delta$ **Saída:**  $VetorMenor[N_{ao}], VetorIndicesKA[N], VetorIndicesKO[N_{ao}]$ **início****construa**  $VetorQuantizado$  com número de elementos  $N$ ;**construa**  $VetorIndicesKA$  com número de elementos  $N$ ;**construa**  $VetorIndicesKO$  com número de elementos  $N_{ao}$ ;**construa**  $VetorAgrupado$  com número de elementos  $N_{ao}$ ;**construa**  $VetorMenor$  com número de elementos  $N_{ao}$ ;

IndiceKA=0;

**para**  $i = 1; i \leq N; i = i + 1$  **faça**     $VetorQuantizado(i) = \text{sinal}(VetorMaior(i)) \Delta \left\lfloor \frac{|VetorMaior(i)|}{\Delta} \right\rfloor$ **fim para****para**  $i = 1; i \leq N; i = i + 1$  **faça**     $indiceKA = VetorQuantizado(i) / \Delta$      $VetorAgrupado(indiceKA) = VetorQuantizado(i) / \Delta$ ;     $VetorIndicesKA(i) = indiceKA$ ;**fim para**[ $VetorMenor, VetorIndicesKO$ ] = FuncaoOrdenaVetor( $VetorAgrupado$ );**fim**

---

A grande vantagem da técnica AO é que as subportadoras contíguas ou não contíguas, mas com valores de SNR dentro da faixa  $[i\Delta, (i+1)\Delta)$ , são mapeadas em um único grupo  $i$ , resultando em  $N_{ao} < N_{au} \ll N$  se  $\Delta \gg 0$  e quando canais PLC são considerados, pois esses apresentam, de forma geral, elevada correlação entre as subportadoras.

Nota-se que a técnica AO manipula os valores de SNR em dB, resultando em diversos cálculos da função logaritmo, o que implica em complexidade computacional adicional para essa técnica, uma vez que os valores de SNR não estão disponíveis em dB. Esse problema pode ser agravado nas implementações práticas em processadores com limitada capacidade de processamento. Para contornar a complexidade adicional devido ao cálculo da função logaritmo, a mesma pode ser implementada como uma busca em tabela.

## 7.3 Resultados

Esta seção apresenta os resultados relativos ao emprego das duas técnicas propostas. Como discutido na seção 7.2, as técnicas *Waterfilling* de alocação contínua de bits e *Levin-Campello* de alocação inteira de bits foram escolhidas para avaliar as técnicas de agrupamento propostas. Apresentam-se e discutem-se os resultados da alocação de bits quando as duas técnicas propostas são aplicadas, quando os seguintes casos são considerados: i) *Waterfilling* modificada pela técnica AU (WFAU);

ii) *Levin-Campello* modificada pela técnica AU (LCAU); ii) *Waterfilling* modificada pela técnica AO (WFAO); e iv) *Levin-Campello* modificada pela técnica AO (LCAO).

Os resultados de desempenho serão apresentados em termos de

$$\gamma_R = R_a/R_{max}, \quad (7.12)$$

em que  $R_{max}$  é a taxa de transferência de dados máxima obtida pela técnica de alocação de bits sem o emprego das técnicas de agrupamento,  $R_a$  é a taxa de transferência de dados obtida pela técnica de alocação de bits com o emprego das técnicas de agrupamento. Deste modo, a perda de taxa de transferência de dados é expressa por

$$\gamma = 1 - R_a/R_{max}. \quad (7.13)$$

Uma análise estatística das possíveis perdas de desempenho resultantes do emprego das técnicas propostas é realizada por meio de curvas cumulativas de probabilidade, para um número elevado de canais PLC externos de BT que foram modelados.

Por fim, são apresentados os resultados de complexidade computacional da implementação em *softcore* para FPGA, por meio dos tempos de execução para cada caso. São considerados diversos valores para o número de elementos dos grupos,  $L$ , e para a faixa de quantização,  $\Delta$ , quando as técnicas AU e AO são empregadas.

Para a obtenção dos resultados, assume-se que a densidade espectral de potência do sinal transmitido está limitada a  $PSD_x = -50$  dBV<sup>2</sup>/Hz na banda de interesse, assim como definido em diversos sistemas PLC como HPAV [26, 245] para respeitar as regulamentações de EMC [264]. O ruído de fundo considerado tem densidade espectral de potência  $PSD_v = -120$  dBV<sup>2</sup>/Hz, que é um valor típico para PLC [265]. Os modelos de canais e ruídos são os apresentados nas seções 2.2 e 2.3, foram considerados quatro canais PLC externos, cujos módulos da resposta em frequência foram apresentados na figura 5.7.

### 7.3.1 Exemplo do Emprego das Técnicas AU e AO

Com o objetivo de ilustrar o emprego das técnicas AU e AO, a tabela 7.2 mostra os números de elementos do vetor  $\mathbf{g}_{au}$  gerado pela aplicação da técnica AU, quando  $L \in \{1, 8, 32, 64, 128\}$ . Por outro lado, a tabela 7.3 mostra os números de elementos do vetor  $\mathbf{g}_{ao}$  após ser aplicada a técnica AO, quando  $\Delta \in \{0, 1/8, 3, 6\}$  dB para quatro canais PLC externos. Note que para a técnica AU o canal PLC não influencia na redução do número de elementos do vetor. Já para a técnica AO, a redução do número de elementos do vetor é função da faixa de quantização,  $\Delta$ , e do canal PLC.

Tabela 7.2: Número de elementos dos vetores após ser aplicada a técnica AU quando  $N = 1024$

Agrupamento Uniforme					
L	1	8	32	64	128
$N_{au}$	1024	128	32	16	8

Tabela 7.3: Número de elementos dos vetores após ser aplicada a técnica AO quando  $N = 1024$

Agrupa/Ordena					
$\Delta$ (dB)	0	1/8	3	6	
$N_{ao}$ Canal 1	1024	224	19	10	
$N_{ao}$ Canal 2	1024	198	18	10	
$N_{ao}$ Canal 3	1024	157	16	9	
$N_{ao}$ Canal 4	1024	222	15	8	

Todos os vetores de entrada apresentam número de elementos  $N = 1024$  devido às 1024 subportadoras disponíveis.

A partir das tabelas 7.2 e 7.3, é possível verificar que a técnica AU permite a escolha do número de elementos do vetor que será a entrada para as técnicas de alocação de bits. Para a técnica AO, é visto que para faixas de quantização pequenas, por exemplo  $\Delta = 1/8$  dB, o número de elementos do vetor de entrada pode ser reduzido em mais do que 4 vezes e que para faixa de quantização  $\Delta = 6$  dB, o número de elementos é reduzido em mais de 100 vezes. O que indica que a técnica AO resulta em maior redução de complexidade do problema de alocação de bits, o que é discutido nas subseções seguintes.

### 7.3.2 Desempenho da Alocação de Bits com a Técnica de Agrupamento Uniforme

Com a redução da complexidade da alocação de bits por meio da redução do número de elementos dos vetores e, conseqüentemente, a redução do tempo de execução dessas técnicas, pode haver uma queda na taxa de transferência de dados. A redução da taxa de transferência ocorre pelos seguintes motivos: i) a forma como o vetor  $\mathbf{g}_{i,L}$  foi definido não leva em consideração se  $|\max(\mathbf{g}_{i,L}) - \min(\mathbf{g}_{i,L})| \geq e_n(b_n)$  e ii)  $g_{au,i}$  é o elemento de valor mínimo no vetor  $\mathbf{g}_{i,L}$ .

As figuras 7.5 e 7.6 apresentam a taxa de transferência de dados quando as técnicas *Waterfilling* e *Levin-Campello* são modificadas pela técnica AU, quando  $L = 2^x$ , em que  $x \in \{0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10\}$  e  $N = 1024$ . Os resultados são apresentados em função de  $\gamma_R$ , definido pela equação (7.12).

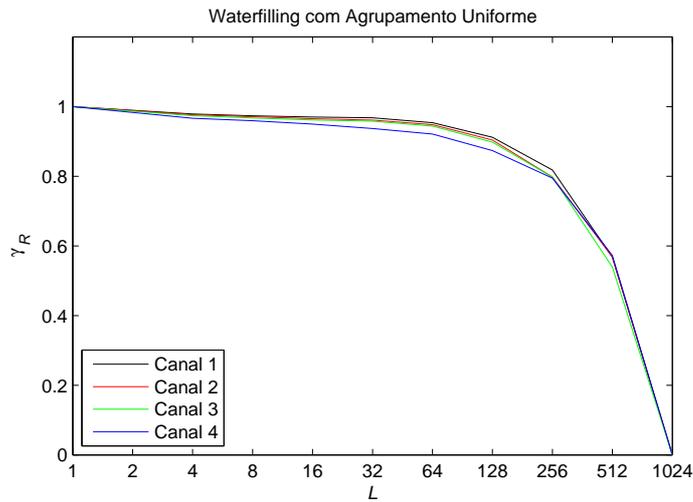


Figura 7.5: Desempenho da técnica WFAU em função de  $L$ .

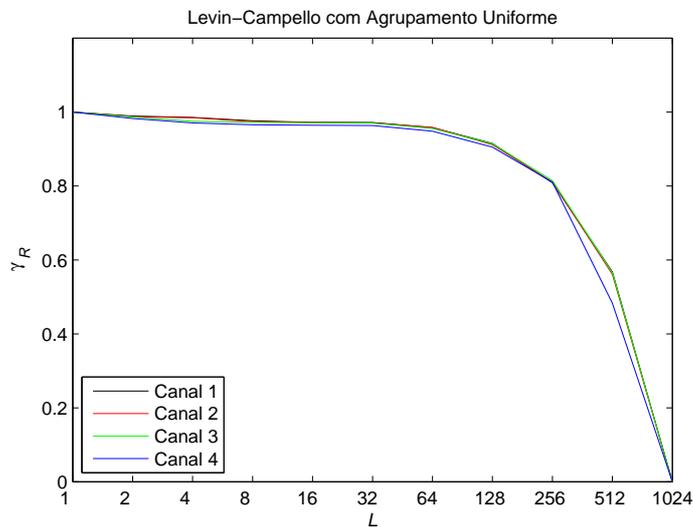


Figura 7.6: Desempenho da técnica LCAU em função de  $L$ .

É possível observar que à medida que se aumenta o número de elementos agrupados,  $L$ , conseqüentemente, se reduz a complexidade, ocorrendo uma queda no número de bits alocados e na taxa de transferência de dados. O emprego da técnica AU para  $L > 64$  resulta em consideráveis perdas de taxa de transferência. Observe que o aumento de  $L$  implica a diminuição de  $N_{au}$  e, portanto, há uma redução de complexidade e do tempo de execução da alocação de bits nas subportadoras. As reduções do tempo de execução em *hardware* são discutidas na subseção 7.3.5.

### 7.3.3 Desempenho da Alocação de Bits com a Técnica Agrupa/Ordena

As figuras 7.7 e 7.8 apresentam a taxa de transferência de dados quando as técnicas *Waterfilling* e *Levin-Campello* são modificados pela técnica AO, quando  $\Delta \in \{0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10\}$  dB e  $N = 1024$ . Os resultados são apresentados função de  $\gamma_R$ , definido pela equação (7.12).

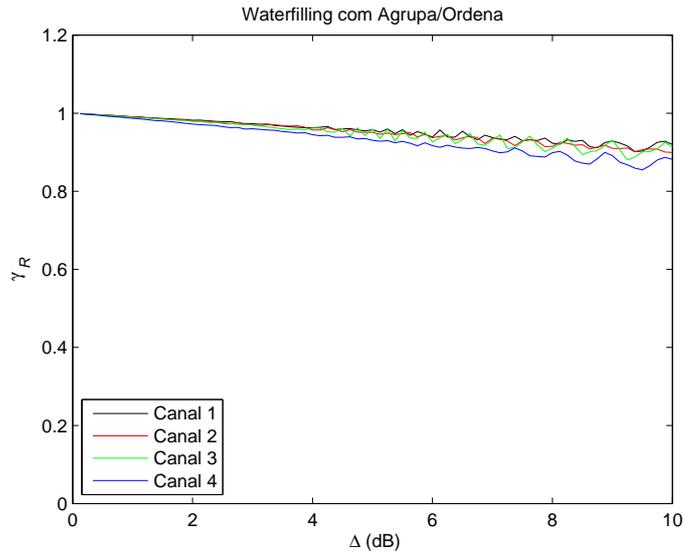


Figura 7.7: Desempenho da técnica WFAO em função de  $\Delta$ .

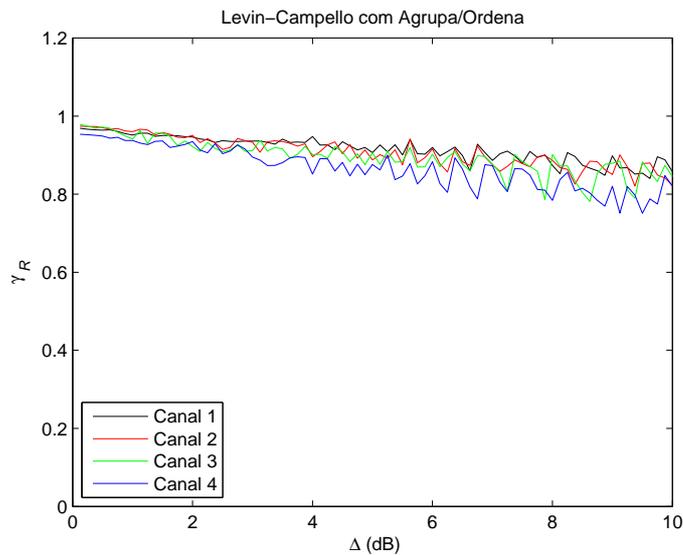


Figura 7.8: Desempenho da técnica LCAO em função de  $\Delta$ .

É possível observar que na medida em que  $\Delta$  aumenta, ocorre redução de taxa de transferência de dados. Observe que o aumento de  $\Delta$  provoca a diminuição de  $N_{ao}$

e, portanto, há uma redução de complexidade e do tempo de execução da alocação de bits nas subportadoras.

Comparando as figuras 7.5, 7.6, 7.7 e 7.8, constata-se que a técnica AO apresenta uma perda na taxa de transferência de dados menor do que para a técnica AU. Por exemplo, consultando as tabelas 7.2 e 7.3 para  $L = 128$  e  $\Delta = 6$  dB para o canal 4, resulta em  $N_{au} = 8$  e  $N_{ao} = 8$ , ou seja, redução da complexidade em torno de 128 vezes para as técnicas AU e AO. Para o *Waterfilling*, as taxas de transferência de dados caem para 0,87 e 0,92 quando as técnicas AU e AO são empregadas respectivamente. Nesse caso, a técnica AO apresenta os melhores resultados, uma vez que possibilita redução de complexidade, implicando em uma menor perda de taxa de transferência de dados. Para aprofundar essa análise sobre perda de taxa de transferência, a seguir, é apresentada uma análise estatística considerando aproximadamente 200 canais PLC externos de BT e o emprego das técnicas propostas.

### 7.3.4 Análise da Perda da Taxa de transferência de Dados

Esta subseção analisa a perda de taxa de transferência de dados que ocorre ao empregar as técnicas de agrupamento das subportadoras durante a alocação de bits.

A partir de aproximadamente 200 canais PLC externos, modelados de acordo com o capítulo 2, foi feita uma análise estatística para caracterizar a perda de taxa de transferência de dados quando as técnicas de agrupamento propostas são utilizadas. Para cada canal e cada técnica, foi realizada a alocação de bits com e sem o emprego das técnicas de agrupamento propostas e a perda da taxa de transferência de dados,  $\gamma$ , definida pela equação (7.13), foi computada.

Seis casos foram avaliados e os resultados são apresentados na figura 7.9, a saber: i) LCAO com  $\Delta = 3$  dB; ii) WFAO com  $\Delta = 3$  dB; iii) LCAU com  $L = 8$ ; iv) WFAU com  $L = 8$ ; v) LCAU com  $L = 64$ ; e vi) WFAU com  $L = 64$ . Note que de acordo com as tabelas 7.2 e 7.3, quando  $L = 64$  e  $\Delta = 3$  dB, esses casos resultam em uma redução do número de elementos de  $N = 1024$  para  $N_a \approx 16$ , reduzindo em aproximadamente 64 vezes o número de alocações necessárias dos problemas para os casos (i), (ii), (v) e (vi). Para os casos (iii) e (iv)  $N_{au} = 128$ , resultando em uma redução da complexidade de apenas 8 vezes.

A figura 7.9 apresenta a distribuição de probabilidade cumulativa da perda de taxa de transferência de dados para os seis casos. Quando as técnicas são empregadas objetivando uma grande redução de complexidade, casos (v) e (vi), com  $L = 64$ , observa-se que as técnicas LCAU e WFAU não apresentam resultados satisfatórios. Por exemplo, para LCAU e  $L = 64$ , a probabilidade da perda de taxa ser menor do que 50% é de 0,9, enquanto para LCAO e  $\Delta = 3$  dB, a probabilidade da perda de

taxa ser menor do que 10% é de 0,9. Outro exemplo é que para WFAU e  $L = 64$ , a probabilidade da perda de taxa ser menor do que 15% é de 0,2, enquanto para WFAO e  $\Delta = 3$  dB, a probabilidade da perda de taxa ser menor do que 15% é de 0,9. Deste modo, a alocação de bits quando associadas à técnica AO apresenta o melhor desempenho.

Uma outra comparação pode ser feita a partir da figura 7.9. Para desempenhos próximos, casos (i), (ii), (iii) e (iv), a alocação de bits quando associadas à técnica AO apresenta maior redução de complexidade. Por exemplo, para ambos os casos, LCAU com  $L = 8$  e LCAO com  $\Delta = 3$  dB, a probabilidade da perda de taxa ser menor do que 12% é de 0,96. Entretanto, constata-se que para a técnica AO  $N_{ao} = 16$ , enquanto para AU  $N_{au} = 128$ , resultando que para a técnica AO o número de elementos é reduzido 64 vezes enquanto para a técnica AU apenas 8 vezes.

Conclui-se, então, que o emprego da técnica AO é capaz de reduzir a complexidade da alocação de bits e que ela resulta em uma redução de complexidade maior do que a técnica AU. Esse fato será discutido nas implementações em *softcore* para FPGA na subseção seguinte.

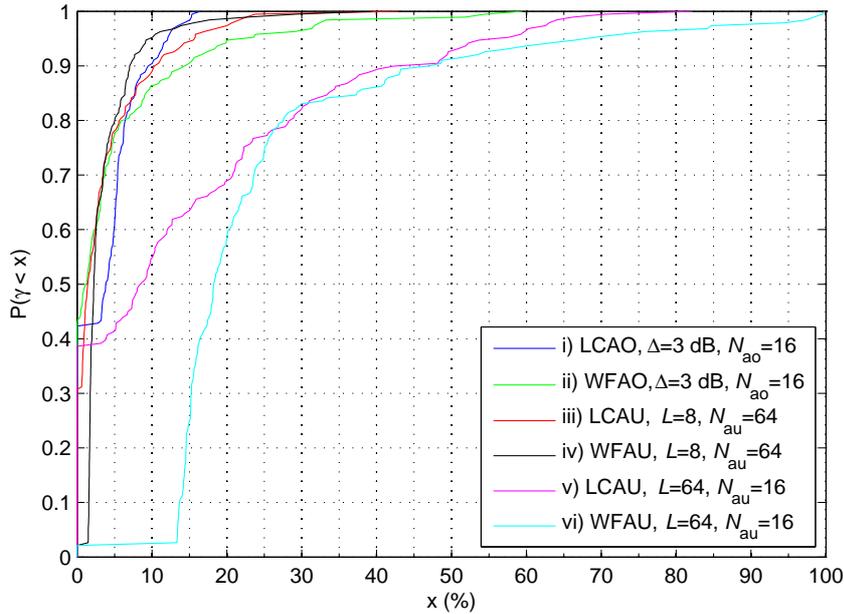


Figura 7.9: Distribuição de probabilidade cumulativa da perda de taxa para as técnicas LCAO, WFAO, LCAU e WFAU.

### 7.3.5 Implementação das Técnicas de Alocação de Bits em FPGA

As técnicas de alocação de bits também foram implementadas em linguagem “C” para o *softcore* apresentado na seção 2.5, o qual opera com frequência de 50

MHz.

As tabelas 7.4 e 7.5 apresentam os tempos de execução das técnicas *Waterfilling* e *Levin-Campello* quando a técnica AU é empregada, considerando os grupos com número de elementos  $L \in \{1, 8, 32, 64\}$  e  $N = 1024$ . Note que quanto maior  $L$ , menor é o tempo de execução. A implementação com o maior tempo de execução ocorre quando  $L=1$ , resultando em mais de 41 segundos para resolver o problema de alocação de bits nas subportadoras, o que inviabilizaria aplicações práticas dessas técnicas de alocação de bits, especialmente quando os canais PLC são variantes no tempo.

Tabela 7.4: Tempo de execução, em segundos, do caso WFAU

$L$	1	8	32	64
Canal 1	1,036	0,144	0,035	0,019
Canal 2	1,008	0,143	0,035	0,019
Canal 3	1,025	0,142	0,035	0,019
Canal 4	1,038	0,131	0,035	0,019

Tabela 7.5: Tempo de execução, em segundos, do caso LCAU

$L$	1	8	32	64
Canal 1	41,045	0,496	0,041	0,018
Canal 2	37,247	0,493	0,041	0,018
Canal 3	34,841	0,491	0,041	0,018
Canal 4	26,291	0,411	0,035	0,016

A figura 7.11 apresenta os resultados da implementação no *softcore* para FPGA quando dois casos são considerados: i) LCAU e ii) WFAU. Essa figura apresenta os tempos de execução para  $L \in \{2, 4, 8, 16, 32, 64\}$  avaliados para os quatro canais. Os tempos de execução para as técnicas WF e L-C sem o emprego de agrupamento não foram plotados, uma vez que apresentam valores muito elevados. Esses estão presentes nas tabelas 7.4 e 7.5 para  $L = 1$ . Observa-se que o tempo de execução decai com o aumento de  $L$  e que depende muito pouco do canal.

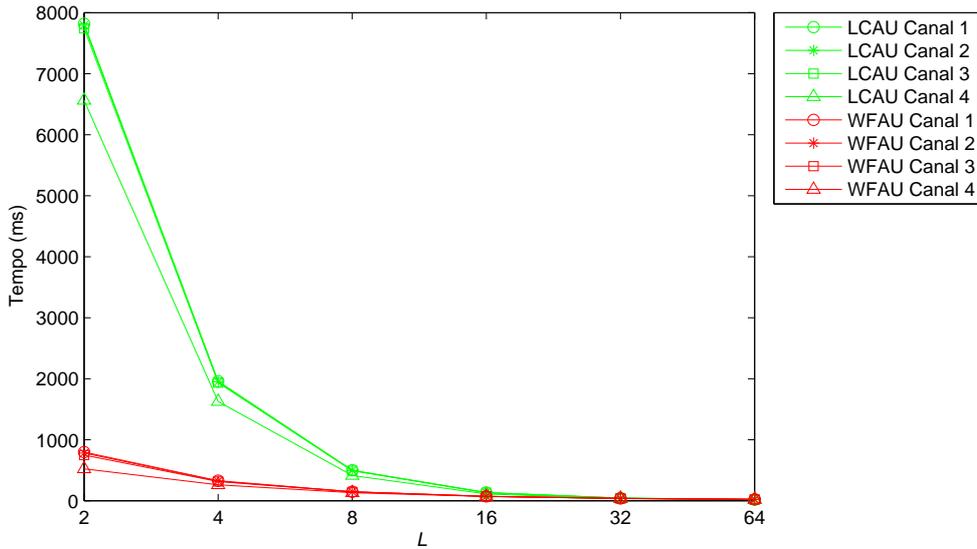


Figura 7.10: Tempo de execução em função de  $L$  quando a técnica AU é empregada.

As tabelas 7.6 e 7.7 apresentam os tempos de execução das técnicas *Waterfilling* e *Levin-Campello* quando a técnica AO é empregada, considerando as faixas de quantização  $\Delta \in \{0, 1/8, 3, 6\}$  dB e  $N = 1024$ . Note que para a técnica *Levin-Campello* essa técnica apresentou redução da complexidade, entretanto para *Waterfilling* as reduções foram marginais.

Tabela 7.6: Tempo de execução, em segundos, do caso WFAO

$\Delta$ (dB)	0	1/8	3	6
Canal 1	1,036	1,521	0,941	0,915
Canal 2	1,008	1,447	0,938	0,915
Canal 3	1,025	1,331	0,932	0,912
Canal 4	1,038	1,514	0,929	0,909

Tabela 7.7: Tempo de execução, em segundos, do caso LCAO

$\Delta$ (dB)	0	1/8	3	6
Canal 1	41,045	3,863	1,696	1,671
Canal 2	37,247	3,345	1,692	1,669
Canal 3	34,841	2,694	1,685	1,667
Canal 4	26,291	3,175	1,681	1,664

A partir dos resultados da tabela 7.6, identificou-se, ao contrário do esperado, que a técnica AO não apresentou redução do tempo de execução. Constatou-se que esse fato se deve às operações de logaritmo realizadas durante o agrupamento.

Para resolver esse problema, foi implementada uma função baseada em busca em tabela. Essa permite realizar a função de logaritmo no *softcore* para FPGA com complexidade reduzida. A função Logaritmo Tabelado (LT) foi implementada em “C” e a tabela considera valores com passo de 1/8 dB.

A figura 7.11 apresenta os resultados da implementação no *softcore* para FPGA para quatro casos: i) LCAO, ii) WFAO, iii) LCAO quando a função logaritmo é tabelada (LCAO LT) e iv) WFAO quando a função logaritmo é tabelada (WFAO LT). Essa figura apresenta o tempo de execução em função da faixa de agrupamento  $\Delta$  avaliado para os quatro canais, com uma variação de 1/8 dB. O tempo de execução para as técnicas WF e L-C sem o emprego de agrupamento não foram plotados, uma vez que apresentam valores muito elevados, esses estão presentes nas tabelas 7.6 e 7.7 para  $\Delta = 0$  dB.

De acordo com a figura 7.11, nota-se que para valores da faixa de agrupamento  $\Delta > 2$  dB o decaimento do tempo de execução é pequeno. Os tempos de execução dependem muito pouco do canal e a técnica AO, quando a operação logaritmo é tabelada, apresenta os menores tempos de execução e esses estão em torno de 150 ms. Conclui-se que as técnicas LCAO LT e WFAO LT são as mais apropriadas para implementação em *softcore* do ponto de vista de tempo de execução.

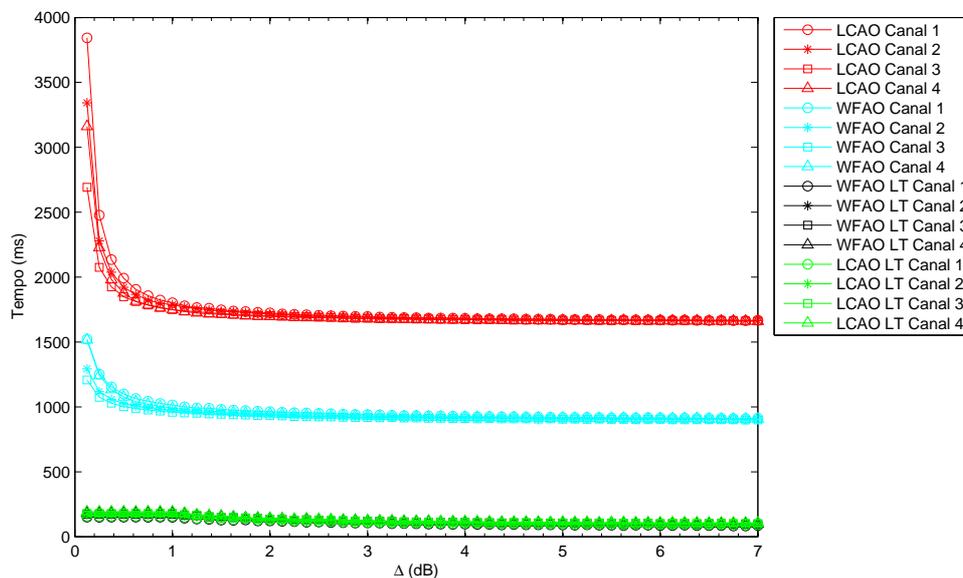


Figura 7.11: Tempo de execução em função de  $\Delta$  quando a técnica AO é empregada.

Com a finalidade de avaliar as variações possíveis na implementação da técnica WF, a tabela 7.8 apresenta a comparação entre quatro casos: i) WF sem o emprego de técnica de agrupamento, ou seja, original [78]; ii) a técnica WFAU, quando  $L = 8$ ; iii) a técnica WFAO, quando  $\Delta = 1/8$  dB; e iv) a técnica WFAO LT, quando  $\Delta = 1/8$  dB, considerando  $N = 1024$  e  $N = 512$ . A implementação com

o menor tempo de execução de alocação de bits com  $N = 1024$  ocorre quando a técnica *Waterfilling* é modificado pela técnica AO,  $\Delta = 1/8$  dB, com a função de logaritmo tabelada, resultando em uma redução de complexidade de 14 vezes, quando comparado com o caso sem o emprego de técnicas de agrupamento.

Tabela 7.8: Tempo de execução das técnicas para *Waterfilling*, considerando o canal 1

Técnica	$N=1024$	$N=512$
WF	1,034 s	0,531 s
WFAU $L=8$	0,145 s	0,067 s
WFAO $\Delta = 1/8$ dB	1,679 s	0,851 s
WFAO LT $\Delta = 1/8$ dB	0,077 s	0,052 s

Com a finalidade de avaliar as variações possíveis na implementação da técnica L-C, a tabela 7.9, por sua vez, apresenta a comparação entre quatro casos: i) L-C sem o emprego de técnica de agrupamento, ou seja, original [258]; ii) a técnica LCAU, quando  $L = 8$ ; iii) a técnica LCAO, quando  $\Delta = 1/8$  dB; e iv) a técnica LCAO LT, quando  $\Delta = 1/8$  dB, considerando  $N = 1024$  e  $N = 512$ . A partir dessa tabela, nota-se que para a técnica *Levin-Campello* o caso sem o emprego das técnicas de agrupamento propostas requer um tempo superior à 41 segundos. Entretanto, o emprego da técnica AO com a função de logaritmo tabelada requer um tempo de execução em torno de 150 ms, resultando em uma redução de complexidade em torno de 270 vezes.

Tabela 7.9: Tempo de execução das técnicas para *Levin-Campello*, considerando o canal 1

Técnica	$N=1024$	$N=512$
L-C	41,051 s	8,295 s
LCAU $L=8$	0,497 s	0,125 s
LCAO $\Delta = 1/8$ dB	3,853 s	1,183 s
LCAO LT $\Delta = 1/8$ dB	0,149 s	0,097 s

Finalmente, conclui-se que é viável o emprego das técnicas propostas em aplicações práticas com baixa complexidade e baixa perda de desempenho. Os resultados indicam que a técnica AO com  $\Delta = 1/8$  dB é a que apresenta melhor relação entre redução de complexidade e perda de desempenho.

## 7.4 Sumário

Este capítulo apresentou duas propostas de técnicas capazes de reduzir a complexidade da alocação de bits por meio da redução do número de elementos dos vetores de entrada, a saber: Técnica de Agrupamento Uniforme (AU) e Técnica Agrupa/Ordena (AO). Apesar das técnicas *Waterfilling* e *Levin-Campello* serem consagradas na literatura, o uso delas em conjunto com as técnicas de agrupamento propostas, AU e AO, e a avaliação sob todos esses aspectos diferentes nunca fora feito. Além disso, as conclusões que puderam ser tiradas são importantes e inéditas.

Foram apresentados os resultados de implementação em FPGA para as técnicas propostas indicando que as técnicas de alocação de bits, modificadas pelas técnicas AU e AO, são capazes de reduzir a complexidade da alocação de bits em sistemas práticos.

# Capítulo 8

## Conclusões

Nesta tese de doutorado foram apresentados os estudos e as pesquisas objetivando o desenvolvimento de técnicas que oferecem reduzida complexidade, tempo de execução e consumo de energia para transceptores PLC baseados em *clustered-OFDM*. Além das discussões teóricas das técnicas propostas, todas foram validadas por meio de implementações em *hardware*.

As principais contribuições desta tese de doutorado podem ser organizadas em três grandes grupos: i) propostas de arquiteturas para implementação de equipamentos de transmissão de dados, ii) propostas de implementação de transceptores de baixa complexidade e iii) propostas de técnicas de alocação de recursos com baixa complexidade.

No capítulo 3, discutiu-se a implementação de quatro soluções para a implementação de interfaces de comunicação com o protocolo *Ethernet*, quando sistemas embarcados são considerados e quando esses demandam elevadas taxas de transferência efetiva. Constatou-se, através de estudo de caso, que as soluções propostas, as quais fazem uso de dispositivos FPGA, oferecem ganhos consideráveis para aplicações em sistemas embarcados que demandam elevada taxa de transferência efetiva.

O capítulo 4 apresentou o estudo de caso da implementação de um modulador OFDM simplificado em quatro plataformas de desenvolvimento distintas, o qual indicou que o emprego da plataforma FPGA associada à *softcore* é a mais apropriada para implementações e prototipação de equipamentos de comunicação digital de dados, devido à sua flexibilidade e elevado grau de paralelismo. Uma arquitetura para o desenvolvimento de transceptores OFDM foi proposta. Foram apresentados os resultados da implementação de diversos transmissores e receptores por meio da prototipação em FPGA, com o objetivo de indicar quais demandam menores recursos de *hardware* e menores consumos de energia. Os esquemas propostos e implementados,  $\mathcal{P}(\cdot)$ -II e  $\mathcal{Q}(\cdot)$ -III, são os de menor complexidade e que consomem menos energia, além de permitirem transmissão de dados tanto em banda base

quanto em banda passante.

No capítulo 5, foram discutidos e formulados os problemas de gerenciamento e alocação de recursos como problemas de otimização multiobjetivo. A formulação unificada foi fundamental para o desenvolvimento e o emprego de técnicas de alocação de usuários e bits, como as discutidas nos capítulos 6 e 7.

No capítulo 6, foram avaliadas diversas técnicas para resolver o problema de alocação de usuários em sistemas de comunicação de dados baseados em *clustered-OFDM*. Foram apresentadas técnicas já existentes na literatura e algumas propostas. Foram avaliadas também diversas medidas para indicar as condições dos canais quando a alocação de usuários é empregada. As técnicas foram prototipadas em *softcore* para FPGA e os resultados indicam que as técnicas Alocação Por Ordenação (APO) e Alocação Direta Por Ordenação (ADPO) são as de menor complexidade e não comprometem, de forma significativa, o desempenho das redes PLC de acesso.

No capítulo 7, foram apresentados os resultados das implementações das técnicas de alocação de bits nas subportadoras com baixa complexidade. As técnicas propostas de Agrupamento Uniforme (AU) e Agrupa/Ordena (AO) foram implementadas em protótipos de *softcore* para FPGA e os resultados indicam que elas apresentam elevada redução de complexidade em relação às técnicas convencionais de alocação de bits, quando empregadas em aplicações práticas.

## 8.1 Trabalhos futuros

Como propostas de trabalhos futuros, pode-se elencar:

- avaliação do desempenho da implementação de interface *Ethernet*, quando o sistema operacional Linux é embarcado em um *softcore* para FPGA;
- avaliação da demanda por recursos de *hardware*, quando os transceptores operam em *half duplex*;
- desenvolvimento de arquiteturas de filtros objetivando a redução dos números de multiplicadores utilizados em *hardware*;
- proposição e avaliação de técnicas para a solução do problema de alocação de recursos durante o planejamento da rede; e
- avaliação de novos procedimentos de entrada na rede PLC de acesso que façam uso das técnicas de alocação de usuários e de alocação de bits propostas.

# Referências Bibliográficas

- [1] DE CAMPOS, F. P. V., RIBEIRO, M. V., DE CAMPOS, M. R. L. “*Recent Advances in Power Line Communications for Smart Grids*”. cap. Resource Management and Allocation Techniques for Power Line Communications: Smart Grid and Broadband Access Systems, pp. 71–113, CMOS Emerging Technologies Press, Feb., 2012.
- [2] DE CAMPOS, F. P. V., MACHADO, R., RIBEIRO, M. V., DE CAMPOS, M. R. L. “MISO single-carrier system with feedback channel information for narrowband PLC applications”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 301–306, Apr. 2009.
- [3] RIBEIRO, M. V. “Telecommunications: Advances and Trends in Transmission, Networking and Applications”. v. ch 6, cap. *Power line communications: A promising communication system’s paradigm for last mile and last meter applications*, pp. 133–156, University of Fortaleza Press, 2006.
- [4] FERREIRA, H. C., LAMPE, L., NEWBURY, J. *POWER LINE COMMUNICATIONS Theory and Applications for Narrowband and Broadband Communications over Power Lines*. 1 ed. United Kingdom, John Wiley Sons, 2010.
- [5] GALLI, S., SCAGLIONE, A., WANG, Z. “For the Grid and Through the Grid: The Role of Power Line Communications in the Smart Grid”, *Proceedings of the IEEE*, v. 99, n. 6, pp. 998–1027, June 2011.
- [6] ANATORY, J., THEETHAYI, N. *Broadband Power Line Communications Systems: Theory and Applications*. WIT Press, 2010.
- [7] DE CAMPOS, F. P. V. *Análise de Desempenho de Sistema Clustered-COFDM para a Transmissão de Dados Via rede de energia elétrica*. Tese de Mestrado, Universidade Federal de Juiz de Fora, Ago. 2007.

- [8] DE CAMPOS, F. P. V., DUQUE, C. A., CERQUEIRA, A. S., RIBEIRO, M. V. “Clustered-COFDM for Broadband PLC Systems”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 216–221, Mar. 2007.
- [9] DE CAMPOS, F. P. V., RIBEIRO, M. V. “Performance analysis of clustered-OFDM system with bitloading algorithm for broadband PLC”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 345–350, Apr. 2008.
- [10] DOHLER, M., HEATH, R., LOZANO, A., PAPADIAS, C., VALENZUELA, R. “Is the PHY layer dead?” *IEEE Communications Magazine*, v. 49, n. 4, pp. 159–165, Apr. 2011.
- [11] HANZO, L., EL-HAJJAR, M., ALAMRI, O. “Near-Capacity Wireless Transceivers and Cooperative Communications in the MIMO Era: Evolution of Standards, Waveform Design, and Future Perspectives”, *Proceedings of the IEEE*, v. 99, n. 8, pp. 1343–1385, Aug. 2011.
- [12] CABAN, S., GARCIA NAYA, J., RUPP, M. “Measuring the physical layer performance of wireless communication systems: Part 33 in a series of tutorials on instrumentation and measurement”, *IEEE Instrumentation Measurement Magazine*, v. 14, n. 5, pp. 8–17, Oct. 2011.
- [13] HANZO, L., HAAS, H., IMRE, S., O’BRIEN, D., RUPP, M., GYONGYOSI, L. “Wireless Myths, Realities, and Futures: From 3G/4G to Optical and Quantum Wireless”, *Proceedings of the IEEE*, v. 100, n. Special Centennial Issue, pp. 1853–1888, Dec. 2012.
- [14] BEN HAMIDA, E., CHELIUS, G., GORCE, J. M. “Impact of the Physical Layer Modeling on the Accuracy and Scalability of Wireless Network Simulation”, *Journal of Society for Computer Simulation International Simulation*, v. 85, n. 9, pp. 574–588, Sept. 2009.
- [15] BARR, D. D., AMATO, G. “Broadband over power lines - technical information bulletin”, *US National Communication System*, Jan. 2007.
- [16] MAIHANIEMI, R. “ICT Getting Green”. In: *International Conference on Telecommunication - Energy Special Conference*, pp. 1–6, May 2009.
- [17] ZYREN, J. “The HomePlug Green PHY specification amp; the in-home Smart Grid”. In: *IEEE International Conference on Consumer Electronics*, pp. 241–242, Jan. 2011.

- [18] GHARAVI, H., GHAFURIAN, R. “Smart Grid: The Electric Energy System of the Future [Scanning the issue]”, *Proceedings of the IEEE*, v. 99, n. 6, pp. 917–921, June 2011.
- [19] SRINIVASA PRASANNA, G., LAKSHMI, A., SUMANTH, S., SIMHA, V., BAPAT, J., KOOMULLIL, G. “Data communication over the smart grid”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 273–279, Apr. 2009.
- [20] GALLI, S., SCAGLIONE, A., WANG, Z. “Power Line Communications and the Smart Grid”. In: *IEEE International Smart Grid Communications Conference*, pp. 303–308, Oct. 2010.
- [21] ASCOM. “Nothing is as powerful as an idea for which the time is ripe: welcome to the second discovery of electricity”. [www.ascom.com](http://www.ascom.com), June 2001.
- [22] GOVERNO. “Programa Nacional de Universalização do Acesso e Uso da Energia Elétrica - Luz para Todos”. <http://luzparatodos.mme.gov.br/luzparatodos/>, (acessado em 20/06/2011), 2011.
- [23] LIU, E., GAO, Y., SAMDANI, G., MUKHTAR, O., KORHONEN, T. “Broadband powerline channel and capacity analysis”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 7–11, Apr. 2005.
- [24] DOSTERT, K. *Power Line Communications*. NY. Prentice Hall, 2001.
- [25] PAVLIDOU, N., VINCK, A. J. H., YAZDANI, J., HONARY, B. “Power line communications: State of art and future trends”, *IEEE Communications Magazine*, v. 41, n. 4, pp. 34–40, Apr. 2003.
- [26] HOMEPLUG. “HomePlug PowerLine Alliance”. <http://www.homeplug.org/>, (acessado em 01/05/2011), May 2011.
- [27] ANATEL. “Anatel”. <http://www.anatel.gov.br>, (acessado em 01/05/2011), 2011.
- [28] ANEEL. “Aneel”. <http://www.aneel.gov.br/>, (acessado em 01/05/2011), 2011.
- [29] HRASNICA, H., HAIDINE, A., LEHNERT, R. *Broadband Powerline Communications: Network Design*. NY. John Wiley & Sons, 2005.

- [30] DIAS, J., DE CAMPOS, F. P. V., DE CAMPOS, M. R. L., PINTO, E., RIBEIRO, M. V. “Time-varying channel characterization based on SVM under the impulsive noise presence”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 261–266, Mar. 2010.
- [31] ZIMMERMANN, M., DOSTERT, K. “A multi-path signal propagation model for the power line channel in the high frequency range”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 45–51, Apr. 1999.
- [32] CANETE, F. J., CORTES, J. A., DIEZ, L., ENTRAMBASAGUAS, J. T., CARMONA, J. L. “Fundamentals of the cyclic short-time variation of indoor power-line channels”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 157–161, Apr. 2005.
- [33] CANETE, F. J., DIEZ, L., CORTES, J. A., ENTRAMBASAGUAS, J. T. “Broadband modelling of indoor power-line channels”, *IEEE Transactions on Consumer Electronics*, v. 48, n. 1, pp. 175–183, Feb. 2002.
- [34] ZIMMERMANN, M., DOSTERT, K. “A Multipath model for the powerline channel”, *IEEE Transactions on Communications*, v. 50, n. 4, pp. 553–559, Apr. 2002.
- [35] ZIMMERMANN, M., DOSTERT, K. “An analysis of the broadband noise scenario in powerline networks”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 131–138, Apr. 2000.
- [36] ANDRADE, F. J. A., MARQUES, C., OLIVEIRA, T., DE CAMPOS, F. P. V., DE OLIVEIRA, E. J., RIBEIRO, M. V. “Preliminary Analysis of Additive Noise on Outdoor and Low Voltage Electric Power Grid in Brazil”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, Mar. 2013.
- [37] NGUIMBIS, J., JIANG, X., CHENG, S. J. “Noise characteristics investigation and utilization in low voltage powerline communication”, *2000 Winter Meeting of the IEEE Power Engineering-Society*, 2000.
- [38] TANAKA, M. “High frequency noise power spectrum, impedance and transmission loss of power line in Japan on intrabuilding power line communications”, *IEEE Transactions on Consumer Electronics*, v. 34, n. 2, pp. 321–326, May 1988.

- [39] BRWON, P. A. “Some keys factors influencing data transmission rates in the power line environment when utilizing carrier frequencies above 1 MHz”. In: *IEEE 2nd International Symposium on Spread Spectrum Techniques and Applications*, pp. 67–75, Apr. 1998.
- [40] BURR, A. G., BRWON, P. A. “HF broadcast interference on low voltage mains distribution networks”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 253–262, Apr. 1998.
- [41] ZIMMERMANN, M., DOSTERT, K. “Analysis and modeling of impulse noise in broad-band powerline communications”, *IEEE Transactions on Electromagnetic Compatibility*, v. 44, n. 1, pp. 249–258, May 2002.
- [42] HOOIJEN, O. “A channel model for the residential power circuit used as a digital communications medium”, *IEEE Transactions on Electromagnetic Compatibility*, v. 40, n. 4, pp. 331–336, Aug. 1998.
- [43] BIGLIERI, E. “Coding and modulation for a horrible channel”, *IEEE Communications Magazine*, v. 41, n. 5, pp. 92–98, May 2003.
- [44] HORMIS, R., BERENQUER, I., WANG, X. “A simple baseband transmission scheme for power line channels”, *IEEE Journal on Selected Areas in Communications*, v. 24, n. 7, pp. 1351–1363, July 2006.
- [45] DEGARDIN, V., LIENARD, M., ZEDDAM, A., GAUTHIER, F., DEGAUQUEL, P. “Classification and characterization of impulsive noise on indoor powerline used for data communications”, *IEEE Transactions on Consumer Electronics*, v. 48, n. 4, pp. 913–918, Nov. 2002.
- [46] ESMAILIAN, T. *Multi mega bit per second data transmission over in-building power lines*. Ph.D. Dissertation, University of Toronto (Canada), 2003.
- [47] LEE, E. A., MESSERSCHMITT, D. G. *Digital Communication*. Kluwer Academic Publishers, 1994.
- [48] PROAKIS, J. G. *Digital Communications*. McGraw-Hill, 2000.
- [49] HASHMAT, R., PAGANI, P., CHONAVEL, T., ZEDDAM, A. “A Time-Domain Model of Background Noise for In-Home MIMO PLC Networks”, *IEEE Transactions on Power Delivery*, v. 27, n. 4, pp. 2082–2089, Oct. 2012.
- [50] HANZO, L., WEBB, W., KELLER, T. *Single- and Multi-Carrier Quadrature Amplitude Modulation: Principles and Applications for Personal Communications, WLANS and Broadcasting*. John Wiley & Sons, 2000.

- [51] ZIGANGIROV, K. S. *Theory of Code Division Multiple Access Communication*. on Digital & Mobile Communication. IEEE Press and John Wiley & Sons, 2004.
- [52] FAZEL, K., KAISER, S. *Multi-Carrier and Spread Spectrum Systems*. John Wiley & Sons, 2003.
- [53] HANZO, L., MUNSTER, M., CHOI, B. J., KELLER, T. *OFDM and MC-CDMA for Broadband Multi-User Communications, WLANs and Broadcasting*. John Wiley & Sons, 2003.
- [54] BAHAI, A. R. S., SATZBERG, B. R., ERGEN, M. *Multi-Carrier Digital Communications; Theory and Applications of OFDM*. Springer-Verlag Telos, 2004.
- [55] BAIG, S., GOHAR, N. D. “A discrete multitone transceiver at the heart of the PHY layer of an in-home power line communication local-area network”, *IEEE Communications Magazine*, v. 41, n. 4, pp. 48–53, Apr. 2003.
- [56] RIBEIRO, M. V., DUQUE, C. A., ROMANO, J. M. T. “An interconnected type-1 fuzzy algorithm for impulsive noise cancellation in multicarrier-based power line communication systems”, *IEEE Journal on Selected Areas in Communications*, v. 24, n. 7, pp. 1364–1376, July 2006.
- [57] RIBEIRO, M. V., LOPES, R. R., ROMANO, J. M. T., DUQUE, C. A. “Impulse noise mitigation based on computational intelligence for improved bit rate in PLC-DMT”, *IEEE Transactions on Power Delivery*, v. 21, n. 1, pp. 94–101, Jan. 2006.
- [58] CIOFFI, J. M., STARR, T., SILVERMAN, P. J. *Understanding digital subscriber line technology*. NJ, Prentice Hall, 1998.
- [59] RE, E. D., FANTACCI, R., MOROSI, S., SERRAVALLE, R. “Comparison of CDMA and OFDM techniques for downstream power-line communications on low voltage grids”, *IEEE Transactions on Power Delivery*, v. 18, n. 4, pp. 1104–1109, Oct. 2003.
- [60] FANTACCI, R., MOROSI, S. “Multicarrier spread spectrum techniques for downstream power-line communications on low voltage grids”, *International Journal of Communication Systems*, v. 3, n. 16, pp. 401–416, Jan. 2003.
- [61] DAY, H., POOR, H. V. “Advanced signal processing for power line communications”, *IEEE Communications Magazine*, pp. 100–107, May 2003.

- [62] CRUSSIÈRE, M., BAUDAIS, J.-Y., HÉLARD, J.-F. “Adaptive spread-spectrum multicarrier multiple-access over wirelines”, *IEEE Journal on Selected Areas in Communications*, v. 24, n. 7, pp. 1377–1388, July 2006.
- [63] DOELZ, M., HEALD, E., MARTIN, D. “Binary Data Transmission Techniques for Linear Systems”, *Proceedings of the IRE*, v. 45, n. 5, pp. 656–661, May 1957.
- [64] BINGHAM, J. A. C. “Multicarrier modulation for data transmission: An idea whose time has come”, *IEEE Communications Magazine*, v. 28, n. 5, pp. 5–14, May 1990.
- [65] KALET, I. “The multitone channel”, *IEEE Transactions on Communications*, v. 37, n. 2, pp. 119–124, Feb. 1989.
- [66] WEINSTEIN, S., EBERT, P. “Data Transmission by Frequency-Division Multiplexing Using the Discrete Fourier Transform”, *IEEE Transactions on Communication Technology*, v. 19, n. 5, pp. 628–634, Oct. 1971.
- [67] SJOBERG, F., NILSSON, R., ISAKSSON, M., ODLING, P., BORJESSON, P. “Asynchronous Zipper [subscriber line duplex method]”. In: *IEEE International Conference on Communications*, v. 1, pp. 231–235, June 1999.
- [68] CHERUBINI, G., ELEFTHERIOU, E., OLCER, S. “Filtered multitone modulation for very high-speed digital subscriber lines”, *IEEE Journal on Selected Areas in Communications*, v. 20, n. 5, pp. 1016–1028, June 2002.
- [69] SALTZBERG, B. “Performance of an Efficient Parallel Data Transmission System”, *IEEE Transactions on Communication Technology*, v. 15, n. 6, pp. 805–811, Dec. 1967.
- [70] SANDBERG, S., TZANNES, M. “Overlapped discrete multitone modulation for high speed copper wire communications”, *IEEE Journal on Selected Areas in Communications*, v. 13, n. 9, pp. 1571–1585, Dec. 1995.
- [71] TAN, J., STUBER, G. “Constant envelope multi-carrier modulation”. In: *Military Communications Conference*, v. 1, pp. 607–611, Oct. 2002.
- [72] HD-PLC. “High Definition Power Line Communication Alliance”. <http://www.hd-plc.org/>, (acessado em 01/05/2011), May 2011.
- [73] UPLC. “Universal PowerLine Association”. <http://www.upapl.org/>, (acessado em 01/05/2011), May 2011.

- [74] DANESHRAJ, B., CIMINI, JR., L. J., CARLONI, M., SOLLENBERGER, N. “Performance and implementation of *clustered*-OFDM for wireless communications”, *Mob. Netw. Appl.*, v. 2, pp. 305–314, Dec. 1997.
- [75] LI, Y., SOLLENBERGER, N. “*Clustered*-OFDM with channel estimation for high rate wireless data”, *IEEE Transactions on Communications*, v. 49, n. 12, pp. 2071–2076, Dec. 2001.
- [76] SOLLENBERGER, N. R., CIMINI, L. J., J. “Receiver structures for multiple access OFDM”. In: *IEEE Vehicular Technology Conference*, v. 1, pp. 468–472, May 1999.
- [77] LI, Y., SOLLENBERGER, N. R. “Robust transforms for channel estimator in *clustered* OFDM for high rate wireless data”. In: *IEEE International Conference on Communications*, v. 1, pp. 277–281, June 2000.
- [78] CIOFFI, J. M. “Notas de aula do professor J. M. Cioffi da Stanford University”. [www.stanford.edu/cioffi](http://www.stanford.edu/cioffi), Nov. 2012.
- [79] ALTERA. “Altera”. [www.altera.com](http://www.altera.com), 2012.
- [80] YIANNACOURAS, P., STEFFAN, J. G., ROSE, J. “Exploration and Customization of FPGA-Based Soft Processors”, *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, v. 26, n. 2, pp. 266–277, Feb. 2007.
- [81] JUSSEL, J. “Nios soft processor gets an update”, *IEEE Electronics Systems and Software Magazine*, v. 2, n. 3, pp. 44, June 2004.
- [82] CERIN, C., FKAIER, H., JEMNI, M. “Accessing hardware performance counters in order to measure the influence of cache on the performance of integer sorting”. In: *IEEE International Proceedings of Parallel and Distributed Processing Symposium*, p. 8, Apr. 2003.
- [83] ARAIZA, R., PHAM, T., AGUILERA, M. “Towards a cross-platform micro-benchmark suite for evaluating hardware performance counter data”. In: *IEEE Diversity in Computing Conference*, pp. 36–39, Oct. 2005.
- [84] BARE, K., KAVULYA, S., NARASIMHAN, P. “Hardware performance counter-based problem diagnosis for e-commerce systems”. In: *IEEE Network Operations and Management Symposium*, pp. 551–558, Apr. 2010.
- [85] E-CAST, I. “15 billion sockets up for grabs”. <http://www.embedded.com/columns/esdeic/220900316>, Oct. 2006.

- [86] PRETZ, K. “The Next Evolution of the Internet”, *IEEE Magazine The institute*, v. 50, n. 5, Jan. 2003.
- [87] QIAN, K., DEN HARING, D., CAO, L., QIAN, K., HARING, D., CAO, L. “Ethernet Applications and the Future of the Microcontroller”. In: *Embedded Software Development with C*, Springer US, pp. 223–250, 2009.
- [88] SOMMER, J., GUNREBEN, S., FELLER, F., KOHN, M., MIFDAOUI, A., SASS, D., SCHARF, J. “Ethernet A Survey on its Fields of Application”, *IEEE Communications Surveys Tutorials*, v. 12, n. 2, pp. 263–284, Dec. 2010.
- [89] JOSHI, N., DAKHOLE, P., ZODE, P. “Embedded Web Server on Nios II Embedded FPGA Platform”. In: *IEEE 2nd International Conference on Emerging Trends in Engineering and Technology*, pp. 372–377, Dec. 2009.
- [90] XU, M., ZHU, W. “A Research and Design of Ethernet Real-Time Application Bus Based on FPGA”. In: *IEEE International Conference on Scalable Computing and Communications*, pp. 42–46, Sept. 2009.
- [91] WANG J., W. H., Z., Y. “An FPGA based slave communication controller for Industrial Ethernet”. In: *IEEE International Conference on Solid-State and Integrated-Circuit Technology*, pp. 2062–2065, Nov. 2008.
- [92] R., H. J., M., K. “Using FPGA’s to Generate Gigabit *Ethernet* Data Transfers and Studies of the Network Performance of DAQ Protocols”, *IEEE Real-Time Conference*, pp. 1–6, 2007.
- [93] MOYNE, J., TILBURY, D. “The Emergence of Industrial Control Networks for Manufacturing Control, Diagnostics, and Safety Data”, *Proceedings of the IEEE*, v. 95, n. 1, pp. 29–47, Jan. 2007.
- [94] MARIN, R., LEON, G., WIRZ, R., SALES, J., CLAVER, J., SANZ, P., FERNANDEZ, J. “Remote Programming of Network Robots Within the UJI Industrial Robotics Telelaboratory: FPGA Vision and SNRP Network Protocol”, *IEEE Transactions on Industrial Informatics*, v. 56, n. 12, pp. 4806–4816, Dec. 2009.
- [95] CUCINOTTA, T., MANCINA, A., ANASTASI, G., LIPARI, G., MANGERUCA, L., CHECCOZZO, R., RUSINA, F. “A Real-Time Service-Oriented Architecture for Industrial Automation”, *IEEE Transactions on Industrial Informatics*, v. 5, n. 3, pp. 267–277, Aug. 2009.

- [96] MAESTRO, J., REVIRIEGO, P. “Energy Efficiency in Industrial Ethernet: The Case of Powerlink”, *IEEE Transactions on Industrial Informatics*, v. 57, n. 8, pp. 2896–2903, Aug. 2010.
- [97] FERRARI, P., FLAMMINI, A., RINALDI, S., SISINNI, E. “On the Seamless Interconnection of IEEE1588-Based Devices Using a PROFINET IO Infrastructure”, *IEEE Transactions on Industrial Informatics*, v. 6, n. 3, pp. 381–392, Aug. 2010.
- [98] DE CAMPOS, F. P. V., MARTINS, C. H. N., RIBEIRO, M. V., DE CAMPOS, M. L. R. “Effective Data Rate on Ethernet Interfaces for Embedded Systems: A Comparative Analysis”, *Journal of Control, Automation and Electrical Systems (antiga Revista SBA: Controle Automação)*, SPRINGER, submetido 2012.
- [99] DONNELLAN, B., SHERIDAN, C., CURRY, E. “A Capability Maturity Framework for Sustainable Information and Communication Technology”, *IEEE Computer Society - IT Professional Journal*, v. 13, n. 1, pp. 33–40, Jan. 2011.
- [100] ATACK, C., SOMEREN, A. V. *The Arm Risc Chip: A Programmer’s Guide*. Addison Wesley, 1993.
- [101] TIBBO, T. “EM100 Ethernet Module”. <http://docs.tibbo.com/soism/index.html?em120.htm>, 2012.
- [102] ALTERA. “Altera Training Material”. <http://www.altera.com>, 2012.
- [103] ZHEN, Z., GUILIN, T., ZHI, D., ZHIPING, H. “Design and realization of the hardware platform based on the Nios soft-core processor”. In: *IEEE 8th International Conference on Electronic Measurement and Instruments*, pp. 4–865, July 2007.
- [104] SILICON, L. “AN292: Embedded Ethernet System Design Guide”. [http://www.silabs.com/Support 20Documents/Technical-Docs/an292.pdf](http://www.silabs.com/Support%20Documents/Technical-Docs/an292.pdf), 2012.
- [105] DECOTIGNIE, J.-D. “Ethernet-Based Real-Time and Industrial Communications”, *Proceedings of the IEEE*, v. 93, n. 6, pp. 1102–1117, June 2005.
- [106] FELSER, M. “Real-Time Ethernet - Industry Prospective”, *Proceedings of the IEEE*, v. 93, n. 6, pp. 1118–1129, June 2005.

- [107] SKEIE, T., JOHANNESSEN, S., HOLMEIDE, O. “Timeliness of real-time IP communication in switched industrial Ethernet networks”, *IEEE Transactions on Industrial Informatics*, v. 2, n. 1, pp. 25–39, Feb. 2006.
- [108] LIMACHIA, M., KOTHARI, N. *Modeling and Simulation of ARM Processor Architecture Using SystemC*. LAP Lambert Academic Publishing, 2012.
- [109] ARM, C. “Semiconductor Intellectual Property (IP) Supplier, United States”. <http://www.arm.com/>, 2012.
- [110] ARM, C. “MCB2300 Evaluation Board populated with an LPC2388”. <http://www.keil.com/mcb2300/mcb2388.asp>, 2012.
- [111] TSE. “Triple Speed Ethernet TSE User Guide”. [http://www.altera.com/literature/ug/ug\\_ethernet.pdf](http://www.altera.com/literature/ug/ug_ethernet.pdf), 2012.
- [112] DIGI-KEY, C. “Electronic Components Distributor”. <http://www.digikey.com>, 2012.
- [113] DHW. “DHW”. [www.altera.com](http://www.altera.com), 2012.
- [114] WIRESHARK. “Wireshark protocol analyzer”. <http://www.wireshark.org/>, 2012.
- [115] WANG, S., XU, D., YAN, S. “Analysis and application of Wireshark in TCP/IP protocol teaching”. In: *International Conference on E-Health Networking, Digital Ecosystems and Technologies*, v. 2, pp. 269–272, Apr. 2010.
- [116] BENINI, L., DE MICHELI, G. “Networks on chips: a new SoC paradigm”, *Computer*, v. 35, n. 1, pp. 70–78, Jan. 2002.
- [117] CHONG, Y. J., PARAMESWARAN, S. “Configurable Multimode Embedded Floating-Point Units for FPGAs”, *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, v. 19, n. 11, pp. 2033–2044, Nov. 2011.
- [118] RIBEIRO, M. V., COLEN, G. R., DE CAMPOS, F. P. V., QUAN, Z., POOR, H. V. “Power Line Communication based on Clustered-OFDM for Smart Grid”, *IEEE Journal on Selected Areas in Communications: Smart Grid Communications Series*, submetido 2012.
- [119] DE CAMPOS, F. P. V., RIBEIRO, M. V. “Métodos de modulação OFDM de baixa complexidade para a comunicação de dados em bandas base e passante”. Pedido de patente INPI: 221105460511, July 2011.

- [120] DE CAMPOS, F. P. V., RIBEIRO, M. V., DE CAMPOS, M. L. R., POOR, H. V. “Efficient Structures for Implementing OFDM based Transceivers on Reconfigurable Platforms: A Comparative Analysis”, *IEEE Transactions On Circuits And Systems I: Regular Papers*, submetido 2013.
- [121] DA COSTA PINTO, F., SCORALICK, F., DE CAMPOS, F. P. V., QUAN, Z., RIBEIRO, M. V. “A low cost OFDM based modulation schemes for data communication in the passband frequency”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 424–429, Apr. 2011.
- [122] IANCU, D., YE, H., SURDUCAN, E., SENTHILVELAN, M., GLOSSNER, J., SURDUCAN, V., KOTLYAR, V., IANCU, A., NACER, G., TAKALA, J. “Software Implementation of WiMAX on the Sandbridge SandBlaster Platform”. In: Vassiliadis, S., Wong, S., Hamalainen, T. (Eds.), *Embedded Computer Systems: Architectures, Modeling, and Simulation*, v. 4017, Springer Berlin / Heidelberg, pp. 435–446, 2006.
- [123] TANG, Y., QIAN, L., WANG, Y. “Optimized software implementation of a full-rate IEEE 802.11a compliant digital baseband transmitter on a digital signal processor”. In: *IEEE Global Communications Conference*, v. 4, pp. 5–2198, Dec. 2005.
- [124] MONNIER, O. “TI Delivers Flexible Power Line Communications Solutions”. [http : //www.ti.com/lit/wp/slyy026/slyy026.pdf](http://www.ti.com/lit/wp/slyy026/slyy026.pdf), 2012.
- [125] SON, B., JO, B., SUNWOO, M., KIM, Y. S. “A high-speed FFT processor for OFDM systems”. In: *IEEE International Symposium on Circuits and Systems*, v. 3, pp. 281–284, Aug. 2002.
- [126] EBERLE, W., DERUDDER, V., VANWIJNSBERGHE, G., VERGARA, M., DENEIRE, L., VAN DER PERRE, L., ENGELS, M., BOLSENS, I., DE MAN, H. “80-Mb/s QPSK and 72-Mb/s 64-QAM flexible and scalable digital OFDM transceiver ASICs for wireless local area networks in the 5-GHz band”, *IEEE Journal of Solid-State Circuits*, v. 36, n. 11, pp. 1829–1838, Nov. 2001.
- [127] LIN, J.-M., YU, H.-Y., WU, Y.-J., MA, H.-P. “A Power Efficient Baseband Engine for Multiuser Mobile MIMO-OFDMA Communications”, *IEEE Trans. on Circuits and Systems I: Regular Papers*, v. 57, n. 7, pp. 1779–1792, July 2010.

- [128] TROYA, A., MAHARATNA, K., KRSTIC, M., GRASS, E., JAGDHOLD, U., KRAEMER, R. “Low-Power VLSI Implementation of the Inner Receiver for OFDM-Based WLAN Systems”, *IEEE Trans. on Circuits and Systems I: Regular Papers*, v. 55, n. 2, pp. 672–686, Mar. 2008.
- [129] JUNG, Y., KIM, J., SEONGJOOLEE, YOON, H., KIM, J. “Design and Implementation of MIMO-OFDM Baseband Processor for High-Speed Wireless LANs”, *IEEE Trans. on Circuits and Systems II: Express Briefs*, v. 54, n. 7, pp. 631–635, July 2007.
- [130] GUAN, X., FEI, Y., LIN, H. “Hierarchical Design of an Application-Specific Instruction Set Processor for High-Throughput and Scalable FFT Processing”, *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, v. 20, n. 3, pp. 551–563, Mar. 2012.
- [131] BAEK, J., KIM, S., SUNWOO, M. “SPOCS: Application Specific Signal Processor for OFDM Communication Systems”, *Journal of Signal Processing Systems*, v. 53, n. 3, pp. 383–397, Dec. 2008.
- [132] HAMDY, M., NASR, O., SHALASH, A. “ASIP design of a reconfigurable channel estimator for OFDM systems”. In: *International Conference on Microelectronics*, pp. 1–5, Dec. 2011.
- [133] HANSON, J., MCNAMARA, B. *Cost-Effectively implementing 802.16 SDR using software configurable architectures*. Relatório técnico, Stretch Inc, 2005.
- [134] ENVERV. “Products Solutions EV8000 Series of PLC Chips”. [http : //www.enverv.com/productEV8000.php](http://www.enverv.com/productEV8000.php), 2012.
- [135] RAMACHER, U. “Software-Defined Radio Prospects for Multistandard Mobile Phones”, *Computer*, v. 40, n. 10, pp. 62–69, Oct. 2007.
- [136] COMASCHI, F., GENUIT, B. A. G., OLIVERI, A., HEEMELS, W. P. M. H., STORACE, M. “FPGA Implementations of Piecewise Affine Functions Based on Multi-Resolution Hyperrectangular Partitions”, *IEEE Trans. on Circuits and Systems I: Regular Papers*, v. 8, n. 59, pp. 1–14, Aug. 2012.
- [137] DODD, R., SCHLEGEL, C., GAUDET, V. “DS-CDMA Implementation With Iterative Multiple Access Interference Cancellation”, *IEEE Trans. on Circuits and Systems I: Regular Papers*, v. 59, n. 9, pp. 1–10, Sept. 2012.

- [138] ULLAH, Z., ILGON, K., BAEG, S. “Hybrid Partitioned SRAM-Based Ternary Content Addressable Memory”, *IEEE Trans. on Circuits and Systems I: Regular Papers*, v. 59, n. 12, pp. 1, Dec. 2012.
- [139] SOLEIMANI, H., AHMADI, A., BAVANDPOUR, M. “Biologically Inspired Spiking Neurons: Piecewise Linear Models and Digital Implementation”, *IEEE Trans. on Circuits and Systems I: Regular Papers*, v. 59, n. 8, pp. 1–14, Aug. 2012.
- [140] AGGARWAL, S., MEHER, P. K., KHARE, K. “Scale-Free HyperbolicCORDIC Processor and Its Application to Waveform Generation”, *IEEE Trans. on Circuits and Systems I: Regular Papers*, v. 59, n. 9, pp. 1–13, Sept. 2012.
- [141] LATTICE. *Implementation of an OFDM wireless transceiver using IP cores on an FPGA*. Relatório técnico, Lattice Semiconductor Corporation, 2005.
- [142] SGHAIER, A., AREIBI, S., DONY, R. “IEEE802.16-2004 OFDM functions implementation on FPGAS with design exploration”. In: *International Conference on Field Programmable Logic and Applications*, pp. 519–522, Sept. 2008.
- [143] SGHAIER, A., AREIBI, S., DONY, B. “A pipelined implementation of OFDM transmission on reconfigurable platforms”. In: *Canadian Conference on Electrical and Computer Engineering*, pp. 801–804, May 2008.
- [144] JABER, M., MASSICOTTE, D., ACHOURI, Y. “A higher radix FFT FPGA implementation suitable for OFDM systems”. In: *IEEE International Conference on Electronics, Circuits and Systems*, pp. 744–747, Dec. 2011.
- [145] JIANG, H., LUO, H., TIAN, J., SONG, W. “Design of an efficient FFT Processor for OFDM systems”, *IEEE Trans. on Consumer Electronics*, v. 51, n. 4, pp. 1099–1103, Nov. 2005.
- [146] SAAD, W., EL-FISHAWY, N., EL-RABAIE, S., SHOKAIR, M. “An efficient designed prototype technique for OFDM PAPR reduction using FPGA”. In: *Conference on Communications and Computers*, pp. 47–52, Mar. 2012.
- [147] IQBAL, Z., NOOSHABADI, S., LEE, H.-N. “Efficient interleaver design for MIMO-OFDM based communication systems on FPGA”. In: *IEEE 16th International Symposium on Consumer Electronics*, pp. 1–5, June 2012.

- [148] LEMOS, G. F. C., DE CAMPOS, F. P. V., RIBEIRO, M. V., OLIVEIRA, M. V. S., ANDRADE FILHO, L. M. “A Low-Cost Implementation of High-Order Square M-QAM Detection/Demodulation in a FPGA Device”. In: *IEEE/SBrT International Telecommunications Symposium*, Mar. 2010.
- [149] BURES, M., DVORSKY, M. “Software designed 64-QAM demodulator of OFDM signal implemented into FPGA elements”. In: *International Conference on Telecommunications and Signal Processing*, pp. 186–189, July 2012.
- [150] YI-LONG, L., JIE, Z. “OFDM channel error detection and FPGA implementation”. In: *Cross Strait Quad-Regional Radio Science and Wireless Technology Conference*, pp. 914–916, July 2011.
- [151] HECHRI, A., ABDELLATIF, M. “FPGA implementation of an OFDM baseband transmitter”. In: *International Conference on Communications, Computing and Control Applications*, pp. 1–4, Mar. 2011.
- [152] YANG, J., DONG, Y., ZHAO, G., ZHANG, W. “The design of OFDM baseband data transmission system based on FPGA”. In: *International Conference on Artificial Intelligence, Management Science and Electronic Commerce*, pp. 743–746, Aug. 2011.
- [153] SEPULVEDA, C., MUNOZ, J., ESPINOZA, J., FIGUEROA, M., BAIER F., C. “FPGA v/s DSP Performance Comparison for a VSC-based STAT-COM Control Application”, *IEEE Transactions on Industrial Informatics*, v. 8, n. 4, pp. 23–32, Dec. 2012.
- [154] KAMINSKI, M., ORLOWSKA-KOWALSKA, T. “Comparison of DSP and FPGA realization of neural speed estimator for 2 mass system”. In: *IEEE International Symposium on Industrial Electronics*, pp. 1543–1548, June 2011.
- [155] DIKMESE, S., KAVAK, A., KUCUK, K., SAHIN, S., TANGEL, A., DINCER, H. “Digital signal processor against field programmable gate array implementations of space-code correlator beamformer for smart antennas”, *IEEE Journals on Microwaves, Antennas Propagation*, v. 4, n. 5, pp. 593–599, May 2010.
- [156] DUREN, R., STEVENSON, J., THOMPSON, M. “A comparison of FPGA and DSP development environments and performance for acoustic array processing”. In: *IEEE Midwest Symposium on Circuits and Systems*, pp. 1177–1180, Aug. 2007.

- [157] MARQUES, C. A. G., DE CAMPOS, F. P. V., OLIVEIRA, T. R., MENEZES, A. S., RIBEIRO, M. V. “Analysis of a hybrid OFDM synchronization algorithm for power line communication”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 44–49, Mar. 2010.
- [158] MARVEL. “Ethernet PHY 88E1111”. [www.marvel.com](http://www.marvel.com), 2012.
- [159] TI. “DAC DAC5672IPFBR”. [www.ti.com](http://www.ti.com), 2012.
- [160] ANALOG. “ADC AD9254BCPZ”. [www.analog.com](http://www.analog.com), 2012.
- [161] ISSI. “SDRAM Memory 42S16320D”. [www.issi.com](http://www.issi.com), 2012.
- [162] CIOFFI, J. M. *A multicarrier primer, ANSI Contribution T1E1.4/91-157*. Stanford University, Nov. 1991.
- [163] BINGHAM, J. A. C. “Multicarrier modulation for data transmission: an idea whose time has come”, *IEEE Communications Magazine*, v. 28, n. 5, pp. 5–14, May 1990.
- [164] CROCHIERE, R. E., RABINER, L. R. *Multirate Digital Signal Processing*. Prentice Hall, 1983.
- [165] DUHAMEL, P., VETTERLI, M. “Fast Fourier transforms: A tutorial review and state of the art”, *Signal Processing*, v. 19, pp. 259–299, Apr. 1990.
- [166] SILVA, L. A. J. E., LA-GATTA, F. A., DE CAMPOS, F. P. V., AMADO, L. R., FERREIRA, A. L. S., RIBEIRO, M. V. “Aplicações da Tecnologia Power Line Communication”. In: *XVII Congresso Brasileiro de Automação*, Mar. 2008.
- [167] ZIMMERMANN, M., DOSTERT, K. “The Low Voltage Distribution Network as Last Mile Access Network - Signal Propagation and Noise Scenario in the HF-Range”, *International Journal of Electronics and Communications*, v. 54, n. 1, pp. 13–22, Jan. 2000.
- [168] HASHIESH, F., SOUKAL, P. “A Proposed Broadband Power Line Communication System for Smart Grid Applications in a Typical Egyptian Network”. In: *Telecommunications Forum*, pp. 24–26, Nov. 2009.
- [169] JIANMING, L., BINGZHEN, Z., LIANG, G., ZHOU, Y., YIRONG, W. “Communication performance of broadband PLC technologies for smart grid”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 491–496, Apr. 2011.

- [170] DO, L. P., LEHNERT, R. “A channel self-organizing protocol supporting for coexistence of access and in-home PLC systems”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 291–296, Mar. 2010.
- [171] GALLI, S., LOGVINOV, O. “Recent Developments in the Standardization of Power Line Communications within the IEEE”, *IEEE Communications Magazine*, v. 46, n. 7, pp. 64–71, July 2008.
- [172] AMADO, L. R., LOSQUI, E. S. C., DE CAMPOS, F. P. V., MEDEIROS, A. A. M., RIBEIRO, M. V. “Spectrum Sensing for Powering Power Line Communications”. In: *XXX Simposio Brasileiro de Telecomunicacoes*, Sept. 2012.
- [173] DONG, R., OUZZIF, M., SAOUDI, S. “A Cognitive Cross-Layer Resource Allocation Scheme for In-Home Power Line Communications”. In: *IEEE International Conference on Communications*, pp. 1–5, May 2010.
- [174] GHASSEMI, A., BAVARIAN, S., LAMPE, L. “Cognitive Radio for Smart Grid Communications”. In: *IEEE International Conference on Smart Grid Communications*, pp. 297–302, Oct. 2010.
- [175] MA, X., LI, H., DJOUADI, S. “Networked system state estimation in smart grid over cognitive radio infrastructures”. In: *Annual Conference on Information Sciences and Systems*, pp. 1–5, Mar. 2011.
- [176] VO, Q. D., CHOI, J.-P., CHANG, H. M., LEE, W. C. “Green perspective cognitive radio-based M2M communications for smart meters”. In: *International Conference on Information and Communication Technology*, pp. 382–383, Nov. 2010.
- [177] GHASEMI, N., HOSSEINI, S. M. “Comparison of smart grid with cognitive radio: Solutions to spectrum scarcity”. In: *International Conference on Advanced Communication Technology*, pp. 898–903, Feb. 2010.
- [178] QIU, R. C., CHEN, Z., GUO, N., SONG, Y., ZHANG, P., LI, H., LAI, L. “Towards a Real-Time Cognitive Radio Network Testbed: Architecture, Hardware Platform, and Application to Smart Grid”. In: *IEEE Workshop Networking Technologies for Software Defined Radio (SDR) Networks*, pp. 1–6, June 2010.
- [179] WANG, J., GHOSH, M., CHALLAPALI, K. “Emerging cognitive radio applications: A survey”, *IEEE Communications Magazine*, v. 49, n. 3, pp. 74–81, Mar. 2011.

- [180] OH, S. W., CHIU, Y. L., NG, K. N., MO, R., MA, Y., ZENG, Y., SYED NAVEEN, A. “Cognitive power line communication system for multiple channel access”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 47–52, Apr. 2009.
- [181] QIN, X., BERRY, R. “Exploiting multiuser diversity for medium access control in wireless networks”. In: *IEEE Computer and Communications Conference*, v. 2, pp. 1084–1094, Mar. 2003.
- [182] WU, T.-M., WANG, S.-L. “Dynamic and fair resource allocation algorithm for OFDM systems”, *IEEE Communications Letters*, v. 11, n. 12, pp. 931–933, Dec. 2007.
- [183] N. PAPANDREOU, A. T. A. “Bit and Power Allocation in Constrained Multicarrier Systems: The Single-User Case”, *IEEE Transactions on Mobile Computing*, v. 4, n. 6, pp. 652–662, Nov. 2005.
- [184] CAVALCANTI, F. R. P., ANDERSSON, S. “Optimizing Wireless Communication Systems”. Springer US, 2009.
- [185] LIYANAGE, K. M., YOKOYAMA, A., OTA, Y., NAKAJIMA, T., TANIGUCHI, H. “Impacts of Communication Delay on the Performance of a Control Scheme to Minimize Power Fluctuations Introduced by Renewable Generation under Varying V2G Vehicle Pool Size”. In: *IEEE International Conference on Smart Grid Communications*, pp. 85–90, Oct. 2010.
- [186] KALLITSIS, M. G., MICHAELIDIS, G., DEVETSIKIOTIS, M. “A Framework for Optimizing Measurement-Based Power Distribution under Communication Network Constraints”. In: *IEEE International Conference on Smart Grid Communications*, pp. 185–190, Oct. 2010.
- [187] LI, H., LAI, L., QIU, R. C. “Communication Capacity Requirement for Reliable and Secure State Estimation in Smart Grid”. In: *IEEE International Conference on Smart Grid Communications*, pp. 191–196, Oct. 2010.
- [188] JIANG, Z., GE, Y., LI, Y. “Max-utility wireless resource management for best-effort traffic”, *IEEE Transactions on Wireless Communications*, v. 4, n. 1, pp. 100–111, Jan. 2005.
- [189] HRASNICA, H. “MAC Layer in Broadband PLC Networks - State of the Art”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, Apr. 2004.

- [190] WANG, B., HUANG, P.-W., ZHONG, Y.-P., QI, Y.-H. “In-home power line communication media access control protocol based on collision resolution”, *Journal of Shanghai Jiaotong University (Science)*, v. 14, n. 6, pp. 645–650, Dec. 2009.
- [191] BIAGI, M., POLLI, V. “Iterative multiuser resource allocation for inhome Power Line Communications”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 388–392, Apr. 2011.
- [192] PACHECO, F., PINHO, L., TOVAR, E. “Queuing and routing in a hierarchical powerline communication system”. In: *IEEE Conference on Emerging Technologies and Factory Automation*, v. 2, pp. 8–66, Sept. 2005.
- [193] DO, L. P., LEHNERT, R. “Scheduling strategies for service admission in Powerline Communication access networks with QoS support”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 41–46, Apr. 2008.
- [194] DONG, R., OUZZIF, M., SAOUDI, S. “Utility-based joint resource allocation and scheduling for indoor power line communications”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 84–89, Mar. 2010.
- [195] CHOWDHERY, A., JAGANNATHAN, S., CIOFFI, J., OUZZIF, M. “A Polite Cross-Layer Protocol for Contention-Based Home Power-Line Communications”. In: *IEEE International Conference on Communications*, pp. 1–6, June 2009.
- [196] HUANG, J., SUBRAMANIAN, V. G., AGRAWAL, R., BERRY, R. A. “Downlink scheduling and resource allocation for OFDM systems”, *IEEE Transactions on Wireless Communications*, v. 8, n. 1, pp. 288–296, Jan. 2009.
- [197] SUBRAMANIAN, V. G., BERRY, R. A., AGRAWAL, R. “Joint Scheduling and Resource Allocation in CDMA Systems”, *IEEE Transactions on Information Theory*, v. 56, n. 5, pp. 2416–2432, May 2010.
- [198] XU, Z., ZHAI, M., LU, J. “Crosslayer Optimization of User Scheduling and Resource Allocation in Power-Line Communication Systems”, *IEEE Transactions on Power Delivery*, v. 26, n. 3, pp. 1449–1458, July 2011.
- [199] KLEINROCK, L. *Queueing Systems*, v. 1 and 2. John Wiley Sons, 1976.

- [200] DAIGLE, J. *Queuing Theory with Applications To Packet Telecommunication*. Springer Science, 2005.
- [201] HAIDINE, A., MELLADO, I., LEHNERT, R. “PANDeMOO: a powerline communications access network designer based on multi-objective optimization”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 126–130, Apr. 2005.
- [202] HAIDINE, A., LEHNERT, R., WANG, C. “Book Lecture Notes of the Institute for Computer Sciences, Social Informatics and Telecommunications Engineering”. v. 6, cap. Placement of Base Stations in Broadband Power Line Communications Access Networks by Means of Multi-criteria Optimization, pp. 176–191, Springer, 2009.
- [203] HAIDINE, A., LEHNERT, R. “Solving the generalized base station placement problem in the planning of Broadband Power Line Communications access networks”. In: *Second Int. Conf. Access Networks & Workshops AccessNets*, pp. 1–8, Aug. 2007.
- [204] HAIDINE, A., LEHNERT, R. “Solving the Generalized Base Station Placement problem in the planning of Broadband Power Line Communications access networks”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 141–146, Apr. 2008.
- [205] HAIDINE, A., LEHNERT, R. “Analysis of the Channel Allocation Problem in Broadband Power Line Communications Access Networks”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 192–197, Mar. 2007.
- [206] HALE, W. K. “Frequency assignment: Theory and applications”, *Proceedings of the IEEE*, v. 68, n. 12, pp. 1497–1514, Dec. 1980.
- [207] HAIDINE, A., LEHNERT, R. “Improvement of bandwidth assignment in broadband PLC access networks by means of dispatching method”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 107–112, Apr. 2009.
- [208] MANIEZZO, V., A.CARBONARO. “An ANTS Heuristic for the Frequency Assignment Problem”, *Future Generation Computer Systems*, v. 16, pp. 927–935, Apr. 2000.
- [209] COLOMBO, G., ALLEN, S. M. “Problem decomposition for minimum interference frequency assignment”. In: *IEEE Congress Evolutionary Computation*, pp. 3492–3499, Sept. 2007.

- [210] PAPANDREOU, N., ANTONAKOPOULOS, T. “Resource Allocation Management for Indoor Power-Line Communications Systems”, *IEEE Transactions on Power Delivery*, v. 22, n. 2, pp. 893–903, Apr. 2007.
- [211] PAPANDREOU, N., ANTONAKOPOULOS, T. “Fair Resource Allocation With Improved Diversity Performance for Indoor Power-Line Networks”, *IEEE Transactions on Power Delivery*, v. 22, n. 4, pp. 2575–2576, Oct. 2007.
- [212] XU, Z.-Q., ZHAI, M.-Y., CUI, X., ZHAO, Y.-M. “Adaptive resource allocation for multi-user multi-server power-line communication OFDM systems”, *Journal of Central South University of Technology*, v. 18, n. 2, pp. 479–489, Apr. 2011.
- [213] LI, H., SUN, Y. “Resource Allocation for Power-Line OFDM System Based on Genetic Algorithm”. In: *International Conference on Wireless Communications, Networking and Mobile Computing*, pp. 1–4, Sept. 2009.
- [214] SHENG, L., ZHI-QIANG, X. “Adaptive Resources Allocation Algorithm Based on Genetic for Power-Line Communication System”. In: *International Conference on Electrical and Control Engineering*, pp. 3265–3270, June 2010.
- [215] BOYD, S., VANDENBERGHE, L. *Convex Optimization*. 7 ed. , Cambridge University Press, 2009.
- [216] GOMORY, R. E. “Outline of an algorithm for integer solutions to linear programs”, *Bull. Am. Math. Soc.*, v. 64, pp. 275–278, Sept. 1958.
- [217] LAND, A. H., DOIG, A. “An automatic method for solving discrete programming problems”, *Econometrica*, v. 28, pp. 497–520, Aug. 1960.
- [218] KULKARNI, G., ADLAKHA, S., SRIVASTAVA, M. “Subcarrier allocation and bit loading algorithms for OFDMA-based wireless networks”, *IEEE Transactions on Mobile Computing*, v. 4, n. 6, pp. 652–662, Nov. 2005.
- [219] HUANG, J., SUBRAMANIAN, V., AGRAWAL, R., BERRY, R. “Joint scheduling and resource allocation in uplink OFDM systems for broadband wireless access networks”, *IEEE Journal on Selected Areas in Communications*, v. 27, n. 2, pp. 226–234, Feb. 2009.
- [220] WONG, I., EVANS, B. “Optimal resource allocation in the OFDMA downlink with imperfect channel knowledge”, *IEEE Transactions on Communications*, v. 57, n. 1, pp. 232–241, Jan. 2009.

- [221] ALEN, T. C. H., MADHUKUMAR, A. S., CHIN, F. “Capacity Enhancement of a Multi-User OFDM System Using Dynamic Frequency Allocation”, *IEEE Transactions on Broadcasting*, v. 49, n. 9, Dec. 2003.
- [222] FILIPPI, A., COSTA, E. “Low-Complexity Interleaved Subcarrier Allocation in Multicarrier Multiple-Access Systems”, *IEEE Transactions on Communications*, v. 55, n. 1, Jan. 2007.
- [223] WOO, C., OH, E., HONG, D. “Simple Dynamic Subcarrier Allocation With CQI Feedback Reduction for OFDMA Systems”, *IEEE Transactions on Vehicular Technology*, v. 57, n. 5, Sept. 2008.
- [224] CHEN, Y.-F., CHEN, J.-W. “A Fast Subcarrier, Bit, and Power Allocation Algorithm for Multiuser OFDM-Based Systems”, *IEEE Transactions on Vehicular Technology*, v. 57, n. 2, Mar. 2008.
- [225] KIM, I., PARK, I.-S., LEE, Y. H. “Use of Linear Programming for Dynamic Subcarrier and Bit Allocation in Multiuser OFDM”, *IEEE Transactions on Vehicular Technology*, v. 55, n. 4, July 2006.
- [226] KIVANC, D., LIU, H. “Subcarrier Allocation and Power Control for OFDMA”, *IEEE Conference: Signals, Systems and Computers*, v. 1, pp. 147–153, Aug. 2000.
- [227] ZHANG, Y. J. A., LETAIEF, K. B. “Cross-Layer Adaptive Resource Management for Wireless Packet Networks With OFDM Signaling”, *IEEE Transactions on Wireless Communications*, v. 5, n. 11, Nov. 2006.
- [228] MOHANRAM, C., BHASHYAM, S. “Joint Subcarrier and Power Allocation in Channel-Aware Queue-Aware Scheduling for Multiuser OFDM”, *IEEE Transactions on Wireless Communications*, v. 6, n. 9, Sept. 2007.
- [229] ZOU, H., JAGANNATHAN, S., CIOFFI, J. “Multiuser OFDMA Resource Allocation Algorithms for In-Home Power-Line Communications”. In: *IEEE Global Telecommunications Conference*, pp. 1–5, Dec. 2008.
- [230] CHENG, X., CAO, R., YANG, L. “On the system capacity of relay-aided Powerline Communications”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, Apr. 2011.
- [231] GALLI, S., BANWELL, T. “Modeling the indoor power line channel: new results and modem design considerations”. In: *IEEE Consumer Communications and Networking Conference*, pp. 25–30, Jan. 2004.

- [232] GOMES, F. J. *Otimização de Sistemas Elétricos - Notas de Aula*. Universidade Federal de Juiz de Fora, Mar. 2012.
- [233] VENKATARAMAN, P. *Applied Optimization with MATLAB Programming*. John Wiley & Sons, 2009.
- [234] CHEN, Y., SHON, S., YOO, S.-J., KIM, J. M. “Dynamic frequency selection in OFDMA”. In: *The 8th International Conference on Advanced Communication Technology*, pp. 5–578, Feb. 2006.
- [235] KUHN, H. W. “The Hungarian method for solving the assignment problem”, *Naval Res. Logist. Quart.*, v. 2, pp. 83–97, Aug. 1955.
- [236] LAPLACE, C., BERG, M., LAI, H. “Bloodshed Dev-C++ IDE for GCC Compiler”. <http://www.bloodshed.net/devcpp.html>, 2010.
- [237] ALTERA. “Nios II Processor: The World’s Most Versatile Embedded Processor”. <http://www.altera.com/devices/processor/nios2/ni2-index.html>, Nov. 2011.
- [238] MOROSI, S., MARABISSI, D., DEL RE, E., FANTACCI, R., DEL SANTO, N. “A rate adaptive bit-loading algorithm for a DMT modulation system for in-building power-line communications”. In: *IEEE Global Telecommunications Conference*, v. 1, p. 5, Nov. 2005.
- [239] BAIG, S., GOHAR, N. “Discrete multi-tone (DMT) transceiver with dynamic rate adaptive water-filling bit-loading technique for in-home power line communication networks”. In: *International Multi Topic Conference*, pp. 84–89, Dec. 2003.
- [240] LEKE, A., CIOFFI, J. “A maximum rate loading algorithm for discrete multitone modulation systems”. In: *IEEE Global Telecommunications Conference*, pp. 1514–1518, Nov. 1997.
- [241] GALLAGHER, R. G. *Information theory and reliable communication*. New York: Wiley, 1968.
- [242] CHOW, J., TU, J., CIOFFI, J. “A discrete multitone transceiver system for HDSL applications”, *IEEE Journal on Selected Areas in Communications*, v. 9, n. 6, pp. 895–908, Aug. 1991.
- [243] HADJ-KACEM, I., SELLAMI, N., FIJALKOW, I. “Simple bit loading algorithms for OFDM-based systems with limited feedback”. In: *IEEE Mediterranean Electrotechnical Conference*, pp. 1009–1012, Mar. 2012.

- [244] BACCARELLI, E., FASANO, A., BIAGI, M. “Novel efficient bit-loading algorithms for peak-energy-limited ADSL-type multicarrier systems”, *IEEE Transactions on Signal Processing*, v. 50, n. 5, May 2002.
- [245] TONELLO, A., D’ALESSANDRO, S., LAMPE, L. “Cyclic Prefix Design and Allocation in Bit-Loaded OFDM over Power Line Communication Channels”, *IEEE Transactions on Communications*, v. 58, n. 11, pp. 3265–3276, Nov. 2010.
- [246] MOROSI, S., MARABISSI, D., RE, E. D., FANTACCI, R., DEL SANTO, N. “A rate adaptive bit-loading algorithm for in-building power-line communications based on DMT-modulated systems”, *IEEE Transactions on Power Delivery*, v. 21, n. 4, pp. 1892–1897, Oct. 2006.
- [247] AL-MAWALI, K., SADIK, A., HUSSAIN, Z. “Simple discrete bit-loading for OFDM systems in power line communications”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 267–270, Apr. 2011.
- [248] HAYASAKI, T., UMEHARA, D., DENNO, S., MORIKURA, M. “A bit-Loaded OFDMA for in-home power line communications”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 171–176, Apr. 2009.
- [249] JIANG, D. “Optimal Bit Loading Algorithm for Power-Line Communication Systems subject to Individual Channel Power Constraints”. In: *International Conference on Communication Technology*, pp. 1–4, Nov. 2006.
- [250] GUERIN, R., AHMADI, H., NAGHSHINEH, M. “Equivalent capacity and its application to bandwidth allocation in high-speed networks”, *IEEE Journal on Selected Areas in Communications*, v. 9, n. 7, pp. 968–981, Sept. 1991.
- [251] YU, W., CIOFFI, J. “Constant-power waterfilling: performance bound and low-complexity implementation”, *IEEE Transactions on Communications*, v. 54, n. 1, pp. 23–28, Jan. 2006.
- [252] JIN, X., WEI, J., GIDDINGS, R., QUINLAN, T., WALKER, S., TANG, J. “Experimental Demonstrations and Extensive Comparisons of End to End Real Time Optical OFDM Transceivers With Adaptive Bit and or Power Loading”, *IEEE Photonics Journal*, v. 3, n. 3, pp. 500–511, June 2011.

- [253] YU, W., RHEE, W., BOYD, S., CIOFFI, J. “Iterative water-filling for Gaussian vector multiple-access channels”, *IEEE Transactions on Information Theory*, v. 50, n. 1, pp. 145–152, Jan. 2004.
- [254] HARTOGS, H. “Ensemble Modem Structure for Imperfect Transmission Media, U.S. Patent 4833706”. 1987.
- [255] ZHANG, H., FU, J., SONG, J. “A Hughes-Hartogs Algorithm Based Bit Loading Algorithm for OFDM Systems”. In: *IEEE International Conference on Communications*, v. 1, pp. 1–5, May 2010.
- [256] CHOW, P., CIOFFI, J., BINGHAM, J. “A practical discrete multitone transceiver loading algorithm for data transmission over spectrally shaped channels”, *IEEE Transactions on Communications*, v. 43, n. 234, pp. 773–775, Feb. 1995.
- [257] FISCHER, R., HUBER, J. “A new loading algorithm for discrete multitone transmission”. In: *IEEE Global Telecommunications Conference*, pp. 724–728, Nov. 1996.
- [258] CAMPELLO, J. *Discrete Bit Loading for Multicarrier Modulation Systems*. Tese de Doutorado, Stanford University, 1997.
- [259] PALOMAR, D., FONOLLOSA, J. “Practical algorithms for a family of waterfilling solutions”, *IEEE Transactions on Signal Processing*, v. 53, n. 2, pp. 686–695, Feb. 2005.
- [260] CAMPELLO, J. “Practical bit loading for DMT”. In: *IEEE International Conference on Communications*, pp. 801–805, Aug. 1999.
- [261] CAMPELLO, J. “Optimal discrete bit loading for multicarrier modulation systems”. In: *IEEE International Symposium on Information Theory*, p. 193, Aug. 1998.
- [262] CHARBONNIER, B., URVOAS, P., OUZZIF, M., LE MASSON, J. “Capacity optimisation for optical links using DMT modulation, an application to POF”. In: *European Conference on Optical Communication*, pp. 1–2, Sept. 2008.
- [263] SUH, C., CHO, Y., YOON, S. “Dynamic subchannel and bit allocation in multiuser OFDM with a priority user”. In: *IEEE Eighth International Symposium on Spread Spectrum Techniques and Applications*, v. 3, pp. 919–923, Aug. 2004.

- [264] TLICH, M., RAZAFFERSON, R., AVRIL, G., ZEDDAM, A. “Outline about the EMC properties and throughputs of the PLC systems up to 100 MHz”. In: *IEEE International Symposium on Power Line Communications and Its Applications*, pp. 259–262, Apr. 2008.
- [265] TLICH, M., ZEDDAM, A., MOULIN, F., GAUTHIER, F. “Indoor Power-Line Communications Channel Characterization Up to 100 MHz Part I One-Parameter Deterministic Model”, *IEEE Transactions on Power Delivery*, v. 23, n. 3, pp. 1392–1401, July 2008.
- [266] COLEN, G., MARQUES, C., OLIVEIRA, T., DE CAMPOS, F. P. V., RIBEIRO, M. V. “Arranjo para Medição de Canais PLC outdoor”. In: *IEEE Conference on Innovative Smart Grid Technologies*, p. 4, Apr. 2013.

# Apêndice A

## Produção Científica

### A.1 Depósito de Pedido de Patente

Título: *Métodos de modulação OFDM de baixa complexidade para a comunicação de dados em bandas base e passante* [119].

### A.2 Capítulo de Livro

Título: *Resource Management and Allocation Techniques for Power Line Communications: Smart Grid and Broadband Access Systems* [1].

### A.3 Artigos em Revistas

Título: *Efficient Structures for Implementing OFDM based Transceivers on Reconfigurable Platforms: A Comparative Analysis* [120].

Título: *Effective Data Rate On Ethernet Interfaces For Embedded Systems: A Comparative Analysis* [98].

Título: *Power Line Communication based on Clustered-OFDM for Smart Grid* [118].

### A.4 Artigos em Congressos Internacionais

#### A.4.1 2008

Título: *Performance Analysis of Clustered-OFDM System with Bitloading Algorithm for Broadband PLC* [9].

#### **A.4.2 2009**

Título: *MISO single-carrier system with feedback channel information for narrowband PLC applications* [2].

#### **A.4.3 2010**

Título: *Time-varying channel characterization based on SVM under the impulsive noise presence* [30].

Título: *Analysis of a hybrid OFDM synchronization algorithm for power line communication* [157].

Título: *A Low-Cost Implementation of High-Order Square M-QAM Detection/Demodulation in a FPGA Device* [148].

#### **A.4.4 2011**

Título: *A low cost OFDM based modulation schemes for data communication in the passband frequency* [121].

#### **A.4.5 2013**

Título: *Analysis of Additive Noise on Outdoor and Low Voltage Electric Power Grid in Brazil: A Case Study* [36].

Título: *Arranjo para Medição de Canais PLC outdoor* [266].

### **A.5 Artigos em Congressos Nacionais**

#### **A.5.1 2008**

Título: *Aplicações da Tecnologia Power Line Communication* [166].

#### **A.5.2 2012**

Título: *Spectrum Sensing for Powering Smart Grid Communications* [172].