

SENSOR APS COM FAIXA DINÂMICA ESTENDIDA

Estêvão Coelho Teixeira

Tese de Doutorado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Antônio Carneiro de Mesquita Filho

Rio de Janeiro Setembro de 2010

SENSOR APS COM FAIXA DINÂMICA ESTENDIDA

Estêvão Coelho Teixeira

TESE SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:	
	Prof. Antônio Carneiro de Mesquita Filho, Dr. d'État.
	Prof. Jorge Lopes de Souza Leão, Dr.Ing.
	Prof. José Gabriel Rodriguez Carneiro Gomes, Ph.D.
	Prof. José Alexandre Diniz, D.Sc.
	Prof. José Camargo da Costa, Dr.

RIO DE JANEIRO, RJ - BRASIL SETEMBRO DE 2010 Teixeira, Estêvão Coelho

Sensor APS com Faixa Dinâmica Estendida / Estêvão Coelho Teixeira. – Rio de Janeiro: UFRJ/COPPE, 2010.

XXI, 200 p.: il.; 29,7 cm.

Orientador: Antônio Carneiro de Mesquita Filho

Tese (doutorado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, 2010.

Referencias Bibliográficas: p. 181-190.

- 1. Sensor APS. 2. Faixa dinâmica. 3. Circuitos CMOS.
- I. Mesquita Filho, Antônio Carneiro de. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Titulo.

 \grave{A} minha filha Letícia, alegria em minha vida.

Agradecimentos

A Deus, Pai Bondoso, autor e preservador de toda a vida, que me concedeu a graça de completar mais esta importante etapa em minha carreira.

A Elaine e Letícia, pelo incentivo, paciência e compreensão, os quais me foram imprescindíveis, sobretudo nos momentos mais críticos.

À minha mãe Osiris, pelo apoio incondicional que me prestou desde o início do meu doutorado.

Ao Prof. Antônio Carneiro de Mesquita Filho, pela inteligência e simplicidade com que me proporcionou uma excelente orientação, e uma grande oportunidade de crescimento.

Ao Dr. Filipe Vinci dos Santos, pesquisador da Universidade de Mons – Service d'Électronique et Microeléctronique, pela co-orientação desta tese.

Aos colegas Leo Huf Campos Braga e Suzana Domingues, pelas contribuições ao trabalho no tocante à modelagem do ruído e conversor A/D, respectivamente.

Ao Laboratório de Hidrogênio, da COPPE, e ao Laboratório de Espectroscopia de Materiais, da Universidade Federal de Juiz de Fora (UFJF), pelas fotografias do chip.

À Agência Espacial Brasileira (AEB), pelo suporte financeiro para a fabricação dos chips.

Ao técnico Ricardo Carvalho de Oliveira, da UFJF, pela confecção da placa de desenvolvimento, o que fez tão somente em nome da amizade.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para

a obtenção do grau de Doutor em Ciências (D.Sc.)

SENSOR APS COM FAIXA DINÂMICA ESTENDIDA

Estêvão Coelho Teixeira

Setembro/2010

Orientador:

Antônio Carneiro de Mesquita Filho

Programa: Engenharia Elétrica

Os imageadores CMOS baseados em sensor de pixel ativo (APS - Active Pixel

Sensor) vêm ganhando um espaço cada vez maior no mercado de imageadores a

semicondutor. Em diversas aplicações, existe a necessidade de sensores APS com elevada

faixa dinâmica, que pode ser entendida como a relação entre a máxima intensidade

luminosa que causaria a saturação do sensor e a menor intensidade que seria detectada pelo

circuito de leitura. Com o avanço dos processos submicrométricos de fabricação, existe a

tendência ao decréscimo dos valores das tensões de alimentação dos circuitos, o que pode

se tornar um fator limitante da faixa dinâmica do dispositivo.

Este trabalho propõe um circuito de leitura para um pixel APS linear com faixa

dinâmica estendida, por meio do aumento na excursão do sinal de saída. O circuito é

implementado externamente ao pixel, não alterando o seu fator de preenchimento. A

descrição do circuito é apresentada, acompanhada de resultados de simulação.

Uma matriz de 64x64 pixels foi fabricada em processo CMOS padrão de 0,35 µm.

O protótipo desenvolvido contém toda a lógica de endereçamento e leitura dos pixels, bem

como blocos para aquisição dos sinais e conversão analógica-digital. Outras funções

implementadas no chip permitem ainda uma expansão maior da faixa dinâmica. Os

objetivos da topologia proposta são comprovados por resultados experimentais.

vi

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements

for the degree of Doctor of Science (D.Sc.)

APS SENSOR WITH EXTENDED DYNAMIC RANGE

Estêvão Coelho Teixeira

September/2010

Advisor: Antônio Carneiro de Mesquita Filho

Department: Electrical Engineering

The CMOS imagers based on Active Pixel Sensor (APS) have been gaining an

increasingly space on semiconductors imagers market. In several applications, there is a

need for APS sensors with high dynamic range. This can be understood as the ratio

between the maximum light intensity that would saturate the sensor and the minimum

intensity that could be detected by the readout circuit. With the increase of the sub-

micrometer fabrication processes, there is a trend toward lowering the supply voltage of

the circuits, which can become a limiting factor for the dynamic range of the device.

This work proposes a readout circuit for an APS linear pixel with extended dynamic

range, by means of improving the output voltage swing. The circuit is implemented

externally to the pixel, not impairing its fill factor. The circuit description is presented,

accomplished by simulation results.

A 64x64 pixel array was fabricated on a 0.35-µm, standard CMOS process. The

developed prototype includes all the addressing and readout logic, as well as blocks to

perform signal acquisition and analog-to-digital conversion. Indeed, other functions

implemented on-chip allow further improvements on the sensor dynamic range. The

objectives of the proposed topology are confirmed by experimental results.

vii

Sumário

1)	Introdução	1
1.1)	Aplicações dos dispositivos APS	2
	1.1.1) Câmeras digitais/Aplicações móveis	2
	1.1.2) Monitoramento e Segurança	3
	1.1.3) Visão Computacional (Machine Vision) e Aplicações Automotivas	4
	1.1.4) Aplicações científicas/biomédicas	5
	1.1.5) Aplicações Espaciais	6
1.2)	Motivação e objetivo do trabalho	7
1.3)	Estrutura do trabalho	9
2)	Imageadores a Semicondutor	10
2.1)	Parâmetros dos imageadores a semicondutor	10
	2.1.1) Faixa dinâmica	10
	2.1.2) Fator de preenchimento	11
	2.1.3) Eficiência quântica	11
	2.1.4) Ganho de conversão	11
2.2)	Sensores CCD	11
	2.2.1) Princípio de operação	11
	2.2.2) Desvantagens da arquitetura CCD	13
2.3)	Sensores PPS	14
2.4)	Sensores APS	15
	2.4.1) Estrutura do Pixel	17
	2.4.2) O elemento fotosensor	18
	2.4.3) Integração da Fotocorrente	18
	2.4.4) Leitura do Pixel	22
2.5)	Considerações sobre ruído em sensores APS	28
	2.5.1) Ruído temporal	30
	2.5.2) Ruído de padrão fixo (FPN – Fixed Pattern Noise)	31
	2.5.3) Ruído e escalamento	34
2.6)	Conclusão	35

3)	Imageadores APS com faixa dinâmica estendida	36
3.1)	Pixel logarítmico	36
3.2)	Configurações com ampliação da excursão da tensão de saída	38
	3.2.1) Uso de transistor PMOS	38
	3.2.2) Pixel APS complementar	40
	3.2.3) Configurações com amplificador de ganho unitário	41
3.3)	Alteração no modo de leitura	46
	3.3.1) Múltiplos estágios de integração	46
	3.3.2) Múltiplas capturas	47
	3.3.3) Tempo até a saturação	49
	3.3.4) Outras topologias	50
3.4)	Conclusão	52
4)	O Imageador Proposto	53
4.1)	Descrição da nova topologia	53
	4.1.1) Estratégia de leitura	60
4.2)	Análise DC (grandes sinais)	62
4.3)	Arquitetura do chip	69
	4.3.1) Matriz de pixels e circuito de leitura	72
	4.3.1.1) Pixels da matriz	73
	4.3.1.2) Transistores de seleção de coluna e de leitura do SF testemunha	76
	4.3.1.3) Transistores de polarização dos SFs e transistor de Shut Down	76
	4.3.1.4) Amplificador de leitura	77
	4.3.2) Geração dos sinais digitais de leitura, aquisição e transmissão de dados	83
	4.3.2.1) Ciclo de acesso ao pixel e geração dos sinais de leitura	86
	4.3.2.2) Aquisição e transmissão de dados	89
	4.3.2.3) Endereçamento automático dos pixels	90
	4.3.3) Lógica de seleção de linha/coluna	91
	4.3.4) Buffer de saída (para os blocos com saída analógica)	95
	4.3.5) O bloco de processamento analógico (para os blocos com saída digital)	97
	4.3.5.1) Conversor D/A	98
	4.3.5.2) Circuito de amostragem e retenção (Sample and Hold)	104
	4.3.5.3) Comparadores e latches	105
4.4)	Análise AC (pequenos sinais)	108

7) Rei	Conclusões ferências Bibliográficas	17
7)	Conclusões	17
6.7)	Conclusão	17
6.6)	.Sumário das características do imageador desenvolvido	17
6.5)	Comparação com outras estruturas	16
6.4)	Avaliação da linearidade	16
6.3)	Expansão da faixa dinâmica através do tempo de integração variável	16
	6.2.4) Comparação com o pixel 3T	16
	leitura	10
	6.2.3) Determinação da faixa dinâmica e máxima SNR na saída do circuito de	
	6.2.2) Determinação da faixa dinâmica e máxima SNR no pixel	10
,	6.2.1) Ruído do circuito de leitura	15
6.2)	Determinação da faixa dinâmica e relação sinal-ruído do novo APS	15
,	6.1.1) Faixa dinâmica e ruído na saída do circuito de leitura	1.
,	Modelagem do ruído e da faixa dinâmica	15
6)	Avaliação da Faixa Dinâmica e Discussão dos Resultados	1.
5.4)	Conclusão	1
5.3)	Corrente no escuro	1
	5.2.1) Saídas digitais	1
5.2)	Leitura dos pixels	1
5.1)	Sinais digitais de leitura e endereçamento	1
5)	Resultados Experimentais	1
4.6)	Conclusão	1
	4.5.3) Circuito de aquisição, conversão A/D e transmissão de dados	1
	4.5.2) Matriz de pixels 4x4	1
	4.5.1) Circuito de leitura	1
4.5)	Simulações transientes	1

Anexo I – Pinagem do chip APSIV_UFRJ	
Anexo II – Esquemático e componentes da placa de	
desenvolvimento	193
Anexo III – Netlist do circuito de leitura (Item 4.5.1)	196
Anexo IV – Fotografias do chip desenvolvido	198

Índice de Figuras

C	/ ₄ 1 -	1
Can	ítulo	1

Fig. 1. 1 – Figuras fotografadas com imageadores APS com diferentes faixas	
dinâmicas	
Fig. 1. 2 – Protótipo de um imageador de contato	
Fig. 1. 3 – Ilustração do funcionamento de um moderno rastreador estelar	
Fig. 1. 4 – Requisitos do mercado em relação à faixa dinâmica	
Capítulo 2	
Fig. 2. 1 – O pixel CCD	
Fig. 2. 2 – Transferência de carga em um CCD	
Fig. 2. 3 – Sensor PPS	
Fig. 2. 4 – Princípio básico do imageador APS	
Fig. 2. 5 – Diagrama da matriz APS	
Fig. 2. 6 – O pixel APS 3T convencional	
Fig. 2. 7 – Tipos mais usuais de fotodetectores	
Fig. 2. 8 – Circuito equivalente do fotodiodo	
Fig. 2. 9 – Formas de onda de v_{PIX} para diferentes valores de I_{ph}	
Fig. 2. 10 – Formas de onda de v_{PIX} para diferentes valores de I_{ph}	
Fig. 2. 11 – Representação da carga integrada.	•••••
Fig. 2. 12 – Sinais do pixel	
Fig. 2. 13 – Circuito seguidor de fonte	
Fig. 2. 14 – Simulação DC de $V_{\rm PIX}$ e $V_{\rm OUT}$, para o circuito da Fig. 2.13	•••••
Fig. 2. 15 – Simulação DC de V_{PIX} , V_{OUT} , e V_{tn} , na tecnologia 0,18 μ m	
Fig. 2. 16 – Simulação DC de V_{PIX} , V_{OUT} , e V_{tn} , na tecnologia 0,18 μ m	
Fig. 2. 17 – Componentes de ruído em uma matriz APS	
Fig. 2. 18 – Relação entre o nível de ruído e a faixa dinâmica	
Fig. 2. 19 – Circuitos equivalentes para o ruído de Reset	
Fig. 2. 20 – Ilustração da resposta da matriz para um nível uniforme de iluminaç	ão
Fig. 2. 21 – Possíveis fontes de FPN em um circuito APS	
Fig. 2. 22 – Variações em v_{OUT} devido ao FPN	
Fig. 2. 23 – Circuito de amostragem dupla correlacionada (CDS)	

Capítulo 3

Fig.	3.1 – O pixel logarítmico
Fig.	3.2 – Esquemático de um pixel linear-logarítmico
Fig.	3.3 – Comparação entre as respostas de dois sensores APS
Fig.	3.4 – Uso de transistor PMOS para o Reset
Fig.	3.5 – Pixel APS Complementar – CAPS
Fig.	3.6 – Amplificador de coluna empregado para externar o sinal do CAPS
Fig.	3.7 – Configuração seguidor de tensão
Fig.	3.8 – Pares diferenciais dos amplificadores operacionais
Fig.	3.9 – Implementação utilizada em [42]
Fig.	3.10 – Layout do fotodiodo e buffer, em [42]
Fig.	3.11 – Princípio da técnica ACS
Fig.	3.12 – Amplificadores usados em [64]
Fig.	3.13 – Múltiplos estágios de integração
Fig.	3.14 – Múltiplas capturas
Fig.	3.15 – Esquemático e estratégia usada em [72]
Fig.	3.16 – Arquitetura mista APS-TS
Fig.	3.17 – Circuito do APS com capacitores de <i>overflow</i> laterais
Fig.	3.18 – Princípio de um APS com conversão luz-frequência
Ca	pítulo 4
Fig.	4. 1 – O circuito de leitura proposto (representação simplificada)
Fig.	4. 2 – Diferentes possibilidades para implementação do circuito
Fig.	4. 3 – Circuito proposto (coluna)
Fig.	4. 4 – Circuito proposto (grupo de colunas)
Fig.	4. 5 – O circuito de leitura (mostrando transistores de seleção de
	coluna e de polarização)
Fig.	4. 6 – Estratégia de leitura do novo APS
Fig.	4. 7 – Efeito da <i>Slew-Rate</i> do amplificador para diferentes estratégias de leitura.
Fig.	4. 8 – Leitura seqüencial dos pixels.
Fig.	4. 9 – Circuito para análise DC
Fig.	4. 10 – Característica de transferência DC para $(W/L)_1 = (W/L)_2$
Fig.	4. 11 – Característica de transferência DC para $(W/L)_2 = 2.(W/L)1:$
Fig.	4. 12 – Característica de transferência DC para (W/L)1 = 2.(W/L)2:

Fig. 4. 13 – Planta baixa do chip.	
Fig. 4. 14 – Disposição das trilhas de alimentação	
Fig. 4. 15 – Layout completo do chip, com a indicação de seus principais grupos	S
constituintes	
Fig. 4. 16 – Layout da matriz	
Fig. 4. 17 – Anel de guarda no entorno da matriz de pixels	
Fig. 4. 18 – Layouts dos pixels	
Fig. 4. 19 – Layouts e seções transversais dos diodos poço-substrato	
Fig. 4. 20 – Capacitância do diodo em função da tensão de pixel	
Fig. 4. 21 – Layout do bloco contendo SF testemunha e transistores de seleção o	de
coluna	
Fig. 4. 22 – Transistores de polarização dos seguidores de fonte ($M_{B,pix}$ e $M_{B,test}$).	
Fig. 4. 23 – Layout dos transistores de polarização (esquerda) e do transistor de	<u> </u>
Shut Down (direita)	
Fig. 4. 24 – Relação entre margem de fase e resposta ao degrau	
Fig. 4. 25 – Esquemático do OTA Miller 2 estágios	
Fig. 4. 26 – Layout do amplificador	
Fig. 4. 27 – Resposta AC do amplificador	
Fig. 4. 28 – Resposta do amplificador ao degrau	
Fig. 4. 29 – Blocos digitais de leitura, aquisição e transmissão	
Fig. 4. 30 – Contador módulo-12 e máquina de estados	
Fig. 4. 31 – Ciclo de acesso ao pixel	
Fig. 4. 32 – Sinais de seleção, reset e amostragem	
Fig. 4. 33 – Circuitos digitais de aquisição e transmissão de dados	
Fig. 4. 34 – Bloco Edge_Gen	
Fig. 4. 35 – Endereçamento automático dos pixels	
Fig. 4. 36 – Esquemático do decodificador de linha (6x64)	
Fig. 4. 37 – Blocos constituintes do decodificador de linha	
Fig. 4. 38 – Bloco LOG_SEL	
Fig. 4. 39 – Decodificador de 3 para 8 linhas	
Fig. 4. 40 – Percurso do sinal – saída analógica	
Fig. 4. 41 – Amplificador do buffer de saída – esquemático	
Fig. 4. 42 – Amplificador do buffer de saída – layout	
Fig. 4. 43 – Percurso do sinal – saída digital	

Fig. 4. 44 – Layout do bloco de processamento analógico de sinal	
Fig. 4. 45 – Conversor A/D tipo rampa	
Fig. 4. 46 – Esquemático do conversor D/A, incluindo o contador de 8 bit	ts
Fig. 4. 47 – Rede R-2R	
Fig. 4. 48 – Chave complementar CMOS com transistores dummy	
Fig. 4. 49 – Layout do conversor D/A	
Fig. 4. 50 – Saída do conversor D/A (Pre_Rampa), do amplificador não-in	versor
(Rampa_Tensao) e do contador de 8 bits	
Fig. 4. 51 – Layouts dos amplificadores	
Fig. 4. 52 – Arquitetura do S/H com capacitância de Miller	
Fig. 4. 53 – Esquemático do OTA cascode dobrado, utilizado no S/H	
Fig. 4. 55 – Layout do S/H, com a indicação das chaves S1 e S2, amplificado	dor
cascode dobrado e amplificador Miller 2 estágios	
Fig. 4. 55 – Comparador	
Fig. 4. 56 – O comparador utilizado	
Fig. 4. 57 — Característica de transferência $V_{\rm OUT}$ x $V_{\rm IN}$ do comparador	
Fig. 4. 58 – Latch	
Fig. 4. 59 – Característica de transferência V_{OUT} x V_{IN} do comparador e	
$ m V_{ m Q} ~x ~V_{ m IN}$ do latch	
Fig. 4. 60 – Diagrama de blocos para a análise de pequenos sinais	
Fig. 4. 61 – Diagrama de blocos simplificado	
Fig. 4. 62 – Modelo de pequenos sinais do amplificador de leitura	
Fig. 4. 63 – Seguidor de fonte	
Fig. 4. 64 – Diagramas de Bode para o seguidor de fonte	
Fig. 4. 65 – Esquemático do APS para estudo da estabilidade (circuito em 1	malha
aberta)	
Fig. 4. 66 – Resposta em freqüência do sistema (linha contínua), comparad	a com a
resposta do amplificador e do seguidor de fonte (linhas tracejac	das)
Fig. 4. 67 – Resposta do sistema ao degrau	
Fig. 4. 68 – Esquemático para simulação do circuito de leitura	
Fig. 4. 69 – Formas de onda simuladas para $I_{ph} = 5 \text{ nA}$	
Fig. 4. 70 – Formas de onda simuladas para $I_{ph} = 5$ nA	
Fig. 4. 71 – Formas de onda da corrente no diodo (5 nA)	
Fig. 4. 72 – Matriz reduzida de pixels – pixels e circuito de leitura	

Fig. 4. /3 – Matriz reduzida de pixels – circuitos de polarização e geração de si	nais.
Fig. 4. 74 – Blocos da matriz de 4x4 pixels para simulação	
Fig. 4. 75 – Simulação da matriz 4x4	
Fig. 4. 76 – Simulação da matriz 4x4	
Fig. 4. 77 – Simulação da matriz 4x4	
Fig. 4. 78 – Simulação da matriz 4x4	
Fig. 4. 79 – Simulação da matriz 4x4.	
Fig. 4. 80 – Circuito de aquisição, conversão A/D e transmissão de dados	
Fig. 4. 81 – Sinais digitais de leitura e tensão no pixel	
Fig. 4. 82 – Inclinações das rampas.	
Fig. 4. 83 – Sinais Rst, Row_Sel e saídas dos contadores	
Fig. 4. 84 – Tensão do pixel, pulsos de amostragem e saídas dos S/H	
Fig. 4. 85 – Saídas dos S/H, rampa do conversor D/A e saídas dos comparado	ores.
Fig. 4. 86 – Saídas dos latches, valores armazenados pelos registradores,	
pulso de sincronismo e transmissão serial	
Fig. 4. 87 – Fotografia do chip.	
Fig. 4. 88 – Fotografia do chip – matriz de pixels (canto superior esquerdo)	
Capítulo 5	
Fig. 5. 1 – Fotografia da placa de desenvolvimento	
Fig. 5. 2 – Sinais de leitura.	
Fig. 5. 3 – Sinais de leitura	
Fig. 5. 4 – Bits de saída do contador de endereços e complemento do bit mais	
significativo do contador de 8 bits, Out_7#	
Fig. 5. 5 – Bits de saída do contador de endereços	
Fig. 5. 6 – Sinais de leitura para diferentes configurações do prescaler	•••••
Fig. 5. 7 – Carga no fotodiodo	
Fig. 5. 8 – Sinais de leitura do APS	
Fig. 5. 9 – Sinais de leitura do APS	
Fig. 5. 10 – Comparação entre os resultados experimentais e de simulação para	a uma
Fig. 5. 10 – Comparação entre os resultados experimentais e de simulação para fotocorrente de 33 pA. (E = 420 lx)	 a uma
Fig. 5. 10 – Comparação entre os resultados experimentais e de simulação para fotocorrente de 33 pA. ($E = 420 \text{ lx}$)	a uma
Fig. 5. 10 – Comparação entre os resultados experimentais e de simulação para fotocorrente de 33 pA. (E = 420 lx)	a uma

Fig. 5. 14 – Procedimento para leitura da corrente no escuro	147
Fig. 5. 15 – Saídas analógicas relacionadas à corrente no escuro, para quatro	
endereços diferentes	148
Fig. 5. 16 – Comparação entre formas de onda experimentais e simuladas para a	
corrente no escuro	148
Capítulo 6	
Fig. 6. 1 – Modelo simplificado do sensor	151
Fig. 6. 2 – Modelo completo do sensor	151
Fig. 6. 3 – Modelo do sensor com o ruído total referido à entrada	153
Fig. 6. 4 – Carga máxima a ser considerada na avaliação da faixa dinâmica do sensor	
em estudo	156
Fig. 6. 5 – Circuito para simulação de ruído	158
Fig. 6. 6 – Simulação do HSPICE para análise de ruído	158
Fig. 6. 7 – Simulações transientes do circuito proposto usando modelos preditivos	165
Fig. 6. 8 – Avaliação da linearidade	167
Fig. 6. 9 – Saída do seguidor de fonte 3T e função linearizada	168
Anexos	
Fig. A.1 – Pinagem do chip.	191
Fig. A.2 – Diagrama esquemático da placa.	193
Fig. A.3 – Layout da placa (vista superior).	194
Fig. A.4 – Detalhes (indicados na Fig. A. 3).	195
Fig. A.5 – Fotografias do chip.	198
Fig. A.6 – Fotografias do chip – detalhes.	199
Fig. A.7 – Fotografias do chip – detalhes.	200

Índice de Tabelas

Capitulo 2	
Tab. 2.1 – Parâmetros do circuito da Fig. 2.12 para outros processos de fabricação	20
Capítulo 4	
Tab. 4.1 – Parâmetros dos elementos utilizados no amplificador da Fig. 4. 25	80
Tab 4.2 – Descrição dos tempos ilustrados na Fig. 4. 32.	89
Tab. 4.3 – Parâmetros dos elementos utilizados no amplificador da Fig. 4. 49	102
Tab. 4.4 – principais características dos amplificadores utilizados no conversor D/A	102
Tab. 4.5 – Comparação entre valores de transistores nas versões	
anterior e atual do amplificador de leitura.	108
Tab 4.6 – Valores digitalizados nos dois primeiros ciclos de acesso aos pixels	130
Capítulo 5	
Tab. 5.1 – Fotocorrentes obtidas para as formas de onda da Fig. 5. 8	143
Tab. 5.2 – Valores das amostras.	140
Capítulo 6	
Tab. 6.1 – Fatores de correção K _n para filtros passa-baixas de diferentes ordens	160
Tab. 6.2 – Comparação entre os valores da máxima excursão do sinal	164
Tab. 6.3 – Comparação entre o circuito de leitura proposto e diferentes	
implementações do ACS	171
Tab. 6.3 – Principais parâmetros do imageador desenvolvido.	172

Lista de Siglas

ACS Sensor de Coluna Ativa (Active Column Sensor)

A/D Analógico-Digital

AEB Agência Espacial Brasileira

AMS Austria Microsystems

APS Sensor de Pixel Ativo (Active Pixel Sensor)

CAPS APS Complementary (Complementary APS)

CCD Charge Coupled Device

CDS Amostragem Dupla Correlacionada (Correlated Double Sampling)

CIA Amplificador de Integração de Carga (Charge Integration Amplifier)

CMOS Tecnologia MOS Complementar (Complementary MOS)

CMP Circuits Multi-Projets

D/A Digital-Analógico

DDS Delta DIfference Sampling

DPS Sensor de Pixel Digital (Digital Pixel Sensor)

DR Faixa Dinâmica (Dynamic Range)

DRC Design Rule Checking
DSC Digital Still Câmera

DSNU Dark Signal Non-Uniformity

FF Fator de Preenchimento (Fill Factor)

FOV Campo de Visão (Field of View)

FPN Ruído de Padrão Fixo (Fixed Pattern Noise)

GBW Produto Ganho versus Banda Passante (Gain-Bandwidth)

JPEG Joint Photographic Experts Group

kTC Ruído de Reset (kT/C)

LEO Órbita Terrestre Baixa (Low Earth Orbit)

LPC Laboratório de Projeto de Circuitos

LVS Layout versus Schematic

MC Múltiplas Capturas (Multiple Capture)

MOS Metal-Óxido-Semicondutor

MOSFET Transistor de efeito de campo MOS (MOS Field Effect Transistor)

MV Visão Computacional, ou Visão de Máquina (Machine Vision)

NL Não-linearidade

NMOS MOSFET de canal N; tecnologia de fabricação NMOS

OTA Amplificador Operacional de Transcondutância (Operational

Transconductance Amplifier)

PDA Personal Digital Assistant

PFM Modulação por Frequência de Pulso (Pulse Frequency Modulation)

PMOS MOSFET de canal P; tecnologia de fabricação PMOS

PPS Sensor de Pixel Passivo (Passive Pixel Sensor)

PRNU Photo Response Non-Uniformity

PTZ Pan, Tilt e Zoom

PWL Linear por Partes (Piecewise Linear)

QE Eficiência Quântica (Quantum Efficiency)

RGB Vermelho, Verde, Azul (Red, Green, Blue)

RMS Valor médio quadrático (Root Mean Square)

SF Seguidor de Fonte (Source Follower)

S/H Amostragem e retenção (Sample and Hold)

SNR Relação Sinal-Ruído (Signal to Noise Ratio)

SoC System on Chip

SR Slew Rate (SR₊ – SR de subida; SR₋ – SR de descida)

THD Distorção Harmônica Total (Total Harmonic Distortion)

TS Tempo até a saturação (Time to Saturation)

VGA Video Graphics Array

UGA Amplificador de Ganho Unitário (Unity Gain Amplifier)

YCM Amarelo, Ciano, Magenta (Yellow, Cyan, Magenta)

Lista de Símbolos

A Ganho do amplificador

C_{PIX} Capacitância do pixel

C_{PD} Capacitância do fotodiodo

E Iluminância, em lux

e_{nBB} Valor RMS do ruído térmico (*broadband*) referido à entrada

 e_{nf} Valor RMS do ruído *flicker* (1/f) referido à entrada e_{nv} Valor RMS do ruído de leitura referido à entrada

e_{nv out} Valor RMS do ruído total na saída do circuito

g Ganho de conversão, em μV/elétron

I_B Corrente de polarização (*Bias*)

I_d, I_{dark} Corrente no escuro (*Dark Current*)

 I_{ph} Fotocorrente

 $\mathbf{k}_{n}^{'}$ Parâmetro de transondutância de processo do NMOS ($\mu A/V^{2}$)

M Multiplicidade

N Fator de ajuste do prescaler (N = 0, 1, 2, ..., 7)

q Carga do elétron (1,602 x 10⁻¹⁹ C)

T_A Duração do ciclo de acesso ao pixel

T_{CLK} Período de clock

 T_i, T_{int} Período de integração

 V_{ov} Tensão de *overdrive* V_{sat} Tensão de saturação

V_{tn} Tensão de limiar (threshold) do transistor NMOS

 V_{tn0} V_{tn} para tensão fonte-corpo (source-bulk) igual a zero

W/L Razão de aspecto do transistor (W – largura do canal. L – comprimento

do canal)

Parâmetro em função de k_n e (W/L), expresso por $\beta = (k_n/2)(W/L)$

 ϕ_f Potencial de Fermi (2. Φ_f = 0,7 V)

γ Parâmetro de efeito de corpo

 $\sigma_{\scriptscriptstyle
m O}$ Valor RMS da carga equivalente ao ruído total referido à entrada

 σ_{Q_c} Valor RMS da carga equivalente ao ruído *shot* referido à entrada

 $\sigma_{\text{O}_{\text{o}}}$ Valor RMS da carga equivalente ao ruído de leitura referido à entrada

1) Introdução

A pesquisa de imageadores a estado sólido teve início na década de 60, com o trabalho de diferentes grupos de pesquisa utilizando processos NMOS, PMOS e bipolares [1]. Com o advento da tecnologia CCD (*Charge Coupled Device*), no início da década de 70, e de sua superioridade em relação aos imageadores até então propostos, a maior parte das pesquisas se concentrou no desenvolvimento desta tecnologia, se tornando predominante em aplicações que variam desde câmeras digitais até aplicações científicas específicas.

No início da década de 90, no entanto, o desenvolvimento de imageadores CMOS baseados na tecnologia APS (*Active Pixel Sensor*), originada no Jet Propulsion Laboratory da NASA, iniciou uma mudança neste cenário [2]. Desde então, a tecnologia, concebida inicialmente para aplicações aeroespaciais, tem conquistado progressivamente novas aplicações comerciais, com uma vasta gama de estudos publicados no intuito de superar suas limitações e expandir sua aplicabilidade.

O avanço das tecnologias de processamento digital de imagens e armazenamento de dados, aliados às aplicações onde seja exigido um baixo consumo de energia, impulsionou o desenvolvimento dos dispositivos APS, em detrimento da tecnologia CCD. Os motivos são citados a seguir.

Dispositivos APS podem ser fabricados em um processo CMOS convencional, reduzindo o custo do chip em relação a um dispositivo CCD. Além disto, os circuitos digitais de controle do dispositivo podem ser inseridos no mesmo chip, exigindo assim menos circuitos periféricos para sua operação. Visto operarem com fonte de tensão simples, compatível com a maioria dos circuitos integrados digitais, o seu interfaceamento com os mesmos é direto. Em muitos casos, até mesmo a etapa de conversão analógico-digital (A/D) é integrada no mesmo chip, podendo o sinal de saída ser compatível com padrões comerciais de vídeo [3], o que faz com que tais circuitos sejam denominados *Camera-on-Chip*. A integração de todas as etapas alia, ao baixo consumo, características como miniaturização, confiabilidade e possibilidade de um melhor fator custo/benefício [4].

A tecnologia CCD é hoje uma tecnologia amadurecida, de reconhecida qualidade no tocante à imagem capturada. Surgem então esforços no intuito de preservar as características favoráveis à tecnologia CMOS e alcançar, ou até mesmo superar o desempenho dos dispositivos CCD. Um destes parâmetros é a faixa dinâmica (DR – Dynamic Range) do imageador, definida como a razão entre a máxima intensidade luminosa que

causaria a saturação do circuito de leitura e a menor intensidade que seria detectada pelo circuito. Uma definição mais formal de faixa dinâmica será apresentada no Capítulo 2. A Fig. 1. 1 mostra duas imagens capturadas por sensores APS com diferentes faixas dinâmicas [5]. A diferença entre a imagem adquirida por uma configuração com maior faixa dinâmica (b) traduz-se, na prática, por uma melhor distinção dos elementos fotografados, se comparado com a configuração com menor faixa dinâmica (a).

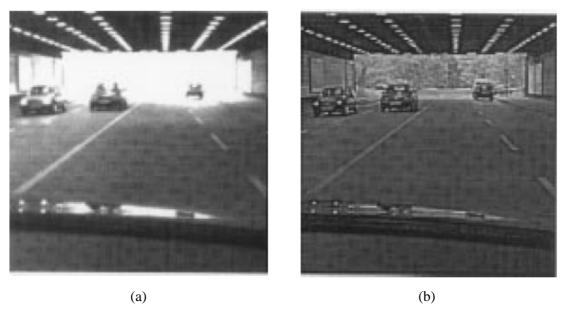


Fig. 1. 1 – Figuras fotografadas com imageadores APS com diferentes faixas dinâmicas (de [5]):

(a) Menor faixa dinâmica; (b) Maior faixa dinâmica.

1.1) Aplicações dos dispositivos APS

Os dispositivos APS têm obtido uma faixa progressivamente maior no mercado de imageadores, tanto nas aplicações onde a tecnologia CCD ainda é predominante como em novas aplicações, que se beneficiam especialmente nas características citadas na seção anterior para os dispositivos APS. As principais aplicações da tecnologia APS são discutidas nesta seção.

1.1.1) Câmeras digitais/Aplicações móveis

Os primeiros imageadores CMOS aplicados a bens eletrônicos de consumo (Consumer Electronics) foram utilizados onde não se requeria uma grande qualidade de imagem, como câmeras embutidas em brinquedos e alguns sistemas de visão computacional. O rápido desenvolvimento da tecnologia, entretanto, levou ao surgimento de chips APS comerciais com eficiência quântica e níveis de ruído compatíveis com a

tecnologia CCD, levando ao uso de dispositivos APS em câmeras digitais (DSC – digital still cameras), que representa parte do mercado de bens eletrônicos de consumo em contínua ascensão. Uma grande quantidade de modelos com sensores CMOS APS é oferecida atualmente.

Chips APS comerciais são encontrados nas versões monocromáticas e coloridas (padrões RGB ou YCM), com desde matrizes VGA (640 x 480 pixels) até resoluções superiores a 10 Megapixels [6]. Diversas tecnologias são propostas, por diferentes fabricantes, para implementar chips APS que permitam, dentre outras, funções como:

- A exposição simultânea de toda a matriz (uma característica dos sensores
 CCD, necessária para a fotografia de objetos em movimento);
- O escalamento da imagem para um tamanho arbitrário, para efeito de visualização prévia, exibição e armazenamento;
- Função de compressão JPEG no próprio chip;
- Entradas/saídas paralelas ou seriais de alta velocidade [7].

Câmeras digitais têm sido cada vez mais integradas a outros equipamentos eletrônicos, como *notebooks*, *PDAs* (*personal digital assistant*) e telefones celulares. As características de baixo consumo e o baixo custo dos sensores CMOS tornam-se, desta forma, um fator favorável à sua utilização nestes equipamentos. Em [8], é relatado o uso de uma câmera CMOS em uma sistema de desenvolvimento para computadores miniaturizados (*Pocket Computer*), com características de alto desempenho e baixo consumo de energia.

1.1.2) Monitoramento e Segurança

Os custos de sistemas de monitoramento e segurança (surveillance) tem sido reduzidos ao longo do tempo, enquanto, por outro lado, houve o aumento da demanda por tais sistemas. A utilização de câmeras inteligentes de baixo custo contribui para este cenário, paralelamente à redução dos custos e da complexidade da instalação do sistema como um todo.

A utilização de um chip APS torna-se, portanto, adequada a tais aplicações, não apenas em função do baixo custo e consumo de energia, mas também devido às funções que podem ser incorporadas ao sistema, como *pan*, *tilt* e *zoom* (PTZ) eletrônicos e seleção de janelas de interesse [9]. Em alguns casos, até mesmo funções de tomadas de decisão

podem ser implementadas *on-chip*, permitindo um elevado grau de automação do sistema [10].

A faixa dinâmica é um parâmetro importante dos sensores usados em sistemas de monitoramento e segurança, devido a tais sistemas necessitarem registrar imagens de boa qualidade em diferentes condições de iluminação, especialmente à noite.

1.1.3) Visão Computacional (Machine Vision) e Aplicações Automotivas

A aplicação da visão computacional à indústria e manufatura é referida como *Machine Vision* (MV) [11]. Sistemas MV são utilizados na inspeção automatizada de peças e processos, e engloba sensores e sistemas de processamento da imagem, normalmente externos ao imageador.

Entretanto, a possibilidade de integrar, em um mesmo chip, circuitos de processamento analógico e digital de sinais permite o desenvolvimento de sistemas MV mais compactos e de baixo custo. Tais sistemas, que podem receber a denominação de "Pixels Inteligentes" (*Smart Pixels*), podem empregar técnicas para aumentar a sua faixa dinâmica, o que, aliado às características anteriores, pode expandir a sua aplicabilidade [12].

As aplicações automotivas dos sensores de imagem fazem uso do conceito de MV. Modernos sistemas veiculares de visão computacional para auxílio ao motorista realizam tarefas como reconhecimento de obstáculos e tráfego, auxílio ao estacionamento e prevenção de colisões.

As características de tais sistemas diferem da maioria das aplicações onde se utiliza imageadores a semicondutor. Uma das diferenças é que em muitos casos apenas uma informação parcial obtida a partir da imagem é necessária, e não a imagem completa. Isso simplifica consideravelmente o processamento da informação, reduzindo o tempo de processamento, que pode ser crítico. Devido às características de acesso a áreas de pixels de interesse na matriz, os sensores APS são, portanto, mais indicados que os sensores CCD (onde toda a imagem deve ser adquirida) em tais aplicações.

O uso de sensores com elevada faixa dinâmica neste caso também é necessário, devendo o sistema ser capaz de reconhecer imagens em condições extremas de iluminação, com uma faixa dinâmica típica de seis ordens de grandeza [13].

1.1.4) Aplicações científicas/biomédicas

Há um interesse crescente no desenvolvimento de biosensores de baixo custo, baixo consumo de energia e com alto nível de integração para caracterizar células individualmente, em aplicações como análise de células, desenvolvimento de fármacos, monitoramento ambiental e uso médico. Um sistema deste tipo recebe a denominação *Biolab on a Chip* [14]. Utilizando técnicas bioquímicas bem estabelecidas para induzir o estímulo das células, é possível, em conjunto com o sensor APS, identificar estruturas de interesse em um determinado estudo biológico, utilizando o conceito de *imageador de contato* (*contact imager*). Em tais arranjos, uma determinada cultura de células é posicionada, em um recipiente adequado, sobre o imageador, como mostra a Fig. 1. 2. Estes sistemas oferecem a vantagem do custo e complexidade reduzidos, se comparado aos métodos convencionais de laboratório [15].

Um desafio nestes casos é reduzir os níveis de ruído, implementando sistemas com elevada sensibilidade [16]. A faixa dinâmica é um dos parâmetros de maior importância em sistemas de monitoramento médico, como na endoscopia, onde níveis superiores a 100 dB (juntamente com sensibilidade para distinguir níveis de iluminação da ordem de 1 lux) são usualmente requeridos [17]. Nesta área, o alto nível de integração possível com os sensores CMOS torna a tecnologia adequada para o desenvolvimento de cápsulas para endoscopia, com função de compressão de imagem e transmissão sem fio (*vireless*) implementadas *on-chip* [18].

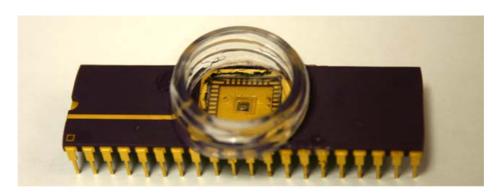


Fig. 1. 2 – Protótipo de um imageador de contato (de [14]).

1.1.5) Aplicações Espaciais

Tipicamente, a atitude de veículos espaciais é determinada por um rastreador estelar (*Star Trackr*). Tal sistema consiste em uma câmera conectada a um sistema computacional. Através da imagem capturada, as estrelas podem ser localizadas e identificadas, de acordo com uma base de dados previamente definida. A orientação do veículo pode assim ser determinada com base nestas observações [19]. Um rastreador estelar moderno é um equipamento autônomo, sendo capaz de determinar a atitude do veículo a partir do reconhecimento de um padrão de constelação no seu campo de visão (FOV – *Field of Vien*), como ilustra a Fig. 1. 3..

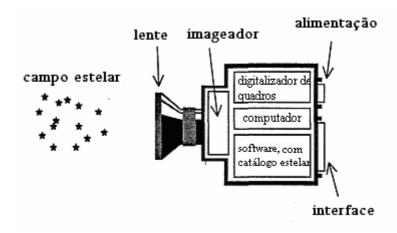


Fig. 1. 3 – Ilustração do funcionamento de um moderno rastreador estelar (adaptado de [19]).

A tecnologia APS vem se mostrando vantajosa em relação à CCD na implementação do imageador do rastreador estelar. Os motivos para o seu uso são:

- O hardware simplificado. Devido à possibilidade de as funções de controle serem implementadas diretamente no chip APS e devido ao uso de um fonte única de alimentação, o uso de um imageador APS atende às necessidades das aplicações espaciais quanto à compactação, menor massa e menor consumo de energia [20]. Além disso, as operações para cálculo do centróide podem ser implementadas on-chip [21-22].
- Redução do ofuscamento: a maioria dos rastreadores CCD não funciona bem com objetos extremamente claros no seu campo de visão, ocorrendo um ofuscamento (blooming) da imagem. Tal problema é reduzido no imageador APS [23].
- Flexibilidade de leitura: durante a fase de rastreamento, o Star Tracker não necessita de analisar todo o campo de visão, mas apenas aqueles onde foram identificadas as estrelas [23]. Devido à possibilidade do APS efetuar a leitura de janelas de interesse

específicas, tal característica pode resultar em um menor esforço computacional para tratamento dos dados fornecidos pelo sensor ou, por outro lado, significar uma maior velocidade de processamento desses dados.

 Resistência à radiação: os circuitos utilizados em foguetes orbitais e satélites estão expostos a radiações ionizantes que podem causar falhas operacionais ou mesmo danificar o seu funcionamento. Sensores CMOS, contudo, são mais tolerantes à radiação que os sensores CCD [24].

De acordo com [25], a exposição de circuitos CMOS à radiação produz efeitos diversos, como: (a) aumento da tensão de limiar dos transistores; (b) redução na mobilidade de portadores; (c) aumento de ruído; (d) aumento da corrente de fuga e criação de transistores parasitas.

Técnicas especiais de layout dos transistores podem levar à implementação de matrizes APS tolerantes à radiação, sem a necessidade de utilizar um processo de fabricação especial, o que vem sendo objeto de estudos por parte do Laboratório de Projeto de Circuitos – LPC da COPPE/UFRJ [25]. Desde 2004, através do Programa UNIESPAÇO da Agência Espacial Brasileira (AEB), o Laboratório tem pesquisado tecnologias APS resistentes à radiação para aplicação em sistemas de navegação e controle de atitude de satélites de órbita baixa (*Low Earth Orbit – LEO*). Trabalhos neste sentido são apresentados em [26-28].

1.2) Motivação e objetivo do trabalho

Em boa parte das aplicações citadas na seção anterior, existe a necessidade de uma elevada faixa dinâmica do imageador. Ao mesmo tempo, deve-se considerar o fato de que, à medida que os processos de fabricação são reduzidos às escalas sub-micrométrica e nanométrica (o que é denominado na literatura de escalamento, ou *scaling* [29]), são reduzidas as tensões de alimentação dos chips. Isso por sua vez tende a reduzir a excursão do sinal da tensão correspondente à intensidade luminosa, o que pode ter implicações na redução da faixa dinâmica.

É de interesse, portanto, um projeto de imageador APS que contorne esta restrição, mantendo, ao mesmo tempo, uma grande relação sinal-ruído (SNR – *Signal to Noise Ratio*), que pode ser associada à sensibilidade do dispositivo. Os requisitos do mercado de

imageadores a semicondutor em relação ao número de pixels, sensibilidade e faixa dinâmica, discutidos em [30], são ilustrados na Fig. 1. 4.

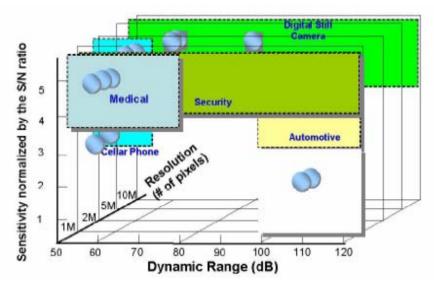


Fig. 1. 4 – Requisitos do mercado em relação à faixa dinâmica, resolução e sensibilidade de imageadores a semicondutor (de [30]).

O objetivo desta tese foi, desta forma, o desenvolvimento de um sensor APS com faixa dinâmica estendida, em tecnologia CMOS padrão, cuja modificação em seu circuito de leitura permita uma maior excursão da tensão de saída. A eletrônica de leitura implementada é externa aos pixels, permitindo a sua utilização com poucas alterações em uma matriz APS convencional.

Acompanhando o conceito de *Camera on Chip*, foi projetado um circuito integrado contendo uma matriz de 64 por 64 pixels, capaz de gerar, de forma autônoma, toda a lógica de geração dos sinais de acesso e leitura dos pixels, a partir de um sinal de clock externo. Metade dos pixels da matriz fornece um sinal analógico de tensão, o que permite avaliar o aumento na excursão do sinal. Para a outra metade da matriz, foi desenvolvido um conversor A/D de 8 bits integrado a um bloco de processamento analógico do sinal, capaz de fornecer as saídas digitais correspondentes aos valores de tensão amostrados.

Além da extensão na faixa dinâmica devido ao aumento na excursão do sinal de saída, foram implementadas no circuito funções que permitem, através do ajuste dos tempos de leitura, um aumento ainda maior da faixa dinâmica. Tais características são também avaliadas nesta tese.

Durante a vigência do Programa UNIESPAÇO, o circuito relatado neste trabalho foi o quarto chip desenvolvido, sendo, portanto, denominado APS IV. Como no APS III,

o chip foi fabricado em tecnologia CMOS padrão, de 0,35 μm. Os APS I e II foram fabricados em tecnologia CMOS padrão, de 0,6 μm.

1.3) Estrutura do trabalho

Esta tese se encontra estruturada em sete capítulos. Nesta introdução, foram apresentadas algumas vantagens da tecnologia APS sobre os sensores CCD, aplicações do APS onde é necessária uma elevada faixa dinâmica e a motivação para o projeto de um sensor APS com faixa dinâmica estendida.

O Capítulo 2 inicia-se com uma apresentação dos parâmetros comuns aos sensores de imagem a semicondutor, propondo a seguir uma revisão nas três principais tecnologias: Charge Coupled Device (CCD), sensor de pixel passivo (PPS – Passive Pixel Sensor) e sensor de pixel ativo (APS – Ative Pixel Sensor). As considerações quanto ao ruído e à faixa dinâmica do APS são também realizadas nesse capítulo.

O Capítulo 3 apresenta uma revisão da bibliografia sobre as tecnologias de expansão da faixa dinâmica em sensores APS.

O Capítulo 4 corresponde à parte mais extensa do trabalho, e apresenta a topologia proposta, descrevendo em detalhe cada bloco constituinte do chip desenvolvido. São realizadas ainda a análise de grandes sinais (análise DC), a análise de pequenos sinais (análise AC) e simulações transientes da nova estrutura.

Os principais resultados experimentais são discutidos no Capítulo 5. No Capítulo 6, é avaliada a faixa dinâmica do imageador, e realizada a discussão sobre os principais resultados obtidos.

Finalmente, as principais conclusões do trabalho, bem como sugestões de trabalhos futuros, são apresentadas no Capítulo 7.

2) Imageadores a Semicondutor

Em comum, os imageadores a estado sólido possuem o princípio que rege a sua resposta à luz: o efeito fotoelétrico. Materiais semicondutores criam um par elétron-buraco mediante a incidência de um fóton. As propriedades do silício determinam, de uma maneira geral, respostas aos comprimentos de onda da luz semelhantes para as diferentes tecnologias. As grandes diferenças iniciam-se na maneira como as cargas fotogeradas serão lidas.

Este capítulo tem por objetivo descrever e comparar as três principais tecnologias de imageadores a semicondutor existentes na atualidade: *charge coupled device* (CCD), sensor de pixel passivo (PPS – *passive pixel sensor*) e sensor de pixel ativo (APS – *ative pixel sensor*). Devido à natureza do estudo em questão, uma ênfase maior será dada aos dispositivos APS. As características de faixa dinâmica destes dispositivos serão discutidas neste capítulo. É necessário, inicialmente, apresentar os principais parâmetros usados para quantificar e comparar o desempenho de diferentes sensores de imagens a semicondutor, de mesma tecnologia ou de tecnologias diferentes, bem como a terminologia utilizada, o que será feito na seção a seguir.

2.1) Parâmetros dos imageadores a semicondutor

2.1.1) Faixa dinâmica

Os níveis de iluminância a que estão sujeitos os sensores óticos podem variar de 10^{-3} lux, no caso de visão noturna, até 10^{5} lux para cenas iluminadas com forte luz solar, podendo até mesmo ir a níveis maiores no caso de exposição direta a uma fonte de luz [31]. A faixa dinâmica (DR – *Dynamic Range*) de um sensor ótico é definida como a razão entre o nível de iluminação que causa saturação do sensor e o nível mínimo detectável. O limite para este nível mínimo será o valor RMS do patamar de ruído lido pelo sensor, de modo que a faixa dinâmica, em decibéis, é formalmente expressa por:

$$DR = 20 \cdot \log \left(\frac{S}{N} \right) \tag{2.1}$$

Onde S é o nível de saturação e N é o valor RMS do patamar de ruído. O olho humano possui uma faixa dinâmica em torno de 90 dB, enquanto dispositivos CCD e APS típicos possuem faixas dinâmicas entre 65 e 75 dB [31]. A faixa dinâmica pode ser

estendida de duas principais maneiras: reduzindo o nível de ruído (o que aumenta a percepção do dispositivo a imagens no escuro) ou expandindo o nível de saturação do sensor (o que aumenta a sua percepção mediante uma maior intensidade de iluminação).

2.1.2) Fator de preenchimento

O fator de preenchimento (FF – *Fill Factor*) é definido como a razão entre a área fotosensível do pixel e sua área total. Fazem parte da área não-fotosensível os elementos da eletrônica de leitura responsáveis por transferir o sinal para os *buffers* ou circuitos de processamento analógico do sensor. Em geral, pixels CCD possuem um maior FF que os pixels CMOS.

2.1.3) Eficiência quântica

A eficiência quântica (QE – *Quantum Efficiency*) é a razão entre os elétrons fotogerados e a quantidade de fótons que incidem sobre a área do pixel.

2.1.4) Ganho de conversão

O ganho de conversão (g) é a medida da relação entre as cargas fotogeradas e a tensão na saída do circuito de leitura.

2.2) Sensores CCD

Os dispositivos CCD tiveram sua origem na década de 1970, nos laboratórios da Bell. A base do pixel CCD é um capacitor MOS que armazena a carga elétrica originada a partir dos fótons incidentes (Fig. 2. 1). Tal carga é proporcional à intensidade luminosa. O imageador CCD consiste em um arranjo linear ou, mais comumente, matricial de pixels, podendo formar matrizes de dimensões elevadas (eg. 4096x4096). Dispositivos da ordem de 63 Megapixels já foram produzidos [32].

2.3.1) Princípio de operação

O dispositivo CCD tem como princípio de operação a transferência de carga de uma célula para outra, após a integração. Tal processo deverá ocorrer simultaneamente em todas as células. Desta forma, o dispositivo CCD opera como um registrador de deslocamento analógico. Diferentes métodos para o processo de transferência de carga podem ser adotados.

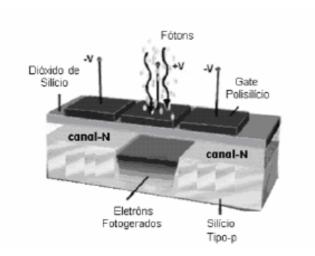


Fig. 2. 1 – O pixel CCD (de [24]).

Uma descrição simplificada pode ser feita com base na Fig. 2. 2. A carga acumulada na matriz após a aquisição da imagem deverá ser deslocada, linha a linha, até o barramento da linha inferior. Neste barramento, as cargas são transferidas, coluna após coluna, em direção a um amplificador de carga, que irá produzir um sinal de tensão de saída proporcional à carga gerada. Este sinal é enviado a um circuito externo de digitalização e processamento da imagem.

Se comparado aos sensores CMOS, o sensor CCD apresenta vantagens como:

- (a) Um alto fator de preenchimento (já que toda a célula CCD está envolvida no processo de acumulação de carga);
- (b) Elevada sensibilidade, requerendo assim menor tempo de integração, além da vantagem proporcionada pelo maior fator de preenchimento;
- (c) Baixos níveis de ruído: sensores CCD apresentam uma menor corrente no escuro que os sensores CMOS, além de apresentar menor ruído estacionário.

As características citadas fizeram do sensor CCD a opção de interesse para diversas aplicações onde uma boa qualidade de imagem fosse requerida, incluindo diversas aplicações científicas [33-34]. No entanto, as desvantagens apresentadas pela tecnologia limitam sua utilização em muitas aplicações. As principais desvantagens da arquitetura CCD são discutidas a seguir.

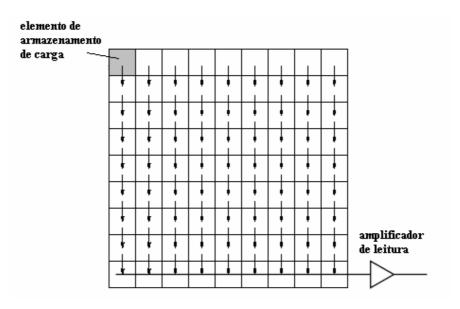


Fig. 2. 2 – Transferência de carga em um CCD.

2.3.2) Desvantagens da arquitetura CCD

A) Processo especializado de fabricação

A essência de operação do CCD é que toda a carga necessita ser transferida, célula a célula. A eficiência de transferência de carga, definida como a razão entre a carga transferida de um pixel para outro a cada ciclo e a carga total acumulada, necessita ter um valor elevado (normalmente superior a 99%), devendo este valor ser mais próximo de 100% à medida em que aumenta a dimensão da matriz de pixels. De fato, devido ao amadurecimento da tecnologia, tais valores para a eficiência de transferência são elevados, mas à custa de um processo de fabricação especializado para a matriz de pixels, o que impede a fabricação de pixels CCD usando tecnologias padrão. Além disso, as características do processo de fabricação dos sensores CCD os torna mais susceptíveis aos efeitos da radiação [35-37].

Um processo de fabricação de matrizes CCD envolve tipicamente uma quantidade maior de máscaras, se comparado com um processo típico de fabricação CMOS. Isto dificulta ou mesmo impossibilita a integração de uma matriz CCD com os circuitos periféricos para a geração de sinais de temporização e controle da transferência de carga. Um circuito para aquisição de imagens CCD exigirá, além do sensor propriamente dito, no mínimo um chip adicional contendo todas as outras funções, que incluem a geração dos sinais de comando.

B) Processo de aquisição de imagens inflexível

Além do processo de fabricação especializado, os sensores CCD necessitam de um sistema de sinais de controle altamente sincronizado para que a transferência célula a célula ocorra. Há o impedimento, portanto, de se fazer a aquisição de "janelas de interesse" (amostragem de apenas uma parte, ou partes específicas, da matriz). Se tal função for desejada, este é um processamento que deverá ser externo ao sensor, a partir de toda a imagem. Os sinais de comando para a transferência de carga implicam ainda em outra desvantagem, a ser considerada a seguir.

C) Consumo de energia

Os sinais para comandar a transferência de carga normalmente devem ser de diferentes níveis de tensão, elevados em relação aos demais componentes do circuito. Tipicamente, sinais da ordem de 10 a 20 Volts são requeridos para executar esta função. Tal necessidade tem uma implicação direta no consumo de energia do dispositivo, além de aumentar a complexidade no projeto das fontes de alimentação do sistema, que deverá fornecer as saídas típicas de alimentação dos chips convencionais (por exemplo, 5 V ou 3,3 V).

2.3) Sensores PPS

A operação do sensor de pixels passivo (PPS – *Passive Pixel Sensor*) baseia-se no princípio da integração de fótons em uma junção *p-n* reversamente polarizada, proposto em 1967 [38]. Cada pixel consiste de um fotodiodo e apenas um transistor (Fig. 2. 3a), que atua como chave durante a seleção do pixel. Quando em condução, o transistor faz com que o sinal do pixel seja transferido para um amplificador de integração de carga (CIA – *Charge Integration Amplifier*), que converte a carga do pixel em um sinal de tensão (Fig. 2. 3b). Assim, o sensor PPS realiza a leitura de cada pixel através de um endereçamento individual do mesmo, ao contrário da arquitetura CCD.

No esquema da Fig. 2. 3b, um dado pixel será endereçado combinando-se a habilitação de um transistor vertical (VMOS), responsável pela seleção da linha, e de um transistor horizontal (HMOS), responsável pela habilitação da coluna.

Devido a uma pequena carga coletada pela capacitância do barramento, o ruído é um problema crítico nos sensores PPS. A capacitância do barramento também limita a implementação de matrizes maiores e com leituras mais rápidas.

Um relato mais recente na literatura de uma matriz PPS pode ser encontrado em [39]. Uma matriz de 256x256 pixels foi implementada, incluindo técnicas para minimizar as não-idealidades do pixel PPS, algumas das quais surgem também no pixel APS, que será abordado a seguir.

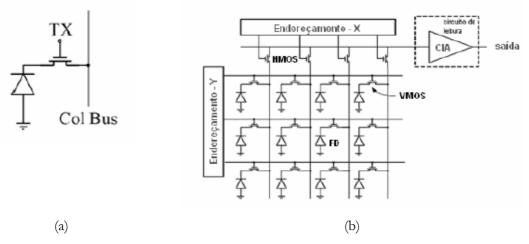


Fig. 2. 3 – Sensor PPS (de . (a) Célula básica; (b) Arquitetura da matriz PPS, com o amplificador de integração de carga.

2.4) Sensores APS

O pixel APS também funciona com base no princípio da fotocorrente, apresentado em [38]. A diferença em relação ao pixel PPS é a presença de um amplificador interno a cada pixel, que proporciona ganho de carga entre o fotodetector e um circuito de leitura e/ou processamento analógico de sinais situado ao final de cada coluna, como ilustra o diagrama da Fig. 2. 4.

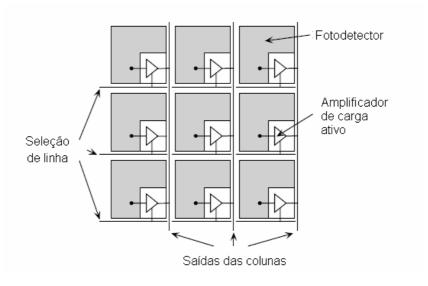


Fig. 2. 4 – Princípio básico do sensor APS.

Mais especificamente, o imageador APS será composto da matriz de pixels e das lógicas de seleção de linha e coluna, como ilustra a Fig. 2. 5. A leitura das colunas pode ser seqüencial ou paralela, dependendo da lógica implementada. O sinal do pixel selecionado é aplicado, na base das colunas, a um circuito de processamento analógico de sinal. Basicamente, o processador analógico corresponde aos circuitos de amostragem e retenção (S/H – Sample and Hold) e de amostragem dupla correlacionada, destinados a reduzir o ruído estacionário, uma figura importante na análise de dispositivos APS, e que será abordada na próxima seção.

Um chip APS poderá ainda ser dotado das funções de temporização e controle e de conversão analógica-digital da imagem, como mostra a figura (sendo, portanto, um sistema integrado, ou SoC – *System on Chip*). Tais funções não são necessariamente implementadas em todos os chips APS, podendo ser realizadas externamente. Variações na estrutura da Fig. 2. 5 são possíveis, como, por exemplo, o uso de um único conversor A/D (por razões de redução de consumo de energia e/ou redução de área do chip). Neste caso, faz-se necessário o uso de multiplexadores analógicos para selecionar a coluna cujo sinal será digitalizado.

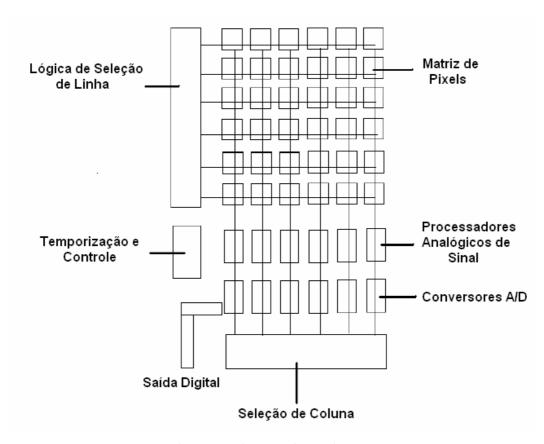


Fig. 2. 5 – Diagrama da matriz APS.

2.4.1) Estrutura do Pixel

A estrutura de um pixel APS convencional encontra-se na Fig. 2. 6. O pixel é composto de um transistor de Reset (M_{RST}), um transistor de leitura (M_{RD}) e um transistor de seleção (M_{SEL}). Devido à presença dos três transistores, tal configuração é denominada *pixel 3T*. Normalmente, o transistor de seleção (que opera como chave analógica) é utilizado para seleção de linha (*Row Select*), sendo o transistor de polarização (M_B) comum a todos os pixels da coluna. M_B copia uma corrente de polarização de referência, omitida na figura por simplicidade. Uma lógica com o sinal de Reset pode ser implementada de modo que o transistor de seleção seja um transistor de seleção de coluna (*Column Select*), sendo a linha selecionada pelo sinal de Reset, como em [28]. Neste caso, o transistor de polarização será comum a toda a matriz, ou a um grupo de colunas da matriz. Considerando que o transistor de seleção esteja ligado, tem-se então uma configuração típica de um circuito seguidor de fonte (SF – *source follwer*), formado pelo transistor de leitura e o transistor de polarização, na base da coluna.

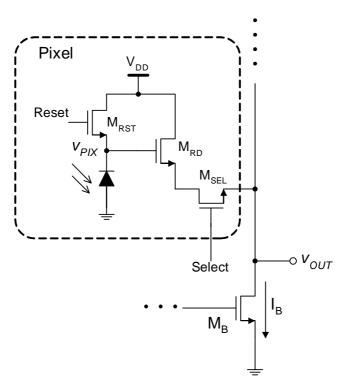


Fig. 2. 6 – O pixel APS 3T convencional.

Uma junção p-n (representada pelo fotodiodo) é reversamente polarizada quando o transistor M_{RST} é ligado, correspondendo ao Reset do pixel. Quando aplicado o pulso de Reset, o valor da tensão v_{PIX} será de aproximadamente $V_{DD} - V_{tn,RST}$, onde $V_{tn,RST}$ é a tensão de limiar (V_{tn}) do transistor de Reset, sendo este dispositivo normalmente um MOSFET de

canal N (NMOS). $V_{tn,RST}$ será afetada pelo efeito de corpo, devido a M_{RST} não ter seu terminal de fonte aterrado. Para a tecnologia AMS (*Austria Microsystems*) 0.35 [40], o valor de v_{PIX} no Reset situa-se em torno de 2,5 V.

Usando-se MOSFETs de canal P (PMOS), seria possível estabelecer uma tensão de Reset igual a V_{DD}. Contudo, devido a M_{RST} se encontrar dentro do pixel, há a preocupação em se minimizar a sua área, fato que leva à escolha de um NMOS, visto que um PMOS exigiria a criação de um poço N, *NWELL* (para tecnologias de poço N, como a citada). Para a tecnologia AMS 0.35, as distâncias mínimas da camada de difusão do dispositivo PMOS às bordas do poço tomariam uma área relativamente grande do pixel para o transistor [41].

2.4.2) O elemento fotosensor

Em um processo CMOS padrão, diferentes junções p-n podem ser usadas como elementos fotosensores. A resposta das diferentes junções varia com os comprimentos de onda incidentes [42]. A Fig. 2. 7 ilustra quatro dos mais comuns fotodetectores usados em tecnologias CMOS: (a) fotodiodo poço-substrato; (b) fotodiodo difusão-substrato; (c) fotodiodo poço-difusão; (d) fototransistor bipolar vertical. Uma descrição mais detalhada destas e de outras estruturas pode ser encontrada em [43].

O diodo poço-substrato (a) possui a melhor resposta espectral à luz visível, se comparado a outras estruturas de fotodiodos, devido à largura e profundidade de sua região de depleção [43]. Possui ainda a menor capacitância, o que permite a construção de fotodiodos com elevada sensibilidade. Foi o fotodiodo escolhido para o projeto de uma matriz APS desenvolvida no LPC [28]. Sua desvantagem é a sensibilidade ao ruído de substrato.

2.4.3) Integração da Fotocorrente

Após a retirada do sinal de Reset, a capacitância da junção p-n, inicialmente carregada com a tensão V_{DD} – V_{tn} , passa a se descarregar, devido à fotocorrente I_{ph} , conforme o circuito equivalente da Fig. 2. 8, sendo I_{ph} dada pela expressão

$$I_{ph} = \frac{q\eta A_D L_{io} \lambda}{hc} \quad . \tag{2. 2}$$

Onde λ é o comprimento de onda, L_{io} é a intensidade da luz incidente (W/m²), η é a eficiência quântica do fotodiodo, q é a carga do elétron (1,602 x 10⁻¹⁹ C), h é a constante

de Planck (6,62 x 10^{-34} Js), A_D é a área fotosensível do pixel e c é a velocidade da luz no espaço (3 x 10^8 m/s). A equação mostra uma relação linear entre a fotocorrente e a intensidade da luz incidente, para um dado comprimento de onda [43].

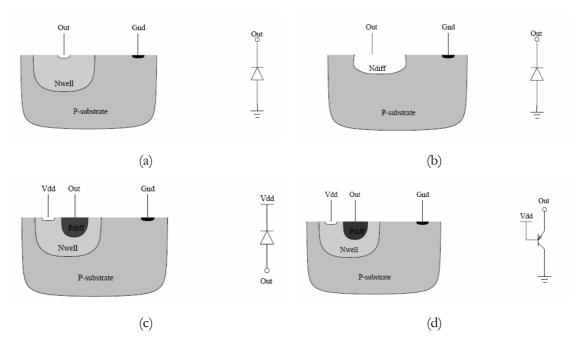


Fig. 2. 7 – Tipos mais usuais de fotodetectores (de [42]): (a) fotodiodo poço-substrato; (b) fotodiodo difusão-substrato; (c) fotodiodo poço-difusão; (d) fototransistor bipolar vertical.

Considerando t = 0 o instante de tempo imediatamente após a retirada do sinal de Reset, tem-se a expressão para v_{PIX} em função do tempo, dada por

$$V_{PIX}(t) = V_{PIX}(0) - \frac{1}{C_{PIX}} \int_{0}^{t} I_{ph} d\lambda.$$
 (2. 3)

Onde C_{PIX} é uma capacitância que corresponde, aproximadamente, à soma da capacitância do fotodiodo (C_{PD}) com a capacitância de *gate* do transistor de leitura e a capacitância de fonte do transistor de Reset.

O valor da tensão após a retirada do pulso de Reset, $v_{PIX}(0)$, é um valor inferior a $V_{DD} - V_{tn}$, devido à injeção de cargas. Imediatamente após a retirada do sinal de Reset, parte dos portadores (elétrons) armazenados no canal de M_{RST} flui em direção ao catodo do fotodiodo, que se encontra carregado positivamente. Isto resulta na redução da carga total em C_{PD} , refletindo-se na redução da tensão no instante t = 0.

Na completa ausência de iluminação, a capacitância do pixel é descarregada lentamente por uma corrente de fuga, denominada corrente no escuro (dark current),

modelada pela fonte de corrente I_{dark} na Fig. 2. 8. A corrente no escuro é um parâmetro de importância na determinação da faixa dinâmica do circuito.

A forma de onda de v_{PIX} é, desse modo, uma rampa decrescente, como ilustra a Fig. 2. 9 para dois valores diferentes de I_{ph} ($I_{ph2} > I_{ph1}$). Para um instante T_{int} específico, temse, de (2. 3) o valor de v_{PIX} , dado por

$$V_{PIX}(T_{\text{int}}) = V_{PIX}(0) - \frac{1}{C_{PIX}} \int_{0}^{T_{i}} I_{ph} dt.$$
 (2.4)

Com

$$q(T_{\text{int}}) = \int_{0}^{T_{i}} I_{ph} dt.$$
 (2. 5)

Onde $q(T_{int})$ é a carga total integrada pelo fotodiodo no período T_{int} , denominado, desta forma, período de integração ou tempo de integração. O valor de v_{PIX} em T_{int} será igual a seu valor após Reset menos uma tensão proporcional à carga integrada neste período. Esta, por sua vez, é proporcional à fotocorrente e à intensidade luminosa, o que leva o pixel APS tipo fotodiodo a ser denominado APS linear (ou APS integrador, devido à característica de integração da fotocorrente).

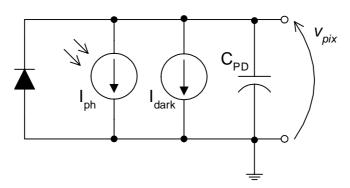


Fig. 2. 8 – Circuito equivalente do fotodiodo.

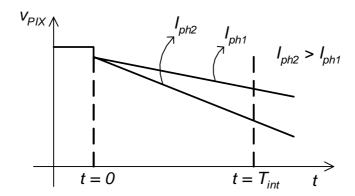


Fig. 2. 9 – Formas de onda de VPIX para diferentes valores de Iph.

Na realidade, as formas de onda de v_{PIX} durante o período de integração não são exatamente segmentos de retas, devido à característica *não-linear* de C_{PD} . A capacitância do fotodiodo é dependente da tensão v_{PIX} , sendo a aproximação linear válida para um entendimento inicial do funcionamento do pixel, tomando-se um valor médio para C_{PD} . As considerações para C_{ph} não-linear serão apresentadas no Capítulo 5 desta tese.

A inclinação das curvas da Fig. 2. 9 será influenciada por C_{PD} (desprezando a capacitância de gate de M_{SF} e a capacitância de fonte de M_{RST}). Quanto menor o valor de C_{PD} , maior será a inclinação das curvas e, com isso, maior a sensibilidade do pixel, podendo ser utilizado um menor valor para T_{int} (o que implica em uma maior velocidade de transferência de dados).

Devido à característica integradora do pixel, um valor pequeno para T_{int} pode levar a uma menor sensibilidade do pixel, especialmente para baixos níveis de iluminação, como ilustra a Fig. 2. 10a. Um valor maior para T_{int}, por outro lado, pode levar o capacitor a se descarregar totalmente, especialmente para elevados níveis de iluminação, o que caracteriza a *saturação* do pixel (Fig. 2. 10b).

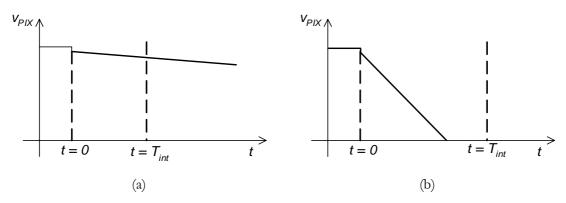


Fig. 2. 10 – Formas de onda de v_{PIX} para diferentes valores de I_{ph}. (a) Baixa iluminação (baixa sensibilidade); (b) Altos níveis de iluminação (saturação)

É comum na literatura representar a carga integrada pelo sensor (geralmente expressa em elétrons), ao invés da tensão no pixel [44]. A Fig. 2. 11 mostra a carga integrada para um dado tempo de integração $T_{\rm int}$, para duas fotocorrentes $I_{\rm ph1}$ e $I_{\rm ph2}$. Para $I_{\rm ph2}$, houve a integração da carga máxima $Q_{\rm máx}$ antes do instante $T_{\rm int}$, o que caracteriza a saturação do sensor. Esta carga máxima está relacionada à capacidade total do pixel (referida como *full well capacity*).

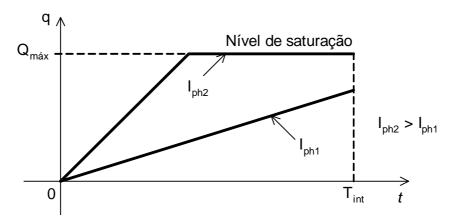


Fig. 2. 11 – Representação da carga integrada.

2.4.4) Leitura do Pixel

Um dado pixel da matriz APS será lido mediante uma lógica dos sinais de Reset e de seleção, como ilustra a Fig. 2. 12. Após a retirada do sinal de Reset, o sinal de seleção do pixel (*Select*) é ativado, conectando o pixel de interesse ao barramento de coluna. A leitura do pixel se dá após o período de integração T_{int} . Todavia, v_{PIX} não está acessível diretamente, devido à presença do transistor de leitura. Deste modo, será v_{OUT} o sinal a ser lido em T_{int} .

A expressão para v_{OUT} em função de v_{PIX} é dada por

$$V_{OUT} = V_{PIX} - V_{tn,RD} - V_{sat,RD}. \tag{2.6}$$

Onde $V_{\text{sat,RD}}$ e $V_{\text{tn,RD}}$ são, respectivamente, as tensões de saturação e de limiar de M_{RD} . Tal como ocorre com M_{RST} , M_{RD} não tem seu terminal de fonte aterrado, sendo $V_{\text{tn,RD}}$ afetada pelo efeito de corpo. Para um NMOS qualquer [45], a expressão da tensão de limiar levando em consideração o efeito de corpo é

$$V_{tn} = V_{tn0} + \gamma \left(\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right).$$
 (2. 7)

Sendo γ é o parâmetro de efeito de corpo, V_{SB} a tensão fonte-corpo, Φ_f o potencial de Fermi ($2\Phi_f \cong 0.7 \text{ V}$) e V_{tn0} é a tensão de limiar para $V_{SB}=0$ (~0,5 V, para a tecnologia AMS 0.35 [40]). No circuito da Fig. 2. 6, sendo a tensão fonte-corpo de M_{SF} igual a V_{OUT} , tem-se, para $V_{tn,RD}$:

$$V_{tn,RD} = V_{tn0} + \gamma \left(\sqrt{2\phi_f + V_{OUT}} - \sqrt{2\phi_f} \right). \tag{2.8}$$

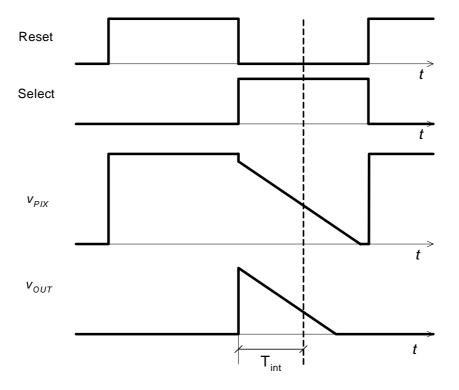


Fig. 2. 12 – Sinais do pixel.

De acordo com (2. 6) e (2. 8), tem-se maiores valores de $V_{tn,RD}$ para maiores de v_{PIX} . A excursão máxima da tensão de saída, ΔV_{OUT} , será, portanto, dada por

$$\Delta V_{OUT} = (V_{DD} - V_{tn,RST} - V_{tn,RD} - V_{sat,RD}) - V_{ov,B}$$
(2. 9)

Onde $V_{ov,B}$ é a tensão de *overdrive* do transistor de polarização. Entende-se por tensão de *overdrive* a mínima tensão dreno-fonte (V_{DS}) que pode ser alcançada em um dado transistor para que este não entre em região de operação linear. Teoricamente, tanto V_{sat} como V_{ov} são obtidas, para um transistor NMOS, a partir da expressão

$$V_{sat} = V_{ov} = \sqrt{\frac{2 \cdot I_B}{k_n'(W/L)}}$$
 (2. 10)

Para dispositivos com pequenas geometrias (havendo, portanto, os efeitos de canal curto e canal estreito, como nos transistores empregados), V_{ov} é normalmente menor que V_{sat} . Tipicamente, o circuito é projetado para que V_{sat} e V_{ov} sejam mantidas em torno de uma a duas centenas de milivolts. $V_{tn,RST}$ e $V_{tn,RD}$ correspondem às tensões de limiar de M_{RST} e M_{RD} no instante de Reset.

O circuito da Fig. 2. 13 representa o seguidor de fonte empregado na leitura do pixel (f. Fig. 2. 6). O capacitor C_L ligado à saída representa as capacitâncias dos blocos usualmente ligados à saída do SF, como um amplificador ou dispositivos de amostragem e retenção (S/H – Sample and Hold). O transistor de Reset e o fotodiodo foram substituídos por uma fonte de tensão ideal (V_{PIX}), e o transistor de seleção (M_{SEL}) encontra-se permanentemente habilitado.

A simulação DC para este circuito é mostrada na Fig. 2. 14, tendo sido empregado o modelo de NMOS para a tecnologia AMS 0.35. Da simulação, foi obtida uma tensão de saída de aproximadamente 1,54 V para $V_{PIX}=2,5$ V. Sendo a tensão de *overdrive* do transistor de polarização (M_B) próxima de 100 mV, tem-se $\Delta V_{OUT}\cong 1,44$ V, correspondendo assim a aproximadamente 44% do valor da tensão de alimentação (3,3 V). A figura também mostra a variação da tensão de limiar V_{tn} para o transistor de leitura (M_{RD}), chegando este valor a aproximadamente 850 mV quando $V_{PIX}=2,5$ V.

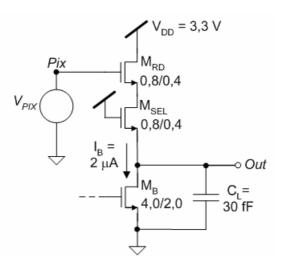


Fig. 2. 13 – Circuito seguidor de fonte.

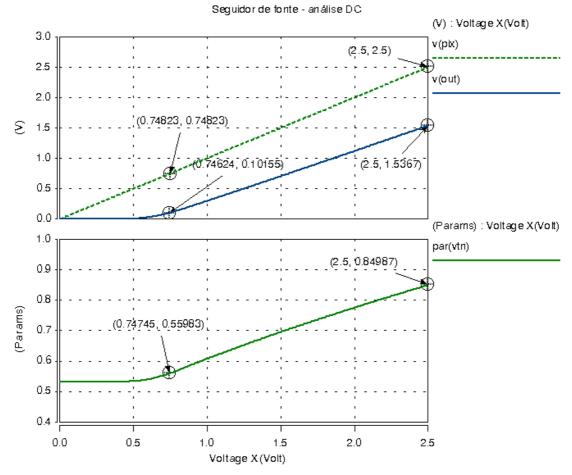


Fig. 2. 14 – Simulação DC de V_{PIX} e V_{OUT} , para o circuito da Fig. 2.13 (gráfico superior). No gráfico inferior, é mostrada a variação de V_{tn} para M_{RD} , ao longo da excursão de V_{PIX} .

A redução progressiva das tensões de alimentação à medida em que os processos litográficos reduzem o comprimento de canal dos transistores não tem sido acompanhada de redução nos valores de V_{tn} na mesma proporção, como discutido em [29]. Para o caso de dispositivos APS, isso implica em uma redução progressiva na excursão proporcional do sinal (comparado à tensão de alimentação).

Para ilustrar este efeito em outras tecnologias submicrométricas, o circuito da Fig. 2. 13 foi simulado utilizando modelos preditivos de transistores NMOS para as tecnologias de 0,18 μ m ($V_{DD}=1,8$ V, $V_{tn0}=0,3999$ V) e 0,13 μ m ($V_{DD}=1,3$ V, $V_{tn0}=0,332$ V), encontrados em [46]. Os parâmetros do circuito foram ajustados de modo a garantir valores típicos de V_{sat} e V_{ov} para os transistores (próximos de 100 mV), além de manter uma coerência com os valores de projeto para a tecnologia 0,35 μ m, ou seja, valores de W/L um pouco maiores que os mínimos. A capacitância de carga permanece inalterada, visto não ter influência sobre a análise DC. Os parâmetros utilizados para as duas tecnologias são mostrados na Tab. 2.1.

Tab. 2.1 – Parâmetros do circuito da Fig. 2.12 para outros processos de fabricação	Tab. $2.1 - 1$	Parâmetros de	o circuito d	la Fig. 2.12 1	para outros	processos de	e fabricação.
--	----------------	---------------	--------------	----------------	-------------	--------------	---------------

Processo	0,18 μm	0,13 μm
$V_{\mathrm{DD}}{}^{1}$	1,8 V	1,3 V
V_{tn0}	0,3999 V	0,332 V
W/L para M _{RD} , M _{SEL}	0,4/0,2	0,3/0,15
W/L para M _B	0,5/0,5	0,5/0,5
I_B	2 μΑ	1,2 μΑ
V _{PIX} (máx)	1,3 V	0,9 V

Os resultados da simulação DC são mostrados na Fig. 2. 15 para a tecnologia 0,18 µm e na Fig. 2. 16 para a tecnologia 0,13 µm. Da análise, os resultados relativos à excursão do sinal foram:

- Para a tecnologia 0,18 μ m: $\Delta V_{OUT} \cong 610 \text{ mV}$ (34% de V_{DD});
- Para a tecnologia 0,13 μ m: $\Delta V_{OUT} \cong 360 \text{ mV}$ (28% de V_{DD}).

O que confirma a degradação na excursão do sinal com a redução dos níveis de tensão de alimentação para os processos submicrométricos.

Os valores de V_{DD} usados nestas simulações são baseados nos tipicamente encontrados na literatura para estas tecnologias, podendo haver variações dependendo do processo ou da aplicação [29]. Por vezes, um processo é utilizado na construção de sensores APS destinados a operar em níveis de tensão de alimentação *menores* que os tipicamente especificados para aquela tecnologia, como em dispositivos projetados para equipamentos portáteis. Neste caso, o efeito de V_{tn} na redução de ΔV_{OUT} se torna mais crítico.

Se, por exemplo, o sensor APS 3T típico da Fig. 2. 6 fosse implementado utilizando um processo comercial 0,25 μ m (tipicamente designado para alimentação de 2,5V ou 1,8 V) para alimentação de 1,0 V, como citado em [47], .o valor típico de V_{tn} para aquele processo (450 mV) tornaria inviável tal implementação, já que, de acordo com (2. 9), ΔV_{OUT} seria menor que V_{DD} de pelo menos $2.V_{tn}$ (isto sem considerar o efeito de corpo e as tensões de saturação e *overdrive* dos transistores de leitura e polarização, respectivamente). Nesta referência, contudo, é descrita uma topologia especial que permite uma excursão do sinal próxima de V_{DD} , a qual é objeto de análise no Capítulo 3.

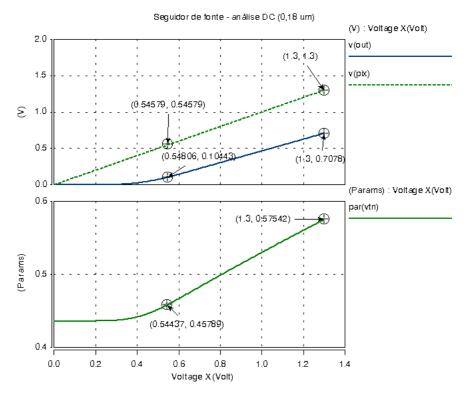


Fig. 2. 15 – Simulação DC de V_{PIX} , V_{OUT} , e V_{tn} , para o circuito da Fig. 2.12, na tecnologia 0,18 μ m (ver parâmetros na Tab. 2.1).

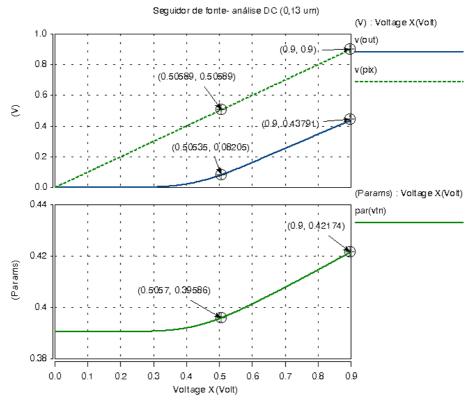


Fig. 2. 16 – Simulação DC de V_{PIX} , V_{OUT} , e V_{tn} , para o circuito da Fig. 2.12, na tecnologia 0,13 μm (ver parâmetros na Tab. 2.1).

2.5) Considerações sobre ruído em sensores APS

O entendimento e uma adequada modelagem sobre as diferentes fontes de ruído em imageadores APS são fatores importantes para o desenvolvimento da tecnologia. Algumas dessas fontes apresentam uma contribuição maior para a degradação da imagem em sensores APS que nos sensores CCD. Em parte, o processo de fabricação especializado dos sensores CCD (que é uma desvantagem para as aplicações onde seja necessário integrar a eletrônica de leitura e processamento no mesmo sensor) reduz ou até mesmo elimina contribuições de ruído que são significativas nos sensores APS, o que torna por vezes os sensores CCD preferíveis aos APS em aplicações científicas [48]

Os componentes de ruído em cada etapa de uma matriz APS, como a ilustrada na Fig. 2. 5, podem ser discriminados no diagrama da Fig. 2. 17 [49]. O fluxo de conversão dos fótons até a saída digitalizada possui etapas não-presentes nos sensores CCD. Nos dispositivos APS, o amplificador de pixel (seguidor de fonte) e o circuito comum a toda a coluna (polarização dos seguidores de fonte) são estágios que também recebem contribuições das fontes de ruído. Deve-se frisar, contudo, que as demais etapas do fluxo ilustrado na figura possuem consideráveis diferenças para os dois tipos de sensor.

O ruído em sensores de imagem pode ser dividido em dois grupos:

- Ruído randômico;
- Ruído estacionário, ou de padrão fixo.

A meta de minimizar o ruído em cada etapa do sensor APS é necessária não apenas para se obter uma imagem de boa qualidade, mas para maximizar também a faixa dinâmica do sensor, o que é um dos objetivos deste trabalho. O mínimo sinal detectável terá que ser maior que o patamar de ruído do imageador, conforme relaciona a Fig. 2. 18. Assim, reduzir o ruído implica em aumentar a sensibilidade do sensor para baixos níveis de iluminação. Mantendo-se o mesmo nível que causaria a saturação, tem-se o aumento da faixa dinâmica do dispositivo.

O ruído de quantização, última contribuição na cadeia de captura da imagem (não sendo obrigatoriamente implementado *on-chip*) é intrínseco a qualquer processo de conversão analógica-digital. As fontes de ruído randômico podem ser consideradas as fontes de ruído "reais", por serem randômicas no tempo e modeladas por distribuições estatísticas [50-52]. Já o ruído de padrão fixo se refere a artefatos variáveis de um pixel para outro (ou de uma coluna para outra), mas invariantes no tempo, que podem ser notados

pelo observador da imagem. Uma breve descrição destas fontes de ruído é apresentada a seguir.

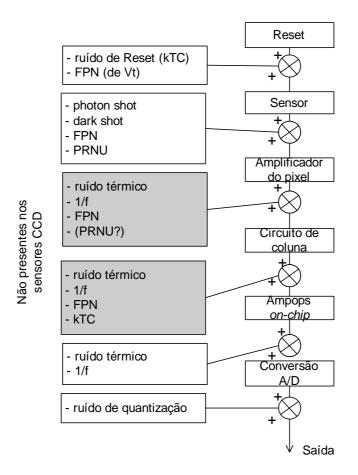


Fig. 2. 17 – Componentes de ruído em uma matriz APS (adaptado de [49]).

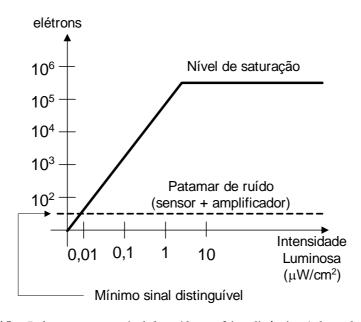


Fig. 2. 18 – Relação entre o nível de ruído e a faixa dinâmica (adaptado de [49]).

2.5.1) Ruído temporal

As contribuições das fontes de ruído temporal mostradas na Fig. 2. 17 são discutidas a seguir.

A) Ruído térmico e ruído de flicker (ou ruído 1/f)

As fontes primárias de ruído nos amplificadores dos pixels são o ruído térmico e o fuído de *flicker*, também denominado ruído 1/f, por sua intensidade ser inversamente proporcional à freqüência. O ruído 1/f pode ser bastante reduzido mediante duas amostragens rápidas do pixel. O ruído térmico pode ser suprimido limitando a banda passante do amplificador, o que geralmente é o caso, devido às cargas capacitivas na saída do amplificador [53].

B) Ruído de Reset e Ruído Shot

No Reset, o que ocorre é a carga da capacitância do fotodiodo por um MOSFET (o transistor de Reset), o que significa que existe uma capacitância sendo carregada através da resistência "On" do transistor (Fig. 2. 19a), sendo o circuito equivalente CA mostrado na Fig. 2. 19b. O valor RMS da tensão v_{out} será

$$V_{out} = \sqrt{4kTBR} \tag{2.11}$$

Onde k é a constante de Boltzmann 1,381 x 10^{-23} J/K, T é a temperatura absoluta (K), e B é a banda passante do circuito, sendo B dada por

$$B = \frac{\pi}{2} f_0 = \frac{1}{4RC}$$
 (2. 12)

Substituindo (2. 12) em (2. 11), tem-se o valor RMS da tensão relativa ao ruído de Reset, dado por

$$\langle V_{out} \rangle = \sqrt{\frac{kT}{C}}$$
 (2. 13)

Razão pela qual o ruído de Reset também é chamado Ruído kT/C (escrito às vezes apenas como ruído kTC).

O ruído conhecido como ruído *shot* (*Shot Noise*) provém do fato da detecção de fótons ser um processo de natureza randômica, obedecendo a uma distribuição de Poisson [53].

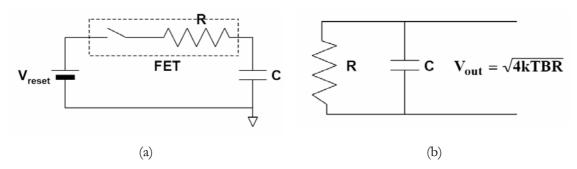


Fig. 2. 19 – Circuitos equivalentes para o ruído de Reset. (a) Capacitância do fotodiodo carregada através da resistência do MOSFET; (b) Circuito equivalente AC.

2.5.2) Ruído de padrão fixo (FPN - Fixed Pattern Noise)

Um sensor de imagem ideal deve produzir o mesmo sinal de saída para cada pixel, se a matriz for submetida a uma iluminação uniforme, como ilustra a Fig. 2. 20a. No entanto, variações no formato dos detectores, alterações na dopagem do semicondutor e de outros parâmetros de processo, e de características dos transistores (como largura, comprimento, ganho de transcondutância e tensão de limiar), podem levar a uma variação da resposta de um pixel para outro, conforme ilustrado na Fig. 2. 20b. Estes artefatos podem ser denominados como *ruído de padrão fixo* (em inglês, *Fixed Pattern Noise* – FPN), sendo invariantes no tempo.

Na literatura, a sigla FPN é usada para especificar a componente do ruído estacionário presente no caso de total ausência de iluminação, estando, portanto, relacionado à corrente no escuro. Os artefatos invariantes no tempo que dependem da iluminação são classificadas como outro tipo de ruído estacionário, denominado PRNU (*Photo Response Non-Uniformity*) [49]. A PRNU depende também da espessura da camada de passivação (*overlayer*), da intensidade da luz incidente e do seu comprimento de onda, sendo, portanto, dependente do espectro.

Em várias referências, no entanto, considera-se que o FPN é o ruído total de natureza invariante no tempo, e pode ser decomposto em duas partes: a PRNU e uma contribuição no caso de ausência de iluminação, denominada *dark-FPN* ou DSNU (*Dark Signal Non-Uniformity*) [43]. Esta segunda interpretação foi a adotada neste trabalho.

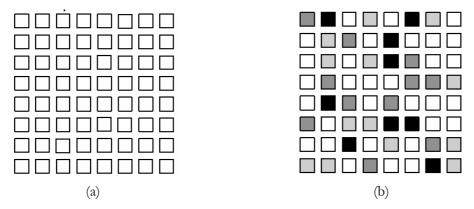


Fig. 2. 20 – Ilustração da resposta da matriz para um nível uniforme de iluminação.

(a) Ideal; (b) Resposta devida ao ruído estacionário.

Devido às imperfeições do processo de litografia, o FPN será causado, nos imageadores CMOS, pelos seguintes fatores:

- Geometria do fotodiodo (por exemplo, a área A_D);
- Variações da corrente no escuro, I_{dark};
- Variações nos parâmetros do transistor (V_{tn}, W, L, C_{ox});
- Variações na resistência "On" do transistor de seleção (r_{ds}), desprezada na maioria das análises.
- Variações na corrente de polarização (I_{bias}), sendo este fator o causador de de variações de uma coluna para outra).

A Fig. 2. 21 mostra as possíveis fontes de FPN em um circuito APS.

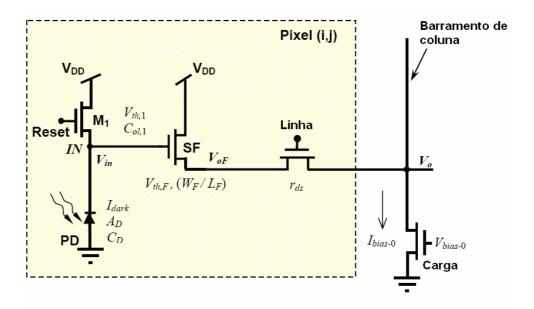


Fig. 2. 21 – Possíveis fontes de FPN em um circuito APS (de [43]).

O FPN é tido como a principal causa de degradação da imagem nos sensores APS. Devido à sua característica de ser invariante no tempo, técnicas usadas para remoção do ruído temporal, como a média entre diferentes quadros sucessivos (*frame averaging*) não são eficientes para a remoção do ruído estacionário [49].

Em um imageador APS linear, o efeito do FPN será um *Offset* na curva de v_{OUT} , como mostra a simulação da Fig. 2. 22, para uma variação na razão de aspecto de M_{RD} (ver Fig. 2. 6). Se v_{OUT} for amostrado imediatamente após a retirada do pulso de Reset, além da amostragem após o período de integração, a diferença entre os dois valores de tensão se manterá constante, e corresponderá à carga integrada a partir da fotocorrente I_{ph} . Esta estratégia de processamento analógico é denominada *amostragem dupla correlacionada* (CDS – *Correlated Double Sampling*) [54]. O circuito CDS é mostrado na Fig. 2. 23, onde SHR e SHS são os sinais lógicos que comandam dois circuitos de amostragem e retenção (S/H – *Sample and Hold*) que amostram v_{OUT} após o Reset e após o período de integração, respectivamente. Tem-se, então, os sinais v_{RST} e v_{SIG} que, subtraídos (analógica ou digitalmente), representam o sinal do pixel corrigido do FPN. As chaves analógicas comandadas por Col_Sel serão utilizadas no caso de multiplexação analógica.

A amostragem dupla correlacionada não elimina as não-uniformidades entre colunas (causadas, por exemplo, por variações nos transistores de polarização). Uma técnica denominada *Delta Difference Sampling* (DDS) pode ser empregada para reduzir o FPN entre colunas, como pode ser verificado em [55].

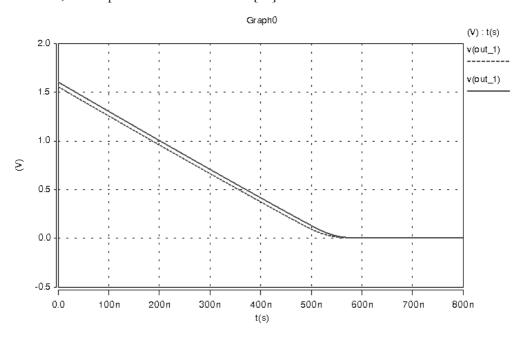


Fig. 2. 22 – Simulação das variações em *v*_{OUT} devido ao FPN.

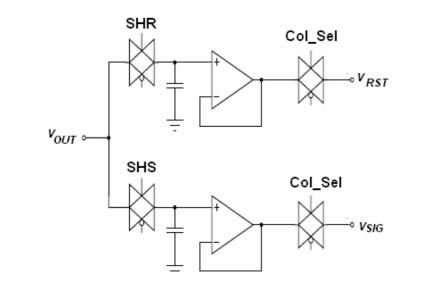


Fig. 2. 23 – Circuito de amostragem dupla correlacionada (CDS).

2.5.3) Ruído e escalamento

Deve-se ressaltar que, além de reduzir a excursão proporcional da tensão de saída no seguidor de fonte, como mostrado no Item 2.5.4, o escalamento do sensor (a redução da tensão de alimentação/processo de fabricação) não reduz as contribuições de ruído. Pelo contrário, contribuições para a degradação do sinal antes desprezíveis se tornam relevantes à medida que diminui o comprimento de canal dos transistores, como é o caso da corrente de *gate* [29]. Devido à redução no comprimento da camada de óxido, uma corrente entre *gate* e fonte surge por efeito de tunelamento, implicando em uma condutância em paralelo com a capacitância de *gate*. Esta corrente contribui para a corrente total no escuro do pixel, a qual terá implicação decisiva no ruído e na faixa dinâmica do sensor, como será estudado no Capítulo 6. Na realidade, esta é apenas uma das restrições impostas não apenas ao projeto de sensores APS, mas ao projeto de qualquer circuito analógico CMOS em tecnológicas ultra-submicrométricas (0,18 µm ou menores) [56].

Torna-se importante, desta forma, maximizar a excursão do sinal de modo a compensar os efeitos destas diferentes contribuições de ruído, que vão se tornando mais significativas com a redução dos níveis de tensão, o que é o objetivo deste trabalho.

2.6) Conclusão

Este capítulo abordou as principais tecnologias de imageadores a semicondutor (CCD, PPS e APS), com uma maior ênfase na arquitetura APS, a estrutura do pixel 3T e seu modo de operação. Foi enfatizada a redução progressiva na excursão do sinal, proporcionalmente ao nível de tensão de alimentação, com o avanço dos processos submicrométricos de fabricação.

Foi realizada uma abordagem, prioritariamente qualitativa, sobre as principais fontes de ruído em imageadores APS, destacando-se o FPN, considerado a maior fonte de ruído nestes dispositivos.

A faixa dinâmica, definida como a razão entre o nível de iluminação que causa saturação do sensor e o nível mínimo detectável, é um dos parâmetros de importância na análise de dispositivos APS, sendo objetivo deste trabalho a proposta de um sensor com elevada faixa dinâmica. Uma revisão sobre estruturas com elevada faixa dinâmica será realizada no capítulo subsequente.

3) Imageadores APS com faixa dinâmica estendida

Este capítulo tem por objetivo realizar uma revisão bibliográfica acerca de dispositivos APS com faixa dinâmica estendida. A faixa dinâmica é uma figura de mérito de importância no estudo de imageadores a semicondutor, e muitas soluções têm sido propostas no intuito de melhorar tal parâmetro. As mais importantes em relação ao trabalho desenvolvido serão tratadas neste texto. Alguns imageadores com elevada faixa dinâmica possuem um princípio de operação diferente do pixel integrador, e serão abordados mais sucintamente. Dentre estes, estão as diferentes implementações de pixels logarítmicos.

As técnicas para aumentar a faixa dinâmica do pixel em dispositivos APS lineares são divididas, neste trabalho, em duas categorias: (a) alteração na estrutura do pixel e do circuito de leitura; (b) alteração no modo de leitura. Pode-se ainda, em alguns casos, ter uma combinação destas duas categorias. Ressalta-se que, para uma implementação integrada, uma alteração no modo de leitura do sensor implicará em alguma alteração no circuito de leitura, endereçamento e/ou aquisição, e não apenas no processamento do sinal em si.

3.1) Pixel logarítmico

O pixel logarítmico, mostrado na Fig. 3.1, é um pixel APS *não-integrador*, visto que a tensão v_{PIX} será relacionada à fotocorrente I_{ph} de forma logarítmica. Ou seja, uma variação linear na tensão de pixel corresponderá ao logaritmo da variação de iluminação. Isto faz com que o pixel logarítmico tenha uma faixa dinâmica que cobre mais de seis ordens de grandeza de intensidade da luz incidente [57].

O pixel logarítmico típico também é composto por 3 transistores. No lugar do transistor de Reset encontra-se um transistor na configuração diodo, ou seja, com terminais de dreno e *gate* conectados (por sua vez, ligados a V_{DD}), operando em modo contínuo. Devido ao valor baixo da fotocorrente, este transistor opera na região de sublimiar [43], sendo, nesta condição, a tensão de pixel é igual ao logaritmo da fotocorrente.

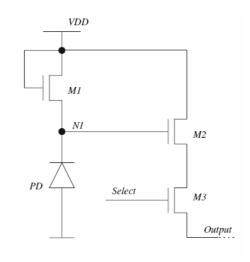


Fig. 3.1 – O pixel logarítmico (de [57]).

Devido à operação contínua do transistor, a matriz de pixels logarítmicos permite o acesso randômico no espaço e no tempo (acesso a qualquer pixel e a qualquer instante), sendo esse imageador referido como *true random* (em constraste com o APS linear, que é randômico no espaço mas não no tempo, devido ao período de integração).

Entretanto, o pixel logarítmico possui desvantagens [58] como: (a) alto FPN e dificuldade para sua compensação; (b) tensão de saída dependente da temperatura; (c) variação muito pequena da tensão de saída, especialmente para pequenos níveis de iluminação; (d) baixa relação sinal-ruído.

Tais desvantagens levam os pixels logarítmicos a não serem tão comumente utilizados, embora sejam tema de diversos estudos, inclusive com a implementação de matrizes com característica linear-logarítmica. Nestas, o sensor se comporta como um APS linear para baixos níveis de iluminação, e logarítmico para elevados níveis ([59], [60]). O esquemático do pixel de [60] é mostrado na Fig. 3.2. A Fig. 3.3 compara duas imagens, sendo uma delas obtida com um pixel linear (a), em contraste com a imagem obtida com o pixel linear-logarítmico (b). A imagem da Fig. 3.3b permite uma melhor distinção de elementos para a região mais iluminada (canto superior direito), se comparada à imagem da Fig. 3.3a, onde ocorreu saturação do sensor para essa região.

Devido às características de conversão diferentes das encontradas nos pixels lineares, os pixels logarítmicos não serão mais abordados ao longo desta tese.

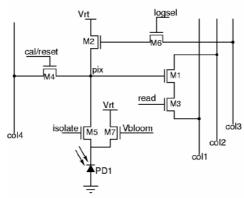


Fig. 3.2 – Esquemático de um pixel linear-logarítmico (de [60]).



Fig. 3.3 – Comparação entre as respostas de dois sensores APS (de [60]). (a) Pixel linear; (b) Pixel linear-logarítmico.

3.2) Configurações com ampliação da excursão da tensão de saída

A literatura faz referência a diversas estruturas de sensor APS com ampliação da excursão do sinal de saída (output swing), levando em conta a progressiva diminuição nas tensões de alimentação dos chips. Nestes trabalhos, tais estruturas não são apresentadas como "sensores com alta faixa dinâmica", mas consideram o aumento da excursão do sinal um fator relevante para evitar a degradação da relação sinal-ruído (SNR) e da faixa dinâmica, o que pode ser ocasionado pela redução nos níveis de tensão.

3.2.1) Uso de transistor PMOS

A substituição do transistor NMOS de Reset por um transistor PMOS (Fig. 3.4a) é relatada em alguns trabalhos, como em [61] e [62]. Um pulso baixo de tensão coloca o transistor de Reset em condução, levando a tensão no catodo do fotodiodo a $V_{\rm DD}$, promovendo o que é denominado "reset forte" (*hard reset*) , em contraste com o "reset

fraco" (*soft reset*), onde se leva a tensão do pixel a (V_{DD} - V_{tn}) [41]. Com isso, tem-se uma maior excursão do sinal na saída do seguidor de fonte, conforme mostra a simulação transiente da Fig. 3.4b. Em [29], é apresentada uma interessante discussão sobre o emprego do transistor PMOS para reset do pixel em circuitos APS fabricados nos processos que operam com baixas tensões de alimentação.

Para tecnologias de poço N (*NWELL*), a área ocupada por um PMOS isolado será maior que a ocupada pelo transistor N, devido à distância mínima a ser mantida entre a difusão P e o limite do poço N. Para a tecnologia AMS C35B4M6 (AMS 0.35), esta distância mínima é de 1,2 µm [41]. Considerando que os demais transistores do pixel serão NMOS (não podendo, portanto, compartilhar o poço N), e que deverá haver uma distância mínima entre o poço N e uma difusão N, haverá uma redução no fator de preenchimento. A diminuição da área fotossensível deve ser levada em conta na escolha desta técnica, apesar do ganho na excursão do sinal.

Um outro problema é o fato do poço N também ser fotossensível. Como discutido no item 2.5.2, uma junção poço-substrato pode ser usada para implementar o fotodiodo. Isso faria com que o transistor de Reset também se transformasse em um elemento fotossensível, resultando em uma operação inadequada do pixel. Um layout apropriado poderia ser utilizado para contornar esse inconveniente, porém à custa de um pixel mais complexo e, provavelmente, com uma redução ainda maior do fator de preenchimento.

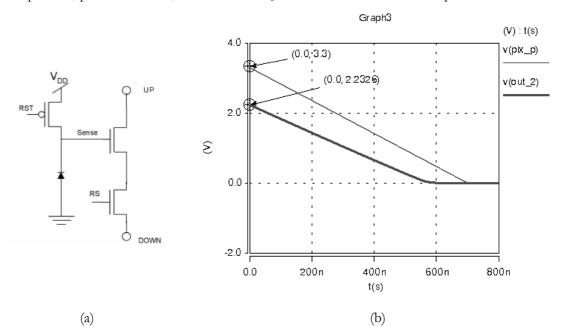


Fig. 3.4 – Uso de transistor PMOS para o reset. (a) Circuito (b) Simulação transiente da excursão da tensão de saída, sendo mostrada também a tensão de pixel.

Uma técnica utilizada para aumentar a excursão do sinal é o uso de um circuito de boostraping para resetar o pixel com uma tensão maior que $V_{\rm DD}$ [63,64]. Tal técnica pode ter implicações quanto à confiabilidade na operação de circuitos com tecnologias submicrométricas, e reduzir a vida útil do dispositivo.

3.2.2) Pixel APS complementar

A implementação de pixels que usam dois circuitos de leitura permite um aumento da excursão do sinal através do uso de dois seguidores de fonte distintos: um seguidor baseado em transistores NMOS, tal como na configuração usual, e um seguidor de fonte baseado em transistores PMOS. Tal circuito é mostrado na Fig. 3.5a, e é denominado pixel *APS complementar* (CAPS – *Complementary APS*) [47]. Observa-se que um PMOS é utilizado para o reset, fazendo com que a tensão em N1 inicie com V_{DD}.

A tensão de saída efetiva será a combinação das tensões de saída do seguidor de fonte N e do seguidor P (Fig. 3.5b), sendo a estrutura desta forma uma implementação *rail to rail* [65]. A excursão total do sinal de saída, ΔV_{OUT} , será igual a (V_{DD} - $2.V_{Dsat}$), sendo V_{Dsat} as tensões de saturação (mais propriamente, de *overdrive*) dos transistores de leitura (da figura, M2 e M5) dos seguidores de fonte NMOS e PMOS, respectivamente.

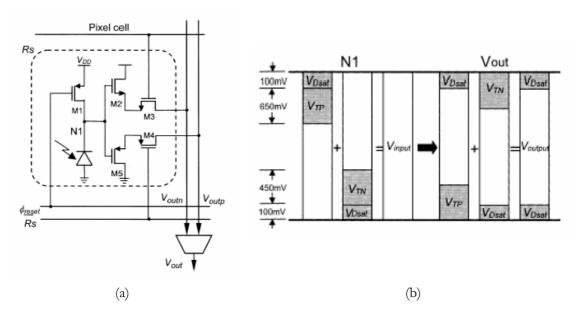


Fig. 3.5 – Pixel APS Complementar – CAPS (de [65]). (a) Circuito (b) Excursão da tensão.

Como referido no Item 2.4.4, o circuito de [47] e [65] emprega um processo de $0.25 \mu m$, onde $V_{tn} = 450 \text{ mV}$ e $V_{tp} = 650 \text{ mV}$. O circuito opera, no entanto, com tensão de 1.0 V, o que seria restritivo se um seguidor de fonte NMOS simples fosse empregado, com

um transistor PMOS como chave de reset (*hard reset*). Se o reset fosse produzido por uma chave NMOS (*soft reset*), como no circuito estudado no Item 2.4.4 (*cf.* Fig. 2.6) a utilização desse processo para esse valor de V_{DD} seria inviável.

Um inconveniente desta estrutura é a necessidade de 5 transistores por pixel, sendo dois deles transistores PMOS, resultando em uma redução no fator de preenchimento (FF). Para um pixel de 12 µm x 10 µm, o pixel CAPS abordado possui FF = 30%. Ainda, o circuito amplificador de coluna utilizado para externar um sinal que seja a combinação das saídas de dois seguidores de fonte não é trivial (Fig. 3.6), empregando um esquema contendo um comparador (C1), um multiplexador de 2 para 1 e um *buffer* de tensão (A1), havendo necessidade de uma estrutura *rail-to-rail* para o *buffer*.

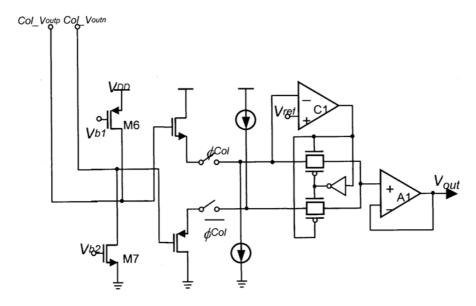


Fig. 3.6 – Amplificador de coluna empregado para externar o sinal na saída do CAPS (de [47]).

3.2.3) Configurações com amplificador de ganho unitário

O amplificador configurado na forma clássica do seguidor de tensão (buffer de tensão), como ilustra a Fig. 3.7, é utilizado no estágio de saída de uma grande parte de sensores com saída analógica, a exemplo do pixel CAPS (Fig. 3.6). Neste item, são discutidas diferentes implementações de pixels que empregam o buffer efetivamente na recuperação do sinal de tensão no pixel, o qual não é acessível diretamente.

Para um amplificador operacional ideal (ganho infinito, largura de banda infinita, impedância de entrada infinita e impedância de saída zero), tem-se, nas entradas do amplificador, um curto-circuito virtual, fazendo

$$V_{OUT} = V_{IN} \tag{3.1}$$

Para um amplificador real, com ganho em malha aberta DC igual a A, a tensão de saída $V_{\it OUT}$ será dada por

$$V_{OUT} = \frac{A}{A+1} \cdot V_{IN} \tag{3.2}$$

Considerando a operação do amplificador em frequências muito abaixo da sua frequência de ganho unitário, e que o ganho A terá um valor elevado (normalmente, 60 dB ou mais), tem-se $v_{OUT} \cong v_{IN}$, sendo o circuito, dessa forma, um amplificador com ganho unitário.

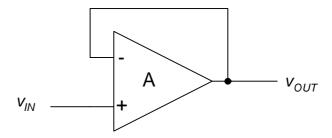


Fig. 3.7 – Configuração seguidor de tensão.

Sendo o estágio de entrada do amplificador operacional formado por um par diferencial, a tensão de entrada poderá excursionar entre V_{DD} e $V_{tn}+V_{ODn}$, sendo V_{ODn} a tensão de *overdrive* do transistor de polarização, no caso de um par diferencial NMOS (Fig. 3.8a). Para um par diferencial PMOS, a tensão de entrada poderá excursionar entre $V_{DD}-|V_{ODp}+V_{tp}|$ e zero, sendo V_{ODp} a tensão de *overdrive* do transistor de polarização (Fig. 3.8b).

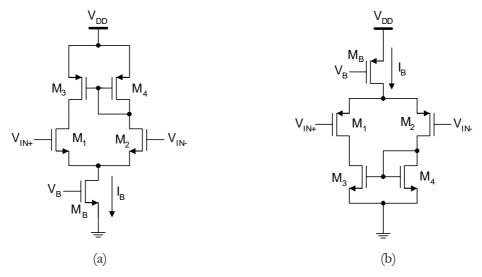


Fig. 3.8 – Pares diferenciais dos amplificadores operacionais. (a) Par NMOS; (b) Par PMOS.

Uma vantagem do seguidor de tensão sobre a configuração tradicional do seguidor de fonte é a ausência da queda devido à tensão de limiar, o que leva ao aumento da excursão da tensão de saída. Além disso, frequentemente, o uso de um *buffer* está associado à redução do FPN, uma vez que variações no ganho de um seguidor de fonte para outro é considerada a maior causa de FPN [66].

Outra vantagem comum entre as estruturas com amplificador de ganho unitário é a elevação do ganho de conversão do circuito de leitura, se comparado a um circuito de leitura contendo apenas o seguidor de fonte (que possui ganho típico em torno de 0,85).

Em [42], o uso de um amplificador configurado como seguidor de tensão é explorado diretamente, como mostra a Fig. 3.9a. Um amplificador cascode dobrado de dois estágios foi projetado para apresentar uma baixa capacitância de entrada, alto ganho, alta faixa de entrada em modo comum e grande excursão da tensão de saída. O esquemático do amplificador é mostrado na Fig. 3.9b.

Uma desvantagem da topologia apresentada é a necessidade de um amplificador por pixel, o que permitirá que tal técnica seja aplicada apenas a arranjos lineares de pixels. Ainda que o amplificador projetado seja de dimensões relativamente pequenas se comparado a um amplificador integrado usual, o layout do pixel seguido do *buffer* mostra uma grande área utilizada pelo amplificador, que teve de ser projetado para que sua largura não ultrapassasse a largura do pixel, de dimensões 14 µm x 14 µm (Fig. 3.10). No referido trabalho, uma matriz de 128 x 1 pixels foi fabricada utilizando esta implementação, utilizando tecnologia CMOS padrão de 0,4 µm.

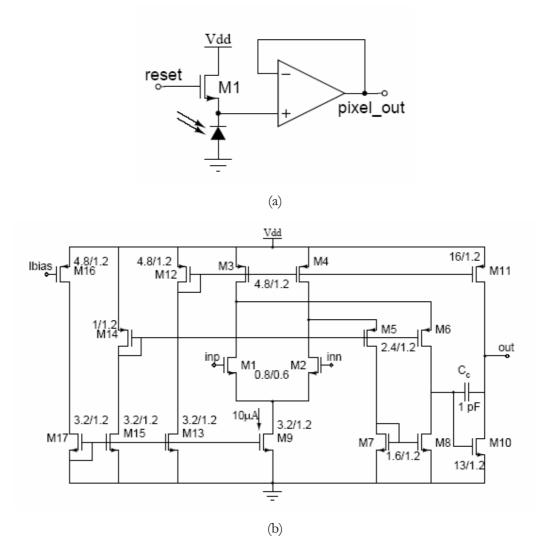


Fig. 3.9 – Implementação utilizada em [42]. (a) Seguidor de tensão ligado ao pixel; (b) esquemático do amplificador.

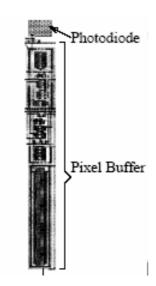


Fig. 3.10 – Layout do fotodiodo e buffer., em [42].

O uso de um amplificador de ganho unitário (UGA – unity gain amplifier) em uma matriz de pixels foi apresentado pela primeira vez em [67]. Devido ao fato de um amplificador com ganho unitário requerer pelo menos seis transistores, a implementação de um UGA completo por pixel reduziria consideravelmente o fator de preenchimento. Assim, o UGA é implementado na matriz de modo a compartilhar um único UGA por coluna, onde os transistores do pixel fazem parte do par diferencial, como mostra a Fig. 3.11. Esta técnica é referida como sensor de coluna ativa (ACS – active column sensor) [68].

Uma discussão sobre o uso da técnica ACS para diferentes tipos de pixel/UGAs é apresentada em [69]. Nesse trabalho, são propostos UGAs com mais de um estágio, como mostra a Fig. 3.12. A arquitetura ACS é também empregada em [16] e [70].

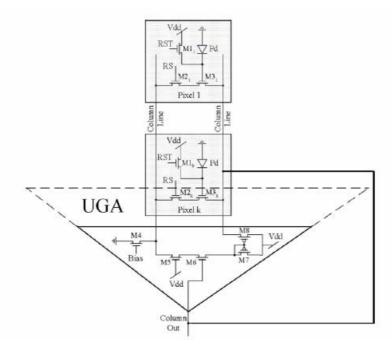


Fig. 3.11 – Princípio da técnica ACS (de [69]).

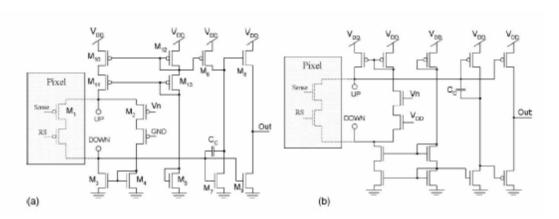


Fig. 3.12 – Amplificadores usados em [69].

(a) Par diferencial PMOS; (b) Par diferencial NMOS.

3.3) Alteração no modo de leitura

Os sensores APS lineares referidos na literatura como sendo de elevada faixa dinâmica empregam alguma estratégia especial de leitura. Embora tais métodos possibilitem faixas dinâmicas da ordem de 100 dB ou mais, geralmente eles implicarão em um esforço computacional maior que o usado na estratégia padrão referida no Capítulo 2. A lógica de leitura e processamento dos sinais obtidos pode ser implementada interna ou externamente ao chip.

A abordagem dessas topologias neste trabalho não é exaustiva, visto que existe uma grande variedade de implementações diferentes para cada um dos itens considerados, algumas das quais associando mais de uma dessas técnicas. São apresentadas as técnicas principais, com algumas referências que as representam.

3.3.1) Múltiplos estágios de integração

A técnica de múltiplos estágios de integração consiste em estabelecer um valor de referência para a tensão de saída, sendo este patamar maior que o nível de saturação. Em condições normais de iluminação, a tensão v_{OUT} não alcançará tal valor, e o tempo de integração T_1 é mantido no seu valor normal (Fig. 3.13). No caso de maior iluminação (que causaria a saturação do pixel para o tempo T_1), o sinal alcança a referência, e um circuito de controle aplica outro pulso de Reset ao pixel, que passa novamente a se descarregar. O circuito estabelece, então, um novo tempo de integração T_2 , inferior a T_1 , para realizar a leitura do pixel em condições de forte iluminação. A amostragem dupla correlacionada e a aquisição dos sinais nos dois estágios são realizadas separadamente e enviadas para posterior processamento deste sinal. Este princípio é utilizado em [5], podendo o circuito selecionar até quatro diferentes tempos de integração.

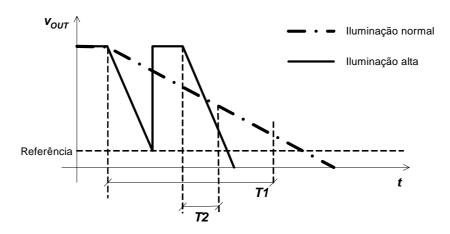


Fig. 3.13 – Múltiplos estágios de integração.

A técnica também é empregada em [71]. Neste caso, um algoritmo apropriado irá definir níveis de referência (*threshold*) variáveis que, se alcançados pela tensão de saída, levam o sistema a um novo reset, com um novo tempo de integração. Uma arquitetura similar, com tempo de integração adaptativo, é apresentada em [72], para um APS com elevada faixa dinâmica e baixo consumo de energia.

3.3.2) Múltiplas capturas

O princípio das múltiplas capturas (MC – $multiple\ capture$) ou múltiplas amostragens ($multiple\ exposure$) segue um princípio similar ao dos múltiplos estágios de integração. No caso de múltiplas capturas, o circuito não aplica um novo sinal de Reset mediante condições diferentes de iluminação. Ao contrário, o sinal v_{OUT} é amostrado mais de uma vez a cada leitura do pixel, o que equivale a realizar a leitura com diferentes tempos de integração. Eventualmente, o nível de saturação pode ser alcançado para os tempos mais longos, como ilustra a Fig. 3.14. Mas esse sinal já terá sido amostrado para os períodos menores. A imagem será formada a partir do algoritmo de última amostra antes da saturação ($last\ sample\ before\ saturation$) [73]. A técnica MC pode ser encontrada em [74], [75] e [76].

O método das múltiplas amostragens exigirá uma frequência de amostragem do pixel várias vezes maior que a frequência de leitura do pixel. Em [77], um método com características que se aproximam da amostragem múltipla é apresentado. A fotocorrente I_{ph} é integrada até o instante em que v_{PIX} alcança uma tensão de disparo V_{th} , detectada por um comparador. No caso de iluminação média ou alta, ocorre a comutação do comparador antes do fim do tempo de integração. A informação sobre a intensidade luminosa é

armazenada através do tempo de comutação, $t_{\rm G}$ armazenado em memórias analógicas, como mostra o circuito da Fig. 3.15.

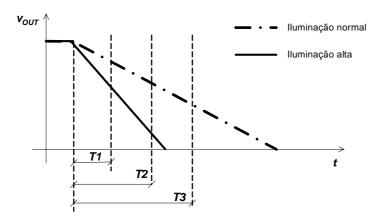


Fig. 3.14 – Múltiplas capturas.

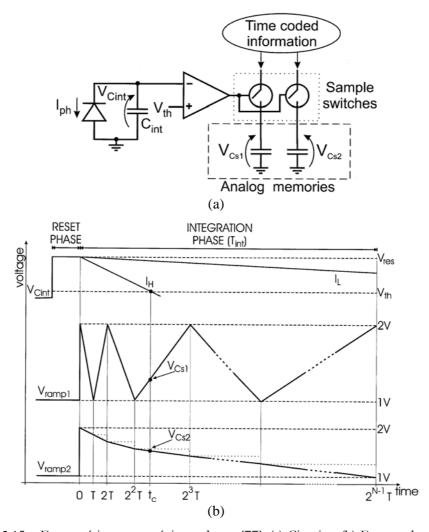


Fig. 3.15 – Esquemático e estratégia usada em [77]. (a) Circuito; (b) Formas de onda.

Para armazenar o tempo t_C sem uso de uma memória externa, duas rampas de tensão, V_{ramp1} e V_{ramp2} , são usadas: V_{ramp1} é aplicada ao ramo onde se encontra a chave da esquerda, e varia entre 1 e 2 Volts, com uma característica linear por partes, aumentando gradativamente sua inclinação entre os instantes T, 2T, ..., $2^{N-2}T$. Por sua vez, V_{ramp2} , aplicada ao ramo da direita, diminui monotonicamente sua inclinação de 2 V para 1 V em passos de 1/N dentro dos mesmos intervalos de tempo. O processo ocorre até que v_{OUT} alcance V_{th1} , quando então os sinais de tensão de V_{ramp1} e V_{ramp2} são amostrados nas memórias analógicas. Os valores V_{CS1} e V_{CS2} serão relacionados ao tempo t_C , como mostra a figura. É demonstrado que a faixa dinâmica deste sensor será

$$DR(dB) = 20 \cdot (N - 1 + 2k) \cdot Log2$$
 (3. 3)

Onde N é o número de vezes que V_{ramp1} varre a faixa de 1 a 2 V, e k é a resolução (número de bits) do conversor AD que gera V_{ramp1} . Para N=8 e k=8, por exemplo, obtém-se DR = 138 dB.

3.3.3) Tempo até a saturação

A arquitetura de alta faixa dinâmica baseada no tempo até a saturação (TS – time to saturation) é baseada no princípio de se medir o tempo que a fotocorrente leva para saturar a capacidade de carga do sensor. Ou seja, será medido o tempo que v_{PIX} leva para alcançar uma tensão de referência correspondente à saturação, e não a tensão v_{PIX} após um tempo de integração de referência. Desse modo, esta arquitetura é mais apropriada para a leitura de cenas com alta luminosidade.

O uso exclusivo da técnica TS não é apropriado para níveis de iluminação médios e baixos. Uma arquitetura que combina a técnica TS com o modo de leitura convencional é apresentada em [78], sendo o esquemático mostrado na Fig. 3.16. Nota-se a presença de duas saídas, Out1 e Out2, para o pixel, sendo Out1 a saída do APS convencional, que será lida após o tempo de integração. Ao mesmo tempo, a tensão do pixel é aplicada a um comparador. Se a tensão do pixel se tornar menor que um valor de referência V_{comp} (que indica a saturação do pixel), o comparador abre uma chave que faz com que um capacitor armazene a tensão $v_{TS}(t)$ naquele instante. Esta tensão, gerada por uma rampa externa, indica o tempo decorrido para a saturação do sensor, e somente será avaliada se isto ocorrer antes do fim do tempo de integração normal.

Esta configuração apresenta uma faixa dinâmica de 120 dB, à custa de um fator de preenchimento de 20%, pela necessidade de integrar em um pixel um comparador e um

capacitor de armazenamento, além de um número adicional de transistores, se comparado à estrutura básica do pixel 3T.

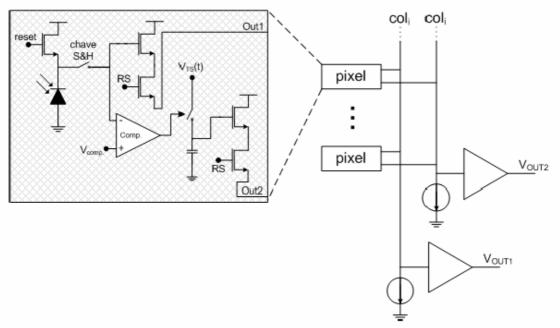


Fig. 3.16 – Arquitetura mista APS-TS.

3.3.4) Outras topologias

Diversas outras topologias são propostas para o aumento da faixa dinâmica dos sensores APS [79]. Dentre elas estão as técnicas de Auto-Reset (*Self-Reset*) [80] ou Reset por realimentação negativa (*Negative-Feedback Reset*) [81]. Uma técnica interessante para o aumento da faixa dinâmica é a expansão da capacidade do poço, levando assim ao aumento da capacitância C_{PIX} [82]. Valores elevados da capacitância de junção podem levar a uma baixa sensibilidade do pixel para níveis normais de iluminação, mas podem ser desejados no caso de iluminação intensa. Neste caso, a técnica não se classifica diretamente como uma alteração no modo de leitura, visto que altera a própria estrutura do pixel.

Em [83], é descrito o uso de capacitores laterais (*overflow capacitors*) implementados internos ao pixel, em um APS de elevada faixa dinâmica, podendo o circuito adicionar um capacitor externo, comum a toda a coluna, somado à capacitância do pixel, no caso de elevados níveis de iluminação. Neste caso, não somente a estrutura do pixel é de uma complexidade considerável, mas também a estratégia de leitura, sendo o circuito de pixel e de coluna dotados de uma grande quantidade de sinais de leitura, como mostra a Fig. 3.17.

Uma interessante técnica para obtenção de um APS com elevada faixa dinâmica é a conversão luz-frequência (*light-to-frequency*), apresentada em [84]. Neste caso, a saída do pixel é puramente digital, através da técnica de modulação por frequência de pulso (PFM – *pulse*

frequency modulation), o que leva este arranjo a ser considerado um sensor de pixel digital (DPS – digital pixel sensor).

O diagrama da Fig. 3.18 ilustra este princípio. Uma vez retirado o reset do pixel (que é resetado com V_{DD} por um PMOS), tem-se a descarga da capacitância do diodo pela fotocorrente. Quando a tensão do pixel for menor que o valor V_{REF} , o comparador comuta sua saída para zero, levando um circuito de realimentação a forçar um novo reset do pixel. O número de pulsos por unidade de tempo, lido por um contador, será proporcional à fotocorrente. Tal como em outras topologias com elevada DR, este pixel é também de elevada complexidade, apresentando redução no fator de preenchimento.

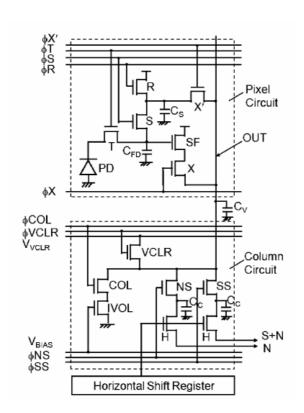


Fig. 3.17 – Circuito do APS com capacitores de overflow laterais apresentado em [83].

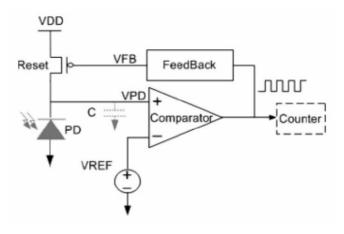


Fig. 3.18 – Princípio de um APS com conversão luz-frequência (de [84]).

3.4) Conclusão

Este capítulo abordou algumas técnicas usadas para aumentar a faixa dinâmica de imageadores APS. Uma abordagem mais ampla é possível, porém está fora do escopo deste trabalho. A delimitação entre técnicas que alterem a estrutura do pixel (incluindo aquelas com aumento na excursão do sinal) e técnicas que adotem uma estratégia especial de leitura não é simples, pois são encontradas diversas arquiteturas que mesclam tais técnicas. Diversos circuitos são implementados *in-pixel*, produzindo, conforme verificado, dispositivos com elevada DR, à custa de um pixel complexo e com baixo fator de preenchimento.

Por outro lado, os circuitos que aumentam a excursão do sinal de saída apresentam pixels com um nível de complexidade menor que os citados anteriormente, ainda que a estrutura do pixel não se mantenha simples como a utilizada no pixel 3T. Nestes dispositivos, ainda que não se obtenha níveis elevados de faixa dinâmica pelo aumento da excursão do sinal em si, considera-se tal característica de grande contribuição para se implementar dispositivos com elevada DR nas tecnologias submicrométricas, onde se tem uma progressiva diminuição nos níveis de tensão de alimentação.

A técnica a ser proposta nesta tese faz parte deste grupo de topologias, assemelhando-se àquelas que utilizam amplificadores para garantir a excursão do sinal, como descrito no Item 3.2.3. A topologia proposta será apresentada no próximo capítulo. No entanto, duas técnicas de aumento da DR através de uma estratégia especial de leitura, a saber, as múltiplas capturas e o tempo de integração variável, são passíveis de serem implementadas no chip a ser descrito.

4) O Imageador Proposto

Este capítulo descreve o sensor APS proposto nesta tese. O objetivo foi o de desenvolver uma topologia que possa reproduzir a tensão do pixel, aumentando a faixa dinâmica pelo aumento na excursão do sinal de saída. Classifica-se, deste modo, no grupo de estruturas discutido na Seção 3.2. O circuito não altera a estrutura do pixel 3T tradicional, sendo toda a eletrônica de leitura que se propõe a aumentar a excursão do sinal de saída implementada externamente ao pixel. Com isso, preserva-se o fator de preenchimento do pixel, e consequentemente, sua eficiência quântica, sem a necessidade de recursos como microlentes [55], que são usadas em pixels com baixo fator de preenchimento, à custa de um projeto mais complexo.

Outras funcionalidades, implementadas no circuito digital de geração dos sinais de leitura, permitem ainda a expansão da faixa dinâmica pela variação do tempo de integração e efetuando três amostras a cada leitura (é usual a obtenção de duas amostras, para efetuar a amostragem dupla correlacionada). A ênfase principal, no entanto, é o novo circuito de leitura, discutido em detalhes no texto subsequente.

O capítulo inicia com a descrição da nova topologia, a partir de um circuito simplificado, na Seção 4.1. A aplicação deste circuito a uma matriz de pixels e a estratégia de leitura empregada são tópicos também abordados nesta seção. A Seção 4.2 apresenta uma análise DC da topologia, justificando os resultados obtidos para um amplificador com ganho DC finito. O chip desenvolvido é apresentado na Seção 4.3, com a descrição detalhada de seus elementos principais. A análise AC, com a discussão da estabilidade do circuito, é realizada na Seção 4.4. Na Seção 4.5, são apresentados resultados de simulação computacional para os principais blocos envolvidos no projeto, inclusive com a possibilidade de analisar a estratégia de leitura, mediante a simulação de uma matriz reduzida. Na Seção 4.6, são apresentadas as principais conclusões do capítulo.

4.1) Descrição da nova topologia

O circuito de leitura do imageador proposto, mostrado na Fig. 4. 1, baseia-se no pixel tipo fotodiodo convencional, composto por um transistor de Reset (M_{RST}) e o seguidor de fonte constituído pelo transistor M_{RD,pix} e um circuito de polarização comum a toda a coluna, representado na pela fonte de corrente I_B. O transistor de polarização, omitido na figura por simplicidade, constituirá a carga ativa do seguidor de fonte (SF). O transistor de seleção M_{SEL,pix} opera como chave e realiza a seleção do pixel

correspondente. Deste modo, o fotodiodo e os transistores M_{RST} , $M_{RD,pix}$ e $M_{SEL,pix}$ constituem uma estrutura idêntica ao pixel 3T.

O sinal v_t , que em uma estrutura APS tradicional seria o sinal a ser amostrado, será aplicado à entrada não inversora de um amplificador, também comum a toda a coluna ou a um grupo de colunas da matriz. A sua entrada inversora, por outro lado, é conectada à saída de um seguidor de fonte equivalente ao do pixel, que será denominado seguidor de fonte testemunha. Deste modo, $M_{RD,test}$ e $M_{SEL,test}$ são transistores idênticos a $M_{RD,pix}$ e $M_{SEL,pix}$, respectivamente, polarizados por outra fonte de corrente de valor idêntico à que polariza os transistores do pixel.

A saída v_{OUT} do amplificador é então aplicada a $M_{RD,test}$, realizando assim uma realimentação de tensão no SF testemunha. Devido ao curto-circuito virtual, o amplificador faz $v_1 = v_2$. Nessas condições, v_{OUT} copia a tensão v_{PIX} , independente da diferença de tensão de v_1 em relação a v_{PIX} , devido à tensão de limiar V_{tn} . Uma demonstração para um amplificador com ganho DC finito será mostrada na próxima seção.

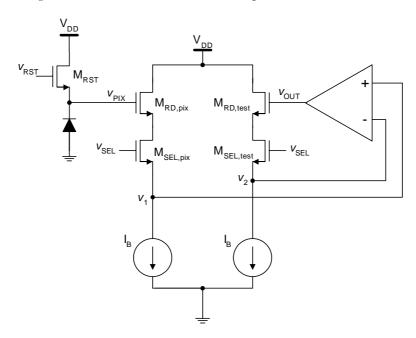


Fig. 4. 1 – O circuito de leitura proposto (representação simplificada).

A figura mostra o circuito em uma forma simplificada, para que neste ponto uma consideração possa ser feita: uma primeira implementação do circuito foi cogitada inserindo-se no pixel todos os transistores mostrados, como mostra a Fig. 4. 2a. Tal possibilidade foi levantada tendo o objetivo de implementar pares casados para $M_{RD,pix}$ e $M_{RD,test}$, bem como para $M_{SEL,pix}$ e $M_{SEL,test}$, já que pequenas diferenças entre os referidos elementos irão contribuir para o aumento do FPN. Tal idéia foi posteriormente abolida, devido aos seguintes fatores:

- O pixel seria formado por 5 transistores, reduzindo o fator de preenchimento. Seriam necessárias 8 trilhas de metal para o pixel, considerando que a linha de V_{DD} para alimentar o transistor de Reset (V_{DD} digital) normalmente é separada da linha de V_{DD} que alimenta o seguidor de fonte (V_{DD} analógico). O acréscimo de trilhas de metal também contribui para a redução do fator de preenchimento.
- O casamento (matching) dos referidos transistores seria obtido apenas em parte, devido às suas pequenas dimensões. Mas ainda que fosse obtido perfeitamente, ele não eliminaria o FPN total, que é afetado, por exemplo, por variações na tensão V_{tn} do transistor de Reset. As técnicas de processamento analógico para eliminar o FPN continuariam sendo necessárias.
- A capacitância vista pelo nó de saída do amplificador seria a capacitância de gate de todos os transistores M_{RD,test} da coluna, ou de um conjunto de colunas, podendo assumir valores que demandariam o projeto de um amplificador com um estágio de saída de maiores dimensões ou mesmo mais estágios de saída, aumentando, assim, o consumo do dispositivo e a área de chip utilizada. Além disso, uma maior capacitância de saída poderia ter implicações na estabilidade do circuito.

Devido aos motivos apresentados, o projeto de um único seguidor de fonte testemunha por coluna apresentou-se como a possibilidade mais viável, como ilustra a Fig. 4. 2b. O pixel usa 6 trilhas de metal (o mesmo número usado na maioria dos pixels 3T), duas a menos que a implementação de um SF testemunha por pixel. Na próxima seção, será demonstrado que pequenas diferenças nas razões de aspecto dos transistores podem ser corrigidas por meio das técnicas de correção do FPN. De fato, o uso de transistores casados também não é uma preocupação da técnica ACS, apresentada no capítulo anterior [69].

A Fig. 4. 3 mostra o esquemático de uma coluna para uma matriz APS baseada na nova estrutura, já mostrando os transistores de polarização $M_{B,pix}$ e $M_{B,test}$, no lugar das fontes de corrente ideais da Fig. 4. 1. Apenas as capacitâncias de entrada dos transistores dos SF testemunha são vistas pelo amplificador, reduzindo consideravelmente a capacitância total de carga do mesmo. O transistor de seleção do SF testemunha ($M_{SEL,test}$) fica permanentemente habilitado, com o terminal de gate ligado a V_{DD} , e é mantido no circuito por razões de simetria.

Nota-se ainda a presença de um transistor ligado entre o terminal Out e a entrada inversora do amplificador, comandada pelo sinal *S_Down*. Tal transistor servirá para levar a saída a aproximadamente zero quando nenhum pixel estiver sendo lido. Na ausência de *S_Down*, a saída do ampop permaneceria com um valor diferente de zero mesmo com o pixel totalmente descarregado, o que será explicado na Seção 4.2.

O sinal de seleção de linha, R_Sel_i , com i=1,2,...,m, onde m é o número de linhas da matriz, é compartilhado por todos os transistores de seleção de uma determinada linha. O sinal de Reset dos pixels, por sua vez, é comum a todos os transistores de uma mesma coluna. A lógica entre S_Down e R_Sel_i pode ser descrita como

$$S_Down = \overline{R_Sel_1 + R_Sel_2 + ... + R_Sel_m}$$
(4.1)

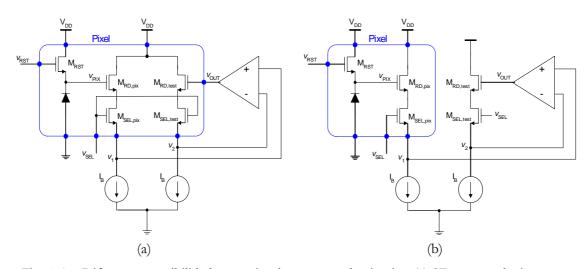


Fig. 4. 2 – Diferentes possibilidades para implementação do circuito: (a) SF testemunha interno ao pixel; (b) SF testemunha comum a toda a coluna (adotada).

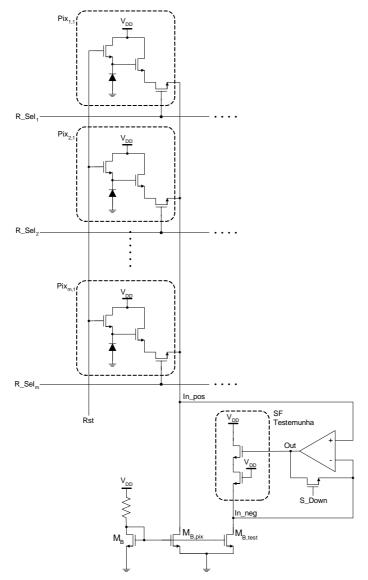


Fig. 4. 3 – Circuito proposto (coluna).

O uso de um amplificador por coluna permite uma leitura paralela de todos os pixels de uma linha da matriz, o que representa um aumento na velocidade de leitura do imageador. Todavia, isso leva ao aumento no consumo de energia, além de ser necessário um layout especial para o amplificador, que conforme a sua largura com a largura do pixel, tal como em [42]. O uso de um amplificador para toda a matriz, por outro lado, representa a alternativa de menor consumo, porém com uma menor velocidade de leitura.

É interessante, portanto, um compromisso entre consumo *versus* velocidade, dividindo-se a matriz em blocos de *m* linhas por *n* colunas, onde cada bloco possuirá um amplificador para realizar a realimentação. Mantém-se, neste caso, *n* SF testemunhas, que deverão ser posicionados na base de suas respectivas colunas, o que, aliado a um layout

adequado, permitirá uma semelhança melhor entre os transistores do SF testemunha e os transistores do pixel. O esquema é mostrado na Fig. 4. 4.

Torna-se necessário, com o novo arranjo, selecionar a coluna a ser lida, já que todas as colunas do grupo compartilham não apenas o mesmo amplificador, mas também os mesmos transistores de polarização (do SF do pixel e do SF testemunha), o que leva à necessidade de novos transistores, indicados na figura. Estes, posicionados na base das colunas, também operam como chaves, sendo comandados pelos sinais de seleção de coluna (*Col_Sel*_i), e irão promover uma multiplexação analógica dos sinais provenientes das colunas do bloco.

De acordo com o descrito, o circuito da Fig. 4. 1 é redesenhado conforme a Fig. 4. 5, mostrando todos os transistores envolvidos na leitura de um dado pixel. Os transistores que operam como chaves ($M_{SEL,pix}$, $M_{SEL,test}$, $M_{COL,pix}$, $M_{COL,test}$) podem ser omitidos em algumas análises, como na análise DC, a ser realizada na próxima seção.

Cabe ressaltar que os transistores $M_{COL,pix}$ e $M_{COL,test}$ bem como M_{B1} e M_{B2} , podem ser pares casados, uma vez que localizam-se próximos no layout (ainda que $M_{COL,pix}$ e $M_{COL,test}$ sejam transistores de pequenas dimensões). No caso de M_{B1} e M_{B2} há, inclusive, a necessidade de que isto ocorra, visto que precisam polarizar os SFs do pixel e testemunha com a mesma corrente I_B .

A topologia aqui descrita foi apresentada em [85], ainda um primeiro estágio de desenvolvimento do projeto.

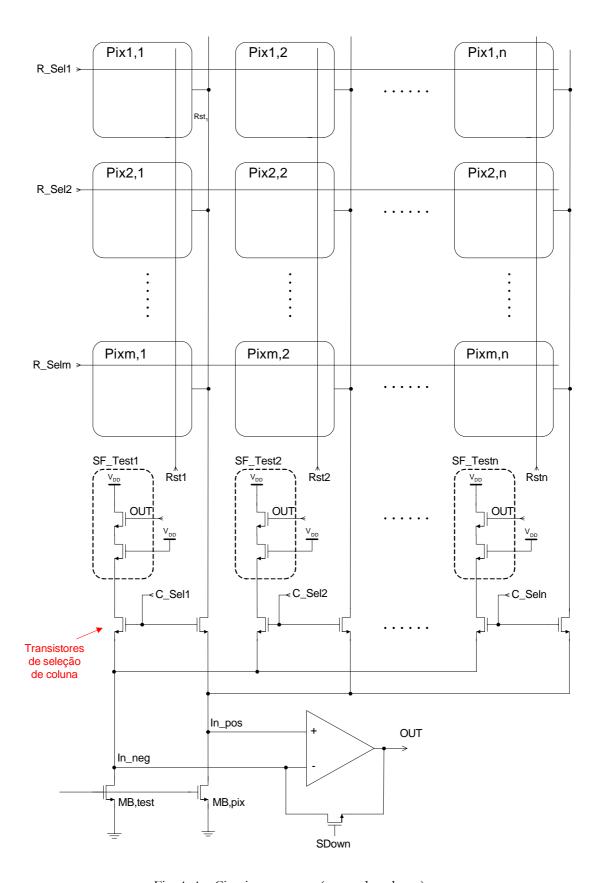


Fig. 4. 4 – Circuito proposto (grupo de colunas).

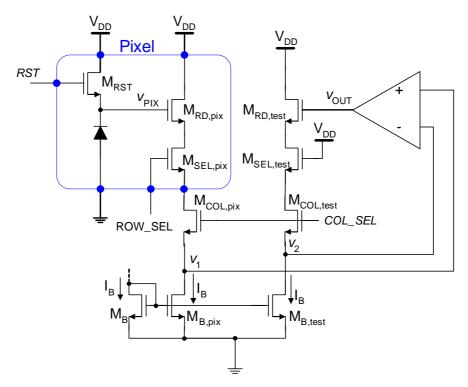


Fig. 4. 5 – O circuito de leitura (mostrando transistores de seleção de coluna e de polarização).

4.1.1) Estratégia de leitura

A leitura de um determinado pixel do arranjo da Fig. 4. 4 envolve os sinais digitais de Reset (Rst), seleção de linha (R_Sel), seleção de coluna (C_Sel) e S_Down. O diagrama da Fig. 4. 6. mostra a estratégia de leitura adotada. O sinal de seleção de uma determinada coluna (C_Sel) é mantido ativo durante todo o tempo de acesso a um pixel daquela coluna. O sinal S_Down será ativado após o tempo de integração, e obedecerá à lógica descrita por (4.1). A etapa de conversão A/D será realizada durante o intervalo em que S_Down estiver ativo.

Observa-se que o sinal que habilita a leitura do pixel (R_Sel) é ativado juntamente com o pulso de Reset do pixel (Rst), ao contrário do que ocorre em configurações de APS convencionais, como em [28], onde o sinal de habilitação da leitura do pixel é ativado apenas após a retirada do pulso de Reset (Rst). Tal modificação é necessária devido à *Slew-Rate* de subida (SR₊) do amplificador utilizado, bem como seu tempo de acomodação t_S (settling time). Uma ativação de R_Sel após a retirada do pulso de Reset levaria o sinal de saída a acompanhar a tensão de pixel após um determinado tempo, que deveria ser respeitado até a primeira aquisição do sinal, como esquematiza a Fig. 4. 7. Isto poderia ser

crítico no caso de um sinal correspondendo a altos níveis de iluminação, mesmo adotando amplificadores com elevada *Slew-Rate*, como em [86].

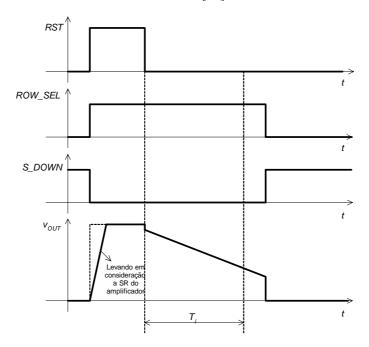


Fig. 4. 6 – Estratégia de leitura do novo APS.

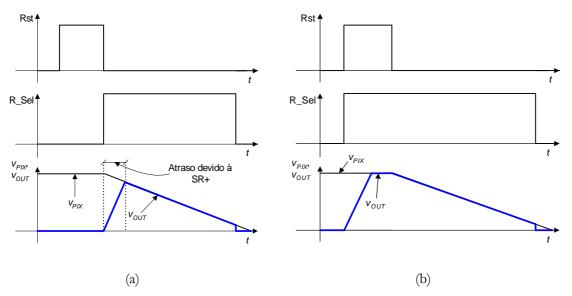


Fig. 4. 7 – Efeito da *Slew-Rate* do amplificador para diferentes estratégias de leitura: (a) R_Sel ativado após a desativação de Rst; (b) R_Sel ativado juntamente com Rst (adotado).

A leitura seqüencial dos pixels do bloco se dá pela varredura de todos os pixels de uma determinada linha, variando-se os sinais de Reset e de habilitação da coluna correspondente, como ilustra a Fig. 4. 8. Em seguida, a mesma seqüência é realizada para a linha subseqüente. Uma simulação computacional de uma matriz reduzida, mostrada ao fim

do capítulo, detalha esta estratégia. A lógica de geração dos sinais de leitura será detalhada na descrição da matriz desenvolvida.

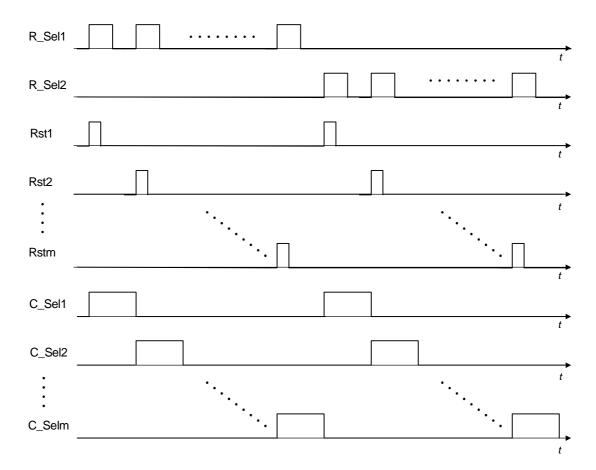


Fig. 4. 8 – Leitura sequencial dos pixels.

4.2) Análise DC (grandes sinais)

Para realizar uma análise da relação entre V_{OUT} e V_{PIX} (análise DC, ou de grandes sinais), será considerado o circuito da Fig. 4. 9. Este esquema corresponde a um único pixel e o seguidor de fonte testemunha correspondente à sua respectiva coluna, permanentemente habilitados. Devido à operação dos transistores de seleção como chave (portanto, em região linear, com pequena queda de tensão para a corrente de projeto¹), tais dispositivos foram substituídos por um curto-circuito. O transistor de Reset e o fotodiodo também são omitidos nesta análise.

1. Para a tecnologia utilizada e razões de aspecto dos transistores de seleção (W/L = 0,8/0,4), a resistência "ON" dos transistores é de cerca de 5 k Ω , sendo a queda de tensão aproximadamente igual a 10 mV em cada transistor para uma corrente de 2 μ A.

Por simplicidade, os transistores são numerados, nesta seção, como segue: M_1 – transistor de leitura do seguidor de fonte do pixel; M_2 – transistor de leitura do seguidor de fonte testemunha; M_3 – transistor de polarização do pixel; M_4 – transistor de polarização do seguidor de fonte testemunha. M_B é o transistor que copia para os ramos do pixel e do SF testemunha a corrente de polarização, identificada como I_B . Admite-se ainda que M_B , M_3 e M_4 são transistores de mesma razão de aspecto e perfeitamente casados.

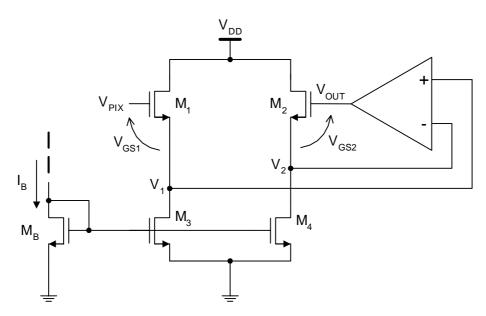


Fig. 4. 9 – Circuito para análise DC.

Para um dispositivo NMOS qualquer na região de saturação, sua corrente de dreno I_D é dada por:

$$I_D = \frac{k_n'}{2} \cdot \frac{W}{L} \cdot \left(V_{GS} - V_{tn}\right)^2 \tag{4.2}$$

Onde k'_n é o parâmetro de transcondutância do processo ($\mu A/V^2$), W/L é a razão de aspecto do transistor, V_{GS} é a tensão porta-fonte e V_m é a tensão de limiar.

Considerando as equações para a corrente I_B para os transistores M₁ e M₂ e fazendo

$$\beta_{1} = \frac{k'_{n}}{2} \cdot \frac{W_{1}}{L_{1}}$$
 θ $\beta_{2} = \frac{k'_{n}}{2} \cdot \frac{W_{2}}{L_{2}}$ (4.3)

Tem-se:

$$I_{B} = \beta_{1} (V_{GS1} - V_{tn1})^{2} = \beta_{1} (V_{PIX} - V_{1} - V_{tn1})^{2}$$
(4.4)

Е

$$I_{B} = \beta_{2} (V_{GS2} - V_{tn2})^{2} = \beta_{2} (V_{OUT} - V_{2} - V_{tn2})^{2}$$
(4.5)

Para obter a relação entre V_{OUT} e V_{PIX} , serão obtidas inicialmente as relações entre V_1 e V_{PIX} , bem como entre V_1 e V_{OUT} . Assim, considerando primeiramente o seguidor de fonte do pixel e partindo de (4.4), tem-se:

$$\sqrt{\frac{I_{B}}{\beta_{1}}} = V_{PIX} - V_{1} - V_{tn1} \tag{4.6}$$

A tensão V_{tn1} , no entanto, será afetada pelo efeito de corpo, visto que a fonte de M_1 não se encontra aterrada. A expressão para V_{tn1} será:

$$V_{tn1} = V_{tn0} + \gamma \left(\sqrt{2\phi_f + V_1} - \sqrt{2\phi_f} \right). \tag{4.7}$$

Substituindo (4.7) em (4.6), vem:

$$\sqrt{\frac{I_B}{\beta_1}} = V_{PIX} - V_1 - V_{tn0} - \gamma \sqrt{2\phi_f + V_1} + \gamma \sqrt{2\phi_f} . \tag{4.8}$$

Isolando os termos que contêm a variável V₁, tem-se:

$$V_{1} + \gamma \sqrt{2\phi_{f} + V_{1}} = -\alpha_{1} \tag{4.9}$$

Onde

$$\alpha_{1} = \sqrt{\frac{I_{B}}{\beta_{1}}} - V_{PIX} + V_{tn0} - \gamma \sqrt{2\phi_{f}}$$

$$(4.10)$$

 V_1 poderia ser explicitado em função de V_{PIX} através da resolução da equação não linear (4.9). Entretanto, torna-se mais interessante achar uma relação semelhante entre V_{OUT} e V_1 , no ramo do SF testemunha. Sabendo que

$$V_{OUT} = A(V_1 - V_2), \tag{4.11}$$

onde A é o ganho em malha aberta DC do amplificador operacional, tem-se:

$$V_2 = V_1 - \frac{V_{OUT}}{A} \tag{4.12}$$

A partir de (4.12) e considerando que

$$V_{tn2} = V_{tn0} + \gamma \left(\sqrt{2\phi_f + V_2} - \sqrt{2\phi_f} \right), \tag{4.13}$$

chega-se a uma relação similar à encontrada em (4.8):

$$\sqrt{\frac{I_{B}}{\beta_{2}}} = V_{OUT} - \left(V_{1} - \frac{V_{OUT}}{A}\right) - V_{tn0} - \gamma \sqrt{2\phi_{f} + V_{1} - \frac{V_{OUT}}{A}} + \gamma \sqrt{2\phi_{f}}$$
(4.14)

Isolando-se os termos que contém V₁, obtém-se:

$$V_{1} + \gamma \sqrt{2\phi_{f} + V_{1} - \frac{V_{OUT}}{A}} = -\alpha_{2}$$
(4.15)

Onde

$$\alpha_2 = \sqrt{\frac{I_B}{\beta_2}} - V_{OUT} \left(\frac{A+1}{A}\right) + V_{tn0} - \gamma \sqrt{2\phi_f}$$
(4.16)

Os termos no lado esquerdo das equações (4.9) e (4.15) não são estritamente idênticos, em virtude do termo (V_{OUT}/A) nesta última. Todavia, este termo será pequeno, se comparado com $2\phi_f + V_1$. Se, por exemplo, o ganho do amplificador operacional for igual a 1000 e V_{OUT} tiver seu valor máximo (~2,5 V), a contribuição deste fator será de 2,5 mV. Assim, pode-se admitir que

$$\alpha_1 \cong \alpha_2 \tag{4.17}$$

Igualando estes dois termos e simplificando, tem-se:

$$\sqrt{\frac{I_B}{\beta_1}} - V_{PIX} = \sqrt{\frac{I_B}{\beta_2}} - V_{OUT} \left(\frac{A+1}{A}\right)$$
(4.18)

De onde se obtém:

$$V_{OUT} = \left(\frac{A}{A+1}\right) \cdot V_{PIX} + \sqrt{I_B} \left(\sqrt{\frac{1}{\beta_2}} - \sqrt{\frac{1}{\beta_1}}\right) \cdot \left(\frac{A}{A+1}\right)$$
(4.19)

Para M_1 e M_2 perfeitamente casados, $\beta_1 = \beta_2$, fazendo com que o segundo termo à direita de (4.19) seja zero. Assim, a relação torna-se:

$$V_{OUT} = \left(\frac{A}{A+1}\right) \cdot V_{PIX} \tag{4.20}$$

O que demonstra que a tensão V_{OUT} copia a tensão de pixel, V_{PIX} . A Fig. 4. 10 mostra a curva de transferência DC do circuito, simulado no HSPICE para $(W/L)_1 = (W/L)_2$. Na figura, v(in) corresponde à tensão do pixel.

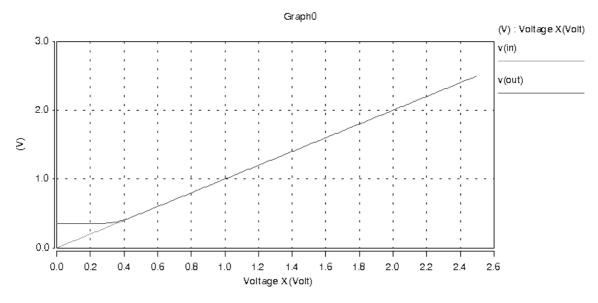


Fig. 4. 10 – Característica de transferência DC para $(W/L)_1 = (W/L)_2$.

De (4.19), observa-se que o segundo termo à direita, além de ser igual a zero para $(W/L)_1 = (W/L)_2$, é um termo constante em qualquer caso, significando que uma diferença entre as razões de aspecto dos dois transistores aparecerá como um *Offset* na tensão de saída, que poderá ser menor ou maior que a tensão de entrada. Porém, sendo o termo constante para a maior parte da excursão do sinal V_{PIX} , ele pode ser eliminado na leitura do APS por meio da amostragem dupla correlacionada. Observa-se ainda que este termo será proporcional à raiz quadrada da corrente de polarização (que é um parâmetro de projeto), e proporcional à diferença dos inversos das *raízes quadradas* β_1 e β_2 , dependendo estes, dentre outros fatores, das razões de aspecto $(W/L)_1$ e $(W/L)_2$.

A Fig. 4. 11 mostra a característica de transferência simulada para $(W/L)_2 = 2.(W/L)_1$ ($I_B = 2 \mu A$). Como esperado da análise de (4.19), tem-se $V_{OUT} < V_{IN}$. A Fig. 4. 12 mostra os resultados para $(W/L)_1 = 2.(W/L)_2$. Como esperado, obteve-se $V_{OUT} > V_{IN}$. Mas a diferença nos dois casos mantém-se aproximadamente constante durante a maior parte da

excursão de V_{PIX} . Uma diferença entre as razões de aspecto de 100%, como nestes exemplos, não será encontrada na prática. Pequenas diferenças entre os transistores irão resultar em discrepâncias muito menores entre V_{OUT} e V_{IN} . Porém os resultados de simulação confirmaram a validade da equação obtida.

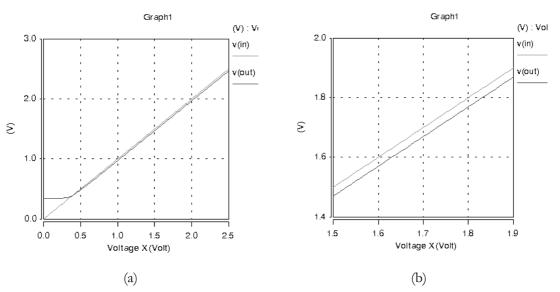


Fig. 4. 11 – Característica de transferência DC para $(W/L)_2 = 2.(W/L)_1$: (a) Excursão total; (b) Detalhe.

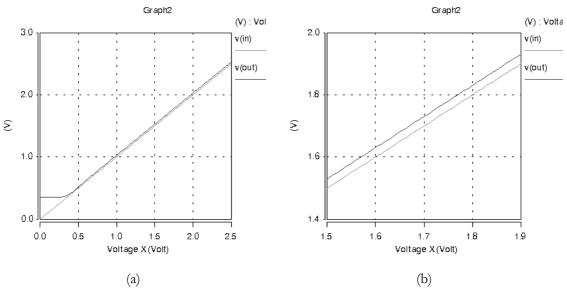


Fig. 4. 12 – Característica de transferência DC para $(W/L)_1 = 2.(W/L)_2$: (a) Excursão total; (b) Detalhe.

Observa-se que $V_{OUT} \neq V_{PIX}$ para valores baixos de V_{PIX} , mantendo-se aproximadamente fixa para valores de V_{PIX} menores que 0,4 V. Este fato pode ser explicado como segue: o amplificador força $V_1 = V_2$ em toda a excursão do sinal. V_1 assumirá valores maiores que zero desde que seja satisfeita a condição

$$V_{PIX} \ge V_{tn,1} + V_{sat,1} \tag{4.21}$$

Onde $V_{tn,1}$ e $V_{sat,1}$ correspondem, respectivamente, às tensões de limiar e saturação de M_1 . Deve-se notar que a condição (4.21) não leva em consideração a tensão de *overdrive* de M_3 , $V_{ov,3}$, que deveria ser levada em conta na operação do seguidor de fonte convencional (Item 2.4.4). Tal fato pode ser explicado como segue: para M_1 em condução, o circuito produzirá em V_{OUT} uma réplica da tensão V_{PIX} , mesmo com M_3 em região linear, visto que M_4 , o transistor de polarização do SF testemunha, também se encontrará na mesma condição de operação que M_3 . Da análise transiente, a ser mostrada no Item 4.5.1, o circuito produz em V_{OUT} uma réplica de V_{PIX} a partir de $V_{PIX} \cong 0,65$ V.

Caso a condição (4.21) não se verifique, tem-se $V_1 = 0$, forçando $V_2 = 0$. V_{OUT} , no entanto, não será igual a zero, mas sim igual ao *mínimo* para manter $V_2 = 0$. Este valor mínimo $V_{OUT,min}$, a partir do qual é válida a relação linear dada em (4.20), é dado por

$$V_{OUT,min} = V_{tn,2} + V_{sat,2} \tag{4.22}$$

Pela simetria do circuito, $V_{OUT,min}$ também é aproximadamente igual a 0,65 V. O fato de V_{OUT} assumir valores ainda menores na curva de transferência DC se deve à entrada de M_2 em região de sublimiar (com $V_{GS,2} < V_{tn,2}$), o que pode ser confirmado pela simulação do ponto de operação (.OP) para valores de V_{PIX} abaixo de 0,6 V.

4.3) Arquitetura do chip

De acordo com o circuito de leitura descrito na Seção 4.1, foi projetado o chip APS IV, fabricado na tecnologia C35B4M3 da Austria Microsystems (processo CMOS padrão, 0,35 μm, 3,3 V, poço N, 4 camadas de metal e 2 camadas de polisilício) [40]. O imageador foi projetado para fornecer saídas analógicas para metade da matriz, enquanto a outra metade fornece saídas digitais. O chip contém um conversor A/D integrado, sendo capaz de gerar, de forma autônoma, os sinais necessários para efetuar a leitura dos pixels, aquisição dos sinais, conversão A/D e transmissão dos dados.

A planta baixa do chip é mostrada na Fig. 4. 13. A matriz de leitura é um arranjo de 64x64 pixels, organizados em 8 grupos de colunas com 8 colunas cada. As principais características do circuito são:

- Os pixels da metade superior da matriz possuem polarização da moldura de polisilício colocada em torno do fotodiodo, enquanto os pixels da metade inferior possuem a moldura diretamente ligada em GND.
- Os 4 grupos de colunas da esquerda fornecerão saídas analógicas, sendo os amplificadores das colunas ligados a quatro buffers analógicos de saída.
- Os 4 grupos de colunas da direita fornecerão saídas digitais, com a conversão analógica-digital (A/D) realizada no próprio chip.
- As 8 saídas (analógicas e digitais) podem ser lidas paralelamente.
- Além da conversão A/D, os grupos com saída digital permitem a realização da amostragem dupla correlacionada (CDS), além de recursos para aumentar a faixa dinâmica do pixel através do ajuste do período de integração e tripla amostragem.
- O chip foi projetado para produzir de modo autônomo os sinais de endereçamento e controle necessários. Alguns desses sinais são específicos para os grupos de colunas com saída digital, enquanto outros servirão para o endereçamento de pixels dos grupos com saída analógica e saída digital

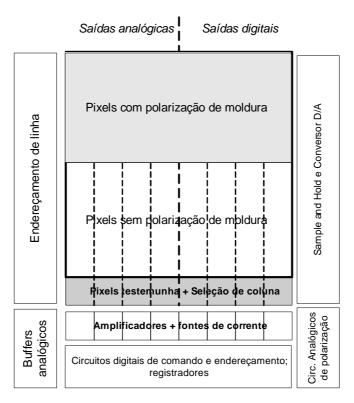


Fig. 4. 13 – Planta baixa do chip.

O padframe utilizado é o mesmo empregado no APS III [26], seguindo a disposição das trilhas de alimentação usadas naquele circuito – dois sinais de V_{DD}, digital e analógico, e a trilha de terra (GND). Ainda, o padframe se divide em dois conjuntos de trilhas de alimentação distintas (esquerda e direita), de forma a permitir a desconexão de parte do chip no caso de verificação de curto-circuito (Fig. 4. 14).

O layout completo do chip é mostrado na Fig. 4. 15. Além do *padframe*, são indicadas na figura quatro áreas visivelmente distintas: A – a matriz de pixels e o circuito de leitura; B –. blocos de processamento analógico do sinal; C – buffers analógicos de saída; D – circuitos digitais de geração de sinais de leitura, endereçamento, aquisição e transmissão de dados.

Cada um destes quatro grupos é composto por diferentes blocos, analógicos ou digitais. A área de circuitos digitais (D) se apresenta de forma distribuída, na parte inferior do chip. Um dos principais blocos digitais (decodificador de linha) não se encontra nesta região, mas sim disposto à esquerda da matriz de pixels, ao longo de toda sua extensão vertical.

Devido à grande quantidade de elementos, torna-se importante uma subdivisão do chip em grupos que possam ser descritos nos itens a seguir. Desse modo, o Item 4.3.1 aborda a matriz de pixels e o circuito de leitura. O Item 4.3.2 descreve os circuitos digitais que geram

os sinais de leitura, aquisição e transmissão de dados. A lógica de seleção dos pixels (linha/coluna) é tratada no Item 4.3.3. O Item 4.3.4 aborda os buffers de saída (usados apenas para os grupos de pixels com saída analógica). O Item 4.3.5 estuda o bloco de processamento analógico (usado apenas para os grupos de pixels com saída digital). Por último, os *latches*, registradores e registradores de deslocamento (também relacionados aos pixels com saída digital) são analisados no Item 4.3.6.

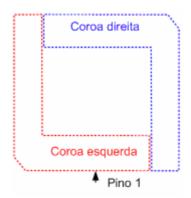


Fig. 4. 14 – Disposição das trilhas de alimentação.

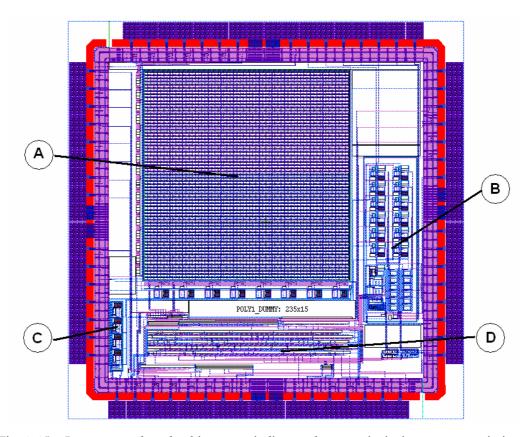


Fig. 4. 15 – Layout completo do chip, com a indicação de seus principais grupos constituintes.
 A – matriz de pixels e circuito de leitura; B – blocos de processamento analógico; C – buffers analógicos de saída; D – circuitos digitais (ver texto).

4.3.1) Matriz de pixels e circuito de leitura

A matriz de pixels é constituída de 64x64 pixels, divididos em 8 grupos de 8 colunas cada. O layout da matriz, incluindo o circuito de leitura na base das colunas, é mostrado na Fig. 4. 16a. Um grupo de colunas é mostrado em detalhe na Fig. 4. 16b, onde se pode distinguir os seus elementos constituintes, a saber:

- A Pixels da matriz;
- B Transistores de seleção de coluna e de leitura do SF testemunha, posicionados em uma linha especial abaixo dos pixels;
- C Transistores de polarização dos SFs e o transistor de Shut Down;
- D Amplificador de leitura.

No entorno da matriz de pixels existe um anel de guarda (*guard ring*) para drenagem de cargas, como ilustra a Fig. 4. 17. Tal estrutura é de importância em especial para dispositivos a serem usados em aplicações espaciais, pois, além de coletar os elétrons gerados por efeito da radiação, tem a função de drentar fotoportadores gerados em outras partes do circuito, que poderiam contribuir para o ruído no pixel [25].

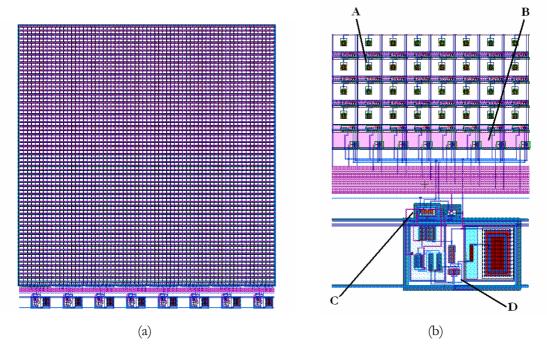


Fig. 4. 16 – Layout da matriz. (a) Completa. (b) Grupo de colunas (detalhe), com a indicação dos seus elementos constituintes: A – pixel da matriz; B – SF testemunha/seleção de coluna; C – transistores de polarização/Shut Down; D – amplificador de leitura.

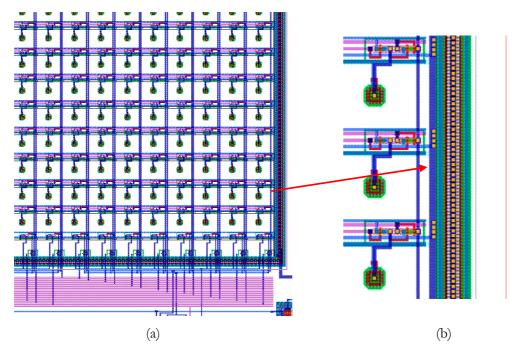


Fig. 4. 17 – Anel de guarda no entorno da matriz de pixels.

(a) Canto inferior direito da matriz; (b) Detalhe.

4.3.1.1) Pixels da matriz

Os pixels da matriz possuem dimensões 18 µm x 18 µm, configurados como o pixel 3T convencional. É utilizado apenas um fotodiodo por pixel. Dois layouts são apresentados: o primeiro sem polarização externa da moldura de polisilício, ficando esta conectada diretamente a GND (Fig. 4. 18a). O outro layout permite a polarização externa da moldura de polisilício (Fig. 4. 18b). A moldura de polisilício ao redor do fotodiodo (normalmente ligada a GND) faz parte da estratégia de layout de pixel tolerante à radiação [87], e o objetivo dos pixels com polarização externa da moldura é a investigação na redução da corrente no escuro do pixel, relatada em [59]. Os pixels com polarização de moldura encontram-se nas 32 linhas superiores da matriz, enquanto os pixels com moldura ligada a GND estão nas 32 linhas inferiores.

Para o pixel com polarização externa da moldura, mesmo sendo necessária uma trilha de metal a mais, não houve uma significativa redução do fator de preenchimento (FF = 64%). Além disso, a polarização da moldura com GND torna o comportamento dos dois pixels praticamente idêntico.

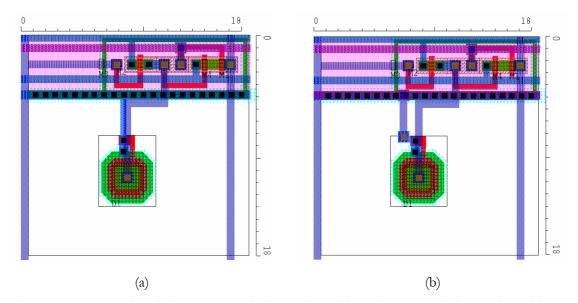


Fig. 4. 18 – Layouts dos pixels. (a) Sem polarização da moldura. (b) Com polarização da moldura.

Os layouts dos diodos poço-substrato (NWELL-PSUB) utilizados são mostrados na Fig. 4. 19, assim como suas seções transversais. A capacitância da junção P-N reversamente polarizada é uma função não-linear da tensão v_{PLX} , sendo dada (de [38]) pela expressão

$$C(v_{PIX}) = \frac{AREA \cdot CJ}{\left(1 + \frac{V_{PIX}}{PB}\right)^{MJ}} + \frac{PER \cdot CJSW}{\left(1 + \frac{V_{PIX}}{PB}\right)^{MJSW}}$$
(4.23)

Onde AREA e PER são, respectivamente, a área e perímetro do diodo; CJ e CJSW são as capacitâncias de área e laterais para a junção (para $V_{\rm PIX}=0$); MJ e MJSW são os coeficientes de *grading* de área e laterais; e PB é o potencial de junção. A curva da capacitância do diodo utilizado em função da tensão aplicada é mostrada na Fig. 4. 20.

Todos os transistores dos pixels têm dimensões W/L = 0,8/0,4 μm, ligeiramente maiores, portanto, que as dimensões mínimas para a tecnologia AMS C35 (0,7/0,35 μm) [41]. O objetivo é reduzir os efeitos do descasamento entre os transistores do pixel e os do SF testemunha, mantendo, por outro lado, as dimensões reduzidas dos transistores, de modo a não afetar o fator de preenchimento do pixel.

Nota-se nos layouts da Fig. 4. 18 um anel de guarde ao redor dos transistores do pixel. De testes realizados no chip APS III ([25],[28]), observou-se que a tecnologia 0.35 µm é intentemente tolerante aos níveis de radiação especificados para a operação em satélites de órbita baixa (200 krad em 10 anos [22]), o que justifica a não-adoção de procedimentos

especiais de layout tolerante à radiação para os transistores indidualmente, como os transistores concêntricos (enclosed) [88].

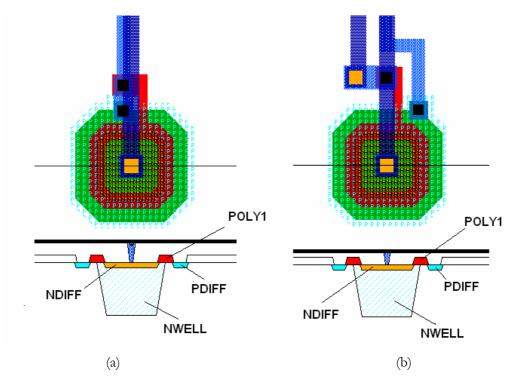


Fig. 4. 19 – Layouts e seções transversais dos diodos poço-substrato.

(a) Com moldura aterrada. (b) Com polarização externa da moldura.

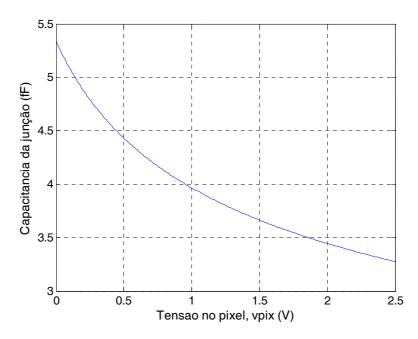


Fig. 4. 20 – Capacitância do diodo em função da tensão de pixel.

4.3.1.2) Transistores de seleção de coluna e de leitura do SF testemunha

Na base de cada coluna existe um pixel *dummy* (sem função de leitura, totalmente tampado com uma camada de metal), contendo os transistores de seleção de coluna e os transistores do SF testemunha. O layout desta célula é mostrado na Fig. 4. 21, com a identificação dos seus elementos. O arranjo físico dos transistores do SF testemunha também é idêntico ao utilizado nos pixels, de modo a reduzir o descasamento por diferenças na vizinhança destes elementos. Por simetria, o transistor de Reset, que no pixel *dummy* não será utilizado, é mantido no layout, com todos os seus terminais conectados a GND.

Os transistores de seleção de coluna estão posicionados na parte inferior da célula, sendo também de dimensões 0,8/0,4 µm.

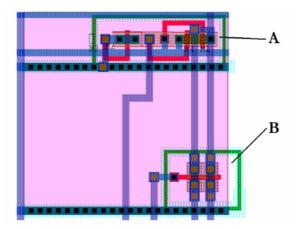


Fig. 4. 21 – Layout do bloco contendo SF testemunha (A) e transistores de seleção de coluna (B).

4.3.1.3) Transistores de polarização dos SFs e transistor de Shut Down

Os transistores de polarização dos seguidores de fonte formam um par casado, e são comuns a todo o grupo de colunas, como ilustra o circuito da Fig. 4. 22, sendo a coluna *i* de interesse selecionada pelos transistores de seleção de coluna, a partir do sinal *C_SELi*. A corrente de polarização adotada para os SFs foi de 2 µA.

Tanto os transistores de polarização dos SFs como o transistor de *Shut Down* são cercados por um duplo anel de guarda, de modo a minimizar interferências no sinal analógico pelo efeito da injeção de carga, causado pelos blocos digitais (e mesmo pelo transistor de *Shut Down*, que opera como chave analógica). Um detalhe contendo o layout dos transistores de polarização e de *Shut Down* é mostrado na Fig. 4. 23.

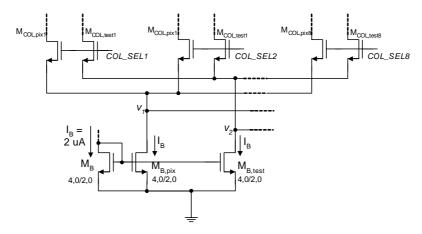


Fig. 4. 22 – Transistores de polarização dos seguidores de fonte (M_{B,pix} e M_{B,test}).

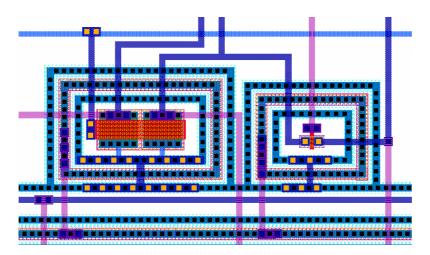


Fig. 4. 23 – Layout dos transistores de polarização (esquerda) e do transistor de Shut Down (direita).

4.3.1.4) Amplificador de leitura

O amplificador utilizado na nova topologia (Fig. 4. 4 e Fig. 4. 5, dentre outras) é um dos elementos principais do circuito, sendo referido neste trabalho como *amplificador de leitura*. Foi de interesse a escolha de uma configuração com as seguintes características:

- Elevado ganho em malha aberta, de forma a minimizar o erro DC entre o sinal de entrada (v_{PIX}) e o sinal de saída (v_{OUT}), conforme a equação (4.20). A análise DC foi mostrada na Seção 4.2.
- Elevada *Slew-Rate* (SR) e pequeno tempo de acomodação (*settling time*): das figuras 4.7 e 4.8, observa-se que o tempo para v_{OUT} acompanhar v_{PIX} dependerá da SR do amplificador, mais especificamente a SR de subida (SR₊). O tempo de acomodação (não mostrado nas referidas figuras) é o tempo necessário para o sinal situar-se dentro de limites pré-estabelecidos em relação do sinal DC. Sua importância se dá pelo fato da amostragem dever ser realizada após a

acomodação do sinal. Um amplificador que apresente um menor tempo de acomodação permitirá uma amostragem mais rápida do sinal ou, por outro lado, permitirá a amostragem de sinais com variação mais rápida. Exemplo deste caso seria um sinal com uma queda rápida (alta iluminação), para o qual fosse necessário um tempo de integração menor.

O tempo de acomodação de um amplificador é um de seus parâmetros-chave, porém de difícil determinação analítica [86]. É sabido que o tempo de acomodação é um parâmetro composto, causado pela *Slew-Rate* e pela resposta em frequência. A parte inicial da resposta ao degrau de um amplificador é governada por suas características de grandes sinais, enquanto a parte final, pouco antes da acomodação, é governada por suas características de pequenos sinais.

- Grande excursão do sinal de saída: já que a saída do amplificador irá variar de ~0,5
 V a ~2,5 V, é importante que o amplificador possua uma grande excursão no sinal de saída. Normalmente, esta característica é obtida nas configurações com dois estágios.
- Elevada margem de fase (> 70°): no projeto de amplificadores, admite-se que é necessária uma margem de fase superior a 65° para que a operação do dispositivo em malha fechada não leve o sistema à instabilidade. Margens de fase maiores garantem ainda mais a estabilidade, porém levando o sistema a uma resposta mais lenta no domínio do tempo. Toma-se como referência a relação da margem de fase com a resposta ao degrau de um sistema de segunda ordem [89], como ilustra qualitativamente a Fig. 4. 24. Para margens de fase em torno de 50° 60°, tem-se uma resposta mais rápida do sistema, acompanhada de um pequeno sobressinal (overshoot). Para margens de fase de 70° 80°, tem-se uma resposta mais lenta, com a redução considerável ou mesmo eliminação do sobressinal.

Para o amplificador a ser utilizado nesta configuração, uma margem de fase superior a 70° é necessária, devido à redução na margem de fase do sistema em malha aberta como um todo. Esta discussão é deixada para a Seção 4.4.

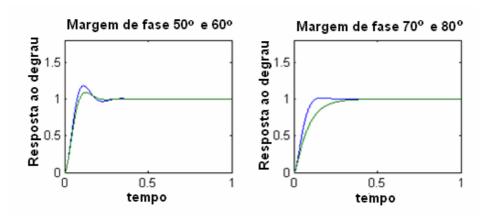


Fig. 4. 24 – Relação entre margem de fase e resposta ao degrau.

O símbolo usado para o amplificador nos diagramas esquemáticos mostrados remete, em uma primeira análise, ao amplificador operacional, cujas características essenciais são a alta impedância de entrada, o elevado ganho em malha aberta e a baixa impedância de saída. Em circuitos CMOS, contudo, é mais adequado o termo *amplificador operacional de transcondutância* (OTA – *Operational Transconductance Amplifier*) [90], que difere do amplificador operacional típico sobretudo devido à alta impedância de saída, o que restringe o emprego do OTA para a alimentação de cargas resistivas. De fato, o OTA é utilizado predominantemente com cargas capacitivas, sendo esta a natureza das cargas encontradas na entrada dos demais blocos do circuito CMOS (dispositivos *sample and hold*, buffers de saída, comparadores, etc.).

A configuração adotada, mostrada na Fig. 4. 25, foi um OTA Miller de 2 estágios com um par cascode no primeiro estágio, formado pelos transistores MP9 e MP10. Segundo [91], a presença do par cascode no estágio diferencial de entrada proporciona a este circuito um aumento no ganho DC do amplificador, sem alterar o seu produto ganho x banda passante (GBW – gain-bandwidth). São indicadas na figura as correntes de polarização do primeiro e segundo estágios, de 40 e 80 μA, respectivamente. A Tab 4.1 mostra os parâmetros dos elementos utilizados.

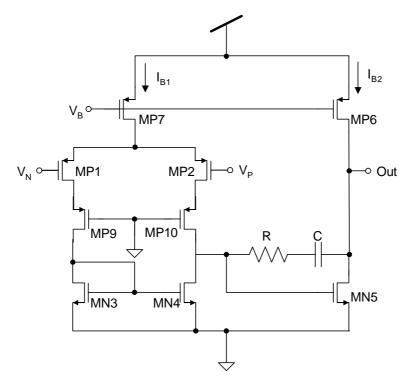


Fig. 4. 25 – Esquemático do OTA Miller 2 estágios.

Tab. 4.1 – Parâmetros dos elementos utilizados no amplificador da Fig. 4. 25.

Elemento	Parâmetros
MP1, MP2	L = 0.5u, W = 9u, M = 2
MN3, MN4	L = 1u, W = 3u, M = 2
MN5	L = 1u, W = 12u, M = 2
MP6	L = 1u, W = 9u, M = 4
MP7	L = 1u, W = 9u, M = 2
MP9, MP10	L = 0.5u, W = 12u, M = 2
R	5 kΩ
С	400 fF
C _L (carga)	200 fF (não mostrado)
Corrente de polarização	Valor
I_{B1}	40 μΑ
I_{B2}	80 μΑ

O layout do amplificador é mostrado na Fig. 4. 26. Por se tratar de um dispositivo interno (sem a necessidade de alimentar cargas capacitivas de valor mais elevado), o projeto do OTA levou em consideração uma carga de 200 fF na saída. Tipicamente, em OTAs de dois estágios, o capacitor de compensação tem um valor próximo ao valor da capacitância

de carga (ocupando uma área considerável no layout do dispositivo, como pode ser observado na figura). Neste projeto, o capacitor de compensação é duas vezes maior que a capacitância de carga, devido às exigências quanto à margem de fase.

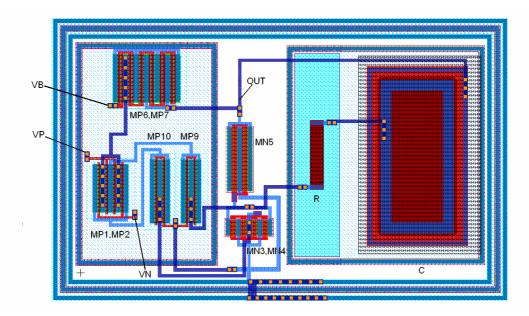


Fig. 4. 26 – Layout do amplificador.

A análise AC do amplificador em malha aberta no HSPICE leva ao diagrama de Bode da Fig. 4. 27. Para permitir a comparação da resposta AC do amplificador com a do sistema, foi assegurado um ponto de operação DC compatível com o que será encontrado no circuito de leitura completo. Do gráfico, são obtidas as principais informações:

- Ganho DC = 89,5 dB (29854);
- Ganho *versus* banda-passante, GBW = 120 MHz;
- Margem de fase = 82.8° .

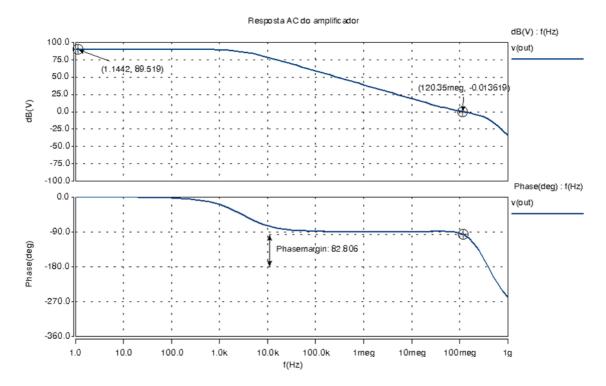


Fig. 4. 27 – Resposta AC do amplificador.

A *Slew-Rate* do amplificador é avaliada através da resposta do amplificador a uma entrada em degrau, aplicada à sua entrada não-inversora (com o amplificador configurado como seguidor de tensão). Da simulação transiente do circuito, obteve-se $SR_+ = 83,3 \text{ V/}\mu\text{s}$ e $SR_- = -116 \text{ V/}\mu\text{s}$. A resposta do amplificador ao degrau é mostrada na Fig. 4. 28. Como esperado, para uma margem de fase superior a 80° , não há sobresinal, de acordo com a Fig. 4. 24.

Ressalta-se ainda que, embora o amplificador da estrutura necessite de uma excursão do sinal de saída de aproximadamente 0,5 a 2,5 V, não há a necessidade desta mesma excursão para a entrada, já que, devido à rede de realimentação da nova topologia, o sinal de entrada irá variar de 0 a aproximadamente 1,55 V (o valor máximo de saída do seguidor de fonte).

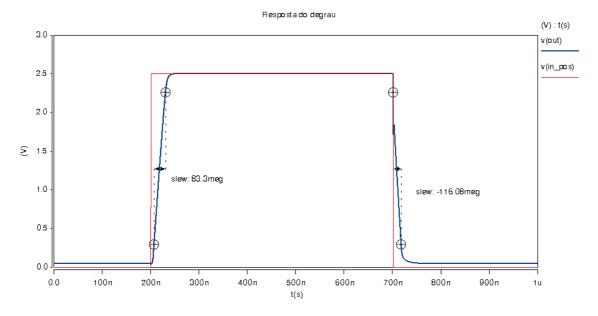


Fig. 4. 28 – Resposta do amplificador ao degrau.

4.3.2) Geração dos sinais digitais de leitura, aquisição e transmissão de dados

A estratégia de leitura do novo pixel foi ilustrada na Fig. 4. 6, e envolve essencialmente os sinais de Reset (Rst), seleção de linha (R_Sel) e *Shut Down* (S_Down). Estes sinais são gerados a partir de uma máquina de estados, e direcionados a um pixel específico através da aplicação de Rst e R_Sel a decodificadores de coluna e linha, respectivamente, responsáveis pelo endereçamento do pixel. O sinal S_Down, complementar a R_Sel, é aplicado unicamente ao transistor ligado entre a saída e a entrada inversora do amplificador. Os sinais de seleção de coluna, por permanecerem ativos durante todo o ciclo de acesso ao pixel, são gerados diretamente a partir do decodificador de coluna.

A máquina de estados também deve gerar os sinais relacionados às saídas digitais, como os pulsos de amostragem, além de sinais internos de gerenciamento do conversor A/D e do próprio contador da máquina de estados. O sinal de clock deste contador é proveniente de um circuito divisor de freqüência (*prescaler*) que permite a multiplicação do tempo de integração mínimo por 2, 4, 8, 16, 32, 64 e 128. Este recurso permite a expansão da faixa dinâmica do chip, através da técnica do tempo de integração variável.

Outro contador presente nos circuitos digitais de comando do chip é responsável pela geração da rampa do conversor A/D. Uma lógica relacionada à palavra de 8 bits

gerada por este contador é responsável pela geração do sinal de sincronismo para o início da transmissão serial dos sinais digitalizados, efetuada por um registrador de deslocamento.

Há ainda um outro contador, de 9 bits, utilizado no caso de endereçamento automático dos pixels. A palavra de saída deste contador é acessível externamente, de modo que as conexões para endereçamento automático são realizadas externamente.

O diagrama da Fig. 4. 29 discrimina todos os blocos digitais envolvidos na lógica de leitura, aquisição de transmissão dos dados digitalizados, com exceção do decodificador de linha. Os blocos indicados na figura são:

- I. Máquina de estados;
- II. Contador módulo 12 (da máquina de estados);
- III. Contador binário de 8 bits (do conversor A/D);
- IV. Contador binário de 9 bits (para o endereçamento automático);
- V. Prescaler;
- VI. Gerador do sinal de sincronismo para a transmissão serial;
- VII. Latches, registradores e registradores de deslocamento;
- VIII. Decodificador de coluna.

O decodificador de linha possui características particulares de layout, sendo posicionado verticalmente ao longo da matriz de pixels. Os circuitos decodificadores de linha e de coluna são abordados no próximo item.

Os blocos digitais foram projetados utilizando biblioteca de células-padrão (*Standard Cells*) do Design Kit AMS para a tecnologia 0,35 µm.

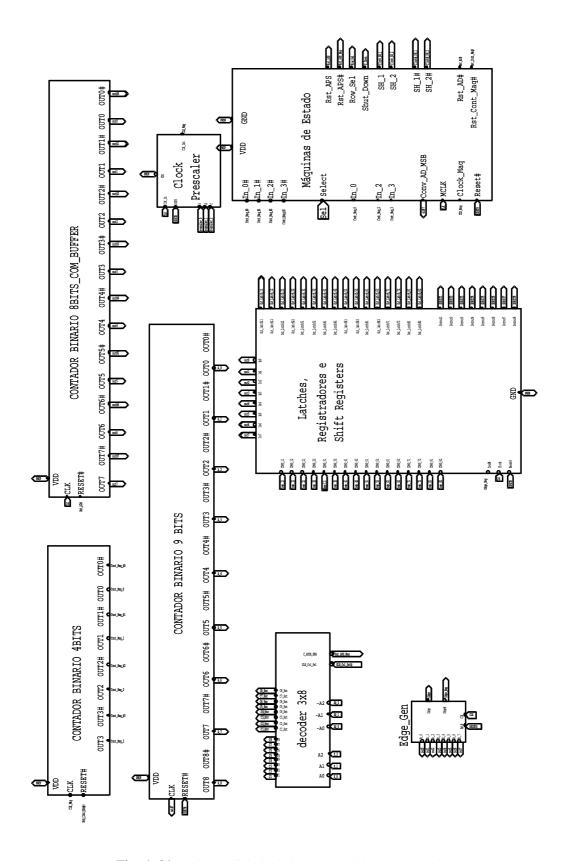


Fig. 4. 29 – Blocos digitais de leitura, aquisição e transmissão.

4.3.2.1) Ciclo de acesso ao pixel e geração dos sinais de leitura

Um ciclo completo de acesso (T_A) a um determinado pixel será formado por dois períodos distintos:

- I- Período de seleção, reset e amostragem do pixel (T_1) .
- II- Período de conversão A/D (T₂)

O período de seleção, reset e amostragem do pixel (T_1) será governado pelo contador de 4 bits que, em conjunto com a máquina de estados, comanda a aquisição do sinal. O clock deste contador é fornecido pelo prescaler, podendo variar de $2*T_{CLK}$ a $256*T_{CLK}$, sendo T_{CLK} o clock geral do sistema.

A interação do contador de 4 bits com a máquina de estados, bem como os sinais gerados, é ilustrada na Fig. 4. 30. Os sinais identificados com finalizados com "#" são ativos em nível baixo. Além dos sinais envolvidos diretamente no processo de leitura do pixel e aquisição dos dados (Rst_APS, Rst_APS#, Row_Sel_S_Down, Clock_SH_[1..3] e Clock_SH_[1..3]#), a máquina gera ainda os sinais de Reset do contador de 8 bits do conversor A/D (Rst_AD#) e Reset do contador de 4 bits (Rst_Cont_Maq#). O complemento do bit mais significativo do contador do conversor A/D (Out_7#) é usado na máquina para coordenar a atuação alternada deste com o contador de 4 bits. O sinal Presc_CLK é o clock do prescaler, sendo aplicado tanto ao contador como à máquina. A máquina também utiliza o clock geral do sistema (identificado como CLK).

O período total do contador de 4 bits é de 12 ciclos (módulo-12), após os quais ele é resetado pela máquina de estados e tem início o período de geração da rampa de tensão do conversor A/D (T₂), governado pelo contador de 8 bits. Este tempo corresponde a 256 períodos de clock do sistema, não sendo afetado pelo prescaler.

O tempo de acesso ao pixel, deste modo, será dado por

$$T_A = 24 * 2^N * T_{CLK} + 256 * T_{CLK}$$
 (4.24)

Onde N = 0, 1, 2, ..., 7 é o ajuste do prescaler.

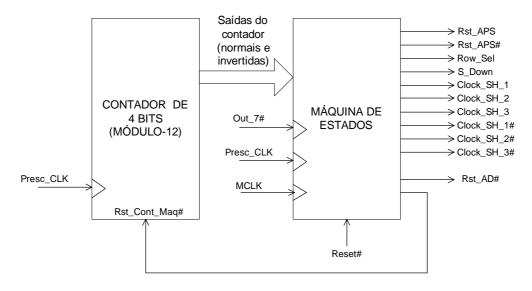


Fig. 4. 30 – Contador módulo-12 e máquina de estados.

O ciclo completo de acesso é ilustrado na Fig. 4. 31. Para um clock de 8 MHz (clock máximo para o qual o sistema foi projetado), o tempo de acesso ao pixel será de 35 µs (para N = 0). Sendo um grupo de colunas formado por 64x8 pixels, considerando que o chip irá fornecer as saídas dos 8 grupos paralelamente, a taxa de transmissão de quadros (*frame rate*) seria de aproximadamente 55 fps (quadros por segundo), o compatível com padrões comerciais de vídeo. Entretanto, tal taxa somente seria obtida para elevados níveis de iluminação, que justificassem um período de integração pequeno (2 µs). Para os níveis de iluminação típicos, é necessário um tempo de integração maior, o que pode ser obtido através do ajuste do prescaler, ou mesmo reduzindo o período de clock do sistema, para se ter um melhor aproveitamento do prescaler para a expansão da faixa dinâmica.

Os sinais de reset, seleção, *Shut Down* e amostragem são mostrados na Fig. 4. 32, sendo indicada a temporização a partir da máquina de estados. Os tempos indicados são dados, em função de T_{CLK} , na Tab. 4.2.

Nota-se a presença de três pulsos de amostragem (de largura fixa, independente do prescaler). O objetivo da tripla amostragem é permitir uma maior expansão da faixa dinâmica, além da proporcionada pelo prescaler e pelo aumento da excursão do sinal, como ilustram as formas de onda na saída do amplificador. Na figura, observa-se que a tripla amostragem permitiu a leitura das tensões produzidas pela descarga do pixel para as fotocorrentes I_{ph2} e I_{ph1} , sendo $I_{ph2} > I_{ph1}$. A amostragem dupla correlacionada será realizada obtendo-se a diferença entre o valor da primeira amostra e o da segunda (ou terceira) amostra.

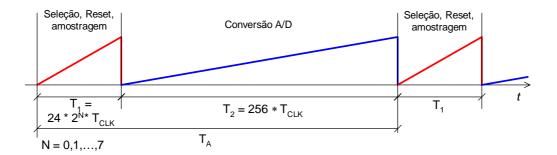


Fig. 4. 31 – Ciclo de acesso ao pixel.

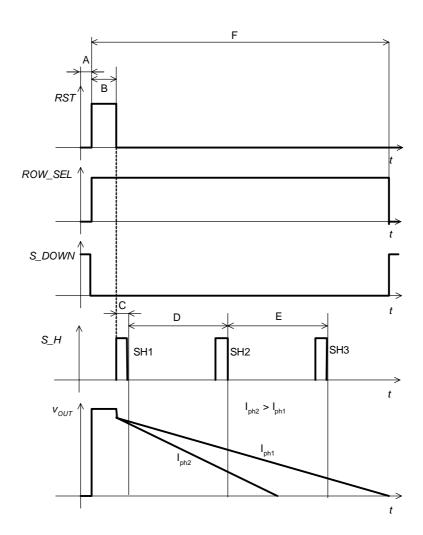


Fig. 4. 32 – Sinais de seleção, reset e amostragem. Efeito da tripla amostragem para o aumento da faixa dinâmica.

Tab. 4.2 – Descrição dos tempos ilustrados na Fig. 4. 32.

Intervalo	Duração (em função de T _{CLK})
A	$1*2^{N}*T_{CLK}$
В	$2*2^{N}*T_{CLK}$
С	2 * T _{CLK} (fixo)
D	8 * 2 ^N * T _{CLK}
Е	8 * 2 ^N * T _{CLK}
F	23 * 2N * T _{CLK}

4.3.2.2) Aquisição e transmissão de dados

Os circuitos digitais de aquisição e transmissão de dados são exclusivos para os pixels com saída digital (os 4 grupos de colunas á direita da matriz). Estes irão operar de forma conjunta com o bloco de processamento analógico (item 4.3.5). Compreendem um conjunto de *latches*, registradores e registradores de deslocamento (*shift registers*), responsáveis por armazenar a transmitir o valor digitalizado de v_{OUT} para cada uma das três amostras obtidas. Deste modo, cada canal (correspondendo a um grupo de colunas) é formado por:

- 3 latches, que forçam (aceleram) a resposta dos comparadores, sendo estes pertencentes ao bloco de processamento analógico. Por operem jntamente com os comparadores, a estrutura destes elementos é descrita no item 4.3.5.
- 3 registradores de 8 bits, gatilhados a partir dos *latches*, responsáveis pelo armazenamento da palavra digital correspondente ao sinal amostrado.
- 3 registradores de deslocamento, que são carregados paralelamente com as palavras armazenadas nos registradores e as transmitem serialmente, a partir de um pulso (Edge) gerado pelo bloco Edge_Gen (Fig. 4. 29).

O arranjo formado por estes componentes é mostrado na Fig. 4. 33. O bloco Edge_Gen, detalhado na Fig. 4. 34, gera o pulso Edge na próxima transição de clock após o valor do contador do conversor A/D ser igual a '11111111' (255). Deste modo, de acordo com a Fig. 4. 31, o pulso de carga dos registradores de deslocamento ocorre no próximo ciclo de acesso. Ou seja, a transmissão dos valores digitalizados para um dado pixel ocorrerá apenas no início do próximo ciclo de acesso, normalmente para um pixel diferente do anterior (a menos que o pixel seja endereçado estaticamente). Isto deverá ser levado em consideração na implementação de algoritmos externos para processamento do sinal

digitalizado. O pulso Edge também é acessível externamente, para sincronizar o início da transmissão serial.

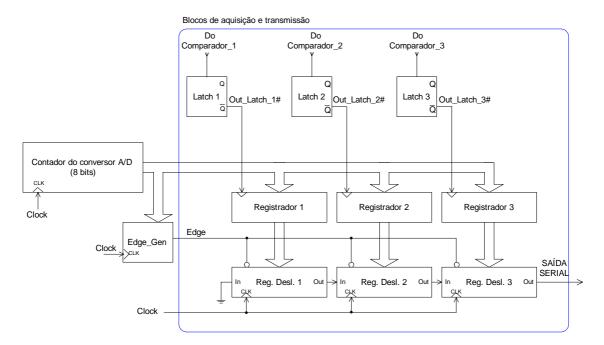


Fig. 4. 33 – Circuitos digitais de aquisição e transmissão de dados.

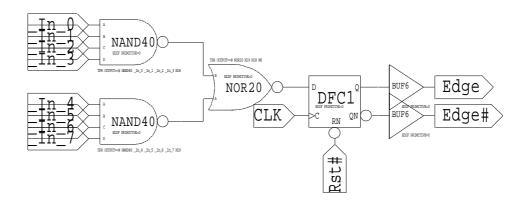


Fig. 4. 34 – Bloco Edge_Gen.

4.3.2.3) Endereçamento automático dos pixels

O chip prevê o endereçamento sequencial (automático) dos pixels, através do contador binário de 9 bits mostrado na Fig. 4. 29. O contador é incrementado a cada mudança de ciclo de acesso. Os bits de saída do contador são acessíveis externamente, bem como as entradas dos decodificadores de linha e de coluna, onde serão conectadas as saídas do contador no caso de endereçamento automático (os 3 bits menos significativos no

decodificador de coluna, e os 6 bits mais significativos no decodificador de linha), como mostra a Fig. 4. 35. Caso seja feita a opção pelo endereçamento estático, ou mesmo estratégias específicas de endereçamento, o contador de 9 bits não será utilizado.

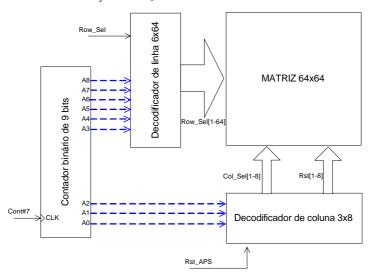


Fig. 4. 35 – Endereçamento automático dos pixels. As linhas em tracejado representam conexões externas ao chip.

4.3.3) Lógica de seleção de linha/coluna

O sinal de seleção de um dado pixel é disponibilizado em toda a linha onde este pixel se encontra. A geração destes sinais é realizada através de um decodificador de linha de 6 para 64 linhas, similar ao decodificador desenvolvido para a matriz anterior [26].

O esquemático do decodificador de linha é mostrado na Fig. 4. 36. O circuito é composto de quatro decodificadores de 4 para 16 linhas, para os quais as entradas de habilitação vêm de um decodificador de 2 para 4 linhas. Cada decodificador 4x16, por sua vez, é formado por decodificadores 2x4, como mostra a Fig. 4. 37a. A Fig. 4. 37b mostra a lógica do decodificador 2x4.

* decodificador de 6 entradas e 64 saídas bufferizadas

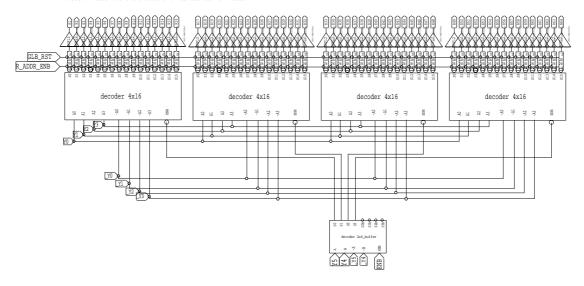


Fig. 4. 36 – Esquemático do decodificador de linha (6x64).

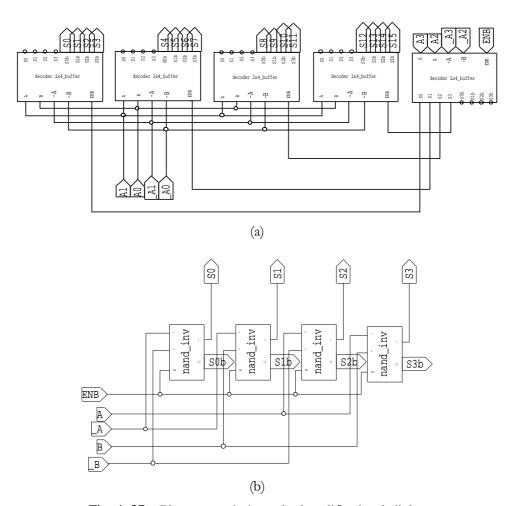


Fig. 4. 37 – Blocos constituintes do decodificador de linha.

(a) Decodificador 4x16; (b) Decodificador 2x4.

Além das entradas a serem decodificadas, o decodificador também possui as entradas ENB, GLB_RST e R_ADDR_ENB. ENB é a entrada de habilitação do decodificador, aplicada ao decodificador 2x4. O sinal é acessível externamente, e deve ser permanentemente habilitado (em nível alto). GLB_RST e R_ADDR_ENB são aplicadas a células denominadas LOG_SEL (lógica de seleção), posicionadas na saída de cada linha decodificada. O esquemático desta porta complexa é mostrado na Fig. 4. 38.

O sinal proveniente da linha a ser acessada é aplicado ao pino ENB da porta LOG_SEL. No pino R_ADDR_ENB (P_RST da porta), será aplicado o inverso do sinal global de seleção de linha (Row_Sel), gerado pela máquina de estados do sistema (P_RST é ativo em nível baixo). O sinal de Reset global (GLB_RST, pino G_RST da porta) é acessível externamente ao chip, e permite o acesso a todas as linhas simultaneamente. Seu uso não está previsto na operação normal da matriz, e deve ser mantido permanentemente inativo (em nível alto).

Na saída de cada bloco LOG_SEL existe um buffer destinado a aplicar o sinal a todos os transistores de seleção da linha correspondente, como ilustrado na Fig. 4. 36.

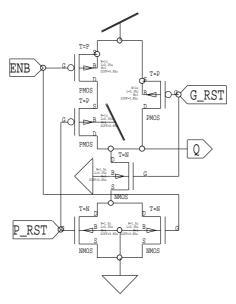


Fig. 4. 38 – Bloco LOG_SEL.

Para a lógica de seleção de colunas, houve modificações importantes em relação à matriz anterior, dada a mudança na estratégia de leitura. Do decodificador de coluna serão gerados dois sinais de comando – o sinal de seleção de coluna, responsável pela conexão da coluna de interesse aos transistores de polarização (ver Fig. 4. 22), e o sinal de Reset do pixel, que será comum a todos os pixels de uma mesma coluna. Além disso, os 8 blocos da matriz serão lidos paralelamente, sendo, portanto, utilizado um decodificador de 3 para 8

linhas. O arranjo é formado a partir de dois decodificadores 2x4, conforme o esquemático mostrado na Fig. 4. 39. Os sinais de seleção de coluna (*C1 – C8*) permanecem ativos durante todo o tempo de acesso ao pixel, enquanto os sinais de Reset (*C1_Rst – C8_Rst*) serão gerados por uma lógica entre o sinal de seleção de coluna e o sinal de Reset de pixel global, originado pela máquina de estados do sistema (aplicado ao pino C_ADDR_ENB do decodificador).

Similar ao que ocorre com o decodificador de linha, o sinal GLB_Col_Sel (que realiza o Reset de toda a matriz) é disponível externamente e não possui função na matriz atual, devendo ser mantido inativo (em nível alto).

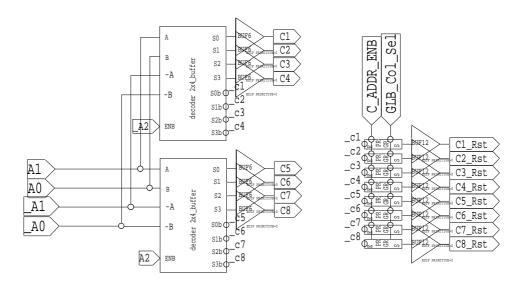


Fig. 4. 39 – Decodificador de 3 para 8 linhas.

4.3.4) Buffer de saída (para os blocos com saída analógica)

Para os blocos com saída analógica, o caminho do sinal desde o pixel até um dispositivo externo é mostrado na Fig. 4. 40. Além dos elementos constituintes do circuito de leitura mostrado na Fig. 4. 5, é incluído apenas um buffer de saída, destinado a conectar o sinal às capacitâncias externas ao chip.

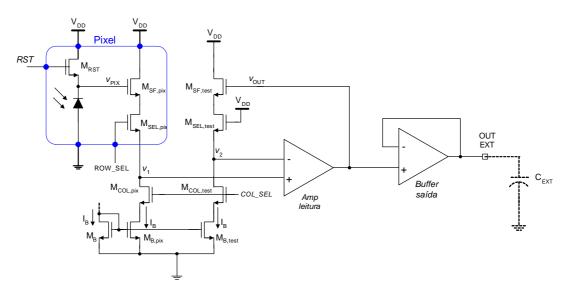


Fig. 4. 40 – Percurso do sinal – saída analógica.

Para o buffer de saída, foi empregado um amplificador de 3 estágios classe AB, cujo esquemático é mostrado na Fig. 4. 41, já com as dimensões dos componentes indicadas. Usualmente, amplificadores classe AB CMOS são empregados onde é necessário carregar capacitâncias que demandem uma corrente de carga maior que a corrente quiescente do circuito [90]. É o caso de capacitâncias externas ao chip, o que justifica o emprego deste amplificador na saída analógica. O layout do amplificador é mostrado na Fig. 4. 42. Os principais parâmetros deste amplificador são, para uma capacitância de saída de 10 pF, dados a seguir:

- Slew rate = $35 \text{ V/}\mu\text{s}$;
- GBW = 30 MHz;
- Margem de fase = 45°;
- Ganho DC = 98,6 dB.

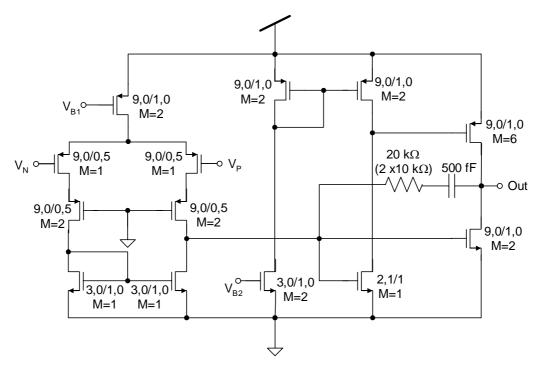


Fig. 4. 41 – Amplificador do buffer de saída – esquemático.

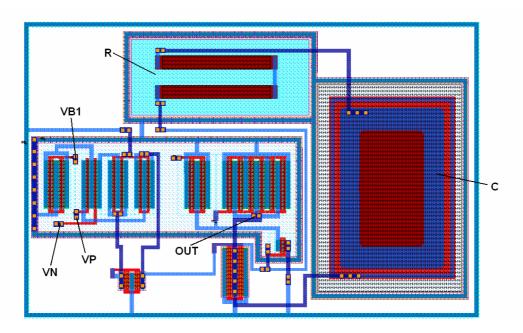


Fig. 4. 42 – Amplificador do buffer de saída – layout.

4.3.5) O bloco de processamento analógico (para os blocos com saída digital)

Para um grupo de colunas com saída digital, a quantidade e complexidade de blocos envolvidos no percurso do sinal é consideravelmente maior, se comparado ao bloco com saída analógica. Para a saída digital, foram implementados blocos capazes de realizar não somente a amostragem dupla correlacionada e a conversão A/D, mas também expandir, através de processamento do sinal, a faixa dinâmica do dispositivo, além da expansão através do aumento da excursão do sinal. Os blocos digitais envolvidos neste processo foram abordados no item 4.3.2 (Fig. 4. 33). O diagrama completo do percurso do sinal para uma saída digital é mostrado na Fig. 4. 43.

Para a conversão A/D, foi utilizado um conversor tipo rampa (single-slope), como em [92] e [93]. Esta é a estrutura mais usual em sensores APS com conversão A/D por coluna (column level). Para este método de conversão, uma rampa é gerada por um circuito central e disponibilizada a todas as colunas, cada qual dotada de um circuito de amostragem e retenção (S/H – Sample and Hold) e um comparador. Para o chip em estudo, os blocos relativos ao contador e conversor D/A são comuns a todos os grupos de colunas, e cada grupo é dotado de três conjuntos S/H e comparador, como ilustrado na figura.

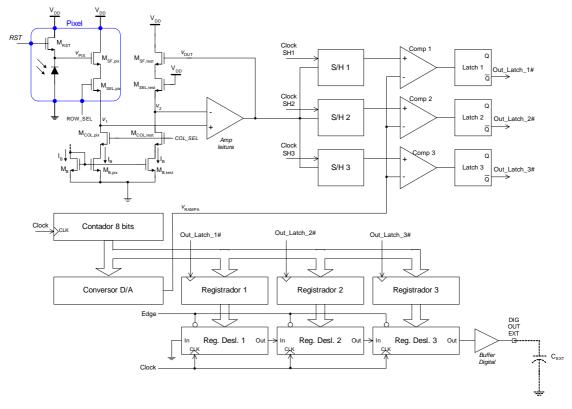


Fig. 4. 43 – Percurso do sinal – saída digital.

Optou-se pelo projeto do layout de todos os circuitos analógicos envolvidos no processamento analógico do sinal em um único bloco, denominado bloco de processamento analógico do sinal. O bloco contém a rede de conversão D/A, os circuitos S/H e os comparadores para os quatro grupos de colunas com saída digital (os 4 grupos à direita da matriz). O layout do bloco é ilustrado na Fig. 4. 44.

Em comum a todos os componentes do bloco, existe a necessidade de um layout que possibilite baixo ruído, devendo haver um desacoplamento entre estes circuitos e os circuitos digitais. Isto foi implementado através de um duplo anel de guarda ao redor de todo o bloco, além dos cuidados no layout de cada um dos componentes, descritos a seguir.

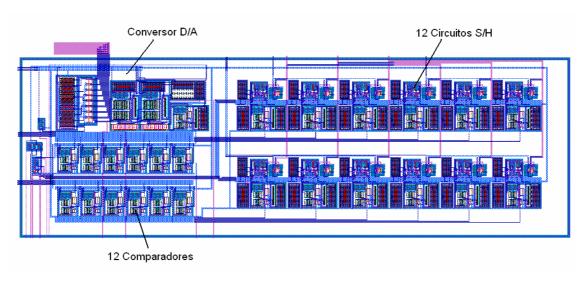


Fig. 4. 44 – Layout do bloco de processamento analógico de sinal.

4.3.5.1) Conversor D/A

O conversor D/A é parte integrante de um conversor A/D tipo rampa (single-slope), como ilustra a Fig. 4. 45. Diferentes técnicas podem ser empregadas na implementação do circuito, sendo mais utilizados os conversores baseados em resistores e em direcionamento de corrente ([94], [95]).

Para o conversor utilizado neste chip, foi empregada a estrutura baseada em resistores, utilizando uma rede R-2R com transistores CMOS como elementos resistivos. A descrição, projeto detalhado e características deste conversor são encontrados em [96].

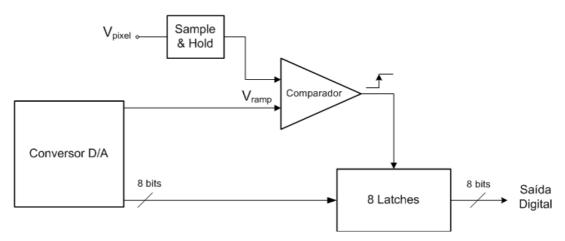


Fig. 4. 45 – Conversor A/D tipo rampa.

O diagrama esquemático do conversor é mostrado na Fig. 4. 46, incluindo o contador de 8 bits responsável por gerar a palavra digital a ser convertida. Uma rede (*ladder*) R-2R recebe uma corrente fixa, fornecida por um espelho de corrente. A rede R-2R recebe os bits de saída do contador binário de 8 bits (normais e invertidos). Na saída da rede existe um amplificador (Conversor I-V), responsável pela conversão corrente-tensão da rede R-2R, que irá proporcionar uma tensão de saída variável entre 0 e 1,65 V (V_{DD}/2). Como o circuito necessita gerar uma rampa que varia até níveis de tensão próximos a 2,5 V (valor aproximado da tensão de reset do pixel), é utilizado um amplificador não-inversor, com ganho configurado para levar o valor máximo da rampa a 2,475 V. A simulação das saídas do conversor D/A (Pré-Rampa) e do amplificador não-inversor (Rampa_Tensão) é mostrada na Fig. 4. 50, juntamente com as saídas digitais do contador de 8 bits. A resolução do circuito será

$$Resolução = \frac{2,475}{255} \cong 9,7 \text{ mV}$$

$$(4.25)$$

Um amplificador isolador (Amp. buffer) é usado para fornecer ao circuito uma tensão de referência de 1,65 V, a partir de um divisor de tensão externo.

A rede R-2R é detalhada na Fig. 4. 47. A chave complementar CMOS foi empregada para implementar as chaves. Seu esquemático é mostrado na Fig. 4. 48, notandose a presença de transistores *dummy* (P1, P3, N1 e N3), utilizados para compensar a injeção de carga proveniente de capacitâncias parasitas e de P2 e N2, quando estes não estão conduzindo [90].

O layout do conversor é mostrado na Fig. 4. 49, com a identificação de seus elementos principais. Em relação ao layout original, proposto em [96], algumas alteração

foram efetuadas, de modo a alocar esta estrutura no bloco de processamento analógico. A alteração mais notável foi a exclusão do contador binário do layout, uma vez que este componente deve permanecer externo ao bloco analógico. Como o contador fornece o valor da palavra digital a ser armazenada pelos registradores, é mais conveniente o seu posicionamento junto aos demais blocos digitais.

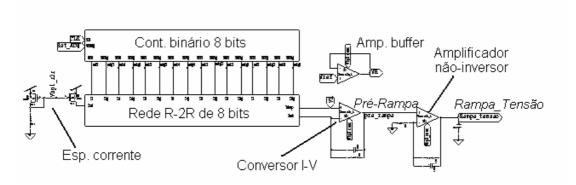


Fig. 4. 46 – Esquemático do conversor D/A, incluindo o contador de 8 bits.

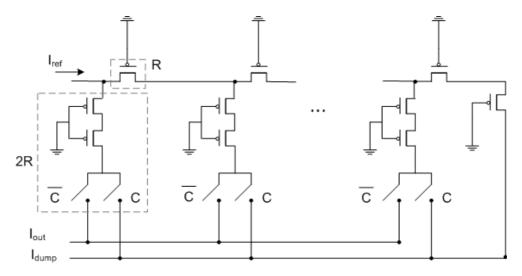


Fig. 4. 47 – Rede R-2R.

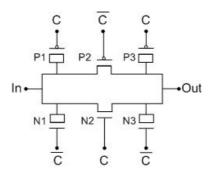


Fig. 4. 48 – Chave complementar CMOS com transistores dummy.

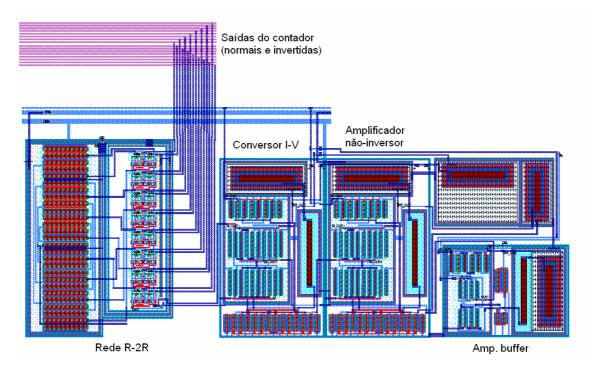


Fig. 4. 49 – Layout do conversor D/A.

Tal como no amplificador do circuito de leitura, a topologia OTA Miller de dois estágios foi adotada para os amplificadores do conversor. Possuem, portanto, o mesmo esquemático da Fig. 4. 25. Os parâmetros diferem daquele amplificador, sendo apresentados na Tab. 4.3. A Tab. 4.3a mostra os parâmetros dos amplificadores utilizados no conversor I-V e no estágio de saída (amplificador não-inversor). Na Tab. 4.3b são dados os parâmetros do amplificador usado no buffer da referência de tensão.

Os layouts da Fig. 4. 51, letras (a) e (b), referem-se aos amplificadores da Tab. 4.3 (a) e (b), respectivamente, com a indicação dos respectivos elementos. O layout da Fig. 4. 51a inclui transistores *dummy* na periferia dos transistores interdigitados efetivamente constituintes do amplificador, com o objetivo de reduzir o descasamento entre os elementos devido às variações de processo e geometria. As geometrias maiores dos transistores efetivos do layout da letra (a), além dos transistores *dummy*, conferem dimensões maiores que o layout apresentado na letra (b). As características dos dois amplificadores são comparadas na Tab. 4.4.

Tab. 4.3 – Parâmetros dos elementos utilizados nos amplificadores da Fig. 4. 49.

	Parâmetros	
Elemento	(a)	(b)
	Amp. Conversor I-V e	Buffer de referência de
	amp. não-inversor	tensão
MP1, MP2	L = 0,4u, W = 12u, M = 4	L = 0.4u, W = 8u, M = 2
MN3, MN4	L = 1u, W = 7,5u, M = 2	L = 1u, W = 5u, M = 1
MN5	L = 1u, W = 7,5u, M = 8	L = 1u, W = 10u, M = 2
MP6	L = 1u, W = 8u, M = 4	L = 1u, W = 8u, M = 4
MP7	L = 1u, W = 8u, M = 2	L = 1u, W = 8u, M = 2
MP9, MP10	L = 0,4u, W = 12u, M = 4	L = 0.4u, W = 8u, M = 2
R	13 kΩ	13 kΩ
С	200fF	200fF
Corrente de	Valor	
polarização		
I_{B1}	10 μΑ	10 μΑ
I_{B2}	20 μΑ	20 μΑ

Tab. 4.4 – principais características dos amplificadores utilizados no conversor $\mathrm{D/A^2}$

	Valor		
Parâmetro	(a)	(b)	
	Amp. Conversor I-V e amp. não-inversor	Buffer de referência de tensão	
Slew-Rate (SR ₊)	35,8 V/μs	43,5 V/μs	
GBW	78,4 MHz	88,4 MHz	
Margem de fase	30,7°	61,2°	
Ganho DC	98,4 dB	96,6 dB	

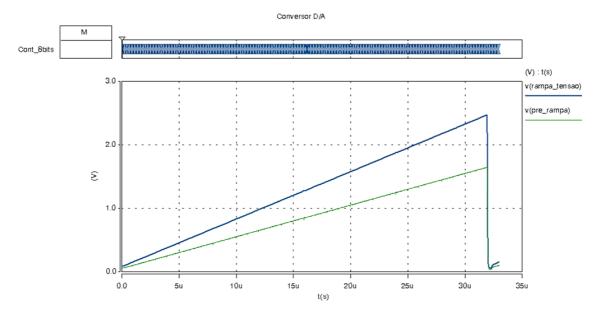
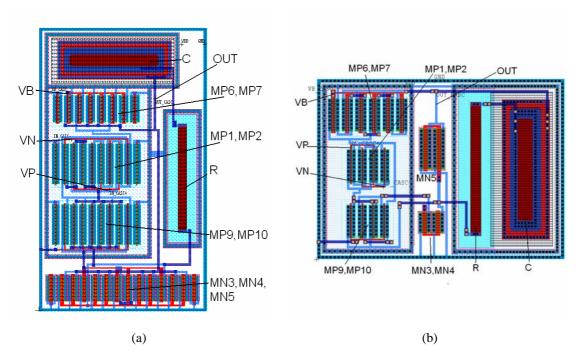


Fig. 4. 50 – Saída do conversor D/A (Pre_Rampa), do amplificador não-inversor (Rampa_Tensao) e do contador de 8 bits..



 $Fig.\ 4.\ 51-Layouts\ dos\ amplificadores.$

(a) Amplificador do conversor I-V e estágio de saída; (b) amplificador do buffer.

4.3.5.2) Circuito de amostragem e retenção (Sample and Hold)

Para o dispositivo S/H, foi empregada uma configuração em malha aberta com capacitor de Miller, denominada Miller-Hold Capacitance. Esta topologia, apresentada em [97] e ilustrada na Fig. 4. 52a, é empregada em circuitos de alta velocidade. O circuito atenua o erro de amostragem, resultante da injeção de cargas da entrada pela chave de amostragem, através do uso de uma pequena capacitância, que é aumentada pelo efeito Miller durante a fase de retenção. Este circuito foi analisado em [96].

Dois amplificadores são utilizados neste circuito – um cascode dobrado (folded cascode) para o amplificador do circuito Miller, e um OTA Miller de dois estágios para o seguidor de tensão (buffer). O OTA Miller é o mesmo utilizado no buffer da referência de tensão do conversor A/D (Fig. 4. 50a). O esquemático do OTA cascode dobrado é mostrado na Fig. 4. 53. Esta topologia foi utilizada em função da sua grande excursão do sinal de entrada em modo comum, além de ser uma estrutura de um único estágio, não necessitando de capacitor de compensação.

Devido ao nível de tensão na saída do amplificador do APS chegar próximo a 2,5 V, é necessário o uso de chave complementar compensada CMOS para S1 (Fig. 4. 52b), enquanto para S2 foi utilizada uma chave NMOS, mantendo, porém, os dois transistores *dummy* NMOS para reduzir a injeção de carga. O layout do circuito (Fig. 4. 54) mostra S1 e S2 implementadas dentro de um mesmo anel de guarda, para evitar ruídos de chaveamento.

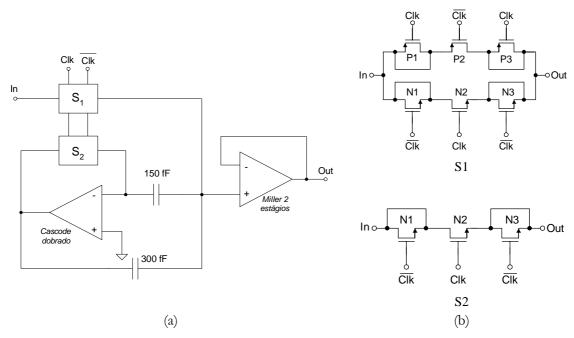


Fig. 4. 52 – Arquitetura do S/H com capacitância de Miller.

(a) Esquemático do circuito. (b) Estrutura das chaves S1 e S2.

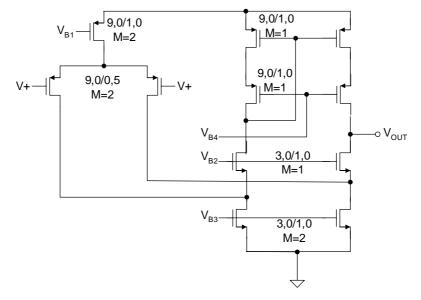


Fig. 4. 53 – Esquemático do OTA cascode dobrado, utilizado no S/H.

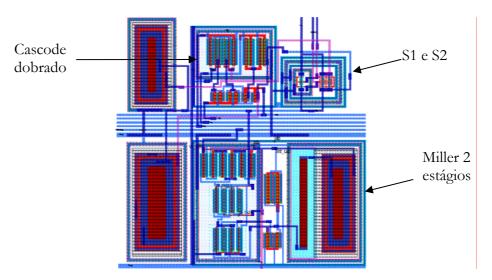


Fig. 4. 54 – Layout do S/H, com a indicação das chaves S1 e S2, amplificador cascode dobrado e amplificador Miller 2 estágios.

4.3.5.3) Comparadores e latches

O comparador faz a transição entre os circuitos analógicos e digitais, em uma etapa de conversão A/D. A característica de transferência DC para um comparador ideal é dada na Fig. 4. 55. Os comparadores utilizados no circuito da Fig. 4. 43 foram implementados utilizando o mesmo OTA empregado no buffer de referência de tensão (Fig. 4. 46) e no buffer do S/H (Fig. 4. 52). Foi excluído o ramo passivo de compensação, já que o comparador opera em malha aberta. Além disso, a retirada de C e R contribui para uma elevada *Slew-Rate* tanto na transição positiva (de '0' para '1') como negativa (de '1' para '0'),

tornando mais rápida a resposta do comparador. O esquemático e o layout do comparador são mostrados na Fig. 4. 56.

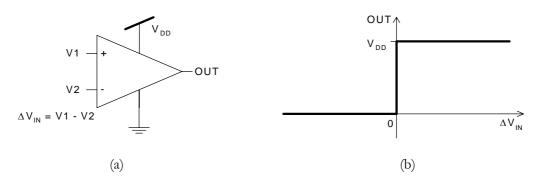


Fig. 4. 55 – Comparador (a) Símbolo; (b) Característica de transferência ideal.

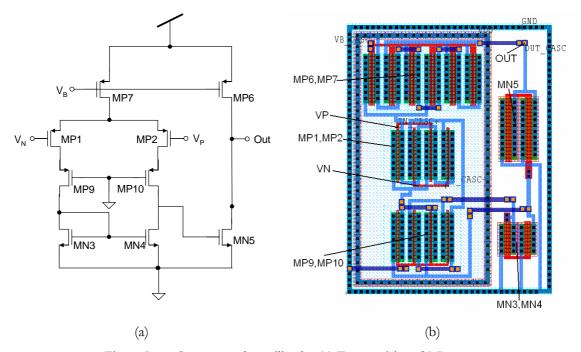


Fig. 4. 56 – O comparador utilizado. (a) Esquemático; (b) Layout.

A característica de transferência obtida para a simulação DC do comparador é mostrada na Fig. 4. 57. Nota-se o efeito do ganho DC finito do amplificador na região próxima de $\Delta V_{\rm IN}=0$. De fato, o ganho DC do amplificador pode ser obtido através da medida da inclinação desta curva no seu ponto central.

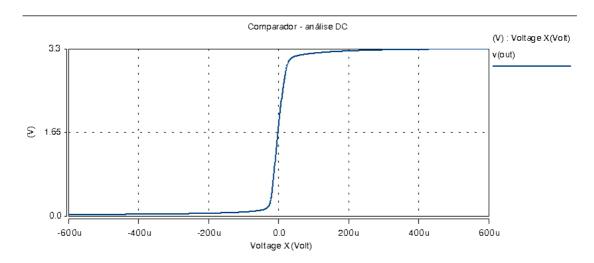


Fig. 4. 57 – Característica de transferência V_{OUT} x ΔV_{IN} do comparador.

Ainda que o amplificador possua um elevado ganho DC, como o utilizado, um *latch* é usualmente inserido na saída do comparador de modo a forçar a transição, aproximando ainda mais a saída do conjunto comparador/*latch* daquela representada para o comparador ideal da Fig. 4. 55.

Na Fig. 4. 58a é mostrado o conjunto comparador/latch, e o diagrama esquemático do latch utilizado. Este componente do circuito não está inserido no bloco de processamento analógico, e sim no bloco digital. Devido, porém, à sua atuação conjunta com o comparador, ele foi descrito neste item. A Fig. 4. 59 é similar à Fig. 4. 57, mostrando agora o efeito do latch na característica $V_Q \propto \Delta V_{IN}$. Uma saída inversora também é disponibilizada, sendo esta a utilizada no circuito, já que o registrador deve armazenar o valor do contador de 8 bits quando a tensão na entrada inversora do comparador (rampa do conversor D/A) tornar-se *maior* que a tensão na entrada não-inversora (proveniente do S/, como foi ilustrado na Fig. 4. 43.

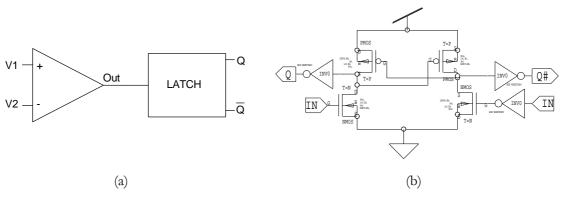


Fig. 4. 58 – Latch. (a) Conjunto comparador-latch; (b) Esquemático.

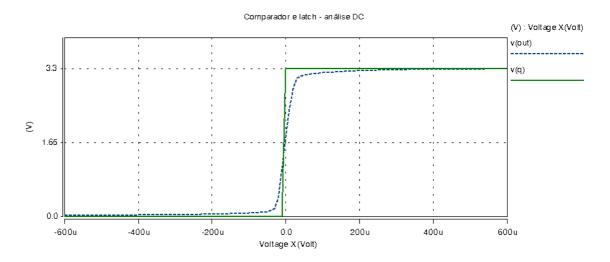


Fig. 4. 59 — Característica de transferência V_{OUT} x ΔV_{IN} do comparador e V_Q x ΔV_{IN} do latch.

4.4) Análise AC (pequenos sinais)

O OTA Miller de 2 estágios empregado no buffer de referência de tensão e no buffer do circuito S/H (Fig. 4. 51b) foi o primeiro amplificador testado, em simulações, como amplificador de leitura. Uma SR maior foi desejada, levando então ao amplificador efetivamente utilizado no circuito de leitura (Fig. 4. 25, Fig. 4. 26). Os parâmetros originais dos transistores utilizados no par diferencial e no par cascode diferiam, porém, dos apresentados na Tab. 4.1. A Tab. 4.5 compara os valores anteriores e os valores atuais.

Tab. 4.5 – Comparação entre valores de transistores nas versões anterior e atual do amplificador de leitura.

Elementos	Valores anteriores	Valores atuais
MP1, MP2	L=0.5u W=9u,	L = 0.5u, W = 9u,
(par diferencial)	M=4	M = 2
MP9, MP10	L=1u W=4.5u	L = 0.5u, W = 12u,
(par cascode)	M=2	M = 2

Na versão anterior, apesar das características de margem de fase similares à versão atual, foi constatada, em simulação, uma oscilação na resposta ao degrau simulação transiente do sistema como um todo, denotando uma degradação na margem de fase e na estabilidade do sistema. Isto levou à análise de pequenos sinais para o circuito de leitura, e consequentemente à adaptação do projeto do OTA.

O redimensionamento do par cascode foi uma consequência da mudança realizada no par diferencial. Tendo o par diferencial diminuído de tamanho, foi necessário aumentar as dimensões do par cascode para impedir a entrada destes em região linear para valores baixos de tensão na entrada do amplificador. Os motivos para o redimensionamento do par diferencial advieram do estudo da estabilidade do sistema, como mostrado a seguir.

O primeiro passo para a análise da estabilidade é a modelagem de pequenos sinais do circuito da Fig. 4. 5. O diagrama de blocos correspondente é mostrado na Fig. 4. 60, onde $H_{amp}(s)$ e $H_{SF}(s)$ são, respectivamente, as funções de transferência do amplificador e dos seguidores de fonte (do pixel e testemunha, assumidos como idênticos). A função de transferência em malha fechada do sistema, $H_{circ,MF}(s)$, será

$$H_{circ,MF}(s) = H_{SF}(s) \cdot \frac{H_{amp}(s)}{1 + H_{amp}(s).H_{SF}(s)} = \frac{H_{amp}(s).H_{SF}(s)}{1 + H_{amp}(s).H_{SF}(s)}.$$
 (4.26)

A equação (4.26) mostra ser possível a obtenção de um diagrama de blocos simplificado, dado na Fig. 4. 61. Este diagrama corresponde à forma canônica de um sistema com realimentação unitária, cuja função de transferência de malha aberta, $H_{circ,MA}(S)$, é dada por

$$H_{circ,MA}(s) = H_{SF}(s).H_{amp}(s).$$
 (4.27)

O rearranjo dos blocos traz informações importantes. A primeira é que os SFs podem ser interpretados como um estágio *preliminar* do amplificador (embora não sejam uma etapa diferencial). Como o ganho de um SF é menor que a unidade (tipicamente em torno de 0,85), este estágio preliminar na verdade será um atenuador, e não uma etapa de préamplificação. O elevado ganho DC em malha aberta do amplificador, no entanto, não permite que tal atenuação seja crítica, para a banda de passagem considerada no circuito.

Em segundo lugar, é notório que a função da transferência do seguidor de fonte irá alterar as características dinâmicas do circuito. Torna-se necessário, portanto, obter as funções de transferência para o seguidor de fonte e para o amplificador.

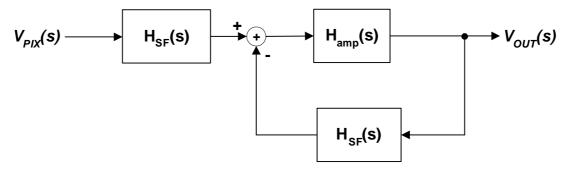


Fig. 4. 60 – Diagrama de blocos para a análise de pequenos sinais.

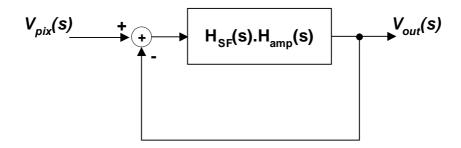


Fig. 4. 61 – Diagrama de blocos simplificado.

O circuito equivalente para pequenos sinais do amplificador de leitura é mostrado na Fig. 4. 62. É uma representação mais complexa que a representação usual de um OTA Miller de dois estágios [90], devido á presença do par cascode no primeiro estágio. Ressaltase que a representação das capacitâncias de entrada dos transistores do par diferencial não é usual, já que presume-se a excitação do mesmo a partir de fontes de tensão ideais ou com baixa impedância de saída, ou ainda a partir de outros blocos com capacitância de carga muito maior que as capacitâncias de entrada do amplificador em questão. Para a análise do circuito de leitura proposto, elas devem ser consideradas.

Da figura, C_{in1} e C_{in2} são as capacitâncias de entrada dos transistores do par diferencial. O parâmetro gm1 é a transcondutância do par diferencial, em paralelo com G_1 e C_1 , representando a soma das condutâncias e capacitâncias associadas ao nó do sinal v_I . gm2 é a transcondutância do par cascode, em paralelo com a condutância G_2 associada aos transistores desse par. A condutância e capacitância associadas à carga, formada por um espelho ativo NMOS, é representada por G_3 e C_3 , respectivamente.

A tensão v_2 é o parâmetro controlador de g_{m3} , a transcondutância do segundo estágio. G_4 e C_4 são, respectivamente, a condutância e capacitância equivalente do nó de saída, de onde se obtém v_{out} . Os elementos do ramo de compensação são também representados, a saber, o capacitor de compensação C_C , e o resistor responsável pelo

cancelamento de um zero (*zero nulling*) no semi-plano direito causado pela presença de C_C. Estritamente, o zero não é cancelado por R_C, mas sim deslocado para uma frequência que torna o seu efeito irrelevante.

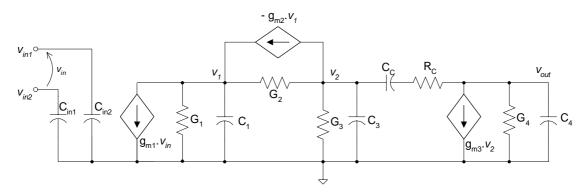


Fig. 4. 62 - Modelo de pequenos sinais do amplificador de leitura.

A obtenção de uma função de transferência $V_{OUT}(s)/V_{IN}(s)$ exata para o circuito da Fig. 4. 62 é trabalhosa, e geralmente desnecessária para o estudo em questão. Em vez disso, é possível admitir, por simplicidade, que o amplificador seja representado por um sistema de segunda ordem, no formato

$$H_{amp}(s) = \frac{V_{OUT}(s)}{V_{IN}(s)} = \frac{A}{\left(\frac{s}{\rho_1} + 1\right)\left(\frac{s}{\rho_2} + 1\right)}$$
 (4.28)

Assume-se que $H_{amp}(s)$ é, portanto, uma função de transferência com dois pólos $(p_1 e p_2)$, sendo um pólo dominante, e ganho DC igual a A. A função de transferência obtida analiticamente a partir dos parâmetros dos elementos do circuito é de difícil determinação, devido aos diversos efeitos de segunda ordem nos transistores, sobretudo para os transistores envolvidos neste circuito, de pequena geometria, sujeitos, portanto, aos efeitos de canal curto e canal estreito. Lança-se mão, deste modo, da análise AC no HSPICE, levando ao diagrama de Bode já mostrado na Fig. 4. 27.

Para um seguidor de fonte – SF (Fig. 4. 63a), tem-se o circuito equivalente para pequenos sinais da Fig. 4. 63b. Por simplicidade, foram desprezados os transistores de chave (cujas condutâncias implicariam em uma alteração na resposta em freqüência, em uma análise mais aprofundada). É obtida a seguinte função de transferência:

$$\frac{V_{out}}{V_{in}} = \frac{sC_{gs1} + g_{m1}}{g_{ds1} + g_{ds2} + sC_{L} + g_{mb1} + sC_{gs1} + g_{m1}} = \frac{sC_{gs1} + g_{m1}}{s(C_{L} + C_{gs1}) + (g_{ds1} + g_{ds2} + g_{mb1} + g_{m1})},$$
(4.29)

Verifica-se, deste modo, que o SF introduz um pólo na função de transferência do sistema, em (4.26), além de um zero em alta frequência.

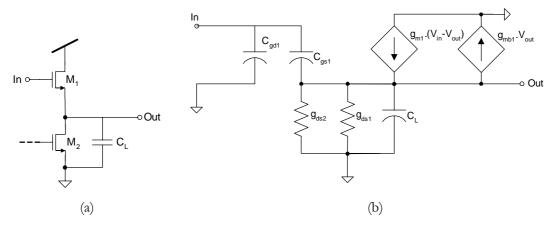


Fig. 4. 63 – Seguidor de fonte. (a) Circuito; (b) Modelo para pequenos sinais.

Sendo $C_L >> C_{gs1}$, verifica-se que o pólo da função de transferência do SF é determinado predominantemente pela sua capacitância de carga. Para o sistema em estudo, esta capacitância será a capacitância de entrada dos transistores do par diferencial, que pode, dependendo do valor assumido, deslocar o pólo do SF para dentro da faixa de passagem do amplificador, inserindo mais um pólo dominante no sistema, levando-o a uma diminuição na margem de fase e podendo tornar o circuito instável.

Esta situação poderia, teoricamente, ser contornada das seguintes maneiras:

Projetar um amplificador com um ganho banda-passante muito menor que a freqüência do pólo do SF, para que este não exercesse nenhuma influência sobre a resposta do sistema. Porém a Slew-Rate está relacionada ao GBW, e seria também reduzida com a redução de GBW. Existem topologias relatadas na literatura para desacoplar a SR do GBW, inicialmente propostas para circuitos com transistores bipolares [98]. O método, no entanto, é proposto para um amplificador de um único estágio, e possui o inconveniente de aumentar a corrente de polarização e o consumo, apenas para aumentar a SR nas transições, como comentado em [91].

- Aumentar a frequência de corte do seguidor de fonte, pelo no ganho g_{m1} do transistor (mantendo a mesma capacitância de carga C_L). Estando, contudo, um aumento em g_{m1} vinculado ao aumento na corrente de polarização do SF e na sua razão de aspecto (W/L), seria inviável esta solução no sensor APS, onde o transistor de leitura deve ter pequenas dimensões por se encontrar dentro do pixel. A corrente de polarização deve também se manter dentro de valores que não impliquem em um aumento inviável no consumo de energia da matriz.
- Aumentar a frequência de corte do seguidor de fonte, pela diminuição da capacitância de carga C_L (mantendo o mesmo ganho gm1 do transistor). Esta alternativa mostrou-se mais viável, com a redução do par diferencial de entrada do amplificador de leitura. Tal redução leva a uma redução no ganho do amplificador, o que pode ser admitido para o circuito em estudo.

Foi adotada, portanto, a redução da capacitância de carga do amplificador. A capacitância original do par diferencial (com W/L = 9/0,5, M = 4) era de aproximadamente 45 fF. Fazendo M = 2, o valor obtido foi de 24 fF. Os diagramas de Bode para o SF com C_L = 45 fF e 24 fF são mostrados na Fig. 4. 64, tendo a freqüência do pólo subido de 72,3 MHz para 116,6 MHz. Mesmo com C_L = 24 fF, o pólo ainda situa-se abaixo da freqüência de ganho unitário (122 MHz), mas o seu efeito na resposta do sistema não é tão crítico como no caso anterior, dada a elevada margem de fase projetada para o amplificador.

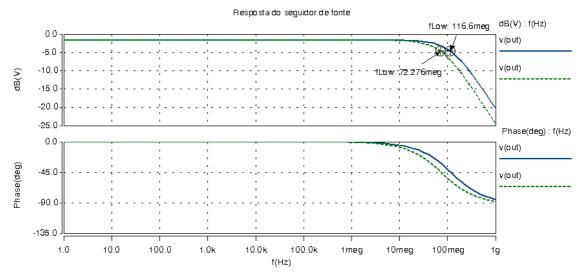


Fig. 4. 64 – Diagramas de Bode para o seguidor de fonte. Linha contínua: $C_L = 24$ fF; linha tracejada: $C_L = 45$ fF.

Espera-se que o diagrama de Bode para o sistema em malha aberta apresente uma redução na margem de fase, se comparada com o diagrama do amplificador, devido à inserção do pólo do SF. Para a análise AC do circuito, o procedimento será "abrir" a malha de realimentação representada no diagrama da Fig. 4. 60. É necessário, porém, manter as condições de polarização DC do amplificador, garantindo desse modo a confiabilidade dos resultados obtidos para um determinado ponto de operação.

O circuito da Fig. 4. 65 baseia-se em uma metodologia proposta em [99] para simular a resposta AC do sistema garantindo o ponto de operação DC do amplificador e dos seguidores de fonte. Os elementos C = 1 GF e L=100 MH identificados na figura comportam-se, respectivamente, como um curto-circuito e como um circuito aberto para a resposta AC, mesmo para freqüências da ordem de poucos Hertz. Do ponto de vista da análise DC, C e L comportam-se como circuito aberto e curto-circuito, respectivamente. A fonte de sinal de teste possui polaridade invertida para facilitar a leitura das características de fase do sistema, já que o sinal é aplicado na entrada inversora do amplificador. Nota-se que a entrada não-inversora permanece com um valor DC fixo (a saída DC do seguidor de fonte), apenas para manter o ponto de operação do circuito.

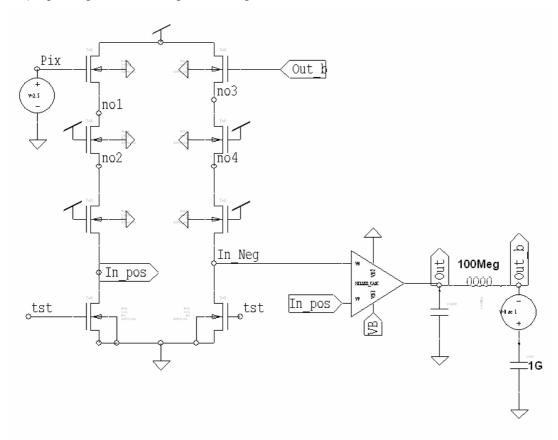


Fig. 4. 65 – Esquemático do APS para estudo da estabilidade (circuito em malha aberta).

A simulação AC do circuito da Fig. 4. 65 resulta no diagrama da Fig. 4. 66, onde também foram inseridos, para comparação, os diagramas do amplificador e do seguidor de fonte. Para as curvas relativas ao sistema, foram obtidos os principais resultados:

- Margem de fase = 55°;
- GBW = 68,5 MHz;
- Ganho DC do sistema = 88 dB.

Tal como esperado, houve uma redução na margem de fase do sistema em relação à margem de fase do amplificador. Na Fig. 4. 67 é mostrada a resposta do sistema ao degrau, denotando no domínio do tempo as conseqüências na redução da margem de fase: o aumento da Slew-Rate (92 V/ μ s), se comparada com a SR do amplificador (83,3 V/ μ s), porém com a presença de sobresinal.

A diferença entre o ganho DC do sistema e o ganho do amplificador também era esperada, devido à atenuação causada pelo seguidor de fonte (1,66 dB).

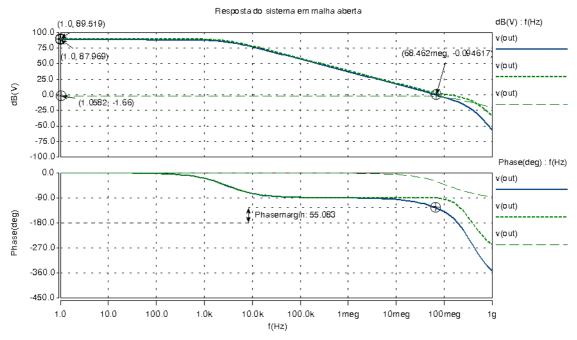


Fig. 4. 66 – Resposta em frequência do sistema (linha contínua), comparada com a resposta do amplificador e do seguidor de fonte (linhas tracejadas).

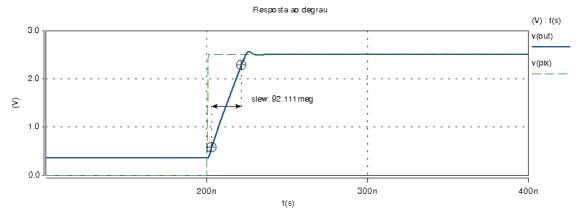


Fig. 4. 67 – Resposta do sistema ao degrau.

4.5) Simulações transientes

Ao longo do texto, já foram mostradas simulações AC e transiente, realizadas no HSPICE, ilustrando o comportamento de diferentes circuitos e blocos individuais, no domínio da frequência e do tempo. Esta seção tem por objetivo mostrar resultados de simulação dos diferentes blocos interligados, iniciando pela simulação transiente do circuito de leitura propriamente dito, no item 4.5.1. No item 4.5.2, são mostrados resultados de simulação para uma matriz reduzida, reproduzindo a estratégia de leitura descrita no item 4.1.1. No item 4.5.3, são mostrados resultados de simulação para os circuitos que fornecem saídas digitais. Para os MOSFETs, foi empregado o modelo BSIM3v3.

4.5.1) Circuito de leitura

A simulação do circuito de leitura proposto é mostrada neste item. Para a modelagem do pixel, foi utilizado o modelo de diodo poço-substrato (NWD) do Design Kit da AMS para a tecnologia 0,35µs. A *netlist* deste circuito é fornecida em anexo. Os modelos não foram incluídos.

A fotocorrente é variada através da edição da corrente de saturação reversa do modelo. Para modelar correntes da ordem de grandeza das envolvidas na simulação, é necessário alterar, no HSPICE, o parâmetro GMIN, a condutância inserida pelo aplicativo em paralelo com o elemento para garantir as condições de convergência [100]. Devido à simulação de correntes da ordem de picoampères, seu valor foi reduzido de 1x10⁻¹² A (default) para 1x10⁻²⁰A. Em lugar das capacitâncias do modelo, canceladas devido a problemas de convergência, foi adotada em paralelo com o modelo do fotodiodo uma capacitância não-linear, compatível com a capacitância obtida pelos parâmetros fornecidos

em [38], sendo a característica capacitância-tensão da Fig. 4. 20 obtida através de uma soma de exponenciais. Deste modo, a capacitância do fotodiodo, C_{PD}, é expressa por:

$$C_{PD}(v_{PIX}) = a_1 \cdot \exp\left(-\frac{v_{PIX}}{b_1}\right) + a_2 \cdot \exp\left(-\frac{v_{PIX}}{b_2}\right)$$

$$\tag{4.30}$$

Utilizando uma ferramenta de ajuste de curvas (*curve fitting*) no MATLAB, obtevese: a_1 =1,235x10⁻¹⁵; b_1 =0,6373; a_2 =4,046x10⁻¹⁵; e_2 =11,3482. C_{PD} é expressa em Farads.

Tem-se, deste modo, o circuito para simulação da Fig. 4. 68. Os transistores de seleção de coluna são mantidos permanentemente habilitados. A Fig. 4. 69 mostra as formas de onda do pulso de Reset, de seleção de linha, tensão no pixel e tensão de saída do amplificador, para uma fotocorrente (I_{ph}) de 5 nA. A capacitância de carga do amplificador é de 200 fF.

A Fig. 4. 70 mostra, em um mesmo gráfico, as tensões de pixel, de saída de na entrada não-inversora do amplificador (nó In_Pos). Nota-se uma relação não-linear entre v_{OUT} e v_{PIX} para valores de tensão próximos de V_{tn} . Conforme discutido na análise DC do circuito (Seção 4.2), observa-se que a relação linear entre v_{PIX} e v_{OUT} será verificada se

$$V_{PIX} \ge V_{sat,RD} + V_{tn,RD} \tag{4.31}$$

Onde $V_{sat,RD}$ e $V_{tn,RD}$ são, respectivamente, a tensão de saturação e de de limiar do transistor de leitura (M_{RD}). Da simulação, o limite inferior para v_{PIX} que garanta a condição (4.31) foi igual a aproximadamente 650 mV. Sendo a tensão de Reset do pixel igual a aproximadamente 2,5 V (constatado experimentalmente, embora o valor na simulação foi de ~2,46 V), tem-se uma excursão total do sinal, ΔV_{OUT} , igual a aproximadamente 1,85 V.

É possível observar ainda um pequeno sobressinal (*overshoot*) na tensão de saída no instante de apicação do pulso de Reset. Tal é previsto, devido às características de margem de fase do sistema, como estudado na Seção 4.4.

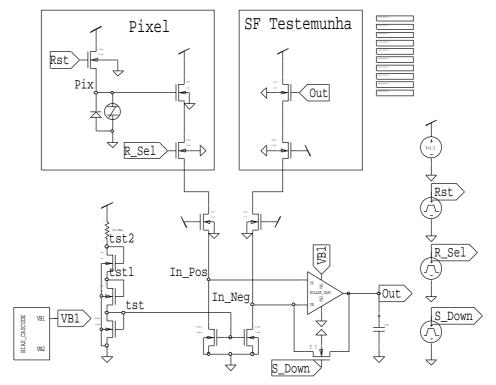


Fig. 4. 68 – Esquemático para simulação do circuito de leitura.

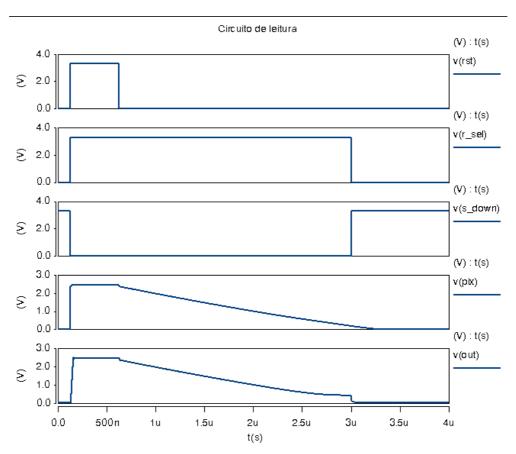


Fig. 4. 69 – Formas de onda simuladas para I_{ph} = 5 nA. De cima para baixo: pulso de Reset, habilitação de linha, Shut Down, tensão do pixel e tensão de saída.

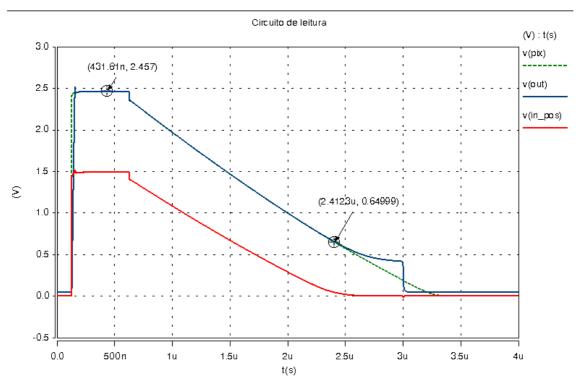


Fig. 4. 70 – Formas de onda simuladas para $I_{ph} = 5$ nA – tensão do pixel, tensão de saída e tensão na entrada não-inversora do amplificador.

A Fig. 4. 71 mostra a corrente no fotodiodo. O valor negativo é devido ao fato desta corrente ser reversa.

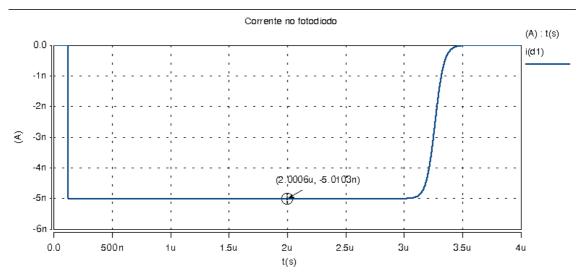


Fig. 4. 71 – Formas de onda da corrente no diodo (5 nA).

4.5.2) Matriz de pixels 4x4

Uma matriz reduzida de 4x4 pixels, dividida em 2 grupos de 4 linhas por 2 colunas cada, foi simulada para ilustrar a estratégia de leitura utilizada. A matriz é mostrada na Fig. 4. 72, e os componentes de polarização e geração de sinais de leitura são mostrados na Fig. 4. 73. Correspondem, contudo, ao mesmo circuito para simulação. Para a matriz, foi criado um bloco para cada pixel, contendo os 3 transistores e a capacitância não-linear (Fig. 4. 74a). O diodo foi instanciado no esquemático principal, de modo a poder ter seus valores de multiplicidade (M) alterados, o que na simulação irá alterar o seu valor de fotocorrente, e não sua capacitância, já que esta foi cancelada no modelo do diodo e inserida externamente. Com isso, é possível simular pixels com fotocorrentes diferentes.

Para o circuito de comando, foram criados decodificadores de linha (2 para 4, Fig. 4. 74b) e de coluna (1 para 2, Fig. 4. 74c), adaptados para a matriz reduzida, tendo como sinais a ser decodificados as saídas de um contador de 3 bits (Fig. 4. 74d), simulando desta forma um endereçamento automático dos pixels.

Os sinais foram gerados tomando como referência em um sinal de clock de 1 MHz. A máquina de estados para a geração dos sinais digitais de leitura não foi implementada. O tempo total de acesso ao pixel é de 48 µs, e o período de integração é de 19 µs. No circuito implementado, há um intervalo entre o fim do tempo de integração de um pixel e o Reset do pixel subseqüente, para a etapa de conversão A/D, conforme foi ilustrado na Fig. 4. 31. Nesta simulação, este intervalo está proporcional ao implementado (que seria de 32 µs para um clock de 8 MHz).

Os sinais Reset, Row Select e Shut Down são os sinais base para o endereçamento e leitura dos pixels, e são mostrados na Fig. 4. 75. Na Fig. 4. 76, tem-se os sinais de habilitação dos pixels, obtidos através de uma lógica entre os endereços de linha e Row Select, utilizando para isso o decodificador de linha. Os pulsos de Reset são obtidos através de uma lógica entre Reset e os endereços de coluna, utilizando o decodificador de coluna. Estes sinais são mostrados na Fig. 4. 77.

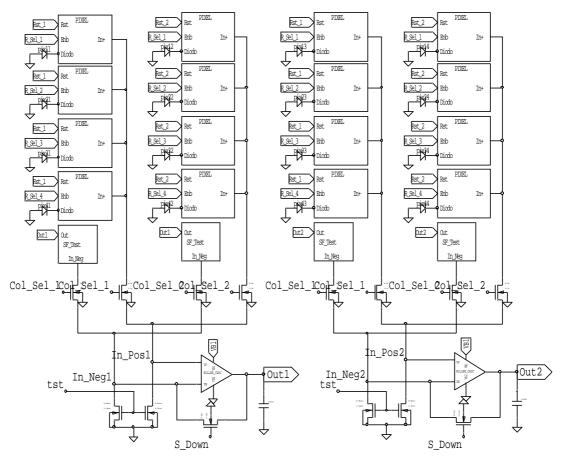


Fig. 4. 72 – Matriz reduzida de pixels – pixels e circuito de leitura.

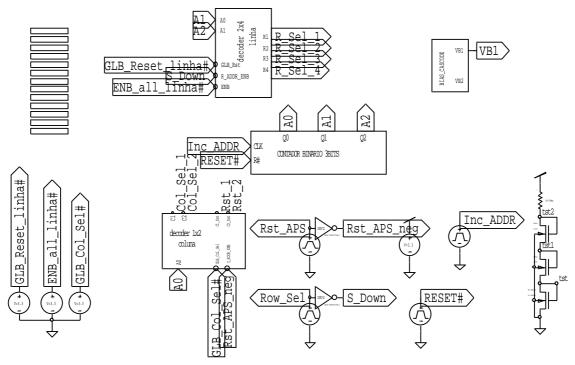


Fig. 4. 73 – Matriz reduzida de pixels – circuitos de polarização e geração de sinais.

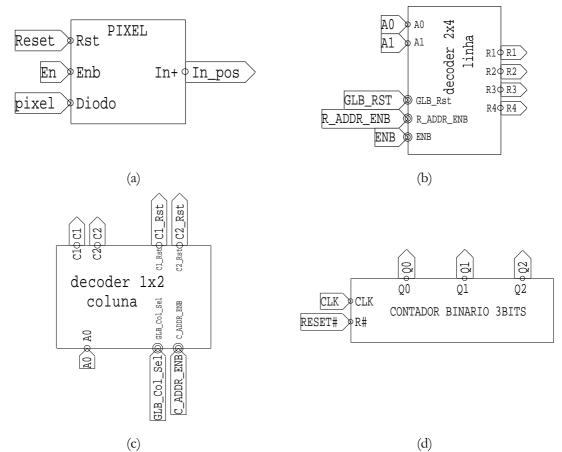


Fig. 4. 74 – Blocos da matriz de 4x4 pixels para simulação. (a) Pixel (transistores e capacitância nãolinear); (b) Decodificador de linha 2x4; (c) Decodificador de coluna 1x2; (d) Contador de 3 bits.

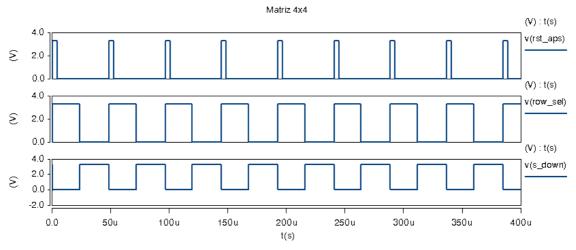


Fig. 4. 75 – Simulação da matriz 4x4 – De cima para baixo: sinais de Reset, seleção de linha e *Shut Down*..

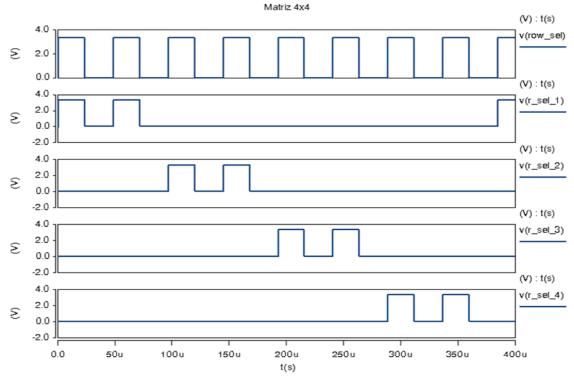


Fig. 4. 76 – Simulação da matriz 4x4 – De cima para baixo: seleção de linha, R_Sel_1, R_Sel_2, R_Sel_3, R_Sel_4.

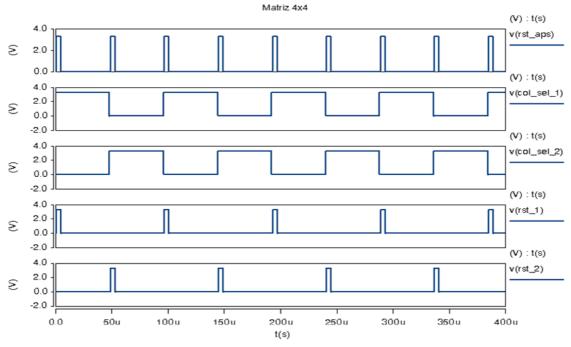


Fig. 4. 77 – Simulação da matriz 4x4 – De cima para baixo: Reset, seleção de coluna 1, seleção de coluna 2, Rst_1, Rst_2.

Os sinais analógicos de saída são mostrados na Fig. 4. 78, juntamente com a tensão no pixel da linha 1, coluna 1 (L1_C1), pertencente ao primeiro grupo de colunas, e a tensão no pixel da linha 4, coluna 4 (L4_C4), pertencente ao segundo grupo.

Para o canal 1, o sinal de saída corresponde à leitura dos pixels na seguinte seqüência: L1_C1, L1_C2, L2_C1, L2_C2, L3_C1, L3_C2, L4_C1, L4_C2. Para o canal 2, tem-se a seqüência: L1_C3, L1_C4, L2_C3, L2_C4, L3_C3, L3_C4, L4_C3, L4_C4. Foi simulado um aumento progressivo da fotocorrente, do pixel L1_C1 para L4_C4. A figura permite observar a importância do ajuste no tempo de integração para a obtenção de elevada faixa dinâmica. Para o pixel L1_C1 (cuja corrente é de 45 pA), seria adequado um tempo de integração maior, devido à descarga lenta do fotodiodo. Para o pixel L4_C4, a corrente é de 720 pA (16 vezes maior que a do pixel L1_C1), e há a evidência de saturação do pixel. Um período de integração menor seria adequado, neste caso. As fotocorrentes são mostradas na Fig. 4. 79

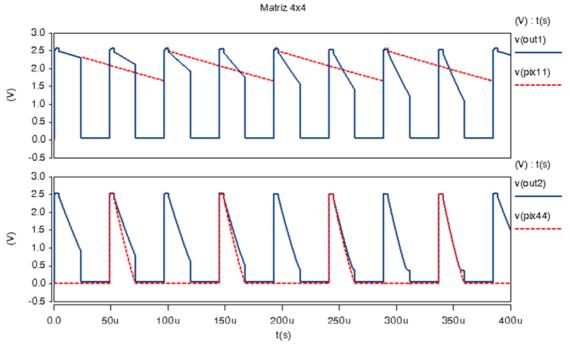


Fig. 4. 78 – Simulação da matriz 4x4 – Sinais de saída dos amplificadores, tensão no pixel L1_C1, tensão no pixel L4_C4.

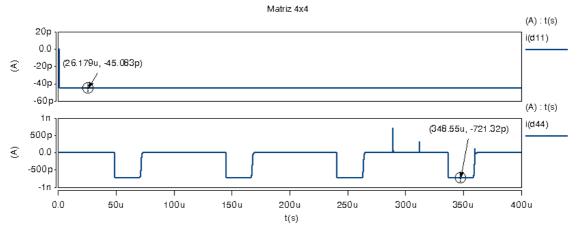


Fig. 4. 79 – Simulação da matriz 4x4 – fotocorrentes no pixel L1_C1 e no pixel L4_C4.

4.5.3) Circuito de aquisição, conversão A/D e transmissão de dados

Este item mostra resultados de simulação para o circuito da Fig. 4. 43. Ou seja, abrange o processo de aquisição do sinal analógico do pixel, a conversão das amostras no valor digital correspondente e a transmissão dos dados para uma saída digital através dos registradores de deslocamento. Os sinais de comando envolvidos são gerados pela máquina de estados, também incluída no circuito de simulação. O circuito de leitura não foi incluído, sendo substituído por fontes de tensão lineares por partes (PWL – *piecewise linear*), pela facilidade de representar, através de inclinações diferentes das rampas de tensão, a descarga de pixels sujeitos a níveis de iluminação diferentes.

O circuito simulado é representado na Fig. 4. 80, com a indicação de seus respectivos blocos. A estrutura e operação dos mesmos já foi discutida na Seção 4.3. Da figura, tem-se: A – Circuitos S/H, comparadores e latches; B – Conversor D/A, com o contador de 8 bits; C – Registradores de 8 bits; D – Registradores de deslocamento; E – Prescaler; F – Contador de 4 bits (opera com a máquina de estados); G – Máquina de estados; H – Contador de 9 bits (endereçamento automático); I – Gerador de pulso de sincronismo (Edge Gen); J – Alimentação e estímulos (inclusive a fonte PWL e o sinal de clock); K – Circuitos de polarização dos OTAs Miller cascode e do cascode dobrado (do S/H).

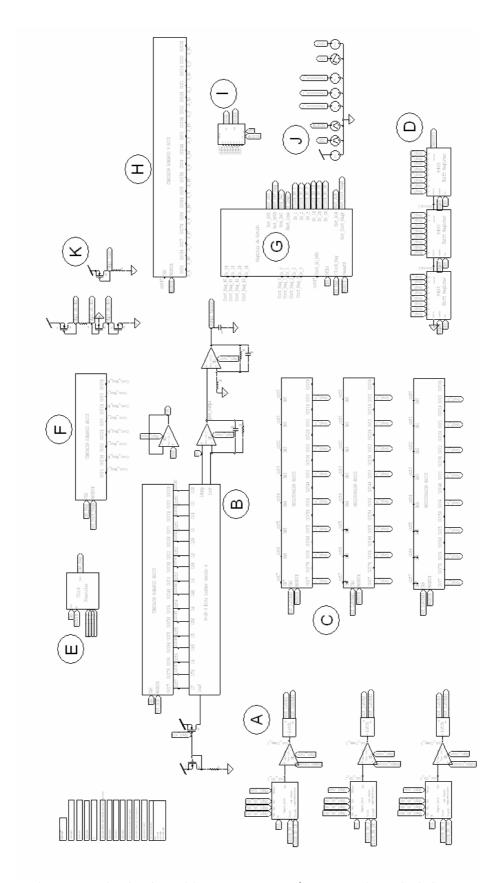


Fig. 4. 80 – Circuito de aquisição, conversão A/D e transmissão de dados.

Foram simulados 3 ciclos de acesso, cada qual composto dos períodos de leitura/ aquisição e conversão A/D, como ilustrado no diagrama da Fig. 4. 31. A freqüência de clock empregada foi de 8 MHz, com Prescaler = '000', portanto, com um tempo de acesso de 35 µs, de acordo com (4.24).

A Fig. 4. 81 mostra os principais sinais digitais de leitura. A tensão de saída do circuito de leitura (denominada v(PIX) neste item por assumir-se, para simplificação, que é idêntica à tensão do pixel) também é mostrada. Para conhecer a inclinação (*slope*) de descida para cada rampa de v(PIX), elas são mostradas em detalhe na Fig. 4. 82, sendo as inclinações, respectivamente: -0,5 V/μs, -1,25 V/μs e -0,25 V/μs.

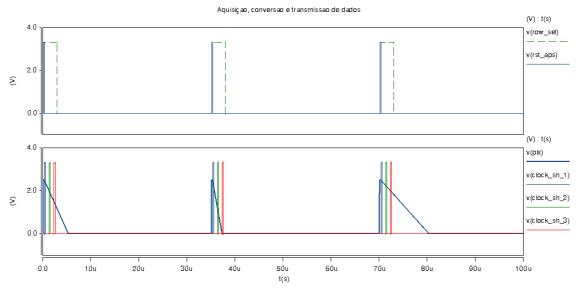


Fig. 4. 81 – Sinais digitais de leitura e tensão no pixel.

Em cima: Row_Sel e Rst; Em baixo: tensão no pixel e pulsos de amostragem.

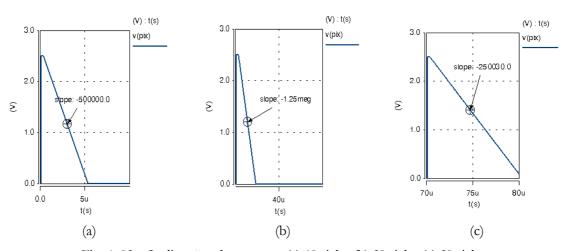


Fig. 4. 82 – Inclinações das rampas. (a) 1º ciclo; (b) 2º ciclo; (c) 3º ciclo.

Na Fig. 4. 83, estão os dois principais sinais de leitura, Rst e Row_Sel, juntamente com as saídas dos contadores de 4 e de 8 bits, respectivamente, mostrando a operação alternada entre eles. É mostrada ainda a saída do contador de endereços (9 bits), indicando que o sistema irá endereçar automaticamente os pixels, caso os decodificadores de linha e coluna estejam ligados a este contador (Fig. 4. 35).

Na Fig. 4. 84, é mostrada a tensão do pixel, os pulsos de S/H e a saída dos S/H. Na Fig. 4. 85, as saídas dos S/H e as respostas dos comparadores são mostradas, uma para cada amostra, juntamente com a rampa gerada pelo conversor A/D. Observa-se que o primeiro contador a alterar sua saída de '1' para '0' será o que recebe o valor da 3ª amostra, já que, na descarga do pixel, o S/H correspondente à 3ª amostra irá receber o menor valor de tensão (a menos que se tenha um pixel no escuro).

As saídas dos contadores são aplicadas aos correspondentes latches, sendo que os registradores irão armazenar o valor do contador de 8 bits na transição negativa do contador (os latches, na verdade, possuem uma saída normal e uma invertida, que será a efetivamente usada para gatilhar os registradores). As últimas formas de onda deste item (Fig. 4. 86) mostram as transições nos latches (saídas invertidas), os valores armazenados pelos registradores e os dados transmitidos serialmente pelos registradores de deslocamento, a partir do pulso de sincronismo. Conforme mencionado, a transmissão dos valores registrados em um dado ciclo de acesso somente será transmitida no ciclo subseqüente.

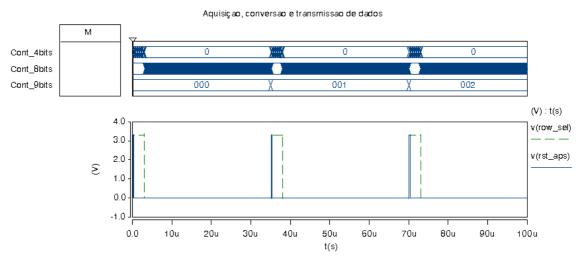


Fig. 4. 83 – Sinais Rst, Row_Sel e saídas dos contadores.

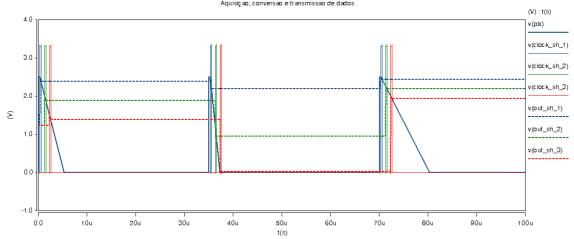
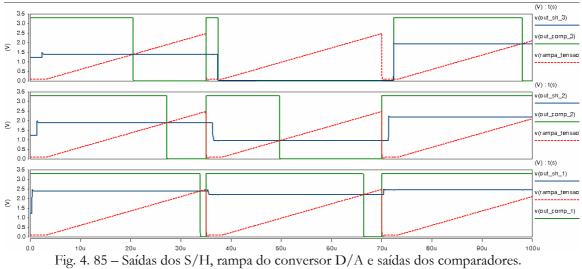


Fig. 4. 84 – Tensão do pixel, pulsos de amostragem e saídas dos S/H.



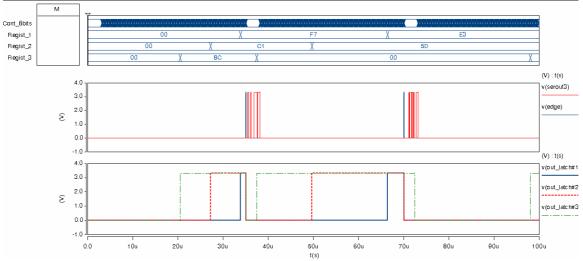


Fig. 4. 86 – Saídas dos latches, valores armazenados pelos registradores, pulso de sincronismo e transmissão serial.

Da Fig. 4. 86, os valores digitalizados nos dois primeiros ciclos (para 100 μs de simulação, apenas os dois primeiros ciclos estão completos) são mostrados na Tab. 4.6, com o correspondente valor analógico, com base na resolução do conversor D/A (9,7 mV). Sendo os intervalos entre as amostragens conhecidos (= 1 μs), as inclinações das rampas são também calculadas a partir dos dados digitalizados (entre a 1^a/2^a amostra – Delta1, e entre a 1^a/3^a amostra – Delta2, realizando assim a amostragem dupla correlacionada), e comparadas com os módulos das inclinações das rampas geradas pela fonte PWL. As diferenças devem-se aos erros de quantização do conversor A/D.

Como pode ser comprovado pela redução do erro, deve-se optar pelo valor obtido entre a 1ª e 3ª amostra, a menos que ocorra a saturação do pixel, como acontece no segundo ciclo. Neste, houve saturação na 3ª amostra, mas não na 2ª amostra, o que justifica a adoção das 3 amostras por ciclo. Na prática, o valor lido para a saturação não será zero, mas um valor baixo de tensão, como mostrado nos resultados de simulação do item 4.5.1. Quando possível, pode-se ainda ajustar o tempo de integração, para que não ocorra saturação na 3ª amostra. Isto não seria aplicável neste exemplo, visto que o circuito já opera com sua máxima freqüência de clock (8 MHz).

Tab 4.6 – Valores digitalizados nos dois primeiros ciclos de acesso aos pixels.

Ciclo	1ª amostra	2ª amostra		3ª amostra	Inclinação1		Inclinação2	Rampa
					(Delta1/1	lμs)	(Delta2/2µs)	
1º	$0xF7 = 247_{10}$	0xC1=	193 ₁₀	$0x8C=140_{10}$	0,524 V/µ	ıs	0,519 V/μs	0,5 V/μs
	(2,396 V)	(1,872	V)	(1,358 V)	(erro=4,8	3%)	(erro=3,8%)	
	Delta1 = 2,	= 2,396 -		2 = 2,396 -				
	1,872 = 0,524	1,872 = 0,524 V		1,358 = 1,038 V				
2ª	0xE3=227 ₁₀	0x5D=	9310	$0x00 = 0_{10}$	1,299 V	/µs	_	1,25 V/μs
	(2,201 V)	(0,902	V)	(saturação)	(erro=3,9	0%)		
	Delta1 = 2,201 -		Delta2:					
	0,902 = 1,299 V		não calculado					

4.6) Conclusão

O sensor APS objeto desta tese foi apresentado neste capítulo, sendo realizada a descrição da estrutura, a sua análise DC, a arquitetura do chip projetado, a análise AC e simulações computacionais. Dos resultados de simulação, constata-se o aumento na excursão do sinal de saída, se comparado com o APS tradicional. Devido à tensão de limiar do transistor de leitura (M_{RD}), não é possível, com esta topologia, atingir uma excursão do sinal de saída de ($V_{DD} - V_{tn,RST}$) (em torno de 2,5 Volts) até zero. A relação entre v_{OUT} e v_{PIX} mantém-se linear até aproximadamente $V_{tn,RD} + V_{sat,RD} + V_{ov,B1}$ (sendo M_{B1} o transistor de polarização do seguidor de fonte), conforme discutido na análise DC (Seção 4.2). Ainda assim, foi obtida, em simulação, uma excursão de 1,85 V, ao invés dos 1,55 V obtidos na configuração tradicional.

Por outro lado, a nova estrutura apresentada permite a reprodução, na saída do amplificador de leitura, de uma tensão aproximadamente idêntica a v_{PIX} , o que sugere um aumento da linearidade do APS.

Da análise AC do circuito, observou-se que a capacitância de entrada do amplificador, normalmente desprezada em função da baixa impedância de saída do estágio anterior, está associada ao pólo do seguidor de fonte, neste caso implementado com transistores de geometria próxima da mínima. Deste modo, tal capacitância pode introduzir um pólo na faixa de passagem do sistema, levando-o a oscilações nas respostas transitórias, características de uma degradação na margem de fase. A medida adotada foi o projeto de um amplificador de leitura com margem de fase maior que a usualmente determinada, levando a margem de fase do sistema a um nível aceitável.

O chip aqui descrito foi fabricado através do CMP (*Circuits Multi-Projets*), na rodada de novembro de 2009, na tecnologia AMS C35B4M3, de 0,35 µm. A fotografia do protótipo é mostrada na Fig. 4. 87. Os principais blocos são identificados na figura. Se comparada ao layout mostrado na Fig. 4. 15, é possível notar na fotografia a presença das tampas de metal (Metal-4) que recobrem os elementos não-fotossensíveis do circuito, omitidas no layout para melhor entendimento. A Fig. 4. 88 mostra um detalhe da matriz de pixels (canto superior esquerdo), sendo possível ver também parte do decodificador de linha (também recoberto pela tampa de Metal-4). Outras fotografias são apresentadas em anexo.

Os resultados de simulação poderão ser comparados com resultados experimentais, a serem apresentados no próximo capítulo.

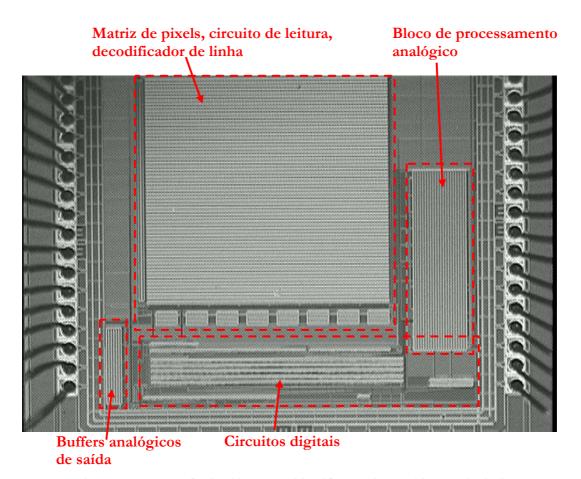


Fig. 4. 87 – Fotografia do chip, com a identificação de seus blocos principais.

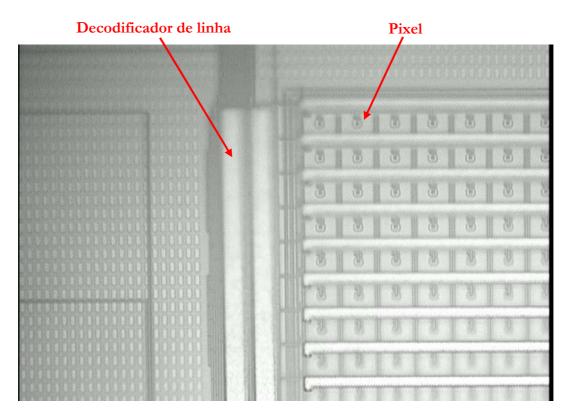


Fig. 4. 88 – Fotografia do chip – matriz de pixels (canto superior esquerdo), e parte do decodificador de linha.

5) Resultados Experimentais

Este capítulo tem por objetivo apresentar e discutir os principais resultados experimentais obtidos para o imageador fabricado, cujo projeto foi detalhado no Capítulo 4. A Seção 5.1 apresenta as principais formas de onda para os sinais digitais de controle. Na Seção 5.2, são mostradas as saídas analógicas para diferentes níveis de iluminação, com uma discussão sobre a estimativa da fotocorrente. As saídas digitais também são analisadas nessa seção. A corrente no escuro é avaliada na Seção 5.3, e as medidas experimentais da responsividade do sensor obtidas para um determinado comprimento de onda são mostradas na Seção 5.4.

O sensor APS desenvolvido contém uma quantidade significativa de amplificadores, havendo no chip cinco projetos diferentes de amplificador (seis, se incluindo o comparador, embora este seja uma versão do amplificador usado no buffer do conversor A/D, sem o ramo de compensação). Foi feita a opção de utilizar circuitos de polarização (*bias*) independentes para cada uma dessas classes de amplificadores. Somam-se ainda os circuitos de polarização dos seguidores de fonte da matriz e da rede R-2R. Desse modo, foi interessante o projeto de uma placa de circuito impresso dedicada, onde estejam todos os resistores de polarização. A placa deve ainda facilitar a obtenção de resultados, a opção por endereçamento estático/automático dos pixels e o interfaceamento do APS com circuitos digitais externos. A fotografia desta placa de desenvolvimento é mostrada na Fig. 5. 1, e o seu esquemático é apresentado em anexo.

5.1) Sinais digitais de leitura e endereçamento

As formas de onda descritas nesta seção foram obtidas com auxílio de um analisador lógico, e podem ser comparadas com os sinais descritos no item 4.3.2. A Fig. 5. 2 mostra os sinais de clock, reset do pixel (Rst), seleção de linha (Row_Sel), *Shut Down*, pulsos de amostragem (Clock_SH) e pulso de sincronismo para a transmissão serial (Edge), para um clock de 8 MHz, a frequência máxima de projeto para o APS. Ressalta-se que o clock é o único sinal externo aplicado ao chip.

Os sinais se encontram de acordo com o que foi apresentado na Fig. 4.32 e Tab. 4.2, para uma configuração de Prescaler igual a '000' (N = 0). Os intervalos entre os pulsos de amostragem são iguais a 1 μ s.

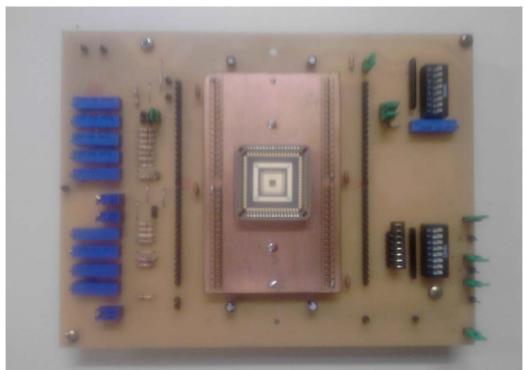


Fig. 5. 1 – Fotografia da placa de desenvolvimento.

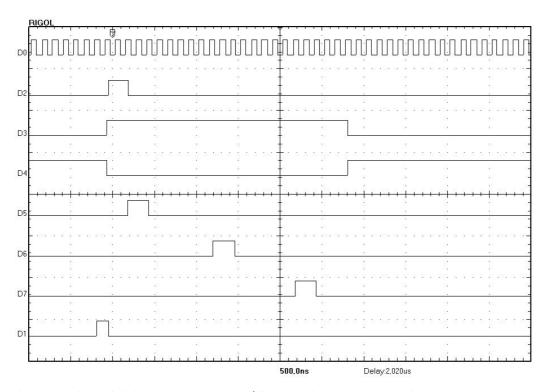


Fig. 5. 2 – Sinais de leitura (tempo: 500 ns/div). De cima para baixo: Clock (8 MHz), Rst_APS, Row_Sel, S_Down, Clock_SH_1, Clock_SH_2, Clock_SH_3, Edge.

De acordo com (4.25), o ciclo de acesso para Clock = 8 MHz ($T_{\rm CLK}$ = 125 ns) e N = 0 é de 35 μ s. Este é o período mínimo para a mudança no contador de 9 bits responsável pelo endereçamento automático. A Fig. 5. 3 ilustra um ciclo de acesso, incluindo, além dos sinais apresentados na Fig. 5. 2 (com exceção de Clock e Edge), o complemento do bit mais significativo do contador de 8 bits (Out_7 #), disponível externamente, e o bit menos significativo do contador de 9 bits, que será incrementado a cada transição positiva de Out_7 #.

O sinal Out_7# é mostrado na Fig. 5. 4 juntamente com os bits do contador de endereços. Uma varredura completa do contador tem uma duração de 17,92 ms. A Fig. 5. 5 mostra as transições nos bits mais significativos do contador.

Os sinais de leitura da Fig. 5. 3 são mostrados na Fig. 5. 6 para diferentes configurações do prescaler. Na Fig. 5. 6a, N=1; na Fig. 5. 6b, N=2, e na Fig. 5. 6c, N=7. Os tempos de leitura correspondem, respectivamente, a 2, 4 e 128 vezes o valor mínimo. A duração dos pulsos de amostragem não sofre alteração com a alteração no prescaler, correspondendo sempre a dois períodos de clock. A etapa de conversão A/D e a transmissão serial dos dados digitais também são independentes do ajuste de prescaler.

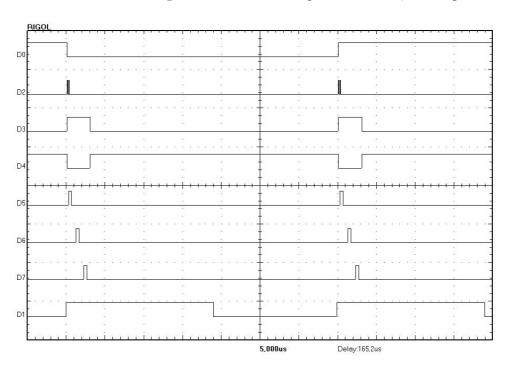


Fig. 5. 3 – Sinais de leitura (tempo: $5 \mu s / div$).

De cima para baixo: A0 (bit menos significativo do contador de endereços), Rst_APS, Row_Sel, S_Down, Clock_SH1, Clock_SH2, Clock_SH3, Out_7#.

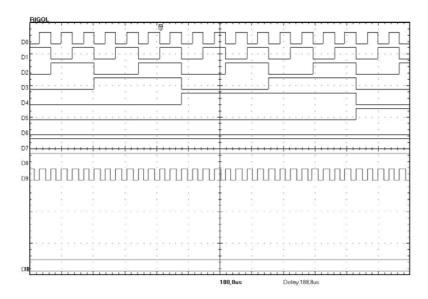


Fig. 5. 4 – Bits de saída do contador de endereços e complemento do bit mais significativo do contador de 8 bits, Out_7# (onda inferior). Tempo: 100 μs/div.

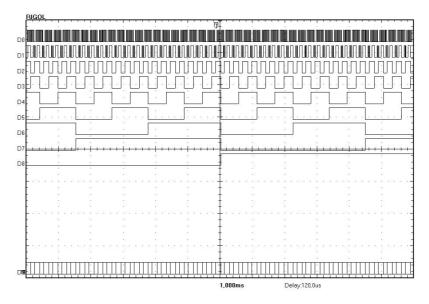


Fig. 5. 5 – Bits de saída do contador de endereços (tempo: 1 ms/div).

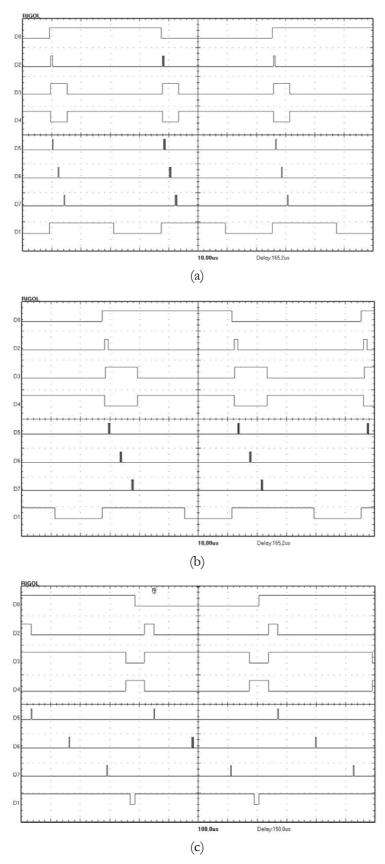


Fig. 5. 6 – Sinais de leitura para diferentes configurações do prescaler. (a) N=1 (tempo: 10 μ s/div); (b) N=2 (tempo: 10 μ s/div); N=7 (tempo: 100 μ s/div).

5.2) Leitura dos pixels

Esta seção apresenta os principais resultados da leitura dos pixels, para as saídas analógicas e para as saídas digitais. Apesar da freqüência máxima de projeto ser de 8 MHz, as experiências mostraram ser necessário reduzir a freqüência de clock para efetuar a leitura dos pixels com a matriz exposta a níveis de iluminação normais (luz ambiente – de 10 a 1000 lx), visto ser necessário um maior tempo de integração. Nenhum sistema de lentes foi empregado, de modo que os pixels podem ser considerados expostos a um nível de iluminação uniforme. Não houve, portanto, diferença significativa entre efetuar o endereçamento estático de um determinado pixel ou o endereçamento automático.

Para efeito comparativo, a iluminância E foi medida utilizando-se um luxímetro portátil. Não houve, no entanto, qualquer controle sobre o espectro de frequência da luz incidente, de modo que os testes relatados nesta seção não são decisivos para o cálculo da sensibilidade do APS. Medidas com base em unidades fotométricas tomam como referência comprimentos de onda que formam o espectro visível (380 – 780 nm) e podem, a menos que filtros adequados sejam utilizados, superestimar a sensibilidade do sensor, que possui uma eficiência quântica significante na região do infravermelho [101].

Esta seção é adequada também para descrever uma metodologia para a estimação da fotocorrente, a partir da tensão de descarga do pixel. Tal método será de interesse na determinação de correntes no escuro, o que será mostrado na próxima seção. Como descrito no item 4.3.1, a capacitância do fotodiodo, C_{PD} , é não-linear, dependente da tensão v_{PIX} . Repetindo (4.31), tem-se, para C_{PD} :

$$C_{PD}(v_{PIX}) = a_1 \cdot \exp\left(-\frac{v_{PIX}}{b_1}\right) + a_2 \cdot \exp\left(-\frac{v_{PIX}}{b_2}\right)$$
(5. 1)

Onde a_1 =1,235x10⁻¹⁵; b_1 = 0,6373; a_2 = 4,046x10⁻¹⁵; e_2 = 11,3482, para C_{PD} expresso em Farads.

A área sob a curva de C_{PD} (Fig. 4.20) entre duas tensões V1 e V2 representa a carga total Q armazenada (ou cedida) pelo capacitor quando a tensão em seus terminais variou de V1 para V2 (Fig. 5. 7a). A capacitância total do pixel, no entanto, deve considerar as capacitâncias de *gate* do transistor de leitura, bem como a capacitância de *overlap* do transistor de Reset. Assumindo a soma destas capacitâncias linear, identificada como C₀, tem-se

$$C_{PIX}(V_{PIX}) = C_{PD}(V_{PIX}) + C_0$$
 (5. 2)

O valor de C_0 é aproximadamente igual a 1,5 fF. Analiticamente, o módulo da carga será expresso por

$$\left|\Delta Q\right| = \left|\int_{V_1}^{V_2} C_{PIX}(V) \cdot dV\right| \tag{5.3}$$

Onde ΔQ é a diferença de carga para uma variação de V1 para V2. Para um dado valor de tensão V, a carga total armazenada em C_{PD} será

$$Q(V) = \int_0^V C_{PIX}(V) \cdot dV \tag{5.4}$$

Que seria reduzida à expressão Q = C_{PIX} .V caso C_{PD} fosse linear.

Sendo V1 = $v_{PIX}(t1)$ e V2 = $v_{PIX}(t2)$, ΔQ corresponde à fotocorrente integrada ao longo do intervalo t2 – t1 (Fig. 5. 7b). Ou seja,

$$\Delta Q = \int_{t1}^{t2} I_{ph}(t) \cdot dt \tag{5.5}$$

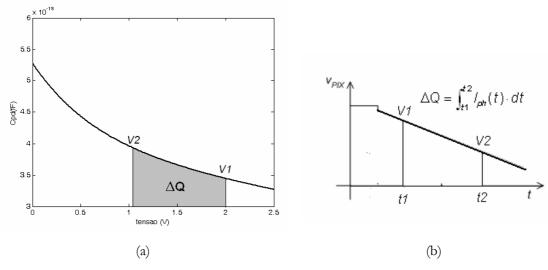


Fig. 5. 7 – Carga no fotodiodo. (a) Diferença de carga para uma capacitância não-linear; (b) Carga integrada entre os instantes t1 e t2.

Para um sinal adquirido, verifica-se V1(t1) e V2(t2). A carga para a diferença entre V1 e V2 é obtida através de (5. 3). Como recurso computacional, a função quad(@FUN,A,B) do MATLAB pode ser usada para avaliar a integral da função FUN entre os intervalos [A,B].

Conhecida a carga ΔQ , obtém-se I_{ph} de (5. 5). Sendo $I_{ph}(t)$ assumida constante, tem-se

$$I_{ph} = \frac{\Delta Q}{\Delta t} = \frac{\Delta Q}{t_2 - t_1} \tag{5. 6}$$

As formas de onda mostradas na Fig. 5. 8, obtidas com um osciloscópio digital, correspondem aos sinais de seleção de linha, Reset do pixel, *Shut Down* e saída analógica para diferentes níveis de iluminância E. A freqüência de clock do sistema adotada foi de 1 MHz, e o prescaler foi ajustado de modo a cobrir a maior excursão do sinal de saída que não causasse a saturação. A Fig. 5. 8a mostra a saída para E = 420 lx, N = 3; na Fig. 5. 8b, E = 700 lx, N = 1 (S_Down não é mostrado, e as posições de Rst e Row_Sel são trocadas); na Fig. 5. 8c, E = 50 lx, N = 7; e na Fig. 5. 8d, E = 14 lx, N = 7.

Considerando o tempo de integração T_{int} como o intervalo entre a retirada do pulso de Reset e a obtenção da 3ª amostra, tem-se, para as letras (a) e (b), T_{int} = 130 μs. Para as letras (c) e (d), T_{int} = 2,05 ms. Para níveis de iluminação menores que o mostrado na Fig. 5. 8d, uma excursão maior do sinal somente seria obtida com a diminuição do período de clock, já que o ajuste do prescaler já se encontra, neste caso, na configuração com maior divisão de freqüência (N = 7). Isto resultaria, por outro lado, na redução da freqüência de operação de todo o chip, reduzindo ainda mais a *frame rate*. Para avaliação da faixa dinâmica obtida através do tempo de integração variável, implementada no chip descrito através do prescaler, deve-se tomar como referência uma única freqüência de clock.

A Fig. 5. 9a mostra uma seqüência de rampas de saída para E=420 lx, N=3. Na Fig. 5. 9b, E=700 lx, tal como na Fig. 5. 8b, porém com N=3, e o efeito da saturação do pixel é evidenciado. Como discutido anteriormente, a saída não vai para zero, mas mantém-se em um valor baixo de tensão enquanto Row_Sel = '1'.

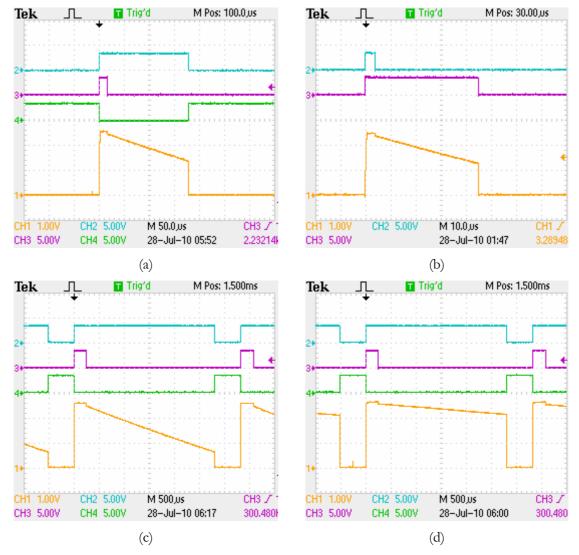


Fig. 5. 8 – Sinais de leitura do APS – Row_Sel, S_Down, Rst_APS (5 V/div) e saída analógica (1 V/div). (a) E = 420 lx, $N = 3 (50 \text{ }\mu\text{s/div})$; (b) E = 700 lx, $N = 1 (10 \text{ }\mu\text{s/div})$; (c) E = 50 lx, $N = 7 (500 \text{ }\mu\text{s/div})$; (d) E = 14 lx, $N = 7 (500 \text{ }\mu\text{s/div})$.

Além das imagens das formas de onda, foram obtidos ainda os pontos referentes às curvas mostradas nas figuras, o que permite estimar a fotocorrente, segundo a metodologia já descrita, além de possibilitar a comparação do sinal adquirido com o sinal proveniente de simulação.

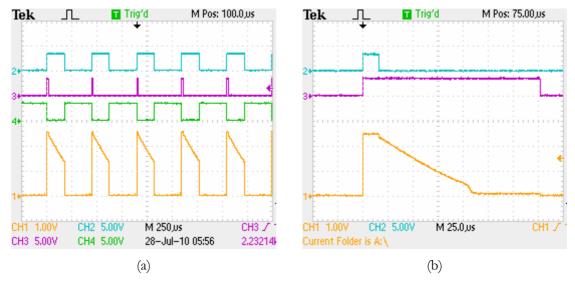


Fig. 5. 9 – Sinais de leitura do APS – Row_Sel, S_Down, Rst_APS (5 V/div) e saída analógica (1 V/div). (a) E = 420 lx, N = 3, várias amostras (250 μ s/div); (b) E = 700 lx, N = 3 – ocorreu saturação (25 μ s/div). Na letra (b), S_Down não foi mostrado.

Para o sinal da Fig. 5. 8a, tem-se, para os instantes t1 = 19 μ s e t2 = 170 μ s, V1 = 2,40 V e V2 = 1,40 V. Integrando (5. 1) (somada à capacitância linear C_0) entre esses dois valores, vem

$$\Delta Q = 5.2 \text{ fC} = 32470 \text{ elétrons}$$
 (5. 7)

Calcula-se então I_{ph}, de acordo com (5. 6).

$$I_{ph} = \frac{\Delta Q}{\Delta t} = \frac{5.2 \times 10^{-15}}{(176 - 19) \times 10^{-6}} = 33 \text{ pA}$$
 (5. 8)

A Fig. 5. 10 compara os resultados experimentais com os de simulação no HSPICE para este valor de corrente, mostrando coerência com o valor obtido para a fotocorrente. Ressalta-se que o valor da capacitância C_{PIX} utilizado para o cálculo da fotocorrente foi o teórico. O valor real poderia ter sido obtido a partir de uma matriz de fotodiodos em paralelo, com seus terminais de catodo acessíveis, cuja capacitância equivalente seria obtida através de um equipamento do tipo *Source Meter*. Tal matriz auxiliar não foi implementada no protótipo.

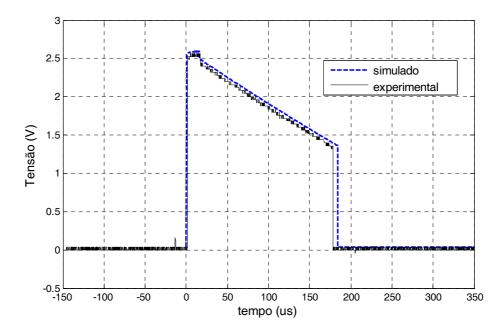


Fig. 5. 10 – Comparação entre os resultados experimentais e de simulação para uma fotocorrente de 33 pA. ($E = 420 \, \mathrm{lx}$).

Seguindo a mesma metodologia, são estimadas as fotocorrentes para as iluminâncias relacionadas às demais formas de onda da Fig. 5. 8. Os resultados são mostrados na Tab 5.1.

Tab. 5.1 – Fotocorrentes obtidas para as formas de onda da Fig. 5. 8.

Onda	Fotocorrente
(a) $E = 420 \text{ lx}$, $N = 3$	33 pA
(b) $E = 700 \text{ lx}, N = 1$	130 pA
(c) $E = 50 \text{ lx}, N = 7$	3,7 pA
(d) $E = 14 \text{ lx}, N = 7$	0,75 pA

5.2.1) Saídas digitais

De acordo com o exposto no Item 4.3.5, o conversão A/D é executada a partir da geração de uma rampa, por um conversor D/A, cujo valor máximo de projeto é 2,475 V. Foi verificado o valor digital correspondente a zero para a 1ª amostra, em diversas aquisições, especialmente para níveis menores de iluminação. Isto se deve a um nível de tensão inicial maior que o máximo da rampa, podendo atingir valores superiores a 2,5 V.

Desta forma, para investigar o funcionamento correto do circuito de conversão A/D, foi utilizada uma rampa externa de tensão, no lugar da rampa gerada internamente pelo conversor D/A. A rampa externa foi gerada a partir de um gerador de formas de onda arbitrárias, sincronizado com a borda negativa do sinal Row_Sel, conforme ilustra a Fig. 5. 11a. O sinal foi adaptado através do ajuste do tempo de subida de uma onda tipo pulso. Daí a presença de uma rampa negativa, a qual não tem qualquer efeito sobre os comparadores. Nesta figura, é mostrada ainda a saída serial e o pulso de sincronismo (Edge).

A Fig. 5. 11b mostra um sinal de leitura analógico e os pulsos de amostragem. Assume-se aqui, tal como em toda esta seção, que o nível de iluminação é aproximadamente uniforme sobre toda a matriz, já que as aquisições foram realizadas com o chip exposto à luz ambiente, sem qualquer sistema de lentes. As saídas das letras (a) e (b) não representam o mesmo sinal.

A Fig. 5. 12a compara a saída do pixel no escuro com a rampa de tensão ajustada para um nível máximo de 2,475 V. Neste caso, os bits de saída foram iguais a zero para as 3 amostras (Fig. 5. 12b).

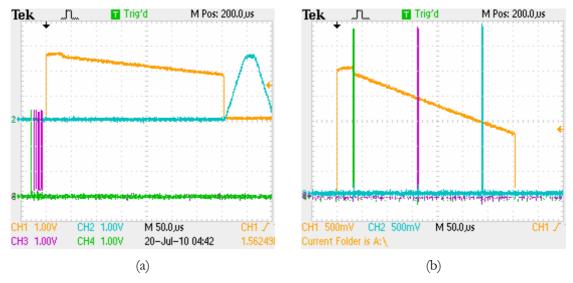


Fig. 5. 11 – Saídas digitais. (a) Saída analógica, rampa de tensão, saída digital e pulso de sincronismo (tensão: 1 V/div; tempo: 50 μs/div); (b) Saída analógica e pulsos de amostragem (tensão: 500 mV/div; tempo: 50 μs/div).

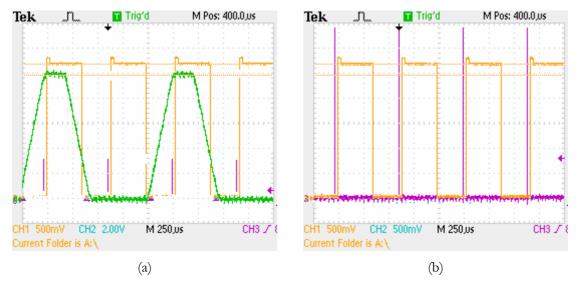


Fig. 5. 12 – Saídas digitais para o pixel no escuro (a) Saída analógica e rampa de tensão;(b) Saída analógica, pulso de sincronismo e saída digital (igual a zero).

Tensão: 500 mV/div; tempo: 250 µs/div.

A 1ª amostra é indispensável para efetuar a amostragem dupla correlacionada, preferencialmente entre a 1ª e 3ª amostra, sendo a 2ª amostra utilizada apenas em caso de saturação prévia do sensor. Desse modo, foi necessário o aumento do valor máximo da rampa de tensão, de 2,475 V para 2,64 V. Neste caso, a resolução do conversor seria 2,64 V/255 = 10,4 mV.

A Fig. 5. 13a ilustra a forma de onda de saída para um nível de aproximadamente 390 lx, juntamente com a saída serial e o pulso de amostragem, para o novo patamar da rampa. Na Fig. 5. 13b, o pacote serial é analisado, com o auxílio de cursores verticais. Da figura, os bits transmitidos foram: 00010010 10011001 01011111. Considerando que a transmissão é realizada da 3ª para a 1ª amostra e que cada byte é transmitido a partir do bit menos significativo (LSB), a correspondência entre os valores digitais e os níveis de tensão é mostrada na Tab 5.2.

Os resultados não foram quantitativamente condizentes com os valores de tensão lidos para cada amostra, a saber, 2,46 V (1ª amostra), 1,46 V (2ª amostra) e 0,56 V (3ª amostra). Ocorre que o ajuste de tempo de subida da rampa, no gerador de sinais, é referente ao intervalo entre 10% e 90% do valor máximo, além de um aspecto "arredondado" da rampa para tensões abaixo e acima destes valores, respectivamente, o que leva a uma discrepância entre este sinal e o sinal que seria gerado originalmente pelo conversor D/A. Permanece válida, contudo, a conclusão de que o nível máximo de tensão precisa ser alterado no conversor D/A, de modo a realizar a leitura da primeira amostra,

mesmo em se tratando de pixel no escuro. Ainda, os testes validaram o funcionamento dos S/Hs, comparadores e registradores.

Amostra	Valor binário	Valor hexadecimal (decimal)	Tensão correspondente
1ª	11111010	0xFA (250 ₁₀)	2,6000 V
2ª	10011001	0x99 (153 ₁₀)	1,5912 V
3ª	01001000	0x48 (72 ₁₀)	0,7488 V

Tab. 5.2 – Valores das amostras.

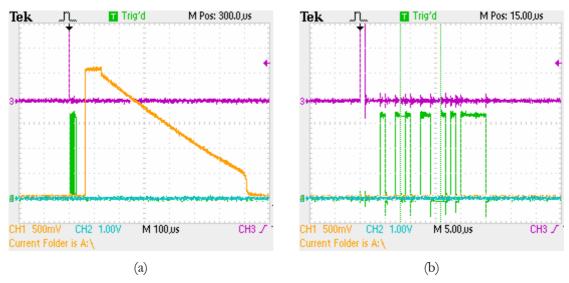


Fig. 5. 13 – Saídas digitais para E=390 lx. (a) Tensão de saída (500 mV/div), pulso de sincronismo e pacote serial (1V/div) (tempo: 100 μ s/div); (b) Pulso de sincronismo e pacote serial (tempo: 5 μ s/div).

5.3) Corrente no escuro

Para a verificação da corrente no escuro (dark current, I_d), o procedimento foi a aplicação de um trem de pulsos na entrada de clock do chip, após um Reset geral do sistema (Fig. 5. 14). A aplicação de quatro pulsos de clock, disparados manualmente, leva à aplicação do pulso de Reset dos pixels (Rst) e à entrada do pixel no período de integração, não permitindo, porém, que a leitura do pixel seja desabilitada, uma vez que a seleção de linha (Row_Sel) permanece ativa durante 23 pulsos de clock. Com isto, tem-se a leitura das saídas analógicas por um tempo prolongado. Para uma próxima leitura, o chip é novamente resetado, com a aplicação subseqüente de outro trem de pulsos.

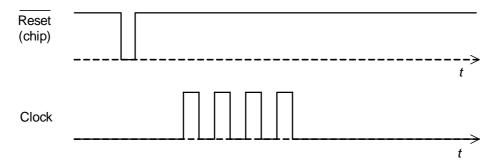


Fig. 5. 14 – Procedimento para leitura da corrente no escuro.

A corrente no escuro apresentou variações de pixel para pixel, como mostra a Fig. 5. 15 para quatro endereços diferentes (temperatura ambiente: 22° C). Para cada endereço, foram adquiridas as formas de onda dos quatro canais com saída analógica simultaneamente. Em comum, estas formas de onda apresentaram uma característica de descarga não-linear do pixel (embora a descarga não seja exatamente linear no caso de iluminação normal). A investigação desta característica não foi abordada neste trabalho.

Para estimativa da corrente no escuro, tomou-se como base a região da curva onde a descarga pode ser considerada aproximadamente linear. Para o pixel que descarregou mais rapidamente (Fig. 5. 15a, canal 1), obteve-se $I_d = 0.93$ fA. Para o pixel que apresentou a descarga mais lenta (Fig. 5. 15c, canal 3), o valor obtido foi $I_d = 0.24$ fA.

A Fig. 5. 16 compara as duas correntes I_d obtidas com resultados de simulação. Apesar das diferenças nos valores iniciais (na simulação, v_{OUT} chegou à ordem de 2,8 V no Reset do pixel), as inclinações das rampas simuladas mostraram ser válido considerar o trecho linear das curvas obtidas experimentalmente, para estimação da fotocorrente. Na literatura, a resposta de um pixel no escuro é expressa, por vezes, em função da inclinação da curva da tensão de saída, em Volts (ou milivolts) por segundo, por ser esta a medida explícita disponível [31]. Para as ondas mostradas na figura, tem-se, para I_d =0,93 fA e I_d = 0,24 fA, -198 mV/s e -52 mV/s, respectivamente.

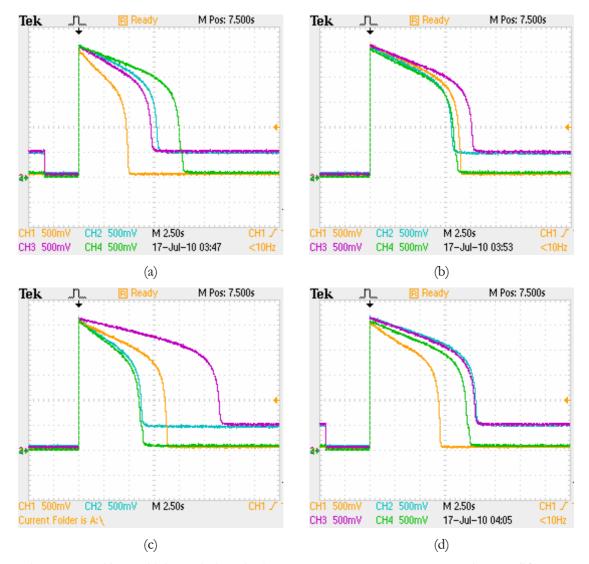


Fig. 5. 15 – Saídas analógicas relacionadas à corrente no escuro, para quatro endereços diferentes (tensão: 500 mV/div; tempo: 2,50 s/div).

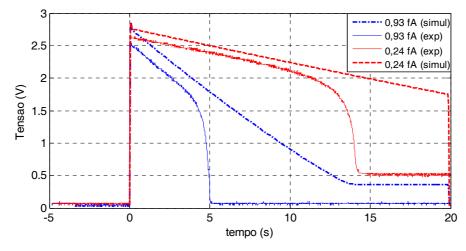


Fig. 5. 16 – Comparação entre formas de onda experimentais e simuladas para a corrente no escuro.

5.4) Conclusão

Este capítulo apresentou os principais resultados experimentais, que validam a proposta apresentada no Capítulo 4. Das saídas analógicas, observou-se o aumento na excursão do sinal, que apresenta um valor de reset de aproximadamente 2,5 V. Foi constatado que, para níveis baixos de iluminação, este valor pode atingir tensões da ordem de 2,6 V. Desta forma, a excursão máxima do sinal, para níveis baixos de iluminância, pode atingir 1,95 V, sendo 650 mV o valor limite para que a correspondência entre v_{PIX} e v_{OUT} seja considerada linear. Em condições normais de iluminação, tem-se uma excursão máxima de 1,85 V.

As primeiras formas de onda mostradas foram os sinais digitais de leitura e endereçamento. Destes sinais, constatou-se a possibilidade de ajuste no tempo de integração, para cobrir uma faixa maior de níveis de iluminação. De fato, este é um recurso previsto neste protótipo, tendo este ajuste sido feito de modo manual, na placa de desenvolvimento confeccionada. A interface da placa com um circuito externo que implemente este ajuste é possível.

De modo similar, foram mostradas as formas de onda geradas para produzir o endereçamento automático dos pixels. A placa prevê a possibilidade de endereçamento estático, ou ainda formas especiais de endereçamento.

Um dos parâmetros de interesse na avaliação da faixa dinâmica do sensor APS é o seu valor de corrente no escuro. Esta foi avaliada na Seção 5.3, e os resultados serão utilizados na determinação da faixa dinâmica efetiva do imageador fabricado. Esta discussão será apresentada no próximo capítulo.

6) Avaliação da Faixa Dinâmica e Discussão dos Resultados

Neste capítulo, a faixa dinâmica do sensor APS em estudo é calculada, com base em modelos definidos na literatura. A posse de informações obtidas nos capítulos anteriores permite uma análise baseada em dados reais para o imageador, ao invés dos dados usualmente tomados para um sensor de referência.

Sendo a faixa dinâmica (DR), de acordo com (2.1), a razão entre a máxima quantidade de luz que causaria saturação e o patamar de ruído, é de fundamental importância o conhecimento das contribuições de cada fonte para o ruído total no sensor. O ruído do circuito de leitura é determinado através de simulação computacional. A máxima relação sinal-ruído (SNR) também é obtida para o circuito proposto.

Visto que o chip projetado permite ainda a adoção de outras estratégias de leitura, como o uso de tempos de integração variáveis, a faixa dinâmica é obtida também para esta estratégia. Um outro aspecto importante apresentado pela topologia proposta é a linearidade, que também é discutida neste capítulo.

Os principais resultados relativos ao aumento na excursão do sinal são discutidos neste capítulo e comparados com os obtidos por outras estruturas propostas na literatura. Ao final do capítulo, são sumarizados os principais dados referentes ao sensor APS projetado.

Para o desenvolvimento deste capítulo, o trabalho se utilizou de uma modelagem apresentada em [102] e [103], cujos pontos principais são apresentados a seguir.

6.1) Modelagem do ruído e da faixa dinâmica

O estudo da faixa dinâmica de sensores APS inicia com a obtenção de um modelo contendo as diferentes contribuições de ruído. Tal modelo parte de um modelo mais simples, mostrado na Fig. 6. 1, onde a funcional *f(.)* representa toda a eletrônica de leitura necessária para converter a fotocorrente I_{ph} na tensão de saída V.

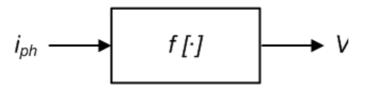


Fig. 6. 1 – Modelo simplificado do sensor.

A partir deste modelo simplificado, torna-se necessário incluir outros elementos que possibilitem uma análise mais rigorosa, incluindo as diferentes contribuições de ruído, a saber: (a) o ruído *shot (shot noise*), $I_s(t)$; (b) o ruído de carga do circuito de leitura (*readont noise*), Q_r . Adiciona-se o ganho de conversão carga-tensão (g) e uma contribuição importante na degradação da imagem em sensores APS, a corrente no escuro, i_d . Chega-se, deste modo, ao modelo da Fig. 6. 2, apresentado em [79].

Como o ruído de padrão fixo (FPN) é invariante no tempo, ele não é incluído no modelo, visto que se pressupõe que o circuito dispõe da amostragem dupla correlacionada (CDS), destinada a minimizar esta não-idealidade. O modelo também não inclui a componente de ruído de Reset (kT/C), mencionado no Item 2.6.1. Ainda que o ruído kT/C seja um ruído temporal, a sua contribuição não se altera após a retirada do sinal de Reset, sendo também eliminado pela CDS.

Adota-se, nesta figura, símbolos com letra minúscula para designar variáveis determinísticas, e símbolos com letra maiúscula para designar variáveis aleatórias, ou com uma componente aleatória¹.

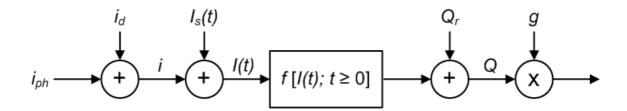


Fig. 6. 2 – Modelo completo do sensor.

^{1.} Por coerência, embora T_{int} seja uma variável determinística, é mantida com letra maiúscula ao longo de todo este texto.

Para um APS convencional (sem empregar qualquer estratégia para aumento da DR), a funcional f(.) será dada por:

$$f[I(t), t \ge 0] = \begin{cases} \int_0^{T_{int}} I(t)dt, & para \ i \le \frac{q_{m\acute{a}x}}{T_{int}} \\ q_{m\acute{a}x}, & para \ i > \frac{q_{m\acute{a}x}}{T_{int}} \end{cases}$$

$$(6.$$

O ruído *shot* decorre da natureza discreta das cargas, sendo a mais fundamental forma de ruído presente em imageadores a semicondutor [53]. Ele se manifesta como um ruído branco e gaussiano, com média zero e densidade espectral de potência dada por

$$q.(i_{ph} + i_d) \tag{6.2}$$

Onde q é a carga do elétron (1,602 x 10^{-19} C).

A carga equivalente ao ruído de shot na saída do sensor corresponde a

$$Q_{S} = \int_{0}^{T_{\text{int}}} I_{S}(t) dt \tag{6.3}$$

Desse modo, o valor quadrático do ruído shot na saída do sensor será dado por

$$\sigma_{Q_{\rm S}}^2 = q(i_{\rm ph} + i_{\rm d}).T_{\rm int} \tag{6.4}$$

O ruído de leitura pode ser dividido em dois componentes: o ruído térmico e o ruído 1/f (*flicker noise*). O primeiro tem característica de distribuição espectral aproximadamente uniforme ao longo do espectro de freqüências, e advém dos movimentos aleatórios das cargas que ocorrem em qualquer temperatura acima do zero absoluto (0 K). O ruído 1/f, por outro lado, tem sua magnitude reduzida com o aumento da freqüência. A determinação de sua origem é alvo de diversos estudos [52].

Sendo as fontes de ruído *shot* e de leitura não-correlacionadas, a densidade do ruído total na saída será

$$\sigma_{Q}^{2} = \sigma_{Q_{S}}^{2} + \sigma_{Q_{R}}^{2} \tag{6.5}$$

Para a obtenção da faixa dinâmica do sensor, é necessário encontrar o ruído total referido à entrada (N_i), conforme ilustra a Fig. 6. 3. A função $f_0(i)$ é definida como

$$f_0(i) = f[i; t = 0] = \min\{i \cdot T_{int}, q_{max}\}$$
 (6.6)

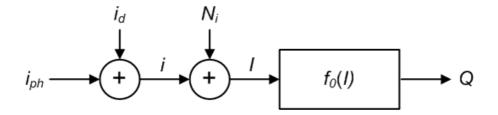


Fig. 6. 3 – Modelo do sensor com o ruído total referido à entrada.

Considerando o valor médio quadrático do ruído referido à entrada, σ_{Ni}^2 , muito pequeno em relação ao sinal i, o valor de $f_0(i+N_i)$ pode ser expresso pela série de Taylor de primeira ordem:

$$f_0(i+N_i) \approx f_0(i) + N_i f_0(i)$$
 (6.7)

Obtém-se σ_{Ni}^2 através da equação

$$Q_r = f_0(I_r) \approx I_r f_0'(i)$$
 (6.8)

De (6. 4) e (6. 8), chega-se a

$$\sigma_{Ni}^{2} = \frac{\sigma_{Q}^{2}}{f_{0}'(i)^{2}} = \frac{\sigma_{Q}^{2}}{T_{\text{int}}^{2}} = \frac{q.(i_{ph} + i_{d}).T_{\text{int}}^{2} + \sigma_{Qr}^{2}}{T_{\text{int}}^{2}}$$
(6. 9)

A faixa dinâmica será obtida calculando-se os limites superior e inferior de leitura da fotocorrente. O limite superior é definido pela carga máxima no fotodiodo e pela corrente no escuro:

$$\dot{I}_{m\acute{a}x} = \frac{q_{m\acute{a}x}}{T_{\text{int}}} - \dot{I}_{d} \tag{6.10}$$

O limite inferior é o menor sinal que pode ser distinguido de zero. Considera-se a corrente mínima, i_{min} , como o valor médio quadrático do ruído referenciado à entrada na ausência de sinal. Deste modo,

$$i_{min} = \sqrt{\sigma_{Ni}^2} = \frac{\sqrt{q.i_d.T_{int} + \sigma_{Qr}^2}}{T_{int}}$$
(6. 11)

De (6. 10) e (6. 11), obtém-se a faixa dinâmica:

$$DR = \frac{i_{m\acute{a}x}}{i_{m\acute{i}n}} = \frac{q_{m\acute{a}x} - i_{d}.T_{int}}{\sqrt{q.i_{d}.T_{int} + \sigma_{Or}^2}}$$
(6. 12)

A relação sinal-ruído (SNR) pode ser obtida dividindo-se a potência do sinal i_{pb} pela potência do ruído dada em (6. 9), resultando em

$$SNR = \frac{i_{ph}^2}{\sigma_{Ni}^2} = \frac{i_{ph}^2 \cdot T_{\text{int}}^2}{q \cdot (i_{ph} + i_d) \cdot T_{\text{int}} + \sigma_{Qr}^2}, \quad para i_{\min} \le i_{ph} \le i_{m\acute{a}x}$$

$$(6. 13)$$

Com o aumento de i_{ph} , o fator $\mathbf{q} \cdot (i_{ph} + i_d) \cdot T_{int}$ no denominador de (6. 13) torna-se muito maior que σ_{Qr}^2 . De acordo com (6. 4), esta é a contribuição do ruído *shot*, que limita a máxima relação sinal ruído do sensor, SNR_{máx}, a qual ocorrerá para a máxima fotocorrente no sensor, $i_{máx}$.

De (6. 12), conclui-se que a DR é obtida a partir do conhecimento dos parâmetros $q_{m\acute{a}x}$, i_d , T_{int} e σ_{Qr} do sensor. Nas referências citadas, a DR e a SNR são calculadas para três valores diferentes de i_d , a saber, 1 fA, 5 fA e 15 fA, com base em um sensor APS de referência, com $q_{m\acute{a}x}$ =125000q, T_{int} = 30 ms e σ_{Qr} = 20q. Na próxima seção, a DR e SNR serão calculadas com base nos parâmetros obtidos para o circuito proposto.

6.1.1) Faixa dinâmica e ruído na saída do circuito de leitura

A metodologia descrita anteriormente trata da faixa dinâmica e da relação sinalruído *no pixel*. A contribuição de ruído do circuito de leitura é representada pela componente σ_{Qr} , sendo esta referenciada à entrada, ou seja, ao pixel, independente da topologia. Sob este ponto de vista, uma conclusão mais imediata poderia ser obtida: reduzindo ao máximo o ruído do circuito de leitura, seria possível estender a faixa dinâmica do sensor APS. Mais especificamente, seria possível ler *menores* valores de fotocorrente, já que, para valores elevados (próximos de i_{max}), a contribuição do ruído *shot* é predominante.

No entanto, tal análise não leva em consideração a excursão do sinal *na saída* do sensor. A abordagem da faixa dinâmica baseada no sinal de saída do sensor é menos frequente na literatura que a análise do ponto de vista do pixel, e pode ser encontrada, por exemplo, em [104].

Na saída do circuito, a faixa dinâmica poderia ser definida como

$$DR = \frac{\Delta V_{OUT,m\acute{a}x}}{e_{out,m\acute{n}n}}$$
 (6. 14)

Sendo $\Delta V_{OUT,m\acute{a}x}$ a excursão máxima do sinal na saída. $\mathbf{e}_{out,m\acute{n}n}$ é o valor RMS da tensão de ruído para $i_{m\acute{n}n}$ na saída do sensor. Este valor corresponderá à tensão na entrada do pixel equivalente à carga de ruído integrada para a corrente no escuro, multiplicada pelo ganho do circuito que, no caso da topologia em estudo, aproxima-se da unidade.

Seguindo o mesmo raciocínio, a máxima SNR para o circuito, SNR_{máx}, será tomada como a máxima excursão do sinal de saída e o ruído na saída do sensor para o valor de tensão de ruído na saída para $i_{máx}(\boldsymbol{e}_{out,máx})$. Deste modo, tem-se

$$SNR_{m\acute{a}x} = \frac{\Delta V_{OUT,m\acute{a}x}}{e_{out,m\acute{a}x}}$$
 (6. 15)

Na próxima seção, a faixa dinâmica para o circuito desenvolvido será primeiramente verificada segundo a metodologia apresentada em [79]. A análise do ponto de vista da saída do circuito é realizada em seguida, sendo então os resultados das duas análises comparados.

6.2) Determinação da faixa dinâmica e relação sinalruído do novo APS

A metodologia apresentada na seção anterior foi aplicada diretamente ao novo circuito de leitura projetado. Foi discutido no Capítulo 4 que o uso do sinal de clock máximo de projeto (8 MHz) levaria a tempos de integração pequenos para níveis de iluminação normais (de 10 a 1000 lx, por exemplo). Nas aquisições do Capítulo 5, o uso de uma freqüência de clock de 1 MHz, com ajuste do prescaler N = 3, foi adequado para a leitura de níveis de iluminação da ordem de 400 lx (gf. Fig. 5.8a). De acordo com a Tab. 4.2, tal ajuste corresponde a T_{int} = 130 μs, sendo este o instante decorrido entre a retirada do pulso de Reset e a última amostra (Fig. 4.32). Este será o período de integração adotado. Na prática, as saídas analógicas permanecem ativas ainda após T_{int}. Para a configuração mencionada, a saída analógica permanece ativa por 168 μs.

Frequentemente, a carga máxima do fotodiodo (full well capacity) é obtida considerando-se uma capacitância de pixel constante. Ainda, admite-se que o circuito de leitura fornecerá uma tensão de saída desde a carga máxima desta capacitância até zero, o que não é verdadeiro para a maioria das topologias. Estas hipóteses, embora simplifiquem a análise, tendem a levar ao cálculo de uma carga total maior que a real, superestimando a

DR, como pode ser verificado da análise de (6. 12). É necessário, portanto, conhecer o valor de saturação da tensão no pixel, sendo este o valor V_{PIX} mínimo que permita a leitura do sinal na saída do sensor (já que o pixel inicia em um valor próximo de $V_{\text{DD}} - V_{\text{tn,RST}}$, sendo $V_{\text{tn,RST}}$, a tensão de limiar do transistor de Reset). Esta consideração é encontrada em [105].

Da análise DC no Capítulo 4 (Seção 4.2) e da simulação mostrada no item 4.5.1, foi observado que a tensão de pixel deve ser, no mínimo, igual a $V_{tn,RD}+V_{sat,RD}$ para evitar o corte do transistor de leitura, sendo $V_{tn,RD}$ a tensão de limiar do transistor de leitura e $V_{sat,RD}$ a tensão de saturação do transistor de leitura. Isto é válido para a nova topologia, já que esta consegue manter a relação linear entre V_{OUT} e V_{PIX} mesmo com os transistores de polarização em região linear.

Para o circuito apresentado, verificou-se que este valor mínimo é da ordem de 650 mV (onde o sinal já começa a ser afetado por não-linearidades), como mostrou a Fig. 4.70. Como na Seção 5.2, considera-se a capacitância do pixel dada por

$$C_{PIX}(V_{PIX}) = C_{PD}(V_{PIX}) + C_0.$$
 (6. 16)

Onde $C_{PD}(v_{PIX})$ é dada por (4.31). C_0 representa as capacitâncias parasitas dos MOSFETs, sendo o seu valor aproximado igual a 1,5 fF. Sendo a tensão máxima no pixel considerada igual a 2,5 V, obtém-se a carga máxima através de

$$q_{m\acute{a}x} = \int_{0.65}^{2.5} C_{PIX}(V) \cdot dV = 9.57 \ fC = 59710 \ el\acute{e}trons$$
 (6. 17)

A Fig. 6. 4 ilustra a carga máxima do pixel, segundo esta consideração. Uma exceção seria o pixel complementar (CAPS), abordado no Capítulo 3 [59], por permitir a leitura de v_{PIX} desde o máximo (que pode eventualmente ser igual a V_{DD} , se efetuado o *hard reset*) até zero. A capacitância de pixel, no entanto, permanece como uma função não-linear de v_{PIX} .

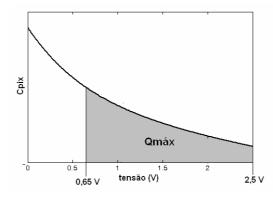


Fig. 6. 4 – Carga máxima a ser considerada na avaliação da faixa dinâmica do sensor em estudo.

O maior valor obtido experimentalmente para a corrente no escuro (Seção 5.3) foi $i_d = 0.93$ fA, o que permite admitir, para o pior caso, uma corrente no escuro de 1 fA. O valor de corrente no escuro média, entretanto, será ainda inferior.

A fotocorrente máxima que pode ser medida para o tempo de integração adotado sem causar saturação do sensor pode ser obtida dividindo-se $q_{máx}$ por T_{int} , levando a

$$I_{ph,m\acute{a}x} = \frac{q_{m\acute{a}x}}{T_{int}} = \frac{9,57.10^{-15}}{130.10^{-6}} = 73,6 \ pA \tag{6.18}$$

O valor desta corrente é importante para o cálculo do ruído *shot* máximo e do ruído máximo total referido à entrada, como mostra (6. 9).

Resta a obtenção da carga equivalente para o ruído de leitura do circuito referido à entrada, σ_{Or} . Este valor será obtido através de

$$\sigma_{Qr} = \mathbf{e}_{nv}.\mathbf{C}_{PIX}(\mathbf{V}_{PIX}) \tag{6.19}$$

Onde e_{nv} é a tensão de ruído referida à entrada do circuito. Toma-se, neste caso o valor de C_{PIX} para V_{PIX} = 2,5 V. O procedimento para cálculo de e_{nv} é mostrado no item a seguir.

6.2.1) Ruído do circuito de leitura

Para a obtenção do ruído do circuito de leitura, foi empregada a simulação de ruído no HSPICE para o circuito da Fig. 6. 5, em conjunto com uma metodologia para análise de ruído em amplificadores operacionais, apresentada em [106-109].

A Fig. 6. 6 mostra a resposta em frequência do sistema em malha fechada, a densidade de ruído total referido à entrada e a densidade de ruído total na saída do circuito. As densidades de ruído são dadas em V/\sqrt{Hz} . São identificados alguns pontos de interesse para a análise. A formatação logarítmica do eixo-Y nos gráficos de densidade de ruído permite distinguir as regiões do espectro onde predomina o ruído 1/f e o ruído térmico, este distribuído de maneira aproximadamente uniforme ao longo da banda de passagem do circuito ($\sim 120 \text{ MHz}$). Da figura, a frequência para a qual o ruído térmico passa a ser predominante (denominada 1/f - corner frequency) situa-se próxima de 100 kHz. É usual estabelecer um limite inferior de freqüência de 0,1 Hz para a análise de ruído, o que é uma consideração razoável, visto que tal freqüência corresponderia a um período muito maior que o período de integração do APS.

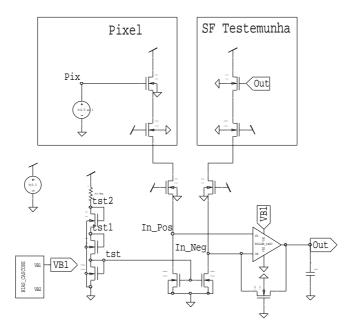


Fig. 6. 5 – Circuito para simulação de ruído.

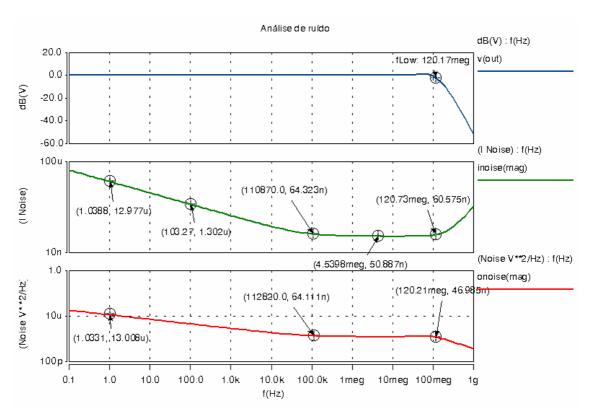


Fig. 6. 6 – Simulação do HSPICE para análise de ruído. De cima para baixo: resposta em freqüência do sistema (malha fechada), densidade de ruído referido à entrada e densidade de ruído na saída.

O ruído total de tensão referido à entrada, e_{nv}, será dado por

$$\mathbf{e}_{nv} = \sqrt{\mathbf{e}_{nf}^2 + \mathbf{e}_{nBB}^2} \tag{6.20}$$

Onde e_{nf} é o ruído total 1/f (*flicker*) e e_{nBB} é o ruído térmico total ao longo da banda de passagem (*broadband*). As contribuições destas duas fontes são calculadas separadamente.

De [108], o valor de e_{nBB} é dado por

$$\mathbf{e}_{nBB} = \mathbf{e}_{BB} \sqrt{BW_n} \tag{6.21}$$

Onde e_{BB} é a densidade espectral de ruído ao longo da banda de passagem do sistema e BW_n é a largura de banda de ruído. BW_n será igual à largura de banda do sistema, BW, multiplicada por um fator de correção, K_n , devido à característica de filtro passa-baixa não-ideal apresentada por qualquer sistema real. Os valores de K_n para filtros de diferentes ordens, obtidos de [107], são mostrados na Tab. 6.1. Lembrando que o sistema possui dois pólos, com uma inclinação da curva de -40dB/década após a freqüência de corte, tem-se $K_n = 1,22$. Assim:

$$BW_n = BW.K_n = 120.10^6.1,22 = 146,4 MHz.$$
 (6. 22)

O valor de e_{BB} é obtido da simulação. Foi adotado um valor médio de 53 nV/ $\sqrt{\text{Hz}}$. O valor de e_{nBB} é, portanto,

$$e_{nBB} = 53.10^{-9} \cdot \sqrt{146, 4.10^6} = 641 \,\mu\text{V}$$
 (6. 23)

Para a obtenção de e_{nf} , encontra-se primeiramente o valor do ruído normalizado em 1 Hz, que será obtido tomando-se o valor da densidade espectral do ruído 1/f para uma freqüência conhecida, e_{at_-f} . Da Fig. 6. 6, tem-se $e_{at_-f} \cong 13 \ \mu V/\sqrt{Hz}$ para $f = 1 \ Hz$. Utilizando

$$\mathbf{e}_{nf \quad norm} = \mathbf{e}_{at \quad f} \cdot \sqrt{f} \ , \tag{6.24}$$

Chega-se a $e_{nf_norm} = 13 \,\mu\text{V}$. Observa-se que qualquer freqüência da região 1/f pode ser tomada. Da figura, tem-se, por exemplo, $e_{at_f} \cong 1,3 \,\mu\text{V}/\sqrt{\text{Hz}}$ para $f = 100 \,\text{Hz}$, que conduz ao mesmo resultado para e_{nf_norm} . De posse de e_{nf_norm} , chega-se ao valor de e_{nf} através de

$$\mathbf{e}_{nf} = \mathbf{e}_{nf_norm} \cdot \sqrt{\ln\left(\frac{f_H}{f_L}\right)}, \tag{6.25}$$

Onde usualmente toma-se f_H = BW_n e f_L = 0,1 Hz. Ressalta-se que o uso de BW_n como freqüência superior para a análise do ruído 1/f não é incorreto, visto que tanto o ruído térmico como o ruído 1/f existem em toda a banda de passagem do sistema. Ocorre, porém, que 1/f deixa de ser predominante acima da freqüência de *corner*. Tem-se, desta maneira,

$$e_{nf} = 13.10^{-6} \cdot \sqrt{\ln\left(\frac{146, 4.10^{6}}{0, 1}\right)} = 59,7 \mu V$$
 (6. 26)

A tensão total de ruído referido à entrada será

$$e_{nv} = \sqrt{e_{nf}^2 + e_{nBB}^2} = \sqrt{(641.10^{-6})^2 + (59,7.10^{-6})^2} = 644 \mu V$$
 (6. 27)

De onde se observa que a maior contribuição do ruído de leitura vem, para o circuito em questão, do ruído térmico. É necessário converter este valor de tensão em carga, o que é feito multiplicando-se e_{nv} pela capacitância do pixel para o ponto de operação especificado, no caso, $V_{PIX}=2,5$ V. Tal valor é de aproximadamente 4,8 fF. Assim,

$$\sigma_{Qr} = e_{nv} * C_{PIX} = 644.10^{-6}.4, 8.10^{-15} = 3, 1.10^{-18} C = 19 \text{ elétrons}$$
 (6. 28)

As demonstrações das equações para cálculo do ruído térmico e do ruído 1/f podem ser encontradas em [107].

Tab. 6.1 – Fatores de correção K_n para filtros passa-baixas de diferentes ordens.

Número de pólos	K _n
1	1,57
2	1,22
3	1,16
4	1,13
5	1,12

6.2.2) Determinação da faixa dinâmica e máxima SNR do pixel

O ruído total na entrada do pixel deve incluir a contribuição do ruído *shot*, que é dado por (6. 4). Tal contribuição dependerá do valor de i_{ph} e T_{int} . Para o pior caso, toma-se a máxima fotocorrente que não causaria saturação do sensor para T_{int} especificado (130 μ s). De (6. 18), $I_{ph,máx} = 73,6$ pA. Assim,

$$\sigma_{Q_S} = \sqrt{q(i_{ph} + i_d).T_{int}} = \sqrt{1,602.10^{-19}(73,6.10^{-12} + 1.10^{-15}).130.10^{-6}} = (6.29)$$

$$= 39,2.10^{-18}C = 244 \text{ elétrons}.$$

De (6. 5), a carga equivalente ao ruído total será, então,

$$\sigma_{Q} = \sqrt{\sigma_{Q_{S}}^{2} + \sigma_{Q_{R}}^{2}} = \sqrt{(39, 2.10^{-18})^{2} + (3, 1.10^{-18})^{2}} =$$

$$= 39, 3.10^{-18} C = 245 \text{ elétrons}.$$
(6. 30)

A comparação de (6. 30) com (6. 29) mostra que o ruído *shot* é predominante no caso de níveis mais elevados de iluminação, sendo mínima a contribuição do ruído produzido pelo circuito de leitura.

Tem-se agora os parâmetros para a determinação efetiva da faixa dinâmica e da máxima SNR do sensor desenvolvido. A corrente mínima detectável $i_{mín}$, será dada pelo ruído σ_Q (calculado para $I_{ph}=0$) dividido por T_{int} . Assim,

$$i_{min} = \frac{\sigma_Q}{T_{int}} = \frac{\sqrt{q.i_d.T_{int} + \sigma_{Qr}^2}}{T_{int}} = 23.9 \text{ fA}$$
 (6. 31)

De (6. 12), obtém-se a faixa dinâmica:

$$DR = \frac{i_{m\acute{a}x}}{i_{m\acute{n}}} = \frac{q_{m\acute{a}x} - i_d.T_{int}}{\sqrt{q.i_d.T_{int} + \sigma_{Qr}^2}} = 3083 = 69.8 \text{ dB}$$
 (6. 32)

Se a carga máxima considerada fosse a carga total de C_{PIX} , a DR resultante seria 72,8 dB, o que corresponderia, pelos motivos explicitados anteriormente, a uma sobre-estimação da DR real. Contudo, a DR do dispositivo poderia eventualmente ser *maior* que a obtida em (6. 32), uma vez que foi feita a consideração $i_d = 1$ fA. Pelas medidas relatadas no Capítulo 5, estima-se que a corrente no escuro média seja menor que o valor assumido.

A máxima relação sinal-ruído, $SNR_{máx}$, é calculada a partir de (6. 13), para $I_{ph,máx}$ = 73,6 pA., sendo

$$SNR_{m\acute{a}x} = \frac{I_{ph,m\acute{a}x}^2 \cdot T_{int}^2}{q \cdot (I_{ph,m\acute{a}x} + I_d) \cdot T_{int} + \sigma_{Qr}^2} = 59596 \tag{6.33}$$

Sendo a SNR uma relação entre potências, o seu valor em decibéis é dado por

$$SNR_{m\acute{a}x}(dB) = 10 \cdot \log_{10}(SNR_{m\acute{a}x}) = 47,7 dB$$
 (6. 34)

6.2.3) Determinação da faixa dinâmica e máxima SNR na saída do circuito de leitura

É de interesse testar se os valores obtidos no item anterior se verificam para a saída do circuito de leitura. Isto deverá ser feito transformando a carga equivalente ao ruído no escuro em um sinal de tensão correspondente na saída do circuito, já que a carga máxima (correspondente à máxima fotocorrente pelo tempo de integração T_{int}) irá produzir a máxima excursão do sinal, $\Delta V_{OUT,máx}$, já conhecido e com valor igual a 2,5 V - 0,65 V = 1,85 V.

Sendo o ganho do circuito de leitura unitário, a tensão de ruído na saída para a fotocorente mínima, i_{min} , será conhecida dividindo a carga equivalente ao ruído no escuro pela capacitância de pixel (para $V_{PIX} = 2,5 \text{ V}$), ou seja,

$$e_{out,min} = \frac{i_{min} \cdot T_{int}}{C_{DIX}} = \frac{23,9.10^{-15}.130.10^{-6}}{4.8.10^{-15}} = 647 \mu V$$
 (6. 35)

Calcula-se então a faixa dinâmica de (6. 14):

$$DR = \frac{\Delta V_{OUT,m\acute{a}x}}{e_{out,m\acute{a}n}} = \frac{1,85}{647.10^{-6}} = 2874 = 69,2 \text{ dB}$$
 (6. 36)

Um resultado compatível com a DR obtida para o pixel, em (6. 32). Para a máxima relação sinal-ruído, substitui-se $\boldsymbol{e}_{out,mín}$ por $\boldsymbol{e}_{out,máx}$ em (6. 36). Esta tensão, por sua vez, será calculada dividindo-se a carga equivalente ao ruído para $I_{ph,máx}$ pela capacitância de pixel. Neste caso, não será considerada a capacitância para $V_{PIX} = 2,5$ V, mas, por simplicidade, uma capacitância C_{PIX} *média*, entre 2,5 V e 0,65 V, cujo valor será de aproximadamente 5,2 fF.

Como o ganho do circuito é aproximadamente unitário, e_{out.máx} será dada por

$$\mathbf{e}_{out,m\acute{a}x} = \frac{\sigma_{Q}}{C_{PIX}} = \frac{\sqrt{q \cdot (i_{ph,m\acute{a}x} + i_{d}) \cdot T_{int} + \sigma_{Qr}^{2}}}{C_{PIX}} = 7,6 \text{ mV}$$

$$(6.37)$$

De onde se obtém SNR_{máx}:

$$SNR_{m\acute{a}x} = \frac{\Delta V_{OUT,m\acute{a}x}}{e_{OUT,m\acute{a}x}} = \frac{1,85}{7,6.10^{-3}} = 243,4 = 47,7 \text{ dB}$$
 (6. 38)

Este valor, idêntico ao obtido em (6. 34), é compatível com valores para SNR_{máx} referenciados na literatura, como em [44] e [110], assim como no sensor linear de referência utilizado em [58] para a comparação com os parâmetros de pixels logarítmicos.

6.2.4) Comparação com o pixel 3T

Foi verificado que a utilização do circuito de leitura proposto produz uma variação máxima de tensão na saída, $\Delta V_{OUT,m\acute{a}x}$, igual a 1,85 V (56% de V_{DD}), ao invés da excursão de 1,44 V (44% de V_{DD}) no pixel contendo apenas o seguidor de fonte como circuito de leitura (denominado aqui por simplicidade de *SF simples*), como visto no Item 2.4.4. A implicação deste aumento em ΔV_{OUT} (de aproximadamente 28%) na faixa dinâmica do sensor é a questão a ser investigada neste item.

Devido a v_{OUT} acompanhar v_{PIX} mesmo com os transistores de polarização dos SFs (pixel e testemunha) em região linear (não havendo a limitação da tensão de *overdrive* destes transistores), a tensão de saturação para o circuito proposto é *menor* que a que seria obtida com um SF simples, onde $V_{PIX,sat}$ seria de aproximadamente 740 mV (cf. Fig. 2.14). Isto permitiria, em comparação com um SF simples, a leitura de valores um pouco maiores para a fotocorrente máxima, $i_{máx}$.

Por outro lado, a presença de elementos adicionais no circuito de leitura tende a elevar o ruído de leitura, que é a componente predominante para definir o valor mínimo de fotocorrente a ser lido, i_{min} . O ruído de leitura referido à entrada do seguidor de fonte simples seria, portanto, *menor* que o obtido para a nova proposta. De simulações computacionais utilizando apenas o SF do pixel como circuito de leitura, foi obtido σ_{Q_R} = 10 elétrons, contra 19 elétrons obtidos para a nova topologia (6. 28).

Tanto o sinal de pixel como o ruído referido à entrada do SF simples surgem na saída multiplicados pelo ganho menor que a unidade do seguidor de fonte (no caso deste trabalho, 0,83). Assim, a redução na excursão do sinal devida ao seguidor de fonte não seria, para a tecnologia empregada no APS deste trabalho, um limitador para a faixa dinâmica do sensor, se analisada apenas a saída analógica.

Entretanto, é importante considerar que em alguma parte do sistema haverá a conversão analógica-digital deste sinal, sendo a contribuição de ruído do conversor A/D (o *ruído de quantização*) decisiva para o ruído total do sensor, como ilustra a Fig. 2.17 [49]. Uma maior excursão do sinal de saída permitirá o emprego de conversor A/D com melhor resolução, desde que mantido também um compromisso com o nível de ruído na saída analógica do sensor.

Este é um dos pontos que justificam o uso de uma estrutura para aumentar a excursão do sinal. No caso de sensores fabricados em tecnologias para menor valor de $V_{\rm DD}$, este benefício se torna ainda maior, visto que a excursão do sinal é reduzida progressivamente, como mostrado no Item 2.4.4.

As simulações transientes para o novo circuito de leitura empregando os modelos preditivos de transistor [46] de 0,18 μ m e 0,13 μ m (utilizados na simulação DC das Figs. 2.15 e 2.16) são mostradas na Fig. 6. 6. A Tab. 6.2 compara os valores obtidos para $\Delta V_{OUT,m\acute{a}x}$ utilizando o circuito de leitura proposto e o SF simples para as três tecnologias (0,35 μ m, 0,18 μ m e 0,13 μ m).

Para as simulações utilizando os modelos preditivos, foi empregado um amplificador de tensão ideal, no lugar do amplificador de leitura. Tal como ocorre para a tecnologia $0,35 \mu m$, é mantida a relação linear entre v_{OUT} e v_{PIX} mesmo após a entrada dos transistores de polarização em região linear.

Tab. 6.2 – Comparação entre os valores da máxima excursão do sinal.

Processo	Seguidor de fonte simples	Nova topologia
0,35 μm/3,3 V (AMS)	1,44 V (44% de V _{DD})	1,85 V (56% de V _{DD})
0,18 μm/1,8 V (preditivo)	0,61 V (34% de V _{DD})	0,85 V (47% de V _{DD})
0,13 μm/1,3 V (preditivo)	0,36 V (28% de V _{DD})	0,52 V (40% de V _{DD})

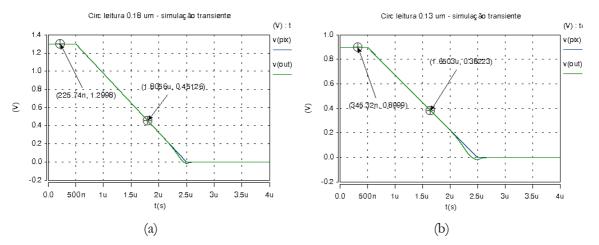


Fig. 6. 7 – Simulações transientes do circuito proposto usando modelos preditivos.

(a) $0.18 \mu m$; (b) $0.13 \mu m$.

6.3) Expansão da faixa dinâmica através do tempo de integração variável

O cálculo da faixa dinâmica considerando o uso da técnica de tempo de integração variável é obtido a partir das equações obtidas na Seção 6.1 e utilizadas na Seção 6.2 para um tempo de integração fixo. Deve-se aqui obter a máxima fotocorrente que poderia ser lida para o tempo de integração mínimo (fazendo N=0 para o prescaler), e a mínima fotocorrente que poderia ser lida para o tempo de integração máximo (N=7).

Tem-se, para N=0, $T_{int}=18~\mu s$. Para este tempo, a fotocorrente máxima que não causaria saturação do sensor é

$$I_{ph,m\acute{a}x} = \frac{q_{m\acute{a}x}}{T_{int}} = \frac{9,57.10^{-15}}{18.10^{-6}} = 532 \ pA \tag{6.39}$$

Para N = 7, $T_{int} = 2,05$ ms. De (6. 31), o valor mínimo distinguível será

$$i_{min} = \frac{\sigma_Q}{T_{int}} = \frac{\sqrt{q.i_d.T_{int} + \sigma_{Qr}^2}}{T_{int}} = 1,56 \text{ fA}$$
(6. 40)

É interessante notar que, se i_d for feita igual a zero em (6. 40), tem-se $i_{min} = 1,51$ fA, indicando que, para níveis mais baixos de iluminação, a contribuição do ruído de leitura é predominante sobre o ruído *shot*. É importante ainda considerar que a relação entre os tempos máximo e mínimo para este circuito é de aproximadamente 114 vezes.

De (6. 39) e (6. 40), a faixa dinâmica obtida é

$$DR = \frac{i_{min}}{i_{m\acute{a}x}} = \frac{532.10^{-12}}{1,56.10^{-15}} = 34103 = 110,6 \text{ dB}$$
 (6. 41)

Este valor corresponde a um aumento de quase 110 vezes na DR obtida em (6. 32).

Para cada valor ajustado para T_{int}, ainda é possível utilizar a amostra intermediária para flexibilizar ainda mais os algoritmos para implementar um sistema com elevada DR. A tripla amostragem, contudo, não possibilita um aumento significante na DR, em relação à estratégia de tempo de integração variável. Para efeito de expansão da DR, não há diferença significativa, por exemplo, entre tomar a segunda amostra do sinal para um tempo correspondente a N = 3 ou ajustar o tempo para N = 2. Se observada a Fig. 4.32 e Tab. 4.2, é possível constatar que a relação entre os tempos não é corresponde rigorosamente a potências de 2, por causa do pulso gerado para a obtenção da 1ª amostra.

A amostragem intermediária pode ser útil, por exemplo, para atualizar mais rapidamente os tempos de integração, e tornar mais rápida a taxa de transmissão de quadros, que será diminuída à medida que uma maior quantidade de pixels da matriz for exposta a um nível de iluminação menor, dada a necessidade de aumentar o tempo de integração.

O ruído de quantização, introduzido pelo conversor A/D, normalmente não é considerado na avaliação da DR do imageador. A resolução do conversor deverá possibilitar a leitura dos valores mínimos, para garantir a manutenção da DR obtida para o circuito analógico. É interessante ainda que, se utilizado um conversor com maior resolução, o circuito analógico garanta uma *linearidade* maior que a introduzida pelo próprio conversor. Este parâmetro será analisado na próxima seção, para o circuito apresentado.

6.4) Avaliação da linearidade

Da Seção 2.5, foi constatado que a tensão de saída de um APS linear convencional (ou seja, aquele onde o sinal é obtido na saída de um seguidor de fonte) é dada por

$$V_{OUT} = V_{PIX} - V_{tn,RD} - V_{sat,RD} \tag{6.42}$$

Onde $V_{tn,RD}$, a tensão de limiar do transistor de leitura, não permanece constante ao longo da excursão do sinal, devido ao efeito de corpo, como mostrado na simulação da Fig. 2.14. Assim, além da redução na excursão do sinal, haverá uma relação não-linear entre

 v_{olta} e v_{pix} , que não existirá na nova topologia, devido à compensação desta não-linearidade através do seguidor de fonte testemunha.

A linearidade, portanto, é uma característica encontrada no circuito de leitura em estudo. Para comparar as características de linearidade entre o pixel convencional e a nova estrutura, o critério foi o de medir, para uma simulação DC do sensor em questão, o máximo desvio entre a curva do sinal de saída e uma reta, obtida da linearização deste sinal para a faixa de valores de interesse do sinal de entrada [45]. O resultado é expresso em forma percentual. Tomando como ilustração a Fig. 6. 8, a não-linearidade NL será expressa por

$$NL(\%) = \frac{\Delta V_{m\acute{a}x}}{V_{OUT\ m\acute{a}x} - V_{OUT\ m\acute{n}n}} \cdot 100\% \tag{6.43}$$

Onde $\Delta V_{m\acute{a}x}$ é o módulo do máximo desvio entre a curva do sinal de saída e a aproximação linear, entre os limites $V_{OUT,m\acute{a}x}$ e $V_{OUT,m\acute{a}n}$.

A linearização da curva V_{OUT} para o SF da Fig. 2.13 leva a uma função do tipo

$$V_{OUT} = P_1 \cdot V_{PIX} + P_2 \tag{6.44}$$

Utilizando a ferramenta de ajuste de curvas do MATLAB, foram encontrados, para uma excursão de V_{PIX} de 0,65 V a 2,5 V, os parâmetros P_1 = 0,8237 e P_2 = -0,5275.

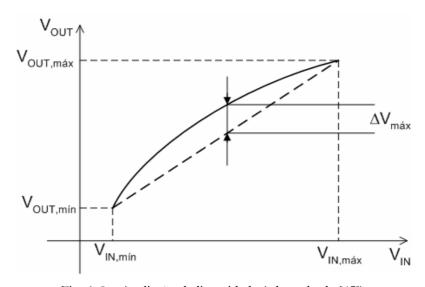


Fig. 6. 8 – Avaliação da linearidade (adaptado de [45]).

A linearização da curva V_{OUT} para o seguidor de fonte da Fig. 2.13 leva a uma função do tipo

$$V_{OUT} = P_1 \cdot V_{PIX} + P_2 \tag{6.45}$$

Utilizando a ferramenta de ajuste de curvas do MATLAB, foram encontrados, para uma excursão de V_{PIX} de 0,65 V a 2,5 V, os parâmetros P_1 = 0,8237 e P_2 = -0,5275.

As curvas de saída do seguidor de fonte e a função linearizada são mostradas na Fig. 6. 9. Observa-se uma maior distorção para valores de V_{PIX} próximos a 0,65 V ou próximos a 2,5 V. Sendo a máxima distorção igual a 42,1 mV, tem-se, de (6. 43), NL = 2,8%.

Para a nova topologia, V_{OUT} acompanha V_{PIX} de modo praticamente linear em toda a excursão de V_{PIX} (de 0,65 V a 2,5 V), levando a uma não-linearidade inferior a 0,1%. Na prática, uma não-linearidade maior é esperada, tanto para o SF convencional como para a nova topologia, em função de não-idealidades nos elementos (como o descasamento entre os transistores do SF do pixel e do SF testemunha, por exemplo).

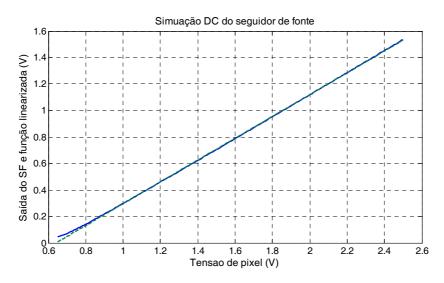


Fig. 6. 9 – Saída do seguidor de fonte 3T e função linearizada.

As aplicações biomédicas são casos típicos de aplicações onde são requeridos sensores APS com elevada DR e alta linearidade, a exemplo de [111]. Nesta referência, a linearidade é quantificada (em decibéis) em função da distorção harmônica total (THD – total harmonic distortion), que é medida da distorção de um sinal na saída do circuito de leitura mediante a aplicação de um sinal senoidal na entrada, sobreposta a um valor DC de polarização [45]. Em [112], é citado um sensor empregado em tomografia

computadorizada, onde *scanners* convertem raios-X em luz visível através de cristais cintiladores. Neste caso, o sensor possui elevada linearidade (THD < -100 dB) e elevada DR (aproximadamente 100 dB), sendo capaz de detectar fotocorrentes que variam de 6 pA a 81 nA, com resoluções de 16 bits.

6.5) Comparação com outras estruturas

No Capítulo 3, duas estruturas se destacam no intuito de aumentar a excursão do sinal de saída: o pixel APS complementar (CAPS), apresentado em [47] e [65], e o sensor de coluna ativa (ACS), apresentado em [69]. Nesta seção, o circuito de leitura proposto neste trabalho é comparado com estas estruturas, quanto à excursão do sinal, linearidade e características construtivas e de operação.

Em relação ao pixel APS complementar (CAPS), as vantagens apresentadas pela topologia deste trabalho são:

- O maior fator de preenchimento (FF). Uma vez que o pixel CAPS utiliza 5 transistores por pixel (2 deles sendo PMOS, necessitando, portanto, do poço-N), esta estrutura tem o fator de preenchimento reduzido. De [69], obteve-se FF = 30% (pixel de 12 μm x 10 μm, processo 0,25 μm). Na estrutura apresentada neste trabalho, tem-se o pixel 3T padrão (de 18 μm x 18 μm, processo 0,35 μm), sendo obtido FF = 64%.
- Um circuito de saída mais simples que o do CAPS, que necessita de um arranjo contendo contadores, multiplexadores analógicos e amplificadores. O sinal de saída, embora tenha uma excursão elevada, representa uma "junção" descontínua das saídas de dois seguidores de fonte (um PMOS e um NMOS), estando apenas um deles a contribuir com o sinal de saída, em um determinado instante.

Como vantagem apresentada pelo pixel CAPS em relação ao circuito desta tese, a vantagem pode ser enunciada como segue:

 Uma vez que utiliza um transistor PMOS para Reset e permite uma leitura de toda a faixa de tensões no pixel, o CAPS aproveita a totalidade da capacidade total do pixel (full well capacity), o que representa um efetivo aumento na faixa dinâmica, em relação ao pixel 3T convencional. Devido ainda à presença dos dois seguidores de fonte, o sinal de saída pode excursionar de V_{Dsat} até $V_{DD}-V_{Dsat}$ (com $V_{Dsat}\cong 100$ mV), independente da tensão de limiar dos transistores. Ao contrário, a topologia apresentada, além de estar limitada pela tensão V_{tn} do transistor de Reset (NMOS), possui a limitação inferior da tensão V_{tn} do transistor de leitura, ainda que, devido à realimentação promovida pelo seguidor de fonte testemunha, o efeito de corpo do transistor de leitura não represente uma limitação tão grande na excursão do sinal como acontece no SF comum

O sensor de coluna ativa (ACS) apresentou-se como a topologia mais próxima da proposta neste trabalho. Se comparado à técnica ACS, esta topologia apresenta a seguinte vantagem:

• Devido ao ganho elevado do amplificador de leitura (> 80 dB), o circuito proposto irá apresentar uma linearidade maior que a obtida para o ACS, que usa como elementos do par diferencial transistores mínimos ou próximos dos mínimos (um dos transistores do par é interno ao pixel). Isto reduz o ganho de entrada do amplificador e tem implicações na linearidade do circuito. Ainda que em [69] um estágio de saída extra tenha sido inserido ao amplificador (gf. Fig. 3.12), isto ainda implicará em questões relativas a ruído e estabilidade. Deve-se notar que o amplificador de leitura do circuito proposto apresenta uma grande excursão do sinal de saída, mas não tem a necessidade de uma grande excursão do sinal de entrada, visto que ela é proveniente dos seguidores de fonte (chegando a um máximo de 1,55 V)..

Como desvantagem em relação ao ACS, pode-se citar:

 As dimensões e consumo de energia do amplificador de leitura, que impede o uso de um amplificador por coluna, reduzindo, assim, a velocidade de transmissão de dados. Enquanto o amplificador de leitura deste trabalho possui um consumo de energia em torno de 400 μW, o amplificador de ganho unitário (UGA) do ACS possui um consumo entre 24 e 28 μW, dependendo da implementação.

A comparação entre o circuito desta tese e o ACS relatado em [69] é interessante não apenas em função dos objetivos semelhantes das duas estruturas, mas também pelo fato do circuito ACS ter sido implementado em um processo de 0,35 μm/3,3 V, em diferentes versões: (a) *soft reset*, UGA com par NMOS; (b) *soft reset*; UGA com par PMOS; e

(c) hard reset, UGA com par NMOS. A Tab. 6.3 compara algumas características de interesse entre o sensor APS em estudo e as três diferentes implementações do ACS.

Tab. 6.3 – Comparação entre o circuito de leitura proposto e diferentes implementações do ACS.

Parâmetro	Circuito	ACS, soft reset,	ACS, soft reset,	ACS, hard reset,
	proposto	UGA NMOS	UGA PMOS	UGA NMOS
Tamanho do pixel	18x18 μm	7x7 μm	7x7 μm	7x7 μm
Transistor de Reset	NMOS	NMOS	NMOS	PMOS
Fator de preenchimento	64%	39%	30%	16%
Não-linearidade	< 0,1%	< 1%	< 0,8%	< 1%
Excursão do	0,65 – 2,5 V	0,966 – 2,61 V	0 – 2,24 V	0,966 – 3,3 V
sinal de saída	(1,85 V)	(1,644 V)	(2,24 V)	(2,334 V)

O pixel ACS também é composto por 3 transistores. A causa da redução no fator de preenchimento, se comparado ao circuito proposto, se dá pelo tamanho reduzido do pixel. No entanto, nota-se uma redução maior no fator de preenchimento quando se usa transistor PMOS no par diferencial (em virtude da necessidade do poço-N), e ainda maior quando, além do par diferencial, se usa transistor PMOS como chave de Reset. A excursão do sinal foi maior para as estruturas utilizando transistores PMOS. O circuito proposto, com apenas transistores NMOS no pixel, teve uma excursão maior que a implementação do ACS utilizando apenas transistores NMOS.

Ressalta-se que tanto no circuito proposto nesta tese como no ACS, outra vantagem encontrada é o aumento no ganho de conversão (g) do sensor. Para o pixel fabricado, o ganho de conversão máximo estimado para o circuito de leitura (tomando V_{PIX} = 2,5 V) foi de 49 μ V/elétron, ao passo que g = 40,7 μ V/elétron na saída do SF convencional, devido ao ganho do seguidor de fonte (para o circuito em questão, igual a 0,83).

6.6) Sumário das características do imageador desenvolvido

É comum na literatura, a exemplo de [54], [61] e [65], a exibição de uma tabela com as principais características do sensor APS em questão. Este sumário com as principais características do sensor discutido nesta tese é apresentado na Tab. 6.4. Quando aplicável, é apresentada a condição para a obtenção de um determinado parâmetro. O motivo para exibir estes dados apenas ao fim deste capítulo da tese foi a necessidade de reunir informações distribuídas ao longo dos capítulos 4, 5 e 6.

Tab. 6.4 – Principais parâmetros do imageador desenvolvido.

Parâmetro	Valor	Condição
Processo	0,35 μm, 3,3 V, poço-N, 2P4M	
Matriz	64x64 pixels	
Tamanho do pixel	18 μm x 18 μm	
Área do chip (die size)	5 mm ² (2,235 mm x 2,235 mm)	
Fator de preenchimento (FF)	64%	
Ganho de conversão máximo	49 μV/elétron	Obtido para v _{PIX} = 2,5 V
Corrente no escuro (I _d)	1 fA	Estimada para o pior caso
Faixa dinâmica (DR)	69,8 dB (normal)	$T_{int} = 130 \ \mu s$
Faixa dinâmica (DR)	110,6 dB (ampliada)	$T_{int} = 18 \ \mu s - 2,05 \ ms$
Máxima SNR	45,7 dB	$T_{int} = 130 \ \mu s$
Taxa de transmissão de	4,36 fps	$T_{int} = 130 \mu s$, $f_{CLK} = 1 \text{ MHz}$
quadros (frame rate)		
Excursão do sinal	1,85 V (2,50 V – 0,65 V)	Nível de iluminação normal ¹
		(10 - 1000 lx)
Tensão de saturação	650 mV	Ver nota 2
Não-linearidade máxima	< 0,1%	Valor simulado, considerando
		$\Delta V_{OUT} = 2,5 \text{ V} - 0,65 \text{ V}$

^{1.} Uma excursão de 1,95 V (2,60 V – 0,65 V) é possível para baixos níveis de iluminação.

^{2.} Menor nível para que v_{OUT} x v_{PIX} seja linear.

6.7) Conclusão

Este capítulo avaliou a faixa dinâmica obtida para o circuito proposto. Como observado, o aumento da excursão do sinal de saída não aumenta significativamente a DR do dispositivo em relação aos dispositivos APS típicos, cuja DR varia de 65 a 75 dB. No entanto, foram mostrados resultados considerando-se os dados da forma mais fidedigna possível, como a capacidade de carga máxima *real*, além das principais contribuições de ruído. Deve-se lembrar que o APS IV foi projetado com menor dimensão de pixel e menor capacitância de pixel que o APS anterior.

Desta forma, se a DR obtida não foi maior que os níveis típicos, a nova topologia preserva a DR para níveis de tensão reduzidos e para capacidade máxima (full well capacity) reduzida, o que é uma tendência natural com o processo de escalamento dos dispositivos. A aplicabilidade da estrutura para menores tensões de alimentação foi discutida, com a simulação utilizando modelos preditivos de 0,18 µm e 0,13 µm.

A DR no circuito proposto pode ser consideravelmente aumentada se for utilizada a técnica de tempo de integração variável, auxiliada pelo recurso da amostragem intermediária. Tais funções são passíveis de serem implementadas no chip desenvolvido. Os algoritmos para implementar tais funções deverão ser executados externamente, possuindo o chip o hardware e as interfaces necessárias para tais implementações.

Uma característica apresentada pelo circuito proposto, a elevada linearidade, foi discutida neste capítulo, e comparada com uma estrutura APS convencional.

As conclusões finais do trabalho serão apresentadas no capítulo subsequente.

7) Conclusões

Os sensores APS vêm ganhando uma participação cada vez maior no mercado de imageadores a semicondutor, devido às suas vantagens decisivas sobre os dispositivos CCD. As principais são o menor consumo de energia, a flexibilidade de leitura e a possibilidade de integrar, em um mesmo substrato, toda a lógica de geração de sinais de leitura. Eventualmente, conversores A/D e circuitos de transmissão de dados podem também ser implementados.

Deste modo, um dispositivo APS é projetado geralmente para operar como uma *Camera on Chip.* Tal designação é um caso particular de uma classe de dispositivos denominados *System-on-Chip* (SoC), termo usado para identificar circuitos integrados capazes de executar diferentes funções analógicas, digitais ou mistas (*mixed-signal*) de forma autônoma, ou com uma mínima dependência de dispositivos externos.

O escalamento (*scaling*), ou seja, a redução progressiva nas dimensões dos transistores nas tecnologias CMOS submicrométricas e nanométricas beneficia tais dispositivos no tocante à densidade de componentes, permitindo a integração de um número cada vez maior de blocos. Por outro lado, isto pode significar a redução na excursão de sinais de tensão, para circuitos analógicos ou mistos, já que a redução nas dimensões dos transistores geralmente implica em níveis menores de tensão de alimentação.

Em particular para o sensor APS, a redução nos níveis de tensão de alimentação pode resultar em uma menor faixa dinâmica para o dispositivo, já que as contribuições de ruído se tornam mais significativas para valores menores de tensão de alimentação. Sendo a faixa dinâmica a razão entre a intensidade máxima de iluminação e a quantidade mínima detectável, esta última é limitada pelo ruído do sensor.

Um outro fato que vem sendo observado na literatura é a diminuição progressiva no tamanho dos pixels. A tendência é a redução na capacidade máxima de carga (full well capacity) do fotodiodo, o elemento sensor do pixel APS, o que, por outro lado, se torna um limitador da faixa dinâmica por reduzir o nível de saturação (cf. Fig. 2.10).

Esta tese apresentou um circuito de leitura para pixels APS lineares, cujo objetivo principal foi o de aumentar a excursão do sinal de saída. Para isto, foi empregado um circuito de leitura comum a um grupo de colunas, capaz de produzir, para a tensão de saída (v_{OUI}) , uma réplica da tensão do pixel (v_{PIX}) .

Da literatura revista, a topologia que mais se aproximou desta proposta foi o circuito ACS (*Active Column Sensor*) [69], onde o transistor de leitura (interno ao pixel) faz parte do par diferencial de um amplificador, cujos elementos restantes são comuns a toda uma coluna. Nos dois casos, tem-se um aumento não apenas na excursão do sinal, como também do ganho de conversão, visto que a saída não será afetada pelo ganho do seguidor de fonte (tipicamente em torno de 0,85).

O pixel APS complementar (CAPS), relatado em [47], visa a extensão da excursão do sinal através de dois seguidores de fonte (um NMOS e um PMOS), aproveitando quase toda a capacidade de carga do fotodiodo, sob o custo de se aumentar a complexidade do pixel (com fator de preenchimento reduzido), e do circuito de leitura na base das colunas.

Para o circuito aqui apresentado, mantém-se o seguidor de fonte convencional, sendo o sinal na saída deste aplicado à entrada não-inversora de um amplificador. A saída do amplificador é então aplicada à entrada de um outro seguidor de fonte, denominado seguidor de fonte testemunha. A saída deste, por sua vez, é ligada à entrada inversora do amplificador. Esta realimentação de tensão faz com que o sinal na saída do amplificador seja aproximadamente igual à tensão de pixel, independentemente do efeito de corpo sobre a tensão de limiar do transistor de leitura.

No Reset do pixel, o nível de tensão é de aproximadamente 2,5 V (soft reset), resultando em cerca de 1,53 V na saída do SF. É necessário o uso de um amplificador que possa, para este valor de tensão nas suas entradas, fornecer na saída uma tensão de 2,5 V, sem retirar qualquer transistor da região de saturação. Isto foi conseguido pelo uso de um amplificador Miller de dois estágios, com um par cascode no estágio de entrada, levando a uma estrutura com elevado ganho.

Uma análise AC da estrutura proposta mostrou que este amplificador, denominado amplificador de leitura, deve possuir também uma capacitância de entrada relativamente baixa, e uma margem de fase maior que os valores usualmente projetados para circuitos dessa natureza (da ordem de 80°, quando tipicamente são admitidas margens de fase próximas de 65°). Tais cuidados visam garantir as condições de estabilidade, visto que o SF insere um pólo extra na função de transferência do circuito, com freqüência próxima à freqüência de ganho unitário, causando degradação na margem de fase do sistema.

Houve a preocupação com a *Slew-Rate* deste amplificador, mais especialmente a *Slew-Rate* de subida (SR_+), devido à previsão de tempos de integração a partir de 4,25 μ s (obtido com um clock de 8 MHz, ajuste do prescaler N = 0). Isso resultou em um

amplificador com elevado ganho x banda-passante (GBW), já que a SR está atrelada a este parâmetro.

Resultados experimentais, no entanto, mostraram que tal tempo de integração somente seria aplicável no caso de níveis de iluminação extremamente elevados. Nos testes práticos, foi empregado um tempo de integração de 130 µs (clock de 1 MHz, N = 3) para a aquisição de sinais relacionados a níveis de iluminação da ordem de 400 lx. Qualitativamente, este é um valor de iluminância encontrado em um laboratório ou escritório com iluminação artificial satisfatória. Em imageadores para aplicações espaciais, níveis ainda menores deveriam ser previstos.

Esta constatação mostra que o amplificador de leitura não necessitaria de uma SR tão elevada para o pixel implementado, o que se refletiria na redução de GBW. Isto teria implicações positivas na margem de fase do sistema como um todo, já que deslocaria a freqüência de ganho unitário para um valor inferior, tornando menos relevante o efeito do pólo inserido pelo seguidor de fonte.

Uma conseqüência direta do aumento do tempo de integração é a redução na taxa de transmissão de quadros (*frame rate*), que virá a ser consideravelmente menor que a taxa máxima de aproximadamente 55 fps, que seria obtida para um clock de 8 MHz e tempo de integração mínimo. Para o tempo de integração considerado (130 μs), o tempo de acesso a um pixel será igual a 448 μs, de acordo com (4.25), lembrando que o tempo de acesso inclui o período de conversão A/D. Neste caso, a taxa de transmissão para o chip projetado seria de aproximadamente 4,36 fps, se efetuada a leitura de toda a matriz. Uma forma de aumentar a taxa seria manter o clock de 8 MHz para a conversão A/D. Um clock de menor freqüência seria usado para a geração dos sinais de leitura (o que necessitaria de alterações no hardware). Neste caso, a taxa subiria para 8,72 fps. Para a aplicação em rastreadores estelares, estas taxas seriam admissíveis.

Uma vantagem da estrutura proposta sobre outras que também possibilitam o aumento na excursão do sinal (como pixels que usam o *hard reset*, com transistores PMOS, ou ainda como o pixel complementar) é o fato dela não alterar a estrutura do pixel 3T convencional. Em aplicações espaciais, um fator de preenchimento (FF) superior a 50% usualmente é requerido. A possibilidade de elevar a excursão do sinal sem alterar a estrutura do pixel, sem a necessidade de um processo especializado de fabricação, é a contribuição mais significativa deste trabalho.

O protótipo desenvolvido em um processo AMS CMOS padrão de 0,35 µm/3,3 V contém uma matriz APS de 64x64 pixels, divididos em 8 blocos de 8 colunas cada.

Cada bloco compartilha um amplificador de leitura e os transistores de polarização. O chip permite a leitura simultânea das saídas de cada bloco, contendo toda a lógica de geração de sinais de leitura, endereçamento e transmissão de dados, podendo operar de forma autônoma, a partir de um sinal de clock externo.

O chip foi dividido em quatro blocos que fornecem saídas analógicas, e quatro blocos que fornecem saídas digitais. Para os blocos com saída digital, os dados referentes à leitura de um dado pixel são externados de forma serial, no ciclo de acesso ao pixel subseqüente. Por uma questão de coerência, o tempo de integração considerado ao longo da tese corresponde ao tempo decorrido entre a retirada do pulso de Reset e o instante da 3ª amostra do sinal para conversão A/D, ainda que o sinal de habilitação de linha (Row_Sel) permita que o sinal esteja presente nas saídas analógicas por algum tempo após o referido instante.

Para a saída digital, foi adotada a estratégia de se tomar três amostras do sinal. As amostras no início e fim do tempo de integração destinam-se a realizar a amostragem dupla correlacionada (CDS), que visa minimizar os efeitos do ruído de padrão fixo (FPN). Na Seção 4.2, foi demonstrado que variações na geometria dos transistores de leitura do pixel e seu transistor correspondente no SF testemunha se manifestam como um *offset* no sinal de saída, sendo a CDS também eficiente na eliminação desta não-idealidade.

A amostra intermediária foi prevista para permitir a análise de sinais que levem o pixel à saturação antes do fim do período de integração, sendo este um recurso que permite o aumento da faixa dinâmica do sensor. A amostra intermediária caracteriza uma versão simplificada da estratégia de múltiplas capturas, discutida no Capítulo 3. Um outro recurso foi previsto para a expansão da faixa dinâmica: a possibilidade de variar o tempo de integração através de um ajuste do prescaler, podendo o tempo de integração ser 114 vezes maior que o tempo mínimo. A contribuição deste recurso para o aumento da DR é significativamente maior que o uso simples da amostragem intermediária, ainda que uma combinação das técnicas possa levar a uma melhoria na dinâmica desse processo.

O chip não possui internamente uma lógica para o ajuste automático no tempo de integração. Tal lógica deve ser implementada externamente, bem como esquemas especiais de endereçamento, se desejados. Ressalta-se, porém, que o chip fabricado apresenta pinos que possibilitam a interface com dispositivos externos de modo a permitir que tais estratégias sejam empregadas.

Do Capítulo 6, verificou-se que a faixa dinâmica para a nova estrutura, para um tempo de integração fixo, situou-se dentro dos valores típicos previstos na literatura (de 65

a 75 dB). Obteve-se 69,2 dB, para T_{int} = 130 μs. A máxima relação sinal-ruído (47,7 dB) também se situa na faixa de valores típicos para um APS padrão. Deve-se considerar que estes valores foram obtidos para uma capacitância de pixel reduzida, se comparada com sensores de referência apresentados na literatura [79, 103], o que limita a capacidade máxima de carga do sensor. Ainda, foi adotada uma corrente no escuro de 1 fA, por simplicidade, valor que pode efetivamente ser menor, se tomada a média das correntes no escuro da matriz, a julgar pelos dados obtidos no Capítulo 5.

O emprego do circuito de leitura proposto não representou, por si só, um aumento na faixa dinâmica do APS desenvolvido. Entretanto, a importância em se ter um circuito que amplie a excursão do sinal pode ser entendida ao simular o circuito para processos com menor comprimento de canal e menores valores de tensão de alimentação. Isto também foi realizado no Capítulo 6, mostrando que a topologia proposta representará uma contribuição ainda mais relevante para essas tecnologias, podendo representar uma alteração de 28% para 40% de V_{DD} (um aumento próximo de 43%) na excursão da tensão de saída, para um circuito fabricado em processo de 0,13 μm/1,3 V. Considerando que, à medida que decresce a largura de canal e a camada de óxido de *gate* dos MOSFETs, novas contribuições de ruído tornam-se significantes (como analisado em [56]), este aumento na excursão do sinal é de fundamental importância para não causar a deterioração na faixa dinâmica do sensor fabricado nessas tecnologias.

Para a estratégia de tempo de integração variável, constatou-se que a faixa dinâmica pode chegar a 110,6 dB. Deste modo, o uso desta estratégia qualificaria o sensor apresentado a ser considerado um sensor APS de elevada faixa dinâmica. De fato, como abordado no Capítulo 3, a obtenção de dispositivos com elevada DR não considera apenas a expansão da excursão do sinal, mas adota, de algum modo, uma estratégia especial de leitura e/ou processamento. Também sob este ponto de vista, o elevado fator de preenchimento do pixel é um diferencial, já que, para a implementação de diversas técnicas de expansão da DR analisadas, o pixel sofre alterações que levam à redução de sua área fotossensível. A linearidade do circuito foi outra característica favorável observada, sendo prevista para este circuito uma linearidade maior que a obtida para a técnica ACS, em função do ganho do amplificador de leitura (sob o custo de um aumento no consumo, que o obriga a compartilhar um grupo de colunas).

A partir destas conclusões, são apresentadas as possibilidades de trabalhos futuros, os quais podem ser divididos em dois grupos: procedimentos de testes e caracterização do chip desenvolvido, e projetos no sentido de aprimorar a estrutura proposta.

Dentre os procedimentos de testes e caracterização do chip, são citados:

- A caracterização óptica completa do sensor, através de um setup apropriado, para verificar a responsividade do pixel em diferentes comprimentos de onda. É interessante também o levantamento da eficiência quântica do pixel.
- A montagem de um *setup* para aquisição de imagens, composto por um sistema de lentes, que possibilite a obtenção de fotografias. Considerando que metade da matriz fornece uma saída analógica, um circuito para conversão A/D será necessário. Por outro lado, o acesso à saída analógica permite flexibilizar as formas de aquisição, por exemplo, adotando uma quantidade maior de capturas do sinal, adotando intervalos especiais entre estas capturas, ou implementando estratégias como o tempo até a saturação, vista no Capítulo 3.
- O uso da matriz para testar algoritmos para expansão da faixa dinâmica, implementados em dispositivos como microcontroladores ou FPGAs.

Como projetos para o aprimoramento da tecnologia, são citados:

• A adequação do projeto do amplificador de leitura, onde novos compromissos (trade-offs) devem ser assumidos. Em relação ao amplificador apresentado neste trabalho, a Slew-Rate e o parâmetro GBW podem ser reduzidos. É necessário manter a elevada excursão do sinal de saída, e conveniente manter o elevado ganho DC. Deve ser estudada a possibilidade de utilizar, para o caso de um APS com saída analógica, um amplificador capaz de alimentar diretamente as cargas capacitivas externas ao chip, o que reduziria a necessidade de um buffer de tensão adicional.

Visto que uma característica interessante deste imageador é a sua linearidade, devese estudar a possibilidade de projeto de um amplificador de leitura com características de baixo ruído e alta linearidade para um maior espectro de freqüências (dentro da faixa de passagem adotada), tornando o circuito adequado para aplicações onde uma elevada faixa dinâmica e alta linearidade sejam simultaneamente necessárias.

- A investigação da aplicabilidade da estrutura a matrizes maiores, e.g., 128x128 ou 256x256.
- A adoção de uma estratégia de conversão A/D que permita que um pixel seja acessado enquanto a rampa de tensão é gerada para a conversão de sinais previamente armazenados para um pixel anterior, em uma concepção pipeline. A

adoção desta técnica se mostrou possível devido aos tempos de integração maiores que o tempo para a geração da rampa pelo conversor D/A. Outras estratégias de conversão também podem ser estudadas. A transmissão dos dados digitais de um pixel ainda dentro do seu próprio ciclo de acesso flexibilizaria as estratégias de aumento da faixa dinâmica.

- A possibilidade de um APS com saídas totalmente digitais, o que exigirá um acréscimo de hardware relacionado ao processamento analógico do sinal, armazenamento das palavras digitais e transmissão de dados. Considerando que para cada canal há um conjunto de 3 dispositivos S/H, 3 comparadores, 3 latches, 3 registradores e 3 registradores de deslocamento (1 destes blocos para cada amostra), deve ser avaliada a possibilidade de utilizar duas amostras por canal (para realizar a CDS), visto que a técnica de tempos de integração variáveis já oferece a possibilidade de expandir a faixa dinâmica.
- O projeto dos blocos digitais de leitura, aquisição e transmissão de dados, mostrados na Fig. 4.28, como um bloco único, utilizando-se para isto de ferramentas place-and-route., o que irá proporcionar, além da confiabilidade, uma maior compactação destes dispositivos no chip.

O trabalho encerra-se com uma reflexão a respeito do enriquecimento proporcionado por um projeto de características mistas (mixed signal), com diversidade de blocos como no sensor APS apresentado. Ao longo do trabalho, foram relatados diferentes projetos de amplificador, conversor D/A (sendo este parte de um esquema de conversão A/D), circuitos Sample-and-Hold, e uma variedade de blocos digitais. Alguns destes blocos foram desenvolvidos originalmente neste trabalho. Outros, adaptados de trabalhos correlacionados. Em ambos os casos, a análise e o perfeito entendimento das estruturas foi indispensável. Os blocos foram testados através de simulação computacional, além das verificações de regras de projeto (DRC – design rule checking) e análise LVS (layout versus schematics).

O conhecimento de todas estas etapas adquirido ao longo do trabalho é de vital importância para o desenvolvimento de novos projetos de circuitos integrados, sobretudo em áreas específicas e nichos de mercado, como o de sensores para aplicações espaciais. Os tópicos sugeridos como trabalhos futuros podem ser aprimorados, e certamente acrescentados de outros, uma vez que o constante aperfeiçoamento e expansão das aplicações têm sido marcas características da tecnologia APS desde o seu surgimento.

Referências Bibliográficas

- [1] DICK, R. H., WECKLER, G. P., "Integrated Arrays of Silicon Photodetectors for Image Sensing", IEEE Transactions on Electron Devices, v. ED-15, n. 4, pp. 196-201, Apr. 1968.
- [2] FOSSUM, E. R. "CMOS Image Sensors: Electronic Camera on a Chip", *IEEE Transactions on Electron Devices*, v. 44, n. 10, pp. 1689-1698, Oct. 1997.
- [3] SMITH, S. G., HURWITZ, J. E. D., TORRIE, M. J., et al, "A Single-Chip CMOS 306x244-Pixel NTSC Video Camera and a Descendant Coprocessor Device", IEEE Journal of Solid-State Circuits, v. 33, n. 12, pp. 2104-2111, Dec 1998.
- [4] FOSSUM, E. R. "Digital Camera System on a Chip", *IEEE Micro*, pp. 8-15, May-Jun. 1998.
- [5] SCHANZ, M., NITTA, C., BUSSMANN, A., HOSTICKA, B. J., WERTHEIMER, R. K., "A High-Dynamic-Range CMOS Image Sensor for Automotive Applications", IEEE Journal of Solid-State Circuits, v. 35, n. 7, Jul. 2000.
- [6] CYPRESS SEMICONDUCTOR CORPORATION, "IBIS4-14000 14Megapixel CMOS Image Sensor Datasheet", San Jose, CA, USA, Jan. 2008. Disponível em: http://www.cypress.com/?docID=18524. Acessado em 12/03/2008.
- [7] MICRON TECHNOLOGY, "The Evolution of Digital Imaging: From CCD to CMOS" (Whitepaper), 2006. Disponível em: < http://ericfossum.com/Articles/ Cumulative%20Articles%20about%20EF/Micron%20White%20Paper%20on %20CCDs%20and%20CMOS.pdf>. Acessado em 25/08/2010.
- [8] BARTLETT, J. F. "A Simple CMOS Camera for Itsy". Technical Note TN-58, Western Research Laboratory, Palo Alto, California, USA, Feb. 2001. Disponível em: http://www.hpl.hp.com/techreports/Compaq-DEC/WRL-TN-58.pdf. Acessado em 10/03/2008.
- [9] NICOLESCU, M., MEDIONI, G., "GlobeAll: Panoramic Video for an Intelligent Room". In: Proceedings of 15th International Conference on Pattern Recognition, 2000, v. 1, pp. 823 – 826, Barcelona, Spain, Set. 2000.
- [10] LI, W., KHARITONENKO, I., LICHMAN, S., WEERASINGHE, C. "A Prototype of Autonomous Intelligent Surveillance Cameras". In: IEEE International Conference on Video and Signal Based Surveillance, 2006, pp. 101-106, Sydney, Australia, Nov. 2006.

- [11] POSCH, C., HOFSTÄTTER, M., LITZENBERGER, M., et al, "Wide Dynamic Range, High-Speed Machine Vision with a 2×256 Pixel Temporal Contrast Vision Sensor". In: *IEEE International Symposium on Circuits and Systems, 2007 (ISCAS'2007)*, pp. 1196-1199, New Orleans, USA, May 2007.
- [12] SEITZ, P., "Smart Pixels". In: International Symposium on Electron Devices for Microwave and Optoelectronic Applications, pp. 229-234, Vienna, Austria, Nov. 2001.
- [13] HOSTICKA, B. J., BROCKHERDE, W., BUSSMANN, A. et al, "CMOS Imaging for Automotive Applications", IEEE Transactions on Electron Devices, v. 50, n. 1, pp. 173-183, Jan. 2003.
- [14] JI, H., ABSHIRE, P.A., URDANETA, M., SMELA, E., "CMOS Contact Imager for Monitoring Cultured Cells". In: IEEE International Symposium on Circuits and Systems, ISCAS'2005, v. 4, pp. 3491-3494, May 2005.
- [15] LI, S., KLEINFELDER, S.; JIN, L.; XUONG, N. H., "A CMOS Sensor for Nano-Imaging". In: Sixth IEEE conference on Nanotechnology, IEEE-NANO 2006, v. 2, pp. 544-547, Jun. 2006.
- [16] TAM, T., JULLIEN, G. A., YADID-PECHT, O., "A CMOS Contact Imager for Cell Detection in Bio-Sensing Applications". In: *IEEE International Symposium on Circuits and Systems (ISCAS'2007)*, pp.813-816, May 2007.
- [17] VATTERONI, M., COVI, D., STOPPA, D. et al, "High dynamic range CMOS image sensors in biomedical applications". In: *Proceedings of the 29th Annual International Conference of the IEEE EMBS*, pp. 281902822, Lyon, France, Aug. 2007.
- [18] ZHANG, M., BERMAK, A., LI, X., WANG, Z., "A Low Power CMOS Image Sensor Design for Wireless Endoscopy Capsule". In: IEEE Biomedical Circuits and Systems Conference, 2008 (BioCAS 2008), pp. 397-400, 2008.
- [19] LIEBE, C.C.; DENNISON, E.W.; HANCOCK, B. et al, "Active Pixel Sensor (APS) based Star Tracker". In: Proceedings of 1998 Aerospace Conference, v. 1, pp. 119-127, Mar. 1998.
- [20] XING, F., DONG, Y., YOU, Z., ZHOU, Q., "APS Star Tracker and Its Attitude Estimation". In: 1st International Symposium on Systems and Control in Aerospace and Astronautics, 2006 (ISSCAA 2006), pp. 34-38, Harbin, China, Jan. 2006.
- [21] FISH, A., AKSELROD, D., YADID-PECHT, O., "High Precision Image Centroid Computation via an Adaptive K-Winner-Take-all Circuit in Conjunction with a Dynamic Element Matching Algorithm for Star Tracking Applications", Analog Integrated Circuits and Signal Processing, v. 39, pp. 251–266, 2004.

- [22] PRYDDERCH, M.L., WALTHAM, N.J., TURCHETTA, R. et al, "A 512 x512 CMOS Monolithic Active Pixel Sensor with Integrated ADCs for Space Science", Nuclear Instruments and Methods in Physics Research A, v. 512, pp. 358–367, 2003.
- [23] LIEBE, C. C., AKALAI, L., DOMINGO, G. et al, "Micro APS Based Star Tracker". In: IEEE Aerospace Conference Proceeding, 2002, v. 5, pp. 2285-2299, 2002.
- [24] YADID-PECHT, O., CLARK, C., PAIN, B. et al, "Wide Dynamic Range APS Star Tracker". In: *Proc. of SPIE/IS&T Sym. on Electronic Imaging: Science and Technology*, San Jose, California, SPIE v. 2654, pp. 82-92, Jan. 29-Feb3, 1996.
- [25] BRAGA, L. H. C., DOMINGUES, S., ROCHA, M. F. et al, "Layout Techniques for Radiation Hardening of Standard CMOS Active Pixel Sensors". In: Proceedings of the 20th Annual Conference on Integrated Circuits and Systems Design, pp. 257-262, Rio de Janeiro, Brazil, 2007.
- [26] LIMA, K. G., Estruturas APS Resistentes a Radiação Para Aplicações Espaciais, Dissertação de M.Sc., Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2006.
- [27] DORNELLES, L. T., Estruturas de Teste de Sensores APS Resistentes à Radiação, Dissertação de M.Sc., Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2007.
- [28] ROCHA JÚNIOR, M. F., *Projeto e Caracterização de Imageadores APS Resistentes à Radiação*, Dissertação de M.Sc., Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2007.
- [29] JIN, X. L., CHEN, J., "Design and Optimization of 0.25um Technology Low-Voltage Low-Power CMOS APS with Device Scaling Considerations", pp. 599-602, 2003
- [30] AKAHANE, N., SUGAWA, S., ADACHI, S., MIZOBUCHI, K, "Wide Dynamic Range CMOS Image Sensors for High Quality Digital Camera, Security, Automotive and Medical Applications". In: 5th IEEE Conference on Sensors, 2006, pp. 396-399, Daegu, Korea, Oct. 2006.
- [31] YADID-PECHT, O., ETIENNE-CUMMINGS, R. CMOS Imagers: From Phototransduction to Image Processing. Kluwer Academic Publishers, Norwell, MA, USA, 2004.
- [32] TAYLOR, S. A. "CCD and CMOS Imaging Array Technologies: Technology Review". Technical Report EPC-1998-106, Xerox Research Centre Europe, Cambridge, 1998. Disponível em: < http://research.microsoft.com/pubs/80353/CCD.pdf>. Acessado em 14/08/2010.
- [33] LABELLE, R. D., GARVEY, S. D., "Introduction to High Performance CCD Cameras". In: *International Congress on Instrumentation in Aerospace Simulation Facilities (ICIASF'95)*, pp. 30/1-30/5, Jul. 1995.

- [34] NAGARKAR, V. V., GORDON, J. S., GUPTA, T. K. et al, "CCD-Based High Resolution Digital Radiography System for Non Destructive Evaluation", IEEE Transactions on Nuclear Science, v. 44, n. 10, pp. 885-889, Jun. 1997.
- [35] STEFANOV, K. D., TSUKAMOTO, T., MIYAMOTO, A. et al, "Electron and Neutron Radiation Damage Effects on a Two-Phase CCD", *IEEE Transactions on Nuclear Science*, v. 47, n. 3, pp. 1280-1291, Jun. 2000.
- [36] BARTON, Z., VRBA, R., "CCD image sensor degradation by X-ray radiation". In: 2005 IEEE Sensors, pp. 1408-1410, Irvine, Canada, Oct.-Nov. 2005.
- [37] BARTON, Z., VRBA, R., "Gamma Ray Damage of Biased CCD Image Sensors". In: 2005 Asian Conference on Sensors and the International Conference on New Techniques in Pharmaceutical and Biomedical Research, pp. 173-175, Sep. 2005.
- [38] WECKLER, G. P, "Operation of p-n Junction Photodetectors in a Photon Flux Integrating Mode", *IEEE Journal of Solid-State Circuits*, v. sc-2, n. 3, pp. 65-73, Sep. 1967.
- [39] FUJIMORI, I. L., WANG, C. C., SODINI, C. G., "A 256 256 CMOS Differential Passive Pixel Imager with FPN Reduction Techniques", IEEE Journal of Solid-State Circuits, v. 35, n. 12, pp. 2031-2037, Dec. 2000.
- [40] AUSTRIA MICROSYSTEMS AG., 0,35μm CMOS C35 Process Parameters, Eng. 182, Rev. 4.0, Dec. 2005.
- [41] AUSTRIA MICROSYSTEMS AG., 0,35μm CMOS C35 Design Rules, Eng. 183, Rev. 5.0, Aug. 2005.
- [42] HANUMOLU, P. K., Design of Low Noise, Low Power Linear CMOS Image Sensor. M.Sc. Thesis, Worcester Polytechnic Institute, Worcester, Massachusetts, USA, 2001.
- [43] TABET, M., Double Sampling Techniques for CMOS Image Sensors, PhD Thesis, University of Waterloo, Waterloo, Ontario, Canada, 2002.
- [44] EL GAMAL, A., ELTOUKHY, H., "CMOS Image Sensors", *IEEE Circuits & Devices Magazine*, pp. 6-20, May/Jun 2005.
- [45] RAZAVI, B., Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2001.
- [46] PREDICTIVE TECHNOLOGY MODEL (PTM) WEBSITE. Disponível em http://ptm.asu.edu/>. Acessado em 15/08/2010.
- [47] XU, C., ZHANG, W.Q., KI, W. CHAN, H., M., "A 1.0-V VDD CMOS Active-Pixel Sensor With Complementary Pixel Architecture and Pulsewidth Modulation Fabricated With a 0.25-μm CMOS Process", *IEEE Journal of Solid-State Circuits*, pp. 1853-1859, v. 37, n. 12, Dec. 2002

- [48] JANESICK, J., "Dueling Detectors CMOS or CCD?", SPIE's OE Magazine, pp. 30-33, Feb. 2002.
- [49] HORNSEY, R., "Design and Fabrication of Integrated Image Sensors" (Course Notes), University of Waterloo, Waterloo, Ontario, Canada. Disponível em: http://www.cse.yorku.ca/~visor/pdf/CMOS_1.pdf. Acessado em 04/03/2008.
- [50] GOW, R. D., RENSHAW, D., FINDLATER, K., et al, "A Comprehensive Tool for Modeling CMOS Image-Sensor-Noise Performance", IEEE Transactions on Electron Devices, pp. 1321-1329, v. 54, n. 6, Jun. 2007.
- [51] TIAN, H., FOWLER, B., EL GAMAL, A., "Analysis of Temporal Noise in CMOS APS". In: Proceedings of SPIE Conference on Sensors, Cameras, and Systems, 177-185, v. 3649, Jan. 1999.
- [52] TIAN, H., EL GAMAL, A., "Analysis of 1/f noise in CMOS APS", Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications (Proceedings of SPIE), pp. 168-176, v. 3965, 2000.
- [53] HEWLETT-PACKARD COMPANY, "Noise Sources in CMOS Image Sensors", Hewlett-Packard Components Group (Imaging Products Operations), 2000. Disponível em: < http://www.stw.tu-ilmenau.de/~ff/beruf_cc/cmos/ cmos_noise.pdf>. Acessado em 20/08/2010.
- [54] AW, C. H., WOOLEY, B. A., "A 128x128-Pixel Standard CMOS Image Sensor with Electronic Shutter", IEEE Journal of Solid-State Circuits, v. 31, n. 12, pp. 1922-1930, Dec 1996.
- [55] MENDIS, S. K., KEMENY, S. E., GEE, R. C., et al, "CMOS Active Pixel Image Sensors for Highly Integrated Imaging Systems", *IEEE Journal of Solid-State Circuits*, pp. 187-197, v. 32, n. 2, Feb. 1997.
- [56] ANNEMA, A. J., NAUTA, B., LANGEVELDE, R., TUINHOUT, H; "Analog Circuits in Ultra-Deep-Submicron CMOS", IEEE Journal of Solid-State Circuits, v. 40, n. 1, Jan. 2005.
- [57] CHOUBEY, B., COLLINS, S., "Wide Dynamic Range CMOS Pixels With Reduced Dark Current", *Analog Integrated Circuits and Signal Processing (Springer)*, Sep. 2007.
- [58] SPIVAK, A., BELENKY, A., FISH, A., YADID-PECHT, O., "Wide-Dynamic-Range CMOS Image Sensors – Comparative Performance Analysis", IEEE Transactions on Electron Devices, v. 56, n. 11, Nov. 2009.

- [59] CHOUBEY, B., COLLINS, S., "Models for Pixels With Wide-Dynamic-Range Combined Linear and Logarithmic Response", *IEEE Sensors Journal*, pp. 1066-1072, v. 7, n. 7, Jul. 2007.
- [60] STORM, G.G., HURWITZ, J.E.D. 1, RENSHAW, D., et al, "Combined Linear-Logarithmic CMOS Image Sensor". In: 2004 IEEE International Solid-State Circuits Conference (ISSCC'2004), Feb. 2004.
- [61] MA, S. Y., CHEN, L. G., "A Single-Chip CMOS APS Camera with Direct Frame Difference Output", IEEE Journal of Solid-State Circuits, v. 34, n. 10, pp. 1415-1418, Oct. 1999.
- [62] XU, C., ZHANG, W., CHAN, M., "A Low Voltage Hybrid Bulk/SOI CMOS Active Pixel Image Sensor", *IEEE Electron Device Letters*, v. 22, n. 5, pp. 248-250, May 2001.
- [63] CHO, K. B., KRYMSKI, A., FOSSUM E. R., "A 1.2 Micropower CMOS Active Pixel Image Sensor for Portable Applications". In: 2000 IEEE International Solid-state Circuits Conference, pp. 114-115, Feb. 2000.
- [64] WONG, H. S. P, CHANG, R. T., CRABBÉ, E., AGNELLO, P. D., "CMOS Active Pixel Image Sensors Fabricated Using a 1.8-V, 0.25-μm CMOS Technology", IEEE Transactions on Electron Devices, v. 45, n. 4, pp. 889-894, Apr. 1998.
- [65] XU, C., KI, W., CHAN, H. M., "A Low-Voltage CMOS Complementary Active Pixel Sensor (CAPS) Fabricated Using a 0.25 μm CMOS Technology", IEEE Electron Device Letters, pp. 398-400, v. 23, n. 7, Jul. 2002.
- [66] YU, Z., Clustered Pixels for CMOS Image Sensors. M.Sc. Thesis, University of Waterloo, Waterloo, Ontario, Canada, 2002.
- [67] ZARNOWSKI, J.J., PACE, M., JOYNER, M., "1.5 FET-per-pixel Standard CMOS Active Column Sensor", In: *Proceedings of SPIE*, v. 3649-27. 1999.
- [68] VOGELSONG, T.L., ZARNOWSKI, J.J., PACE, M., ZARNOWSKI, T., "Scientific/Industrial Camera-on-a-Chip Using Active Column Sensor CMOS Imager Core". In: Sensors and Camera Systems for Scientific Industrial and Digital Photography Applications, Proceedings of the SPIE, v. 3965, pp. 102–113, 2000.
- [69] DILLER, S., FISH, A., YADID-PECHT O., "Advanced Output Chains for CMOS Image Sensors Based on an Active Column Sensor Approach – A Detailed Comparison", Sensors and Actuators A, n. 116, pp. 304-311, 2004.
- [70] DAS, T., MUKUND, P. R., "A low noise current-mode readout circuit for CMOS image sensing applications". In: Proceedings of 17th International Conference on VLSI Design, 2004, pp. 625-638, 2004.

- [71] BELENKY, A., FISH, A., SPIVAK, A., YADID-PECHT, O., "Global Shutter CMOS Image Sensor With Wide Dynamic Range", IEEE Transactions on Circuits and Systems — II: Express Briefs, v. 54, n. 12, pp. 1032-1036, Dec. 2007.
- [72] FISH, A., BELENKY. A., YADID-PECHT, O., "Wide Dynamic Range Snapshot APS for Ultra Low-Power Applications", *IEEE Transactions on Circuits and Systems II:* Express Briefs, v. 52, n. 11, pp. 729-733, Nov. 2005.
- [73] LIN, X., EL GAMAL, A., "Photocurrent Estimation from Multiple Non-destructive Samples in a CMOS Image Sensor", .*Proc. of SPIE*, v. 4306, pp. 450-458, 2001.
- [74] ACOSTA-SERAFINI, P. M., MASAKI, I., SODINI, C. G., "A 1/3 VGA Linear Wide Dynamic Range CMOS Image Sensor Implementing a Predictive Multiple Sampling Algorithm With Overlapping Integration Intervals", IEEE Journal of Solid-State Circuits, pp. 1487-1496, v. 39, n. 9, Sep. 2004.
- [75] HO, J.-S., CHIANG, M.-C., CHENG, H.-M. et al, "A New Design for A 1280x1024 Digital CMOS Image Sensor with Enhanced Sensitivity, Dynamic Range and FPN", pp. 235-238.
- [76] SASAKI, M., MASE, KAWAHITO, S., TADOKORO, Y., "A Wide-Dynamic-Range CMOS Image Sensor Based on Multiple Short Exposure-Time Readout With Multiple-Resolution Column-Parallel ADC", *IEEE Sensors Journal*, pp. 151-158, v. 7, n. 1, Jan. 2007.
- [77] STOPPA, D., SIMONI, A., GONZO, L., et al, "Novel CMOS Image Sensor With a 132-dB Dynamic Range", *IEEE Journal of Solid-State Circuits*, pp. 1846-1852, v. 37, n. 12, Dec. 2002.
- [78] STOPPA, D., SIMONI, A., BASCHIROTTO, A., "A 120-dB Dynamic Range CMOS Image Sensor with Programmable Power Responsivity". In: *Proceedings of the 32nd European Solid-State Circuits Conference*, 2006 (ESSCIRC 2006), pp. 420-423, 2006.
- [79] YANG, D. X. D., EL GAMAL, A., "Comparative Analysis of SNR for Image Sensors with Enhanced Dynamic Range". In: SPIE Conference on Sensors, Cameras, and Systems for Scientific/Industrial Applications, pp. 197-211, San Jose, California, Jan. 1999.
- [80] PARK, D., RHEE, J., JOO, Y., "A Wide Dynamic-Range CMOS Image Sensor Using Self-Reset Technique", *IEEE Electron Device Letters*, pp. 890-892, v. 28, n. 10, Oct. 2007.
- [81] IKEBE, M., SAITO, K. "A Wide-Dynamic-Range Compression Image Sensor With Negative-Feedback Resetting", *IEEE Sensors Journal*, pp. 897-904, v. 7, n. 5, May 2007.

- [82] DECKER, S., McGRATH, R., BREHRNER, K., SODINI, C., "A 256x256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output". In: ISSCC Digest of Technical Papers, pp. 176-177, San Francisco, California, Feb. 1998.
- [83] IDE, N., LEE, W., AKAHANE, N., SUGAWA, S., "A Wide DR and Linear Response CMOS Image Sensor With Three Photocurrent Integrations in Photodiodes, Lateral Overflow Capacitors, and Column Capacitors", *IEEE Journal of Solid-State Circuits*, v. 43, n. 7, pp. 1577-1587, Jul. 2008.
- [84] WANG, X., WONG, W., HORNSEY, R., "A High Dynamic Range CMOS Image Sensor With Inpixel Light-to-Frequency Conversion", IEEE Transactions on Electron Devices, v. 53, n. 12, pp. 2988-2992, Dec. 2006.
- [85] TEIXEIRA, E. C., MESQUITA., A., C., "Circuito De Leitura Para Sensor De Pixel Ativo Com Faixa Dinâmica Estendida". In: *Anais do XVII Congresso Brasileiro de Automática (CBA 2008)*, Juiz de Fora, Brasil, Setembro de 2008.
- [86] KLINKE, R., HOSTICKA, B. J., PFLEIDERER, H:J., "A Very-High-Slew-Rate CMOS Operational Amplifier", IEEE Journal of Solid-State Circuits, pp. 744-746, v. 24, n. 3, Jun. 1989.
- [87] SILVA, V. C. D., Estruturas Cmos Resistentes à Radiação Utilizando Processos de Fabricação Convencionais, Dissertação de M.Sc., Instituto Militar de Engenharia, Rio de Janeiro, 2005.
- [88] EID, E. S., "Design of Radiation Hard CMOS APS Image Sensor for Space Applications". In: Seventeenth National Radio Science Conference, Egypt, Feb. 2000.
- [89] OGATA, K., Engenharia de Controle Moderno, 4ª ed. São Paulo, Prentice-Hall, 2003.
- [90] MALOBERTI, F., Analog Design for CMOS VLSI Systems, Kluwer Academic Publishers, 2001.
- [91] SANSEN, W., Analog Design Essentials, Springer, 2006.
- [92] SNOEIJ, M.F., THEUWISSEN, A. J. P., HUIJSING, J.H., "A 1.8V 3.2μW Comparator for Use in a CMOS Imager Column-Level Single-Slope ADC". In: *IEEE International Symposium on Circuits and Systems, 2005 (ISCAS 2005)*, v. 6, pp. 6162-6165, May 2005.
- [93] SNOEIJ, M.F., THEUWISSEN, A. J. P., MAKINWA, K. A. A., HUIJSING, J.H., "Multiple-Ramp Column-Parallel ADC Architectures for CMOS Image Sensors", *IEEE Journal of Solid-State Circuits*, v. 42, n. 12, pp. 2968-2977, Dec. 2007
- [94] RAZAVI, B., Principles of Data Conversion System Design, 1 ed., IEEE Press, 1995.
- [95] MALOBERTI, F., Data Converters, Springer, 1 ed., 2007.

- [96] DOMINGUES, S., Conversores A/D para Imageadores CMOS, Dissertação de M.Sc., Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2009.
- [97] LIM, P. J., WOOLEY, B. A., "A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance", IEEE Journal of Solid-State Circuits, v. 26, pp. 643-651, Apr. 1991.
- [98] SCHMOOCK, J. C., "An Input Stage Transconductance Reduction Technique for High-Slew Rate Operational Amplifiers", IEEE Journal of Solid-State Circuits, v. SC-10, n. 6, pp. 407-411, Dec. 1975.
- [99] GREEN, T., "Operational Amplifier Stability Part 1 of 15: Loop Stability Basics". Disponível em http://www.analogzone.com/acqt0131.pdf. Acessado em 25/08/2010.
- [100] SYNOPSYS INCORPORATED, HSPICE Simulation and Analysis User Guide, version Y-2006.03, Mar. 2006.
- [101] LULÉ, T., BENTHIEN, S., KELLER, H., et al, "Sensitivity of CMOS Based Imagers and Scaling Perspectives", IEEE Transactions on Electron Devices, v. 47, n. 11, 2110-2122, Nov. 2000.
- [102] BRAGA, L. H. C., Faixa Dinâmica em Sensores de Imagem CMOS, Dissertação de M.Sc., Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2009.
- [103] BRAGA, L. H. C., DOMINGUES, S., GOMES, J. G., MESQUITA, A. C., "A Signal-to-Noise Ratio Comparison of High Dynamic Range CMOS Image Sensors". In: *Proc. of SPIE*, v. 7356, 2009.
- [104] MARTIN-GONTHIER, P., MAGNAN, P., CORBIERE, F. et al, "Dynamic Range Optimisation of CMOS Image Sensors Dedicated to Space Applications", *Proc. of SPIE* v. 6744 Sensors, Systems and Next Generation Satellites XI, 2007.
- [105] MENDIS, S., KEMENY, S. E., FOSSUM, E. R., "CMOS Active Pixel Image Sensor", *IEEE Transactions on Electron Devices*, v. 41, n. 3, pp.452-453, Mar. 1994.
- [106] KAY, A., "Analysis and Measurement of Intrinsic Noise in Op Amp Circuits Part I: Introduction and Review of Statistics". Disponível em http://www.engenius.net/includes/files/avt_102306.pdf>. Acessado em 25/08/2010.
- [107] KAY, A., "Analysis and Measurement of Intrinsic Noise in Op Amp Circuits Part II: Introduction to Op Amp Noise". Disponível em http://www.engenius.net/includes/files/avt_011507.pdf. Acessado em 25/08/2010.

- [108] KAY, A., "Analysis and Measurement of Intrinsic Noise in Op Amp Circuits Part III: Resistor Noise and Sample Calculations". Disponível em www.analogzone.com/avt_1204.pdf>. Acessado em 25/08/2010.
- [109] KAY, A., "Analysis and Measurement of Intrinsic Noise in Op Amp Circuits Part IV: Introduction to SPICE Noise Analysis". Disponível em http://www.engenius.net/includes/files/avt_043007.pdf>. Acessado em 25/08/2010.
- [110] EL GAMAL, A., "Trends in CMOS Image Sensor Technology and Design"
- [111] YUAN, J., CHAN, H. Y., FUNG, S. W., LIU, B., "An Activity-Triggered 95.3 dB DR -75.6 dB THD CMOS Imaging Sensor With Digital Calibration", *IEEE Journal of Solid-State Circuits*, v. 44, n. 10, pp. 2834-2843, Oct. 2009.
- [112] LIU, B., YUAN, J., "A Wide Dynamic Range High Linearity In-Pixel Data Acquisition Front-End for Computed Tomography". In: *IEEE International Symposium on Circuits and Systems 2009 (ISCAS 2009)*, pp. 24-27, Taipei, Taiwan, May 2009.

Anexo I

Pinagem do chip APSIV_UFRJ

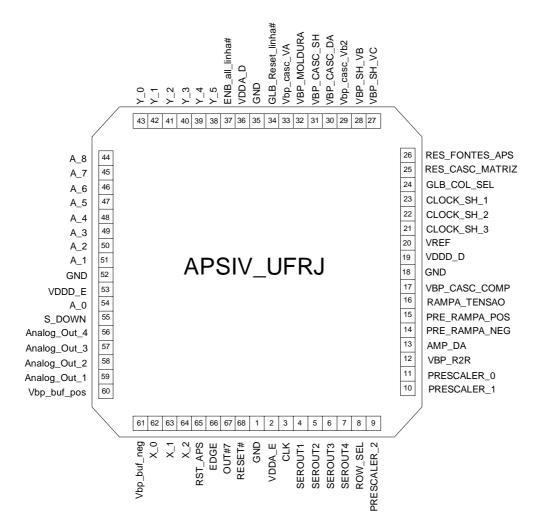


Fig. A.1 – Pinagem do chip.

Ligações para polarização:

- 1 Ligar um resistor de 400 k Ω do pino 26 a V_{DD} (polarização dos espelhos de corrente dos seguidores de fonte do pixel I_{BIAS} em 2 uA)
- 2 Ligar um resistor de $50~k\Omega$ do pino 25~a GND (polarização dos amplif. cascodes da matriz IBIAS em torno de 20~uA)
- 3 Ligar um resistor de 220 kΩ do pino 31 a GND (polarização dos amplif. cascodes do S/H)
- 4 Ligar um resistor de 220 kΩ do pino 30 a GND (polarização dos amplif. cascodes do conversor DA)

- 5 Ligar um resistor de 220 k Ω do pino 17 a GND (polarização dos amplif. cascodes dos comparadores)
- 6 Ligar um resistor de 35 k Ω entre os pinos 28 (+) e 27 (-) (polarização dos amplif. folded cascode dos S/H)
- 7 Ligar um resistor de 240 kΩ do pino 12 a GND (polarização da fonte de corrente da rede R2R)
- 8 Ligar um resistor de 240 k Ω do pino 12 a GND (polarização da fonte de corrente da rede R2R)
- 9 Ligar um resistor de 200 kΩ do pino 13 a GND (ganho do amplificador do conversor DA)
- 10 Ligar um resistor de 100 k Ω entre os pinos 16 (+) e 13 (-) (ganho do amplificador do conversor DA)
- 11 Ligar um resistor de 169 k Ω entre os pinos 15 (+) e 14 (-) (ganho da rede R2R)
- 12 Ligar um resistor de 160 k Ω entre os pinos 60 (+) e 61 (-) (polarização dos buffers de saída analógica)
- 13 Ligar uma tensão fixa de 1,65 V no pino 20 (tensão de referência do conversor DA)
- 14 Ligar uma tensão de 0 a 3,3 V no pino 32 (tensão de polarização da moldura dos pixels superiores da matriz). Inicialmente, conectar a 0 V.
- 15 Manter desconectados os pinos 29 e 33 (tensões internas de polarização dos amplif. folded cascode dos S/H, disponíveis apenas para testes)
- 16 Sinal ENB_all_linha# (pino 37) em VDD
- 17 Sinal GLB_Reset_linha# (pino 51) em VDD
- 18 Sinal GLB_COL_SEL (pino 24) em VDD
- 19 Alimentar os sinais VDD com 3,3 V e aterrar os sinais GND. Notar a diferença entre VDD analógico (VDDA) e digital (VDDD). Além disso, a coroa de PADs é dividida em duas seções em L chamadas de coroa esquerda e coroa direita como é mostrado abaixo. Como o array APS usa toda a coroa esquerda e parte da direita é necessário alimentar as duas partes.

Anexo II

Esquemático e componentes da placa de desenvolvimento

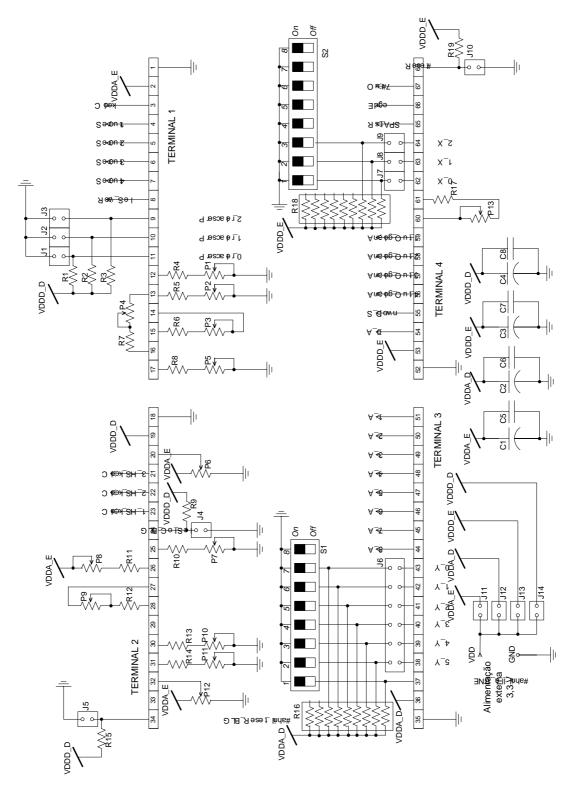


Fig. A.2 – Diagrama esquemático da placa.

Layout (posições dos componentes):

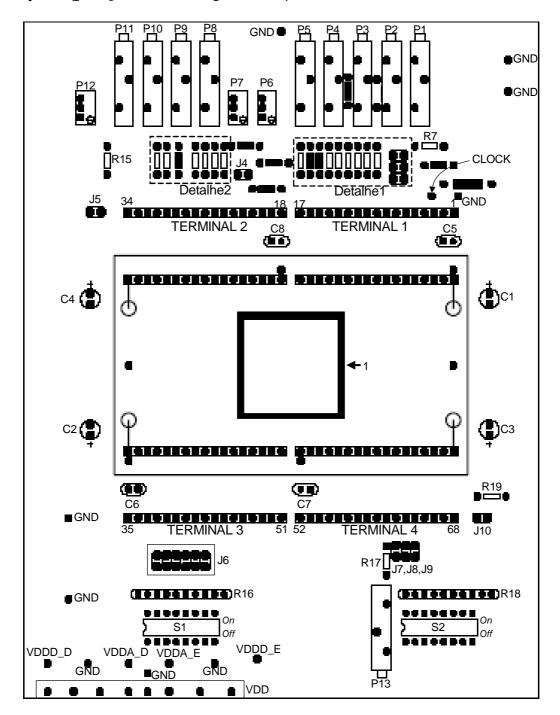


Fig. A.3 – Layout da placa (vista superior).

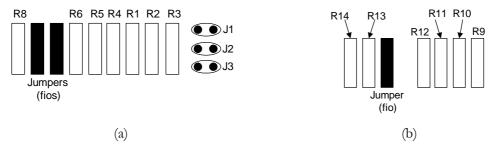


Fig. A.4 – Detalhes (indicados na Fig. A. 3). (a) Detalhe 1; (b) Detalhe 2. Os os elementos representados por retângulos pretos são ligações por fio (jumpers permanentes).

Lista dos componentes:

Item	Descrição	OBS
R1 – R3	Resistor 10k	Resistores de pull-up
R4	Resistor 220k	• •
R5	Resistor 180k	
R6	Resistor 180k	
R7	Resistor 82k	
R8	Resistor 180k	
R9	Resistor 10k	Resistor de pull-up
R10	Resistor 47k	
R11	Resistor 330k	
R12	Resistor 33k	
R13	Resistor 180k	
R14	Resistor 180k	
R15	Resistor 10k	Resistores de pull-up
R16	Banco de resistores 9 x 10k	Resistores de pull-up
R17	Resistor 150k	• •
R18	Banco de resistores 9 x 10k	Resistores de pull-up
R19	Resistor 10k	Resistores de pull-up
P1	Trimpot multivoltas 50k	
P2	Trimpot multivoltas 50k	
P3	Trimpot multivoltas 50k	
P4	Trimpot multivoltas 50k	
P5	Trimpot multivoltas 100k	
P6	Trimpot multivoltas 10k	
P7	Trimpot multivoltas 10k	
P8	Trimpot multivoltas 100k	
P9	Trimpot multivoltas 5k	
P10	Trimpot multivoltas 100k	
P11	Trimpot multivoltas 100k	
P12	Trimpot multivoltas 10k	
P13	Trimpot multivoltas 20k	
C1 – C4	Capacitor eletrolítico 10 uF/ 25 V	
C5 – C8	Capacitor cerâmico 100 nF	
S1, S2	Dip-Switch com 8 chaves	
J1 – J14	Jumpers	J6 – banco de jumpers
Terminal1 –	Barra de terminais	
Terminal4		

Anexo III

Netlist do circuito de leitura (Item 4.5.1)

```
* SPICE netlist written by S-Edit Win32 10.10
* Written on Aug 29, 2010 at 10:10:34
.SUBCKT cascode_mod VB1 VB2 VN VO VP GND VDD
C1 N1 VO 400fF
MN5 VO N11 GND GND MODN L=1u W=12u M=2
+AD='12u*0.85u' PD='12u+2*0.85u' AS='12u*0.85u' PS='12u+2*0.85u'
+NRD='0u/12u' NRS='0u/12u'
MN3 N33 N33 GND GND MODN L=1u W=3u M=2
+AD='3u*0.85u' PD='3u+2*0.85u' AS='3u*0.85u' PS='3u+2*0.85u'
+NRD='0u/3u' NRS='0u/3u'
MN4 N11 N33 GND GND MODN L=1u W=3u M=2
+AD='3u*0.85u' PD='3u+2*0.85u' AS='3u*0.85u' PS='3u+2*0.85u'
+NRD='0u/3u' NRS='0u/3u'
MP7 N23 VB1 VDD VDD MODP L=1u W=9u M=2
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
MP1 N31 VN N23 VDD MODP L=0.5u W=9u M=2
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
MP2 N35 VP N23 VDD MODP L=0.5u W=9u M=2
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
MP6 VO VB1 VDD VDD MODP L=1u W=9u M=4
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
MP9 N33 VB2 N31 VDD MODP L=0.5u W=12u M=2
+AD='12u*0.85u' PD='12u+2*0.85u' AS='12u*0.85u' PS='12u+2*0.85u'
+NRD='0u/12u' NRS='0u/12u'
MP10 N11 VB2 N35 VDD MODP L=0.5u W=12u M=2
+AD='12u*0.85u' PD='12u+2*0.85u' AS='12u*0.85u' PS='12u+2*0.85u'
+NRD='0u/12u' NRS='0u/12u'
R2 N11 N1 5K
.ENDS
.SUBCKT ESP_CASC VB1 GND VDD
MN1 N1 N1 GND Gnd MODN L=2u W=6u M=1
+AD='6u*0.85u' PD='6u+2*0.85u' AS='6u*0.85u' PS='6u+2*0.85u'
+NRD='0u/6u' NRS='0u/6u'
MP2 VB1 VB1 VDD Vdd MODP L=1u W=9u M=1
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
MP3 N10 VB1 VDD Vdd MODP L=1u W=9u M=1
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
MP4 N1 N15 N10 Vdd MODP L=1u W=9u M=1
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
MP5 N15 N15 VB1 Vdd MODP L=1u W=9u M=1
+AD='9u*0.85u' PD='9u+2*0.85u' AS='9u*0.85u' PS='9u+2*0.85u'
+NRD='0u/9u' NRS='0u/9u'
R6 N15 GND 50k
* Main circuit: Circ_Leitura
.param Wn=0.8u Ln=0.4u Wsel=0.8u Lsel=0.4u Wrst=0.8u Lrst=0.4u
.include hspice.mod
.option post
.op
.tran .1n 4u
```

```
.print i(d1)
.option DVDT=3
.param Wbias=4u Lbias=2u
.option gmindc=1e-20
.option gmin=1e-20
.include nwd.mod
.print v(out)
C1 Out Gnd 200fF
C2 Pix Gnd C='1.235e-15*exp(-v(Pix)/0.6373)+4.046e-15*exp(-v(Pix)/11.3482)'
ctype=0
Xcascode_mod_1 VB1 Gnd In_Neg Out In_Pos Gnd Vdd cascode_mod
D1 Gnd Pix NWDINSUB AREA=6.44e-12 PJ=9.46e-6 M=1
XESP_CASC_1 VB1 Gnd Vdd ESP_CASC
M3 In_Pos tst Gnd Gnd MODN L='Lbias' W='Wbias' AD='Wbias*1u' PD='Wbias+2u'
AS='Wbias*1u' PS='Wbias+2u'
M4 N17 Vdd N15 Gnd MODN L='Lsel' W='Wsel' AD='Wsel*1u' PD='Wsel+2u'
AS='Wsel*1u' PS='Wsel+2u'
M5 Vdd Out N17 Gnd MODN L='Ln' W='Wn' AD='Wn*1u' PD='Wn+2u' AS='Wn*1u'
PS='Wn+2u'
M6 In_Neg S_Down Out Gnd MODN L='Lsel' W='Wsel' AD='Wsel*1u' PD='Wsel+2u'
AS='Wsel*1u' PS='Wsel+2u'
M7 tst tst Gnd Gnd MODN L='Lbias' W='Wbias' AD='Wbias*1u' PD='Wbias+2u'
AS='Wbias*1u' PS='Wbias+2u'
M8 In_Neg tst Gnd Gnd MODN L='Lbias' W='Wbias' AD='Wbias*1u' PD='Wbias+2u'
AS='Wbias*1u' PS='Wbias+2u'
M9 N36 Vdd In_Pos Gnd MODN L='Ln' W='Wn' AD='Wn*1u' PD='Wn+2u' AS='Wn*1u'
PS='Wn+2u'
M10 tst1 tst1 tst Gnd MODN L=4u W=4u AD='Wbias*1u' PD='Wbias+2u' AS='Wbias*1u'
PS='Wbias+2u'
M11 tst2 tst2 tst1 Gnd MODN L=4u W=4u AD='Wbias*1u' PD='Wbias+2u'
AS='Wbias*1u' PS='Wbias+2u'
M12 N15 Vdd In_Neg Gnd MODN L='Ln' W='Wn' AD='Wn*1u' PD='Wn+2u' AS='Wn*1u'
PS='Wn+2u'
M21 Vdd Pix N55 Gnd MODN L='Ln' W='Wn' AD='Wn*1u' PD='Wn+2u' AS='Wn*1u'
PS='Wn+2u'
M20 Vdd Rst Pix Gnd MODN L='Lrst' W='Wrst' AD='Wrst*1u' PD='Wrst+2u'
AS='Wrst*1u' PS='Wrst+2u'
M13 N55 R_sel N36 Gnd MODN L='Lsel' W='Wsel' AD='Wsel*1u' PD='Wsel+2u'
AS='Wsel*1u' PS='Wsel+2u'
R14 Vdd tst2 0.4Meg
v15 Vdd Gnd 3.3
v16 S_Down Gnd pulse(3.3 0 125n 1n 1n 2.875u 35u)
v17 R_Sel Gnd pulse(0 3.3 125n 1n 1n 2.875u 35u)
v18 Rst Gnd pulse(0.0 3.3 125n 1n 1n 250n 35u)
* End of main circuit: Circ_Leitura
.END
```

197

Anexo IV

Fotografias do chip desenvolvido

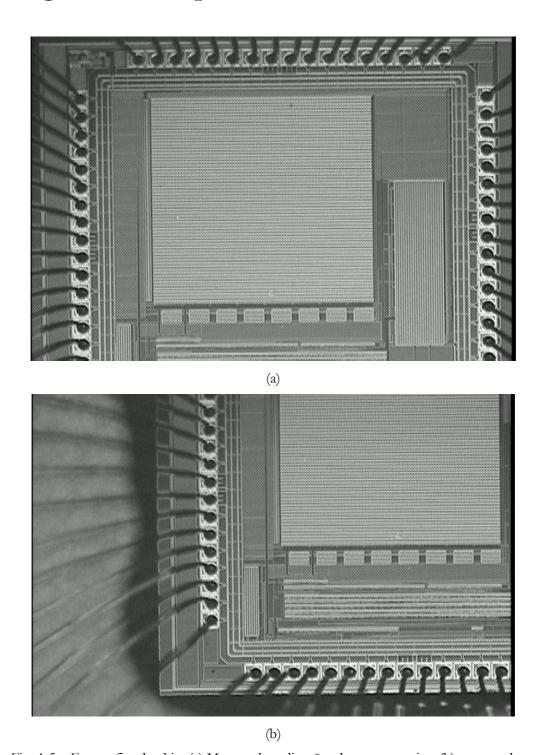
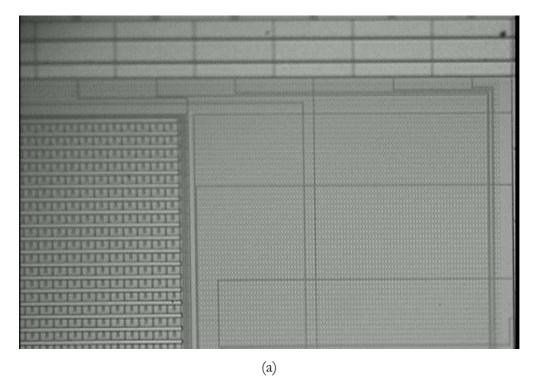


Fig. A.5 – Fotografias do chip. (a) Mostrando as ligações da parte superior; (b) mostrando as ligações laterais e inferiores (canto inferior esquerdo).



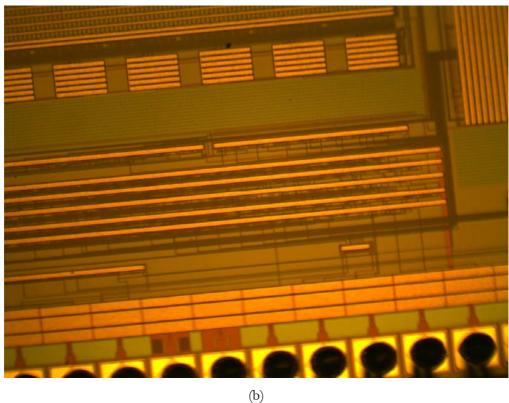
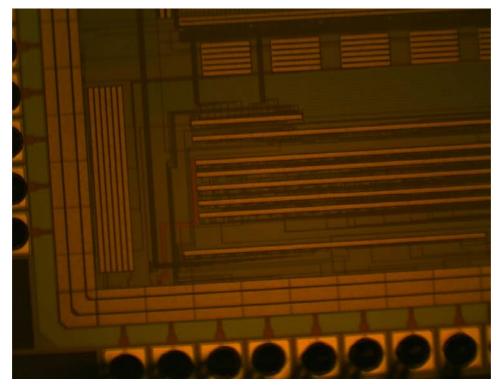
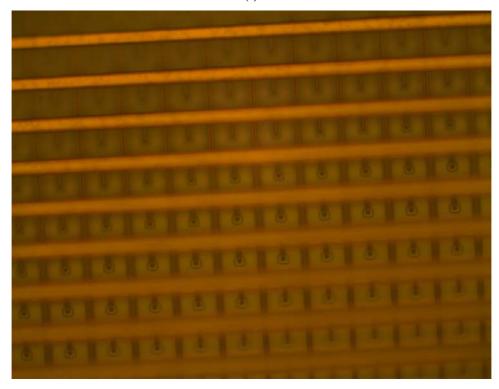


Fig. A.6 – Fotografias do chip – detalhes. (a) Pixels da matriz (canto superior direito);
(b) Parte do circuito digital, vendo-se ainda os amplificadores de leitura e parte do bloco de processamento analógico.



(a)



(b)

Fig. A.7 – Fotografias do chip – detalhes.

(a) Canto inferior esquerdo do chip; (b) Pixels da matriz.