



UM ADC-SAR EM MODO DE CORRENTE COM NÚMERO REDUZIDO DE
CÉLULAS DE MEMÓRIA

Fellipe Diogo Falleiro

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte de requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Fernando Antônio Pinto Barúqui

Rio de Janeiro

Março de 2018

UM ADC-SAR EM MODO DE CORRENTE COM NÚMERO REDUZIDO DE
CÉLULAS DE MEMÓRIA

Fellipe Diogo Falleiro

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO
LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE)
DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM
CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

Prof. Fernando Antônio Pinto Barúqui, D. Sc.

Prof. Carlos Fernando Teodósio Soares, D. Sc.

Prof. Márcio Nogueira de Souza, D. Sc.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2018

Falleiro, Fellipe Diogo

Um ADC-SAR em Modo de Corrente com Número Reduzido de Células de Memória/Fellipe Diogo Falleiro. – Rio de Janeiro: UFRJ/COPPE, 2018.

XIV, 121 p.:il; 29,7cm.

Orientador: Fernando Antônio Pinto Barúqui

Dissertação (mestrado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, 2018.

Referências Bibliográficas: 91-92

1. ADC SAR. 2. Modo de Corrente. 3. Corrente Chaveada. 4. Célula de Memória de Corrente. I. Barúqui, Fernando Antônio Pinto. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

*Dedico este trabalho a memória de
meu pai, João Ferreira Falleiro, minha
maior motivação a ser melhor.*

AGRADECIMENTOS

Durante o mestrado recebi diversas mensagens de encorajamento e agradeço cada uma delas. Além disso, não poderia deixar de agradecer aos colegas de PADS por estarem sempre dispostos a ajudar.

Agradeço aos professores da COPPE por oferecerem um ensino de qualidade. Em especial ao meu orientador e amigo, Fernando Barúqui, pela paciência inesgotável, pelos ensinamentos e pelo exemplo a ser seguido.

À minha irmã, Danielle Falleiro, por sua amizade e compreensão.

Finalizando, um agradecimento especial à pessoa que tornou tudo isso possível, minha mãe, Vera Falleiro, por todo carinho e suporte dados durante o mestrado. Esquecer de si mesma e pensar em mim, faz de você uma verdadeira gigante.

“Se eu vi mais longe foi por estar de pé sobre ombro de gigantes. ”

- Isaac Newton

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

UM AD-SAR EM MODO DE CORRENTE COM NÚMERO REDUZIDO DE CÉLULAS DE MEMÓRIA

Fellipe Diogo Falleiro

Março/2018

Orientador: Fernando Antônio Pinto Barúqui

Programa: Engenharia Elétrica

Este trabalho apresenta o desenvolvimento de um ADC-SAR em modo de corrente com quantidade reduzida de células de memória, independentemente do comprimento da conversão.

O modo de operação totalmente recursivo implica no aumento da sensibilidade da estrutura. Sabendo disso, são apresentadas algumas técnicas capazes de aumentar a precisão do circuito mesmo após considerar as imprecisões provocadas por injeções de cargas e descasamento de componentes.

São obtidos alguns resultados por simulação e estes são usados para comparar a estrutura proposta com outras estruturas presentes na literatura atual.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

A CURRENT MODE ADC-SAR WITH REDUCED AMOUNT OF MEMMORY
CELLS

Fellipe Diogo Falleiro

March/2018

Advisor: Fernando Antônio Pinto Barúqui

Department: Electrical Engineering

This work presents the development of an ADC-SAR in current mode with reduced amount of memory cells, regardless the conversion`s length.

The fully recursive mode of operation implies increasing the sensitivity of the structure. Knowing this, we present some techniques capable of increasing the accuracy of the circuit even after considering the imprecisions caused by charge injections and mismatch.

Some results are obtained by simulation and these are used to compare the proposed structure with other structures present in the current literature.

SUMÁRIO

1	INTRODUÇÃO.....	1
1.1	Objetivos	2
1.2	Descrição.....	3
2	TEORIA.....	4
2.1	Arquiteturas dos Conversores	4
2.1.1	Conversor AD Flash.....	5
2.1.2	Conversor AD Pipeline	5
2.1.3	Conversor AD Sigma-Delta	6
2.1.4	Conversor AD por Aproximações Sucessivas.....	7
2.2	Parâmetros Estáticos	9
2.2.1	Erro Diferencial de Não-Linearidade (DNL)	9
2.2.2	Erro Integral de Não-Linearidade (INL)	10
2.2.3	Erro de Desvio.....	10
2.3	Parâmetros Dinâmicos.....	11
2.3.1	Razão Sinal-Ruído.....	11
2.3.2	Razão Sinal-Ruído-Distorção.....	11
2.3.3	Número Efetivo de Bits.....	12
3	ADC-SAR – VISÃO GERAL.....	13
3.1	Algoritmo de Aproximações Sucessivas.....	13
3.2	DAC Genérico.....	15
3.3	DAC Proposto	15
3.4	Sinais Auxiliares	19
3.5	Funcionamento	19
4	ADC-SAR – MODELO EM MATLAB.....	28
4.1	Célula de Memória de Corrente (CMC).....	28
4.2	Espelho de Corrente	30

4.3	Comparador.....	30
4.4	ADC-SAR	31
4.4.1	Desempenho do ADC-SAR x CMC.....	32
4.4.2	Desempenho do ADC-SAR x Espelhos de Corrente	33
4.4.3	Desempenho do ADC-SAR x Comparador.....	35
4.4.4	Desempenho do ADC-SAR	36
5	ADC-SAR – PROJETO.....	37
5.1	Célula de Memória de Corrente (CMC).....	37
5.1.1	Par Diferencial de Alta Linearidade.....	41
5.1.2	Amplificador Operacional.....	43
5.2	Espelhos de Corrente.....	46
5.2.1	Espelho de Corrente do Sample-Hold (CMSH).....	47
5.2.2	Espelho de Corrente do DAC (CMDAC).....	49
5.2.3	Espelhos de Polarização	55
5.3	Comparador.....	57
5.4	Componentes Digitais	60
5.4.1	Registrador de Aproximações Sucessivas (SAR).....	60
5.4.2	Flip-Flop (FF).....	61
5.4.3	Mux de corrente	63
5.4.4	Portas Lógicas	64
6	ADC-SAR – SIMULAÇÕES	66
6.1	Célula de Memória de Corrente (CMC).....	66
6.1.1	Par Diferencial de Alta Linearidade (HLDP).....	66
6.1.2	Amplificador Operacional.....	68
6.1.3	Simulações CMC.....	72
6.2	Espelhos de Corrente.....	75
6.2.1	Simulações CMSH	75
6.2.2	Simulações do CMDAC.....	77
6.2.3	Simulações Espelhos de Polarização.....	79

6.3	Comparador.....	80
6.4	ADC-SAR.....	82
6.5	ADC-SAR x Literatura Atual.....	85
6.6	Análise dos Resultados.....	87
7	CONCLUSÃO.....	89
8	TRABALHOS FUTURO.....	90
9	BIBLIOGRAFIA.....	91
A	PROJETANDO ADC-SAR.....	93
A.1	Parâmetros dos transistores.....	93
A.2	Polarização do espelho de corrente cascode.....	95
B	MODELAGEM DO DESCASAMENTO.....	101
B.1	Modelo de Pelgrom para descasamento.....	101
B.2	Descasamento do espelho de corrente cascode.....	102
B.3	Reduzindo o erro do espelho de corrente.....	104
C	CÓDIGOS EM MATLAB.....	113
C.1	Modelo CMC.....	113
C.2	Comparador.....	113
C.3	Espelho de Corrente do DAC.....	114
C.4	Espelho de Corrente.....	114
C.5	ADC-SAR.....	115
C.6	Script para cálculo do ENOB.....	116
C.7	Script para cálculo do DNL/INL.....	120

LISTA DE FIGURAS

Figura 2.1: Diagrama do ADC Flash.	5
Figura 2.2: Diagrama do ADC Pipeline.	6
Figura 2.3: Diagrama do ADC Sigma-Delta.	6
Figura 2.4: Diagrama do ADC por aproximações sucessivas.	7
Figura 2.5: Fluxograma do algoritmo de aproximações sucessivas.	8
Figura 2.6: Falha de código e erro DNL na curva característica do ADC.	9
Figura 2.7: Erro de desvio na curva característica do ADC.	10
Figura 3.1: Primeira iteração do algoritmo de aproximações sucessivas.	13
Figura 3.2: Segunda iteração do algoritmo de aproximações sucessivas.	14
Figura 3.3: Terceira iteração do algoritmo de aproximações sucessivas.	14
Figura 3.4: DAC genérico de N bits.	15
Figura 3.5: Diagrama do DAC proposto.	16
Figura 3.6: Diagrama do ADC durante comparação na 1ª iteração.	16
Figura 3.7: Diagrama do DAC durante atualização da memória na 1ª iteração.	17
Figura 3.8: Diagrama do ADC durante comparação na 2ª iteração.	17
Figura 3.9: Diagrama do DAC durante atualização da memória na 2ª iteração.	18
Figura 3.10: Sinais auxiliares para uma conversão de 3 bits.	19
Figura 3.11: Símbolo da CMC.	20
Figura 3.12: CMDAC (A) Símbolo. (B) Durante E1. (C) Durante E2.	20
Figura 3.13: Circuito representativo do ADC projetado.	21
Figura 3.14: Circuito do DAC durante R e FA.	23
Figura 3.15: Circuito do ADC durante FB na 1ª iteração.	24
Figura 3.16: Circuito do DAC durante FC com $VC = GND$ na 1ª iteração.	25
Figura 3.17: Circuito do DAC durante FA na 2ª iteração.	25
Figura 3.18: Circuito do DAC durante FB na 2ª iteração.	26
Figura 3.19: Circuito do DAC durante FC com $VC = VDD$ na 2ª iteração.	27
Figura 4.1: Modelo da CMC.	29
Figura 4.2: Modelo de duas CMCs em cascata.	29
Figura 4.3: Modelo do espelho de corrente.	30
Figura 4.4: Modelo do comparador.	31

Figura 4.5: Desempenho do ADC em função das CMCs.	32
Figura 4.6: Vista superior da superfície de sensibilidade.....	33
Figura 4.7: Desempenho do ADC em função de B3 e B1.	34
Figura 4.8: Desempenho do ADC em função de B1 e B2.	35
Figura 4.9: Desempenho do ADC em função da corrente de desvio do comparador... 35	
Figura 4.10: Desempenho do ADC em função de B1.....	36
Figura 5.1: Esquemático da CMC.	38
Figura 5.2: Sequência de chaveamento da CMC.	38
Figura 5.3: Esquemático da CMC durante 1C.	39
Figura 5.4: Esquemático do RFC.	44
Figura 5.5: Transportador de corrente bidirecional.....	47
Figura 5.6: Esquemático do CMSH.	48
Figura 5.7: Esquemático do CMDAC.	50
Figura 5.8: PMOS: (A) Em E1. (B) Em E2. NMOS: (C) Em E1. (D) Em E2.....	51
Figura 5.9: Espelhos de Polarização (A) NMOS. (B) PMOS.	55
Figura 5.10: Esquemático do comparador.	58
Figura 5.11: Comparador.	59
Figura 5.12: Esquemático do SAR.....	60
Figura 5.13: Esquemático do FF tipo D.	62
Figura 5.14: Circuito equivalente do FF para $CLK = VSS$	62
Figura 5.15: Circuito equivalente do FF para $CLK = VDD$	63
Figura 5.16: Símbolo do Mux de corrente.	63
Figura 5.17: Esquemático do Mux de corrente.	64
Figura 5.18: Esquemáticos do: (A) NOT. (B) AND. (C) OR. (D) NOR.	64
Figura 6.1: Curvas de transcondutância do HLDP e da topologia usual.....	66
Figura 6.2: Resultado da Análise de MC da curva de transcondutância do HLDP.	67
Figura 6.3: Histogramas (A) Ganho de Transcondutância. (B) Discrepância Relativa. 68	
Figura 6.4: Resposta em Frequência do RFC (A) Magnitude. (B) Fase.	68
Figura 6.5: Análise de Monte Carlo da resposta em frequência do RFC.....	69
Figura 6.6: Histogramas (A) Ganho DC. (B) Margem de Fase (C) GBW.....	69
Figura 6.7: Circuito de testes para transcondutância do RFC.	70
Figura 6.8: (A) Corrente de saída (B) Ganho de Transcondutância.....	70
Figura 6.9: Resposta ao degrau do RFC.....	71
Figura 6.10: Histograma da tensão de desvio na entrada do RFC.	71

Figura 6.11: Erro da CMC em função da corrente de entrada.	72
Figura 6.12: Erro obtido para duas CMCs em cascata.	73
Figura 6.13: Curvas do erro da CMC na análise de Monte Carlo.	74
Figura 6.14: Histogramas (A) Erro constante. (B) Erro não linear.	74
Figura 6.15: Curva de ganho do CMSH.	75
Figura 6.16: Análise de Monte Carlo da curva de ganho do CMSH.	76
Figura 6.17: Corrente de saída do CMSH (A) Média. (B) Desvio padrão.	76
Figura 6.18: Desvio padrão relativo da corrente de saída do CMSH.	77
Figura 6.19: Análise de MC da curva de ganho do CMDAC sem redução do erro.	77
Figura 6.20: Desvio padrão relativo do CMDAC sem redução do erro.	78
Figura 6.21: Desvio padrão relativo do CMDAC com redução do erro.	78
Figura 6.22: Histograma da saída do espelho de corrente: (A) NMOS. (B) PMOS.	79
Figura 6.23: Tempo de Resposta do Comparador.	80
Figura 6.24: Resolução do comparador.	81
Figura 6.25: Laço de Histerese do Comparador obtido na análise de MC.	81
Figura 6.26: Histograma da Corrente de Desvio do Comparador.	82
Figura 6.27: Resposta do ADC-SAR para sinal senoidal.	82
Figura 6.28: Resposta do ADC-SAR para rampa de corrente.	83
Figura 6.29: DNL e INL do ADC-SAR proposto.	84
Figura A.1: Espelho de corrente cascode.	95
Figura B.1: Espelho de corrente.	102
Figura B.2: DAC interno com espelhos de corrente em cascata.	105
Figura B.3: DAC interno com circuito para redução do erro.	105
Figura B.4: DAC interno com redução de erro durante segunda etapa.	106
Figura B.5: DAC interno com redução de erro (A) na etapa 1 e (B) na etapa 2.	107
Figura B.6: Divisor de corrente.	108

LISTA DE TABELAS

Tabela 3.1: Sinais de controle.	22
Tabela 4.1: Parâmetros de erros da simulação do modelo do ADC.....	36
Tabela 5.1: Parâmetros dos Transistores da CMC.	42
Tabela 5.2: Parâmetros dos Transistores do RFC.	46
Tabela 5.3: Parâmetros dos transistores M1.....	49
Tabela 5.4: Parâmetros dos transistores do CMSH.....	49
Tabela 5.5: Comportamento do CMDAC durante cada etapa.....	50
Tabela 5.6: Transistores PMOS do CMDAC.....	53
Tabela 5.7: Transistores NMOS do CMDAC.	54
Tabela 5.8: Chave NMOS de baixa resistência de condução.....	55
Tabela 5.9: Dimensões dos transistores do comparador de corrente.....	59
Tabela 5.10: Dimensões do transistor usado como carga capacitiva.	59
Tabela 6.1: Caracterização do amplificador operacional.	72
Tabela 6.2: Parâmetros de desempenho do ADC-SAR com 8 <i>bits</i>	84
Tabela 6.3: Parâmetros de desempenho do ADC-SAR com 9 <i>bits</i>	85
Tabela 6.4: Parâmetros de desempenho do ADC-SAR com 10 bits.....	85
Tabela 6.5: Parâmetros de desempenho dos ADCs.....	86
Tabela 6.6: Desempenho do ADC-SAR em função do comprimento da conversão.....	87
Tabela A.1: Modelo nível 3 dos transistores.	93
Tabela A.2: Parâmetros para equação da corrente do NMOS.....	94
Tabela A.3: Parâmetros de processo do NMOS.....	94
Tabela A.4: Parâmetros para equação da corrente do PMOS.	94
Tabela A.5: Parâmetros de processo do PMOS.	95

1 INTRODUÇÃO

Determinar com precisão quando foi fabricado, ou até mesmo qual formato tomou, o primeiro conversor analógico digital (ADC) é uma tarefa muito complicada. Em [1] é citado um dos conversores mais antigos que se tem conhecimento. Este é datado do século XVIII e diferentemente dos conversores atuais, possuía características hidráulicas, ao invés de eletrônicas.

Inicialmente, os Conversores Analógicos Digitais eram utilizados em tarefas mais simples, como medição acurada de tensão/corrente e armazenamento de sinais em mídia digital. Com o crescimento da capacidade e velocidade de processamento de dados, muitos procedimentos restritos ao processamento analógico de sinais migraram para o domínio digital, devido à elevada precisão e confiabilidade destes sistemas. A conversão do sinal no domínio analógico contínuo para um sinal no domínio discreto é feita pelos ADCs que, por sua vez, necessitam ser precisos.

Atualmente, o emprego de ADCs é essencial para o processamento de sinais. Em um mundo que se caracteriza por apresentar, em sua maioria, sinais analógicos, esse tipo de circuito se torna essencial. O vasto campo de aplicações e a necessidade de melhorias nos mais diversos aspectos de desempenho servem de estímulo para o aumento das pesquisas na área de projeto de ADCs. Para exemplificar essa situação podem ser citados os artigos [2], [3], [4] e [5]. Onde parâmetros como área de integração, velocidade de conversão e consumo de potência foram otimizados.

Os ADCs podem ser divididos basicamente em quatro topologias principais: os de rampa analógica simples ou dupla, com média precisão e baixa taxa de conversão; o *Sigma-Delta*, que possui elevada precisão e baixa velocidade de conversão; o ADC por aproximações sucessivas (ADC-SAR), que possui média precisão, média velocidade de conversão e baixa complexidade de implementação; os conversores AD *Flash*, com baixa precisão, elevada taxa de conversão e alta complexidade de implementação.

Um ADC-SAR genérico é composto pelos seguintes blocos: Sample-Hold (SH), conversor digital analógico (DAC), registrador de aproximações sucessivas (SAR) e

comparador. Buscando melhorar o desempenho do conversor, esses blocos são projetados das mais diversas formas possíveis. No trabalho [6] é proposto um ADC-SAR que utiliza apenas quatro capacitores chaveados no DAC, contrariando a estrutura convencional que faz uso de 2^N capacitores, onde N é o número de bits da conversão.

Neste trabalho será apresentado o projeto de um ADC-SAR que possui a lógica de funcionamento do DAC semelhante ao introduzido em [6], porém com implementação em modo de corrente. Na versão proposta não será necessário empregar capacitores chaveados no DAC, o que implica na redução da área de integração do circuito e do consumo de potência. Além disso, os circuitos necessários para somar, inverter ou escalar sinais de correntes são mais simples do que para sinais de tensão. As correntes de referência do DAC, bloco que faz parte de um ADC-SAR em modo de corrente, são implementadas, geralmente, de duas formas: através de espelhos de corrente em cascode com ganhos ponderados na base binária ou utilizando transistores diretamente como fontes de corrente.

1.1 OBJETIVOS

Esta dissertação tem como objetivo apresentar o projeto de um AD-SAR em modo de corrente integrado na tecnologia CMOS $0.35 \mu m$. Durante o cumprimento desta tarefa, o algoritmo de aproximações sucessivas foi interpretado de forma ligeiramente diferente quando comparada à versão utilizada pelos conversores usuais. Como consequência, a topologia que será apresentada neste trabalho também será diferente.

As duas formas citadas anteriormente para projeto de DACs empregam grande quantidade de transistores, além de transistores com razões de aspecto elevadas. Esses dois fatores influenciam no consumo de potência e na área de integração do circuito. Por exemplo, um ADC-SAR de 8 bits demandaria $(2^8 - 1)$ transistores.

Nesta dissertação será apresentada uma estrutura que precisará de quatro células de memória de corrente (CMC), independentemente do número de bits da conversão. As correntes de referência internas do DAC são geradas, primordialmente, através de três células de memória de corrente, enquanto a quarta CMC é utilizada para a amostragem do sinal de entrada.

1.2 DESCRIÇÃO

- CAPÍTULO 2 – Alguns conceitos básicos sobre a conversão AD são apresentados, tais como, topologias populares e parâmetros de desempenho que caracterizam um ADC.
- CAPÍTULO 3 – São apresentados o algoritmo de aproximações sucessivas e o conversor proposto.
- CAPÍTULO 4 – É realizada a modelagem do circuito, assim como a sensibilidade do circuito de acordo com determinada fonte de erro.
- CAPÍTULO 5 – São apresentadas as principais equações empregadas no projeto do circuito.
- CAPÍTULO 6 – Os resultados obtidos por simulação são exibidos. Inicialmente, são abordadas as estruturas mais simples e depois o circuito geral.
- CAPÍTULOS 7 E 8 – Os resultados encontrados são analisados e comparados com outras estruturas recentes. Além disso, são apresentadas algumas considerações finais a respeito do projeto com intuito de apontar uma linha de raciocínio a ser seguida futuramente.

2 TEORIA

Neste capítulo serão caracterizadas algumas das principais topologias encontradas atualmente. Em seguida, serão apresentados os parâmetros estáticos e os parâmetros dinâmicos de um ADC.

2.1 ARQUITETURAS DOS CONVERSORES

A grande variedade de aplicações justifica a numerosa quantidade de arquiteturas dos ADCs. Estas podem ser divididas em duas famílias: dos conversores que seguem o teorema de *Nyquist* e os que possuem frequência de amostragem maior que a frequência de *Nyquist*, que são chamados de conversores sobreamostrados.

Neste trabalho serão apresentados apenas alguns dos principais conversores ADs da atualidade, totalizando quatro estruturas diferentes. Em [9] são citados várias outras estruturas. Dos conversores abordados neste trabalho e que seguem o teorema de *Nyquist*, podemos mencionar:

- Conversor AD *Flash*;
- Conversor AD *Pipeline*;
- Conversor AD por Aproximações Sucessivas.

E um exemplo de conversor sobreamostrado seria o:

- Conversor *Sigma-Delta*.

2.1.1 CONVERSADOR AD FLASH

Este tipo de conversor é conhecido por possuir alta velocidade, limitações em sua resolução e alto consumo de potência. Esta última característica ocorre, principalmente, pela grande quantidade de comparadores que são necessários para realizar a conversão.

Em uma conversão de N bits, são necessários 2^N resistores, $2^N - 1$ comparadores e um decodificador, que será responsável por converter $2^N - 1$ saídas dos comparadores em N bits, conforme a Figura 2.1.

Em um dos terminais de cada comparador teremos o sinal analógico a ser convertido, enquanto no outro teremos frações da tensão de referência geradas através da escada de resistores. O vetor formado pelas saídas dos comparadores é decodificado e a palavra digital é fornecida.

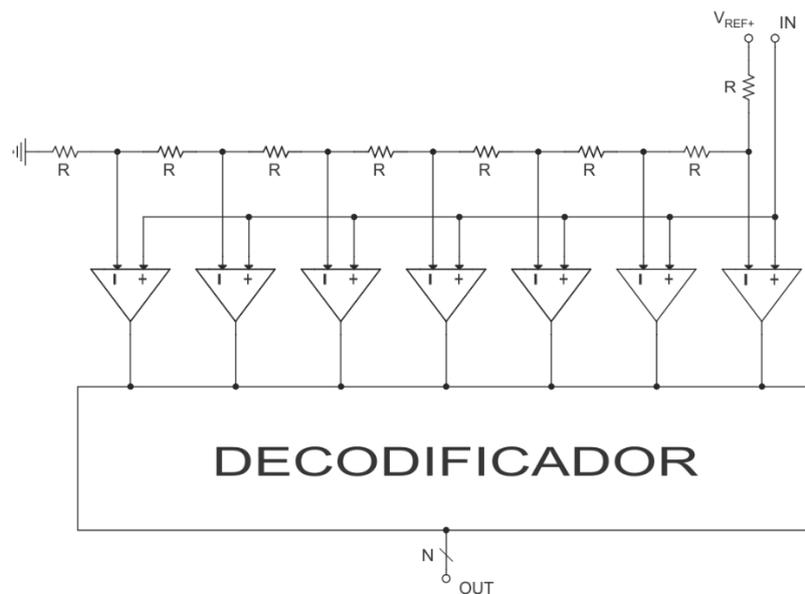


Figura 2.1: Diagrama do ADC Flash.

2.1.2 CONVERSADOR AD PIPELINE

Este tipo de conversor é notoriamente conhecido pela capacidade de alcançar altas resoluções. Em termos de frequência de amostragem, esse tipo de estrutura se caracteriza por apresentar desempenho mediano.

A arquitetura genérica deste tipo de conversor é composta por estágios idênticos em cascata, conforme Figura 2.2. Cada estágio consiste de um subADC, um subDAC e um estágio de ganho. O conversor AD é responsável por controlar o conversor DA de modo a reconstruir o sinal analógico quantizado. Este, por sua vez, é subtraído do sinal de entrada que foi amostrado no respectivo estágio. O resíduo da subtração é amplificado pelo estágio de ganho e então é aplicado ao estágio seguinte [10].

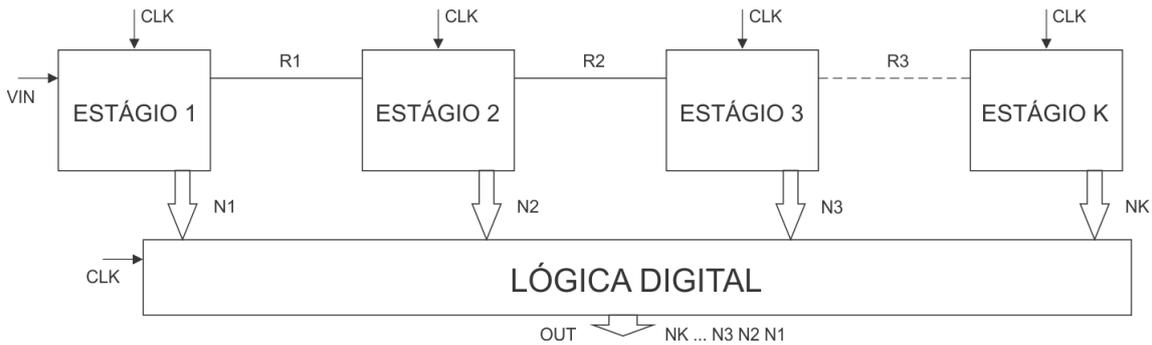


Figura 2.2: Diagrama do ADC Pipeline.

2.1.3 CONVERSADOR AD SIGMA-DELTA

Na Figura 2.3 é apresentado o diagrama de blocos do ADC *Sigma-Delta*. Este conversor possui alta resolução, porém baixa velocidade de conversão. A sua eletrônica analógica é simples, mas a parte digital é de grande complexidade. O sinal de entrada é amostrado muito acima do limite de *Nyquist*, determinando que a parte analógica do circuito opere numa frequência muito maior que o restante do sistema.

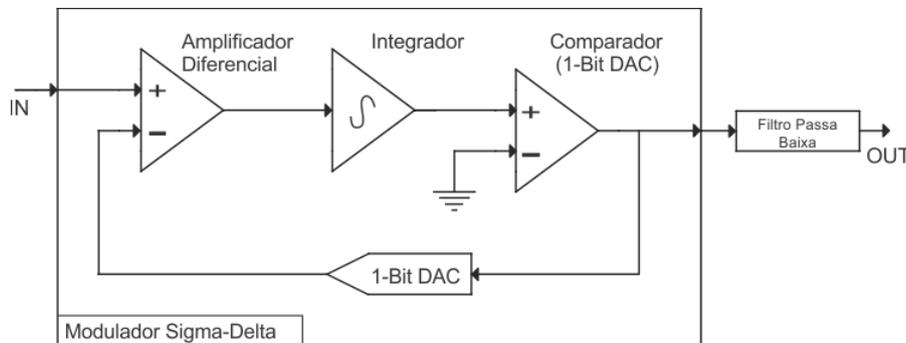


Figura 2.3: Diagrama do ADC Sigma-Delta.

A subtração entre o sinal de entrada e a saída do DAC resulta no que é chamado de erro de quantização. Este valor é integrado e depois comparado com a tensão de referência. A média da tensão de saída do DAC é realizada depois do modulador através do processador digital de sinais.

2.1.4 CONVERSOR AD POR APROXIMAÇÕES SUCESSIVAS

O circuito projetado nesta dissertação é um conversor analógico-digital por aproximações sucessivas que trabalha em modo de corrente. Na Figura 2.4 é apresentado o diagrama de blocos genérico deste tipo de conversor. Como pode ser observado, esta arquitetura possui um DAC interno, um comparador, um registrador de aproximações sucessivas e um circuito SH responsável pela amostragem do sinal de entrada.

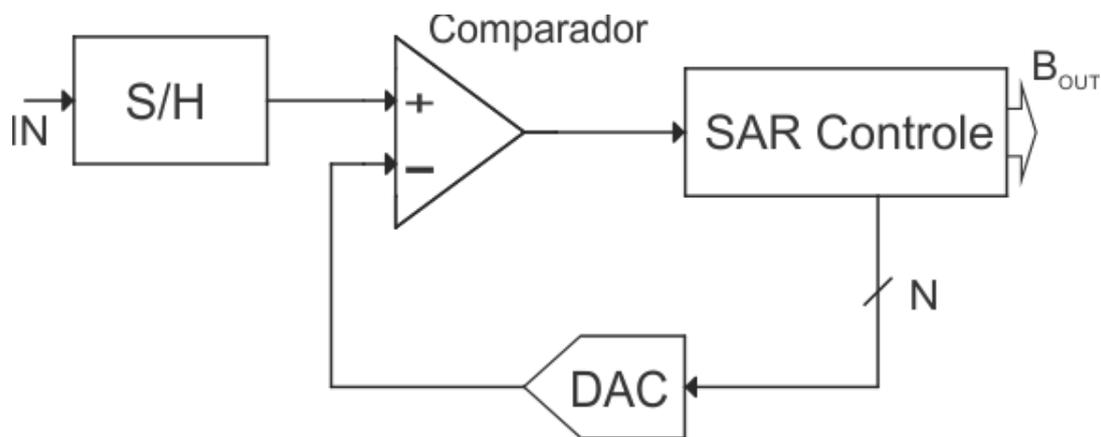


Figura 2.4: Diagrama do ADC por aproximações sucessivas.

Os ADCs por aproximações sucessivas utilizam um método de conversão muito parecido com o algoritmo de busca binária. Este é repetido uma vez para cada *bit* a ser determinado, onde apenas a corrente na saída do DAC é alterada. Inicialmente, a saída do DAC interno será igual ao valor médio entre as duas correntes de referência, conforme apresentado na Figura 2.5. Então, a mesma é comparada com o sinal amostrado pelo S/H. Além de determinar o *bit* na saída do ADC, o resultado da comparação define se na próxima iteração será considerada a metade inferior ou superior do intervalo de busca. Portanto, o ADC-SAR estará rastreando o sinal de entrada dentro de intervalos cada vez menores.

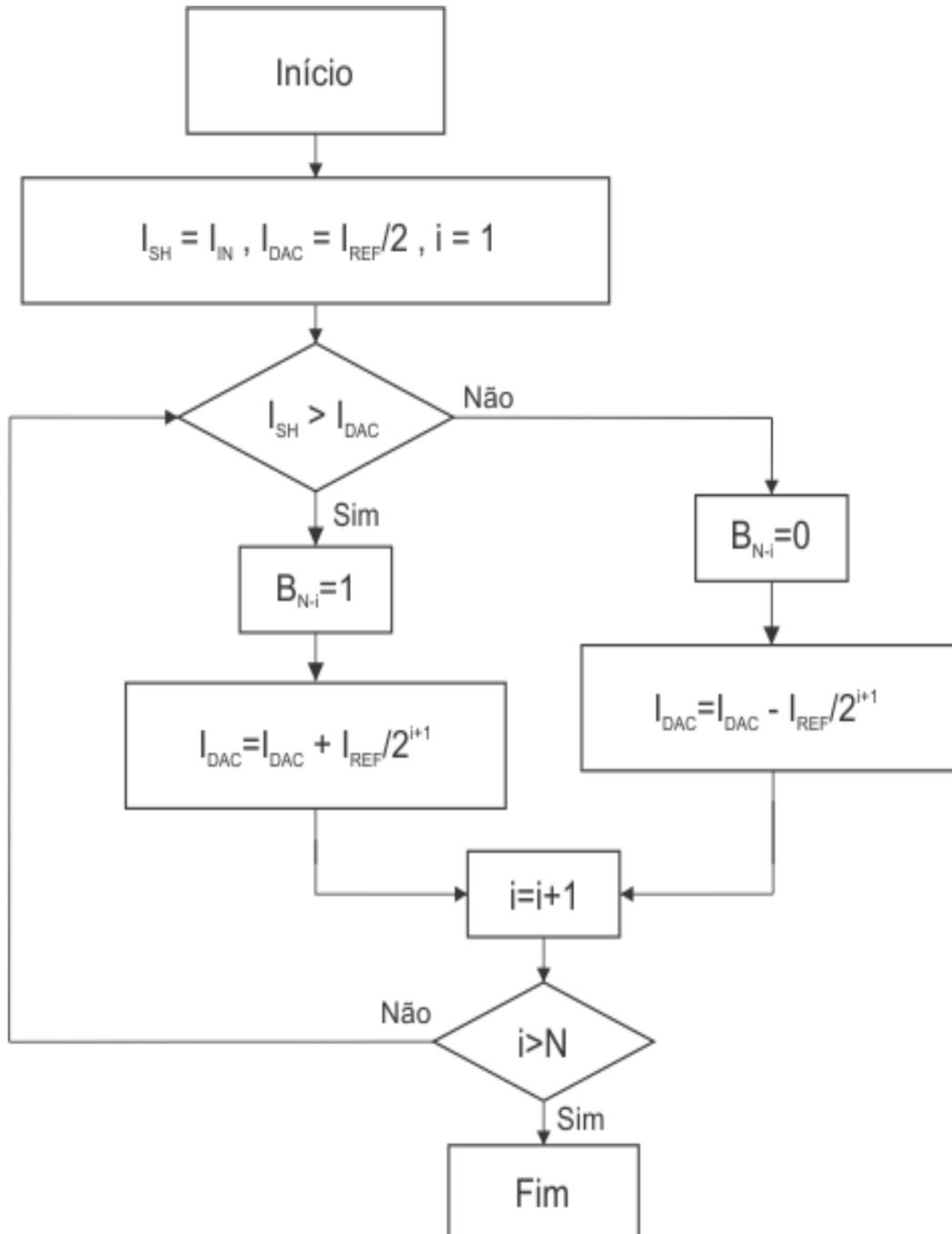


Figura 2.5: Fluxograma do algoritmo de aproximações sucessivas.

Neste tipo de estrutura o tempo de conversão não depende do nível do sinal de entrada. O mais comum é que sejam usados dois sinais de controle. Um deles é o *Reset*, que identifica o início da conversão de determinado valor analógico de corrente. O outro é o sinal de *clock*, que marca o início de uma iteração do algoritmo. Em uma conversão de N bits, este segundo ocorreria N vezes.

2.2 PARÂMETROS ESTÁTICOS

Os parâmetros estáticos influenciam diretamente na função de transferência do ADC. Estes podem ser determinados em baixas frequências, ou até mesmo através de um nível constante de corrente na entrada.

2.2.1 ERRO DIFERENCIAL DE NÃO-LINEARIDADE (DNL)

Este erro é definido, para cada degrau, como sendo a diferença entre a largura do degrau obtido na prática e a largura do degrau da curva ideal, que é sempre igual ao *bit* menos significativo (LSB). O resultado é normalizado em função do LSB. Sendo assim, o comportamento do erro de DNL está de acordo com (2.1).

$$DNL = \begin{cases} \textit{negativo}, & \textit{Degrau} < I_{LSB} \\ \textit{positivo}, & \textit{Degrau} > I_{LSB} \\ 0, & \textit{Degrau} = I_{LSB} \end{cases} \quad (2.1)$$

Considerando um conversor ideal, a DNL é sempre zero, pois, a largura de cada degrau corresponde ao LSB. Quando o erro de DNL está sempre entre -1 e 1, é possível afirmar que não ocorre falha de código, ou seja, todos os valores digitais possuem um correspondente analógico. Quando o erro de DNL é menor que -1 ou maior que +1, é garantido que teremos falha de código na curva de conversão, conforme na Figura 2.6.

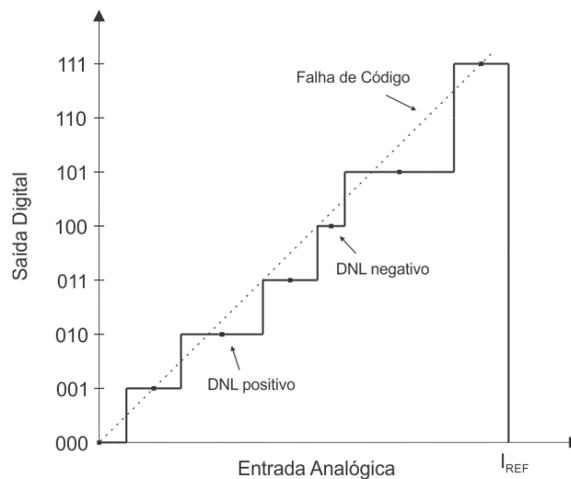


Figura 2.6: Falha de código e erro DNL na curva característica do ADC.

2.2.2 ERRO INTEGRAL DE NÃO-LINEARIDADE (INL)

É a distância entre o ponto médio do degrau analógico e a curva característica ideal. Em um conversor ideal, todos os pontos médios seriam cruzados por essa curva. Sendo assim, o erro de INL seria igual a zero. Este erro também pode ser calculado como o somatório dos erros de DNL, conforme (2.2).

$$INL(k) = \sum_{i=0}^k DNL(i) \quad (2.2)$$

2.2.3 ERRO DE DESVIO

Este tipo de erro é facilmente identificado ao observarmos a curva de conversão de um ADC-SAR, pois o erro de desvio causa um deslocamento da mesma, conforme é ilustrado na Figura 2.7. Como este tipo de erro não afeta a linearidade da curva, o mesmo pode ser ajustado através de calibração.

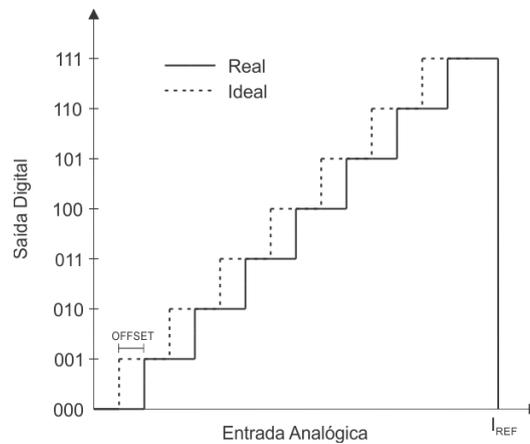


Figura 2.7: Erro de desvio na curva característica do ADC.

2.3 PARÂMETROS DINÂMICOS

Diferentemente dos parâmetros estáticos, para determinarmos os parâmetros dinâmicos, é necessário empregar na entrada um sinal que varie em função da frequência, como, por exemplo, um sinal senoidal. Estes parâmetros são usados para obtermos mais informações sobre ruídos e outros efeitos de alta frequência.

2.3.1 RAZÃO SINAL-RUÍDO

A razão sinal-ruído (SNR) é a razão entre o nível de potência na entrada (P_S) e a potência total do ruído (P_N).

$$SNR = 10 \cdot \log_{10} \frac{P_S}{P_N} \quad (2.3)$$

O erro de quantização é o único ruído encontrado em conversores ideais, porém, em estruturas reais, são encontradas outras imperfeições, como o ruído térmico, o DNL, o INL, etc. Em (2.4) é fornecido o valor da SNR de um ADC ideal de N bits em dB.

$$SNR = 6,02 \cdot N + 1,76 \quad (2.4)$$

2.3.2 RAZÃO SINAL-RUÍDO-DISTORÇÃO

A razão sinal-ruído-distorção (SINAD) é um bom indicador do desempenho dinâmico do ADC, pois é levado em consideração os ruídos e os harmônicos do sinal de entrada. No caso, este parâmetro é igual à potência do sinal de entrada (P_S) sobre a adição entre a potência total do ruído (P_N) e a potência dos harmônicos do sinal de entrada (P_D).

$$SINAD = 10 \cdot \log_{10} \frac{P_S}{P_N + P_D} \quad (2.5)$$

2.3.3 NÚMERO EFETIVO DE BITS

O número efetivo de bits (ENOB) é um parâmetro muito usado para representar a precisão do ADC para um sinal de entrada específico amostrado em uma determinada frequência. Este parâmetro é definido em (2.6).

$$ENOB = \frac{(SINAD - 1,76) \text{ dB}}{6,02 \text{ dB}} \quad (2.6)$$

3 ADC-SAR – VISÃO GERAL

Inicialmente, este capítulo abordará o algoritmo de aproximações sucessivas. Em seguida, é apresentado o diagrama de blocos do DAC proposto. Finalizando, são descritos alguns sinais auxiliares necessários para o circuito e o funcionamento do ADC-SAR projetado.

3.1 ALGORITMO DE APROXIMAÇÕES SUCESSIVAS

Assim como acontece na busca binária, o algoritmo empregado pelo ADC-SAR também precisa ser aplicado dentro de um determinado intervalo. O domínio analógico possuirá um limite superior (H) e um limite inferior (L). Os limites do domínio digital acompanham os limites do domínio analógico, respectivamente. Na primeira iteração do algoritmo de aproximações sucessivas o valor médio do intervalo [L, H] estará sendo comparado com o sinal amostrado na entrada. Através da saída do comparador é possível identificar a qual metade (superior ou inferior) o sinal amostrado pertence. A situação descrita está representada na Figura 3.1, onde MS e MI correspondem à metade superior e à metade inferior, respectivamente.

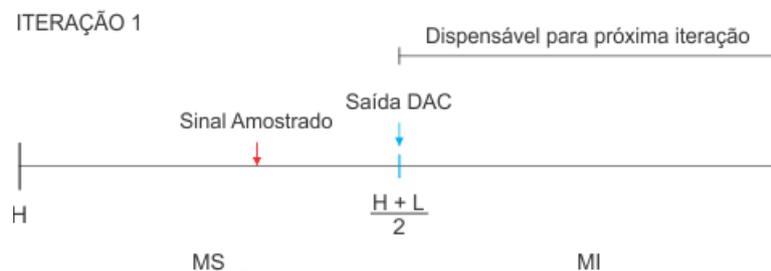


Figura 3.1: Primeira iteração do algoritmo de aproximações sucessivas.

Observando a Figura 3.1, é possível notar que o sinal amostrado é maior do que a saída do DAC. Portanto, podemos concluir que o sinal amostrado pertence à metade superior e a saída do conversor para a respectiva iteração é igual a 1.

Prosseguindo com o algoritmo, o sinal de entrada será rastreado somente dentro da metade superior do espaço de busca da primeira iteração. Portanto, para a segunda iteração, o limite superior é mantido e o limite inferior passa a ser igual à saída do DAC da primeira iteração. A situação descrita é ilustrada na Figura 3.2.

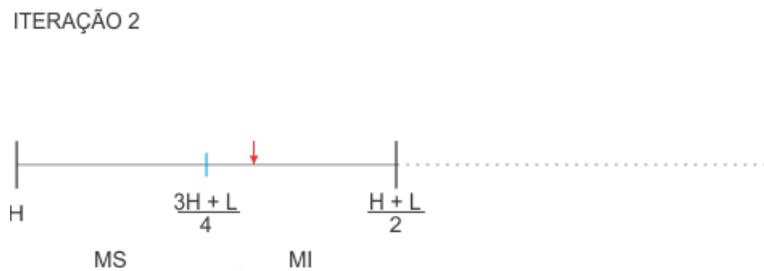


Figura 3.2: Segunda iteração do algoritmo de aproximações sucessivas.

Desta vez o sinal de entrada é menor do que a saída do DAC, portanto, este pertence à metade inferior do intervalo de busca da segunda iteração. Sendo assim, para a próxima iteração será realizado procedimento análogo ao descrito anteriormente, ou seja, a metade superior se torna dispensável, a saída do DAC da iteração atual se torna o limite superior e o limite inferior é mantido, conforme apresentado na Figura 3.3.

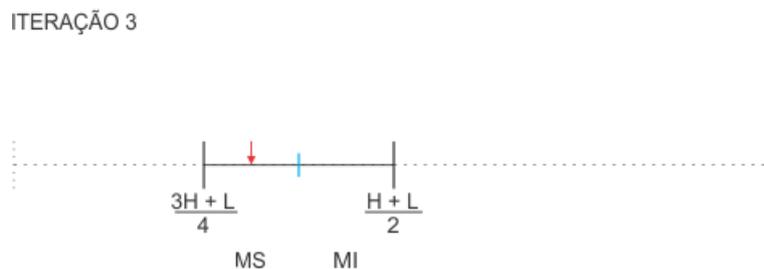


Figura 3.3: Terceira iteração do algoritmo de aproximações sucessivas.

Este procedimento é repetido até o término da conversão.

3.2 DAC GENÉRICO

A saída do DAC genérico é obtida através do circuito da Figura 3.4. Note que esta é uma combinação binária das saídas dos espelhos de corrente selecionados conforme os resultados obtidos pelo comparador ($D = 0$ ou 1) e a iteração atual do algoritmo.

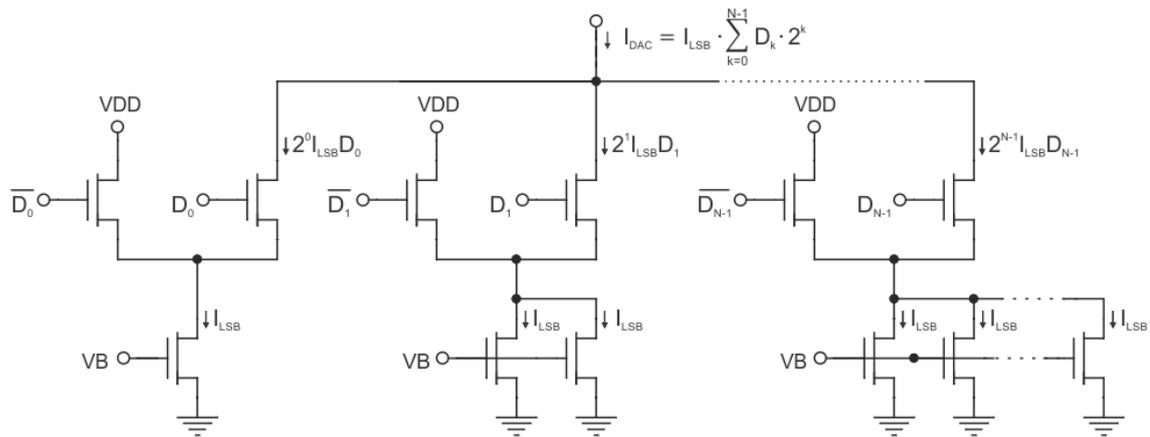


Figura 3.4: DAC genérico de N bits.

A saída do DAC genérico é definida conforme (3.1). Portanto, esta é selecionada dentro de um campo finito de valores que a soma das correntes ponderadas na base dois pode fornecer.

$$I_{DAC} = I_{LSB} \cdot \sum_{k=0}^{N-1} D_k \cdot 2^k \quad (3.1)$$

3.3 DAC PROPOSTO

Na Figura 3.5 é apresentado um diagrama que representa o DAC proposto. Em vez de obter a saída do DAC através de diversos espelhos de corrente, esta é encontrada por meio de três células de memória de corrente e operações matemáticas.

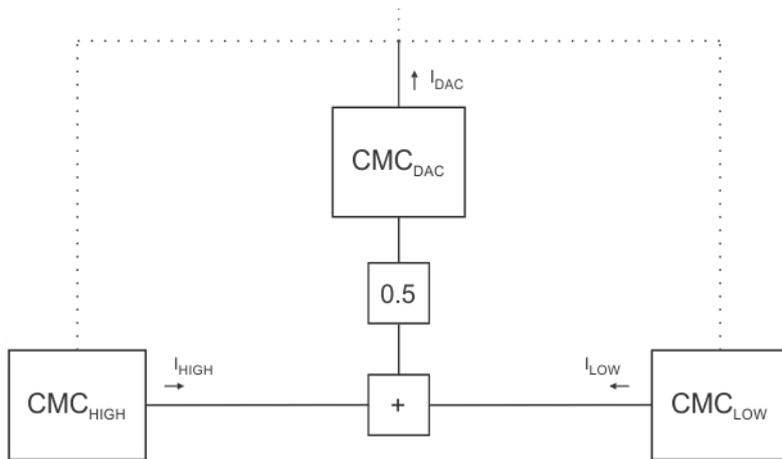


Figura 3.5: Diagrama do DAC proposto.

Os dois limites do intervalo de busca são armazenados, somados e o resultado é dividido por 2, ou seja, a média é encontrada. Esta é armazenada e comparada com o sinal amostrado. A situação descrita é ilustrada na Figura 3.6.

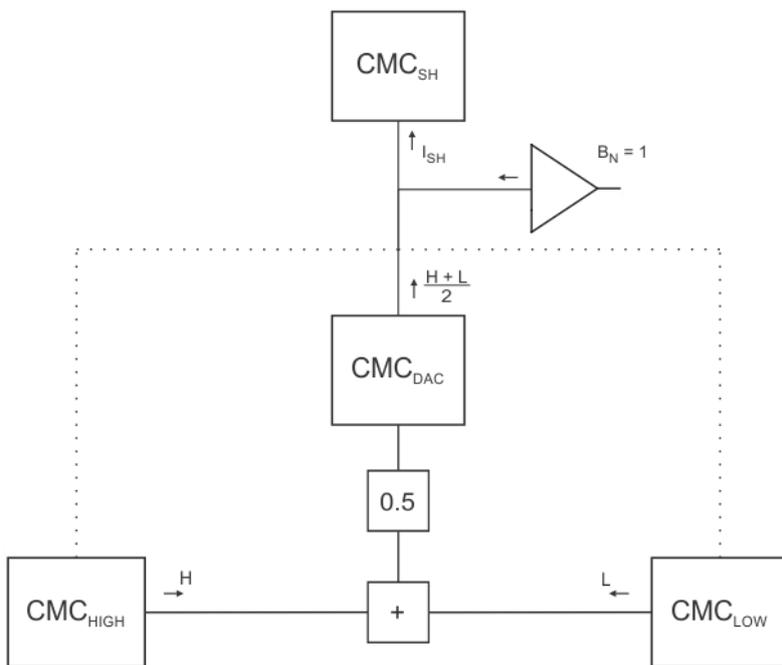


Figura 3.6: Diagrama do ADC durante comparação na 1ª iteração.

Através da resposta do comparador são determinados o limite do intervalo de busca a ser atualizado para a próxima iteração e a saída do conversor correspondente à iteração atual. Segundo o exemplo, na primeira iteração o sinal amostrado é maior do que

a saída do DAC, portanto, o limite inferior do intervalo de busca deve ser atualizado para a iteração seguinte, conforme a Figura 3.7.

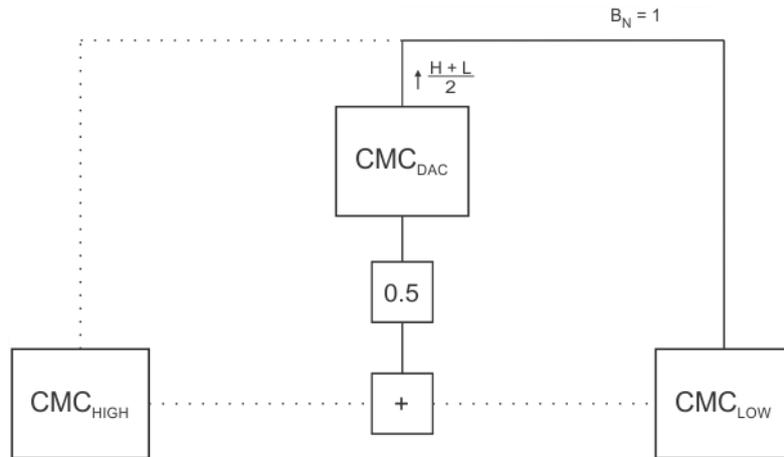


Figura 3.7: Diagrama do DAC durante atualização da memória na 1ª iteração.

Após a atualização da memória, o processo pode ser repetido, porém em um novo intervalo de busca, conforme a Figura 3.8.

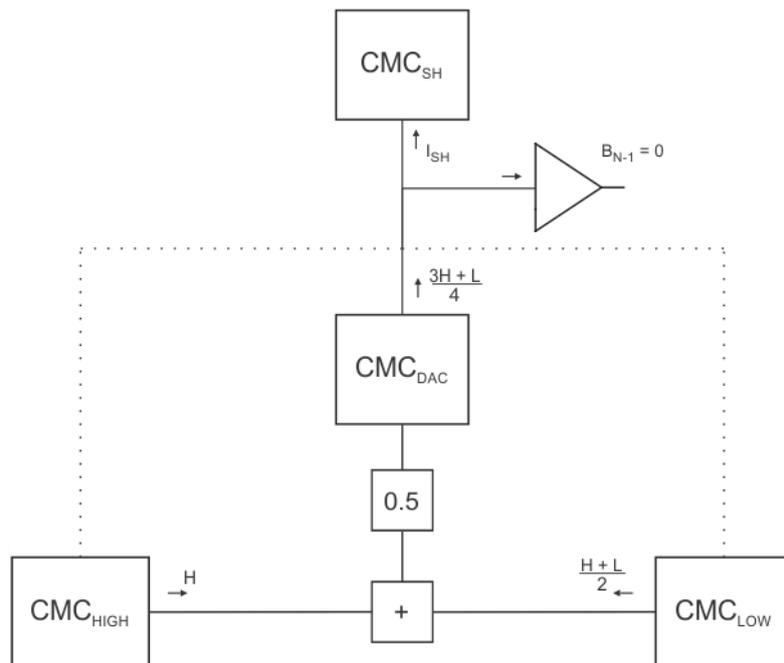


Figura 3.8: Diagrama do ADC durante comparação na 2ª iteração.

Pelo resultado da comparação é possível concluir que o sinal amostrado pertence à metade inferior do intervalo de busca. Portanto, a saída do conversor para esta iteração é igual a 0 e a atualização ocorre no limite superior, conforme Figura 3.9.

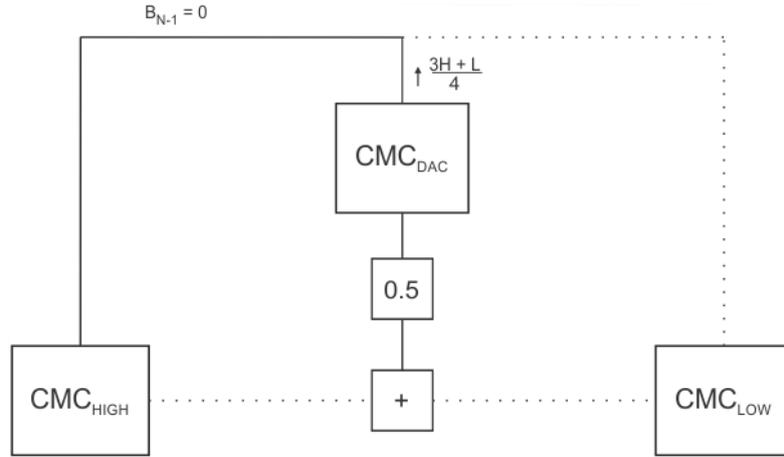


Figura 3.9: Diagrama do DAC durante atualização da memória na 2ª iteração.

Este processo é repetido até o término da conversão. Em cada iteração, somente uma CMC é atualizada. O critério para seleção da CMC a ser atualizada depende da saída do conversor para a respectiva iteração. Portanto, a saída do DAC pode ser expressa conforme a equação (3.2).

$$I_{DAC_N} = \frac{I_{DAC_{N-1}} + B_{N-1} \cdot I_{HIGH} + \overline{B_{N-1}} \cdot I_{LOW}}{2} \quad \text{se } N \geq 2 \quad (3.2)$$

São evidenciadas através da equação (3.2) a recursividade do conversor proposto e a necessidade de armazenamento das três correntes. O intervalo de busca é obtido através da saída do DAC na iteração anterior e da corrente de saída da CMC que não foi atualizada.

Enquanto o ADC-SAR genérico determina a saída do DAC através da soma de correntes previamente definidas, o conversor proposto cumpre esta mesma tarefa através dos limites do intervalo de busca e operações matemáticas. A recursividade do processo permite a estrutura ser usada em conversões de qualquer comprimento. Obviamente em conversões com maiores resoluções, os erros se tornam mais críticos, criando um limite prático para o mesmo. Na estrutura tradicional essa versatilidade não existe, pois seria

necessário inserir novos espelhos de corrente, mesmo desconsiderando qualquer tipo de não idealidade.

3.4 SINAIS AUXILIARES

Em um ADC-SAR genérico são necessários apenas dois sinais auxiliares, o *clock* e o *Reset*. Por apresentar uma lógica de funcionamento ligeiramente mais complexa, a estrutura apresentada neste trabalho precisará de quatro sinais auxiliares, sendo três sinais de fase e um sinal de *Reset* (R). A Figura 3.10 ilustra o formato de cada um desses sinais.

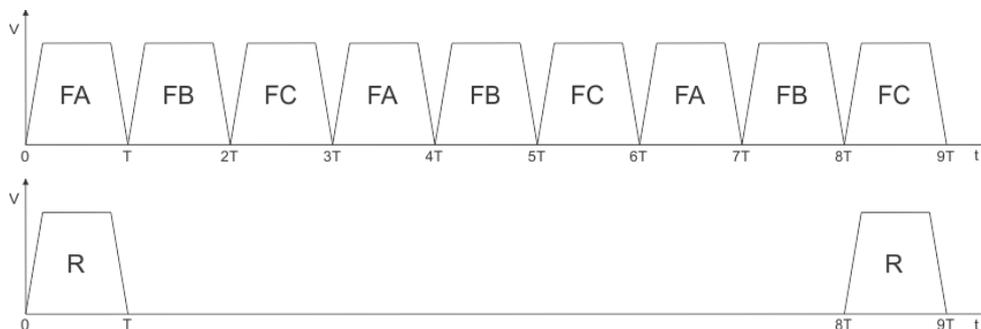


Figura 3.10: Sinais auxiliares para uma conversão de 3 bits.

Os sinais de fase possuem função semelhante ao do *clock*. Em uma conversão de N bits, cada um dos sinais de fase seria repetido um total de N vezes dentro do intervalo definido pelo período de conversão. Observe que a primeira ocorrência de *FA* é durante o sinal *R*. Portanto, o algoritmo de aproximações sucessivas é iniciado ainda no decorrer da amostragem do sinal de entrada, tornando o circuito mais eficiente. O mais comum é que este algoritmo inicie imediatamente após o término da amostragem [6].

Nesta seção são citados apenas os principais sinais auxiliares. O funcionamento do circuito depende também de outros sinais auxiliares, porém, a maior parte, é gerada internamente.

3.5 FUNCIONAMENTO

Embora também utilize o algoritmo de aproximações sucessivas para realizar a conversão analógico digital, o circuito projetado possui abordagem diferente ao cumprir

sua função básica. Nesta seção será explicado, de maneira detalhada, todo o procedimento a ser efetuado.

A célula de memória de corrente (CMC) é crucial no circuito. Esta precisa de duas fases para desempenhar a sua função, conforme a Figura 3.11. O emprego de apenas duas fases é o mais comum, porém existem outras estruturas, de maior precisão, que usam mais sinais auxiliares [11].

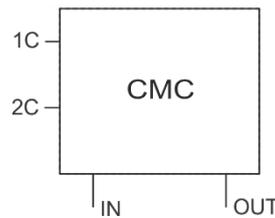


Figura 3.11: Símbolo da CMC.

Dada uma corrente no pino de entrada (IN), esta será amostrada durante o nível lógico alto do sinal de controle da entrada ($1C$). Feito isso, quando apenas o sinal de controle da saída ($2C$) estiver em nível lógico alto, teremos no pino de saída (OUT) a corrente previamente armazenada. Os dois sinais de controle não se cruzam durante as transições. O circuito original utilizará um sinal de controle extra, porém para este capítulo não é necessário entrar nesse nível de detalhe.

O transporte das correntes entre as CMCs do DAC e a divisão por dois necessária para o algoritmo de aproximações sucessivas são realizadas por uma estrutura chamada de CMDAC. Esta possui duas entradas (EE1 e EE2), duas saídas (SE1 e SE2) e dois sinais de controle (E1 e E2), conforme Figura 3.12.

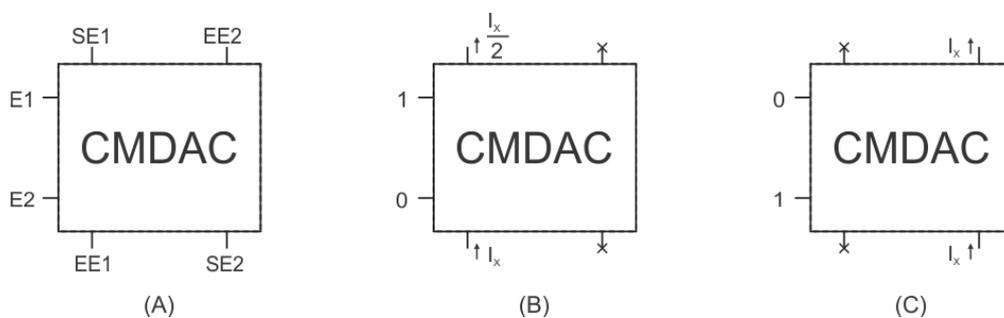


Figura 3.12: CMDAC (A) Símbolo. (B) Durante E1. (C) Durante E2.

Durante E1, apenas os terminais EE1 e SE1 estarão ativos e a estrutura possui ganho $\frac{1}{2}$. Durante E2, apenas os terminais SE2 e EE2 estarão ativos e a estrutura possui ganho unitário. As correntes devem seguir os sentidos apresentados na Figura 3.12.

Além dos dois tipos de estruturas citados, o circuito projetado também faz uso de um comparador e de chaves analógicas, conforme a Figura 3.13. As setas representam o sentido da corrente naquele terminal. Todas as células de memória de corrente possuem funções bem definidas: a CMC_{HIGH} será responsável por armazenar o limite superior do intervalo de busca, a CMC_{LOW} será encarregada de armazenar o limite inferior do intervalo de busca, a CMC_{DAC} armazena a saída do DAC interno e a CMC_{SH} realiza a amostragem do sinal de entrada.

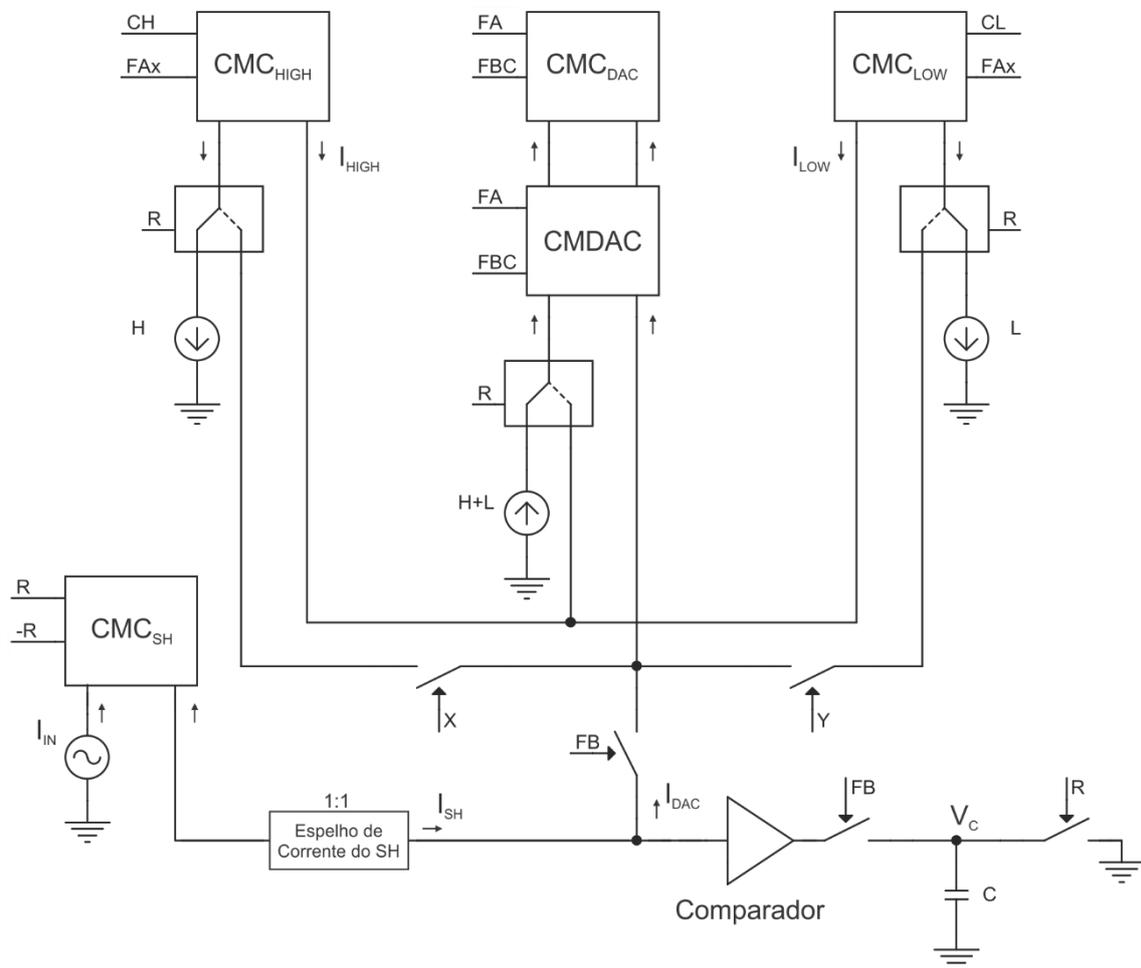


Figura 3.13: Circuito representativo do ADC projetado.

Observando a Figura 3.13 é possível notar que aparecem alguns sinais de controle que ainda não foram identificados. Logo, antes de explicar o funcionamento, é necessário definir cada um deles. Isto é feito através da Tabela 3.1.

Tabela 3.1: Sinais de controle.

CH	$R + FC \cdot V_C$
CL	$R + FC \cdot \overline{V_C}$
FA_x	$\overline{R} \cdot FA$
FBC	$FB + FC$
X	$FC \cdot V_C$
Y	$FC \cdot \overline{V_C}$

A seguir são apresentadas as tarefas básicas executadas pelo conversor em função dos sinais auxiliares e de alguns sinais de controle.

- Sinais auxiliares:

R: amostragem do sinal de entrada / iniciar primeira iteração.

FA: divisão das correntes na memória.

FB: comparação.

FC: definição do *bit* de saída / atualização da memória.

- Sinais de controle:

X: atualização do limite superior na memória.

Y: atualização do limite inferior na memória.

A explicação do funcionamento do ADC-SAR proposto usará como referência o exemplo apresentado na Seção 3.1. Portanto, a situação esperada é a seguinte: na primeira iteração do algoritmo o sinal amostrado é maior que a saída do DAC. Porém, na segunda iteração o sinal amostrado é menor que a saída do DAC. Conseqüentemente, o *bit* de saída da primeira iteração é igual a 1, enquanto o *bit* de saída da segunda iteração é igual a 0.

Inicialmente, os sinais auxiliares R e FA estarão em nível lógico alto. Sendo assim, teremos CH e CL em nível lógico alto e FAx em nível lógico baixo. Logo, todas as CMCs estarão armazenando os níveis de corrente que possuem em suas respectivas entradas e a estrutura CMDAC estará operando com ganho $\frac{1}{2}$. O circuito resultante para esta situação corresponde a Figura 3.14.

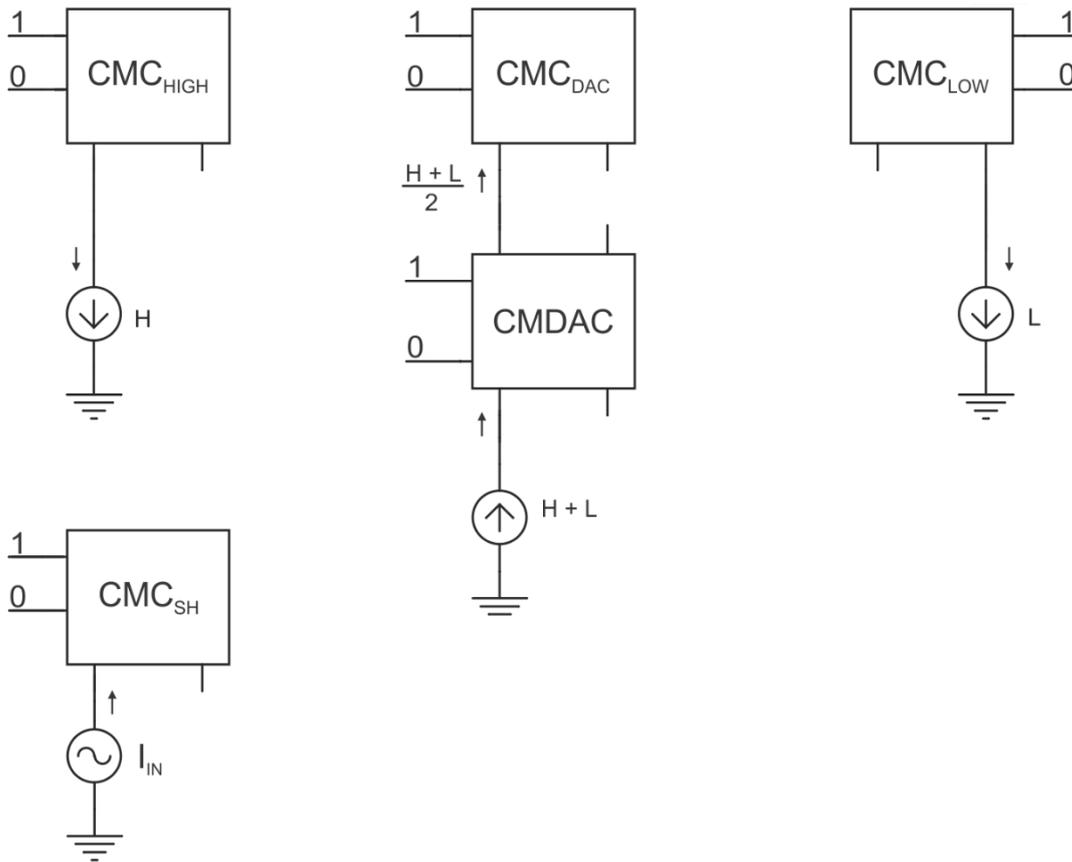


Figura 3.14: Circuito do DAC durante R e FA .

Note que as saídas da CMC_{HIGH} e da CMC_{LOW} serão ativadas apenas a partir da segunda iteração do algoritmo. A saída da CMC_{DAC} da primeira iteração é obtida através de uma fonte de corrente e o do $CMDAC$. Com os termos de R e FA , o sinal FB é iniciado e a saída da CMC_{DAC} fornecerá a corrente previamente carregada, no caso, uma corrente igual a $\left(\frac{H+L}{2}\right)$. Esta corrente será usada como uma das entradas do comparador, enquanto a outra parcela é obtida através da saída da CMC_{SH} . É nesta fase que a carga capacitiva é empregada no armazenamento da resposta do comparador, V_C . O circuito resultante para esta etapa é condizente com a Figura 3.15.

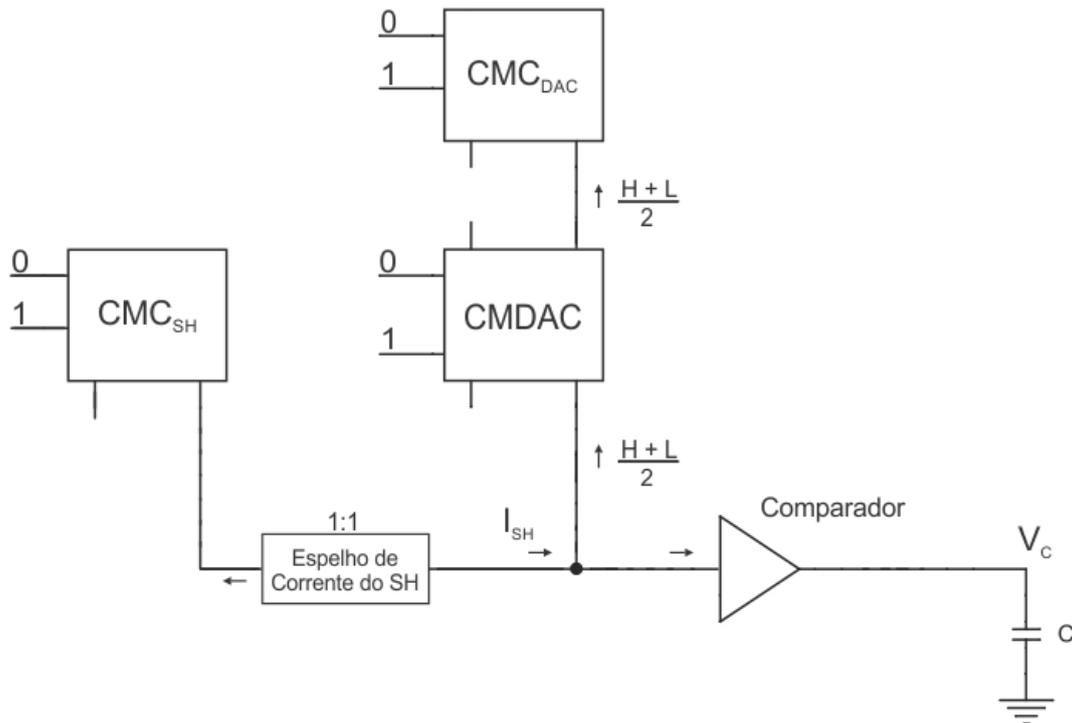


Figura 3.15: Circuito do ADC durante FB na 1ª iteração.

O nível de tensão V_C é responsável por determinar qual malha de realimentação estará aberta ou fechada. A resposta do comparador é obtida durante *FB*, porém, será usada apenas durante *FC*, por isso a carga capacitiva é necessária.

A saída do comparador estará em nível lógico baixo quando a corrente do mesmo estiver entrando em seu terminal de entrada. Portanto, o nível de corrente na entrada que foi amostrado é maior que a corrente de saída do DAC. Logo, para a próxima iteração, seria necessário um novo limite inferior para o intervalo de busca. Nesse sentido, seria necessária a atualização da CMC_{LOW} , portanto, das chaves de realimentação, somente aquela controlada pelo sinal *Y* fecharia.

Terminada a fase *FB*, o conversor pode estar na situação descrita anteriormente ou na situação totalmente análoga. Considerando que a estrutura esteja conforme o parágrafo anterior, ou seja, o comparador forneceu uma tensão que corresponde ao nível lógico baixo, teremos o circuito equivalente da Figura 3.16. Durante *FC*, a memória é atualizada e o *bit* de saída relativo à iteração corrente é definido no registrador de aproximações sucessivas. No caso, este será o inverso lógico da saída do comparador.

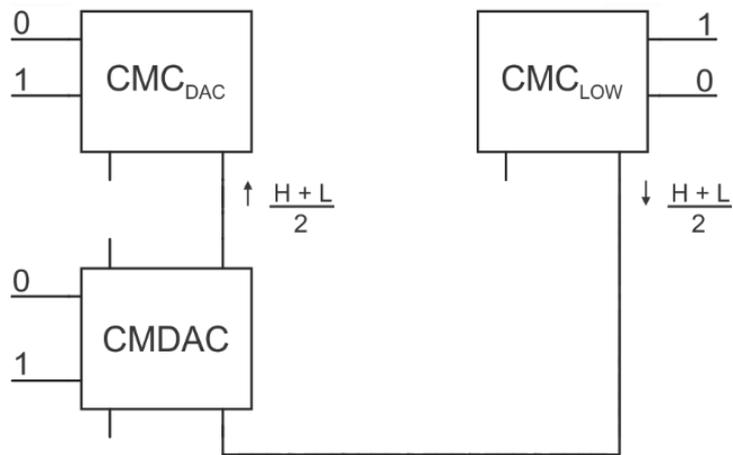


Figura 3.16: Circuito do DAC durante FC com $V_C = GND$ na 1ª iteração.

Ao atualizar um dos limites do intervalo de busca, o conversor está se preparando para a próxima iteração. Esta começa com o término de *FC* e o início de *FA*, porém, desta vez, o sinal *R* está em nível lógico baixo. Conseqüentemente, o *CMDAC* opera com ganho $\frac{1}{2}$ e é alimentado pelas duas *CMCs* que armazenam os limites do intervalo de busca.

Na primeira iteração somente o limite inferior foi atualizado, portanto, a corrente de saída da *CMC_{LOW}* é igual a $\frac{H+L}{2}$ e a corrente de saída da *CMC_{HIGH}* é igual a *H*. Sendo assim, a corrente de entrada da *CMC_{DAC}* é igual a $\frac{3H+L}{4}$, que é o ponto médio da metade superior do intervalo de busca da primeira iteração. A situação descrita é ilustrada através do diagrama da Figura 3.17.

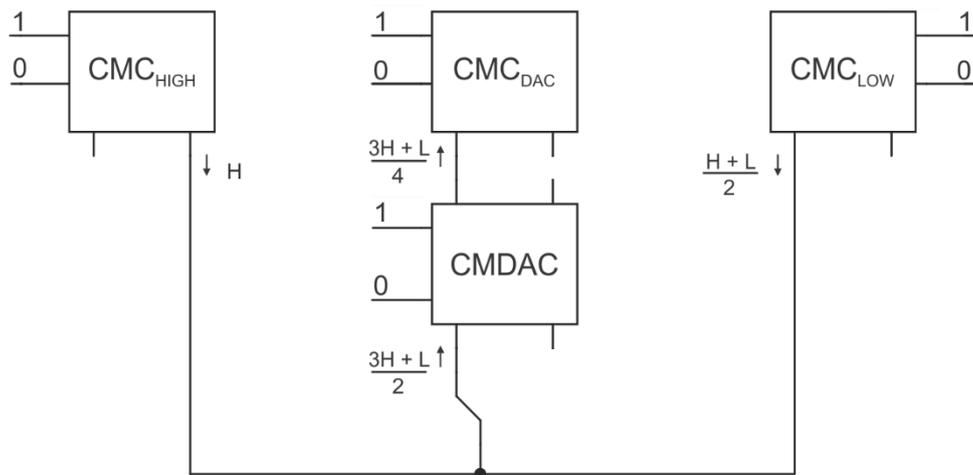


Figura 3.17: Circuito do DAC durante FA na 2ª iteração.

A CMC_{DAC} estará armazenando a corrente em sua entrada por toda a fase FA . Com o término desta fase e o início de FB , a corrente previamente memorizada estará presente na saída da mesma e será aplicada na entrada do $CMDAC$ operando com ganho unitário, conforme pode ser visto na Figura 3.18. Note que o circuito é praticamente idêntico ao apresentado na primeira ocorrência de FB , sendo a principal diferença o nível de corrente fornecido pela saída do DAC interno.

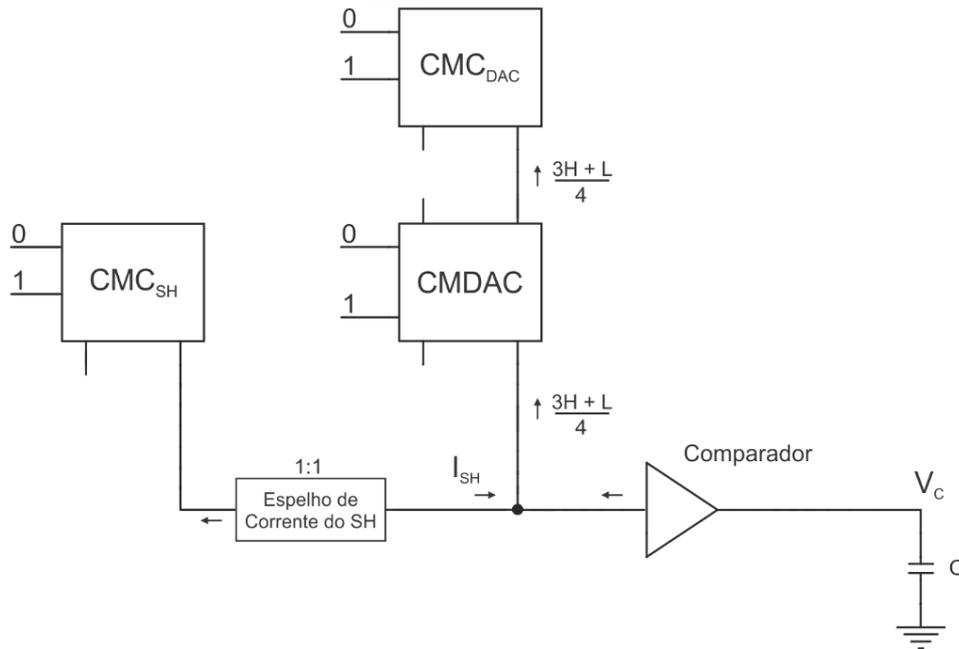


Figura 3.18: Circuito do DAC durante FB na 2ª iteração.

Desta vez a saída do comparador identificou que o sinal de entrada é menor que a saída do DAC interno, portanto, teremos V_C igual a nível lógico alto e um novo limite superior será memorizado na etapa seguinte.

Com o início de FC e o sinal V_C igual a nível lógico alto, o circuito equivalente estará conforme apresentado na Figura 3.19. Desta vez, a CMC_{HIGH} é alterada e a malha de realimentação controlada por X estará fechada. Simultaneamente, um segundo *bit* do vetor de saída é determinado através do resultado que foi retido pelo capacitor.

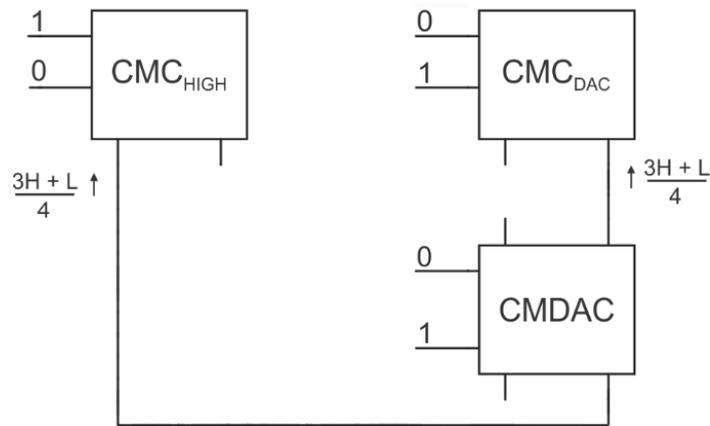


Figura 3.19: Circuito do DAC durante FC com $V_C = V_{DD}$ na 2ª iteração.

Esse procedimento será repetido até terminar a conversão. Note que é possível continuar esse processo enquanto tivermos os sinais auxiliares configurados da forma adequada. Sendo assim, esta mesma estrutura pode ser usada para realizar conversões de qualquer comprimento. Apesar da topologia apresentar esta vantagem, o contrapeso é possuir maior sensibilidade em relação as imperfeições do circuito, como o descasamento dos espelhos de corrente, injeções de carga.

4 ADC-SAR – MODELO EM MATLAB

Este capítulo apresentará o modelo comportamental do ADC-SAR projetado. Este foi implementado totalmente em MatLab e será utilizado como uma ferramenta no projeto do conversor. Esta prática é muito usada atualmente [7] e [8], pois, através do modelo comportamental, é possível prever, com baixo custo computacional, o comportamento final de uma determinada estrutura.

O modelo comportamental que será apresentado neste trabalho é uma versão simplificada do circuito real. Neste serão consideradas apenas as principais fontes de erro que são encontradas no circuito.

Além de modelar os principais blocos do conversor, também serão apresentadas simulações dos parâmetros estáticos e dos parâmetros dinâmicos, de modo a analisar o desempenho do circuito em função das diversas imperfeições do mesmo.

4.1 CÉLULA DE MEMÓRIA DE CORRENTE (CMC)

É impossível memorizar perfeitamente um determinado nível de corrente na entrada, pois esta célula é afetada por injeções de cargas. Esse problema é muito comum neste tipo de estrutura e normalmente o erro na saída dependerá do nível do sinal de entrada [12]. Em [12] é apresentada uma CMC que possui erro praticamente independente do nível do sinal de entrada. Esta foi a topologia utilizada no projeto do conversor. Sendo assim, o modelo simplificado da CMC está conforme a Figura 4.1.

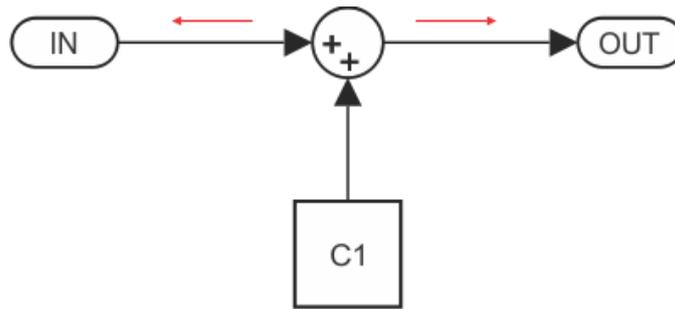


Figura 4.1: Modelo da CMC.

Na saída da CMC teremos a corrente original mais uma constante $C1$. Esta pode ser positiva ou negativa, dependendo do sentido da corrente. O sentido da corrente é indicado pela seta de cor vermelha. Estas características foram aproveitadas durante o projeto do circuito. Quando a corrente está entrando no terminal da CMC, a constante é negativa, e, quando a corrente está saindo, a constante é positiva.

Associando duas CMCs em cascata, os sentidos das correntes em seus respectivos terminais de entrada não serão iguais, conforme a Figura 4.2. Portanto, cada célula irá introduzir um erro, aproximadamente constante, e com sinais opostos. Dessa forma, o resultado obtido é mais preciso, porém é necessária uma fase de chaveamento extra. O código implementado para modelar a CMC está no Apêndice C.1.

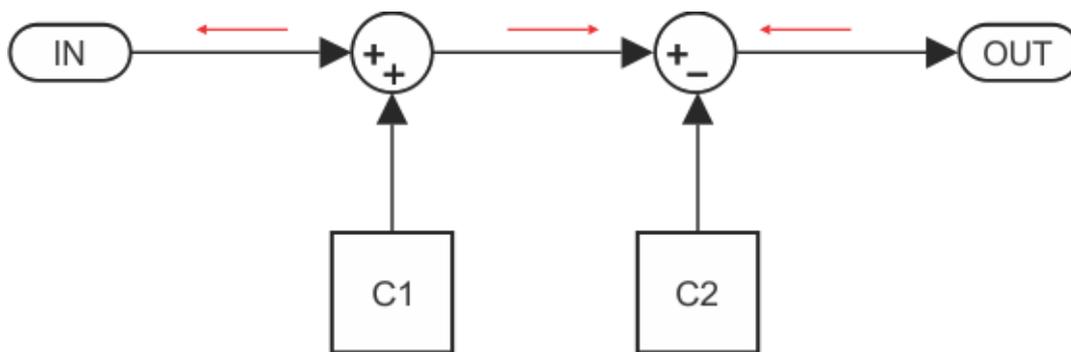


Figura 4.2: Modelo de duas CMCs em cascata.

4.2 ESPELHO DE CORRENTE

A única imperfeição considerada no modelo simplificado do espelho de corrente é o descasamento que ocorre entre os transistores no terminal de entrada e os transistores no terminal de saída. Em [8] é apresentado o modelo para o espelho de corrente empregado em um ADC-SAR em modo de corrente. Porém, este sempre usa o mesmo sinal de entrada, diferentemente do que ocorre neste trabalho. Um outro fator que poderia influenciar seria o efeito de modulação de canal, que reduz a resistência de saída do transistor, porém todos os espelhos de corrente estão na configuração cascode. Portanto, a impedância de saída será suficientemente alta de modo a desprezar este efeito. O erro na saída depende do sinal de entrada, conforme pode ser visto na Figura 4.3.

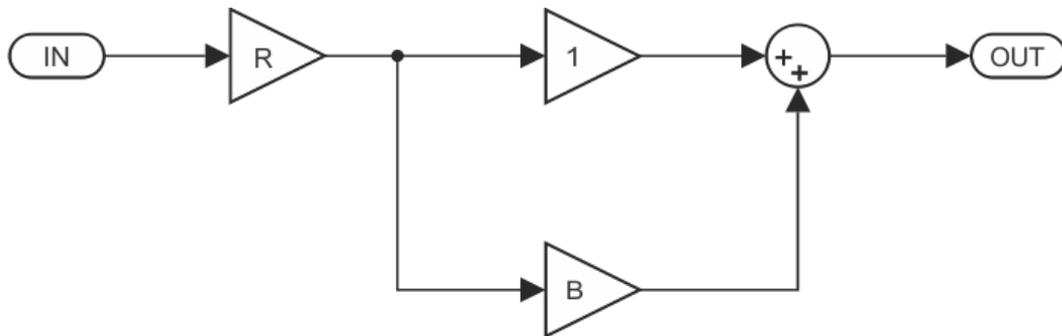


Figura 4.3: Modelo do espelho de corrente.

A razão ideal entre os transistores de saída e os transistores de entrada é representada pelo ganho R , enquanto o ganho B corresponde ao erro de descasamento presente na estrutura. A modelagem da estrutura está descrita no Apêndice C. Neste apêndice teremos dois códigos diferentes. O segundo faz a modelagem do espelho de corrente utilizado após a amostragem do sinal, enquanto o primeiro é implementado de forma a modelar o espelho de corrente do DAC, o CMDAC.

4.3 COMPARADOR

Em [8] é apresentado o modelo do comparador. Esta estrutura possui papel fundamental em uma conversão analógico-digital, pois é através da mesma que os dois domínios se relacionam. Idealmente, a corrente de *offset* (ou corrente de desvio) na

entrada seria nula, porém na prática isto não ocorre e a mesma é introduzida na entrada do comparador conforme é apresentado na Figura 4.4, onde IOS é a corrente de *offset*.

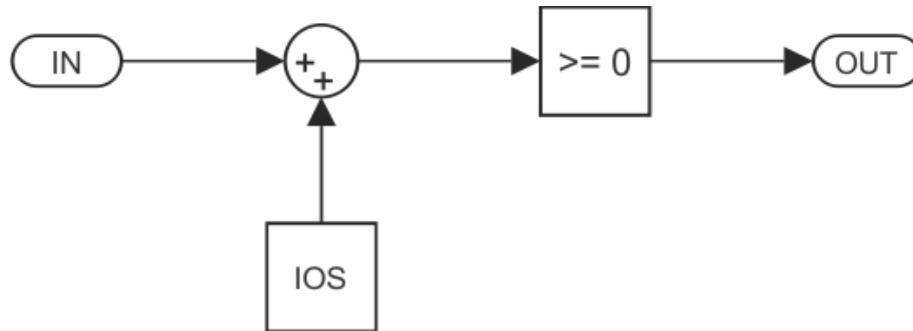


Figura 4.4: Modelo do comparador.

Apesar do comparador possuir estágio de ganho, não é necessário inserir o mesmo no modelo, pois do ponto de vista prático não faria diferença. O código desta estrutura é apresentado no Apêndice C.2.

4.4 ADC-SAR

Quando comparado com os ADC-SARs genéricos, o conversor proposto neste trabalho possui maior sensibilidade em relação às imperfeições do circuito. Este fator é consequência direta da característica recursiva que o circuito possui.

Em uma iteração genérica N , as correntes do DAC interno foram geradas em iterações anteriores. Sendo assim, os erros das iterações anteriores são propagados para a iteração atual. Esta, por sua vez, irá propagar o seu erro para a iteração seguinte. Sendo assim, o circuito estará mais sensível durante a última iteração.

A construção do circuito foi feita de modo a reduzir a sensibilidade do sistema. Porém, isto só ficará evidente na parte final deste trabalho. As simulações apresentadas neste capítulo levam em consideração tal construção e o resultado é otimizado justamente por isso.

Nesta seção será estudado o desempenho do conversor em função das diversas fontes de erro que o circuito possui. A análise foi realizada através da observação dos efeitos das imprecisões sobre o ENOB do circuito. No Apêndice C são apresentados os códigos que foram necessários para tal tarefa.

4.4.1 DESEMPENHO DO ADC-SAR X CMC

O circuito proposto faz uso de quatro células de memória de corrente. Para analisar a sensibilidade do mesmo em função dos erros provocados pelas injeções de cargas foram realizadas diversas simulações através do modelo implementado. Na Figura 4.5 é apresentada uma superfície que relaciona o desempenho das CMCs e o número efetivo de bits do conversor projetado. A conclusão óbvia para o resultado obtido é que quanto menor o erro na corrente de saída, maior será a ENOB. Observe que para atenuar a variabilidade da simulação, as quatro CMCs foram divididas em dois pares com erros idênticos ($CMC_{DAC/SH}$ e $CMC_{HIGH/LOW}$).

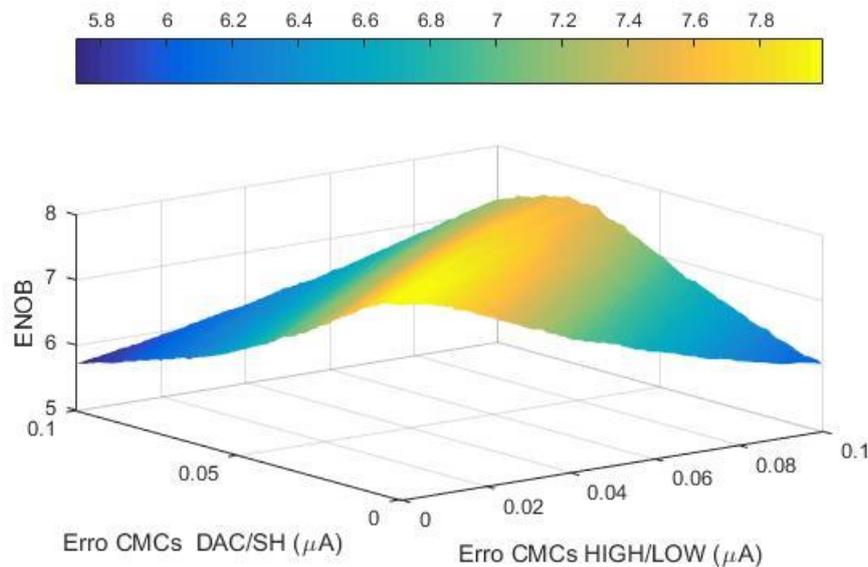


Figura 4.5: Desempenho do ADC em função das CMCs.

Através da Figura 4.6, é possível observar que tão importante quanto ter um erro pequeno na saída da CMC, é a necessidade de ter os mesmos com baixa discrepância entre si. Isto pode ser confirmado ao analisarmos o comportamento do ENOB com o aumento dos erros e a manutenção da discrepância entre os erros. Além disso, é possível notar que o circuito é ligeiramente mais sensível ao par $CMC_{DAC/SH}$.

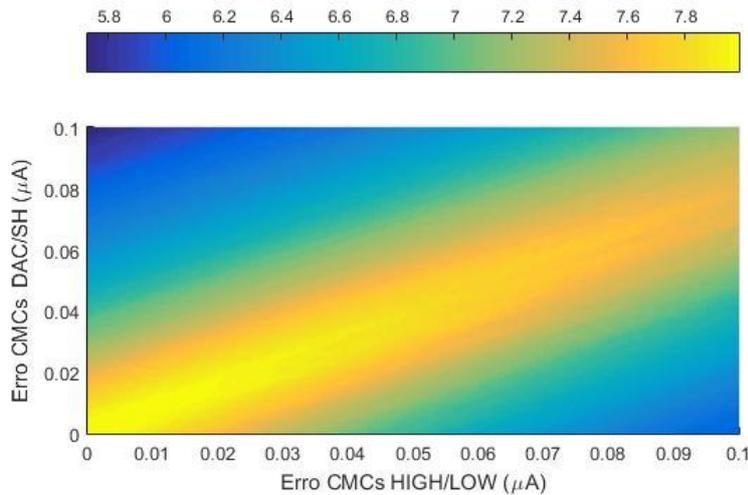


Figura 4.6: Vista superior da superfície de sensibilidade.

4.4.2 DESEMPENHO DO ADC-SAR X ESPELHOS DE CORRENTE

A precisão do ADC-SAR proposto está diretamente relacionada com a precisão da saída do DAC. Portanto, o desempenho do CMDAC é de grande importância. Esta estrutura possui duas entradas, duas saídas e duas etapas de operação ($E1$ e $E2$). Onde, em uma das etapas, o circuito possui ganho $\frac{1}{2}$ e na outra etapa possui ganho unitário. Os ganhos são realizados através de dois espelhos de corrente conectados em cascata. Na primeira etapa a sequência dos espelhos de corrente é igual a NMOS-PMOS e na segunda etapa a sequência é igual a PMOS-NMOS. Para mais detalhes sobre o CMDAC, é importante consultar o Apêndice B.3. Na modelagem desta estrutura são utilizadas as seguintes variáveis:

- $B1$: Erro na corrente de saída do espelho NMOS com razão 2:1. ($E1$)
- $B2$: Erro na corrente de saída do espelho PMOS com razão 1:1. ($E1$)
- $B3$: Erro na corrente de saída do espelho NMOS com razão 1:1. ($E2$)

O ADC-SAR proposto possui um espelho de corrente PMOS na saída do circuito de amostragem. O erro de descasamento desta estrutura será chamado de BS.

Na Figura 4.7 é apresentado o desempenho do ADC-SAR em função dos erros de descasamento nos espelhos de corrente. No caso, o erro de descasamento no circuito de

amostragem não varia e foi fixado em $BS = 0,003$, assim como o erro de descasamento do espelho PMOS que foi fixado em $B2 = 0,1$, que correspondem, respectivamente, a erros de 0,3% e 10% na corrente de saída.

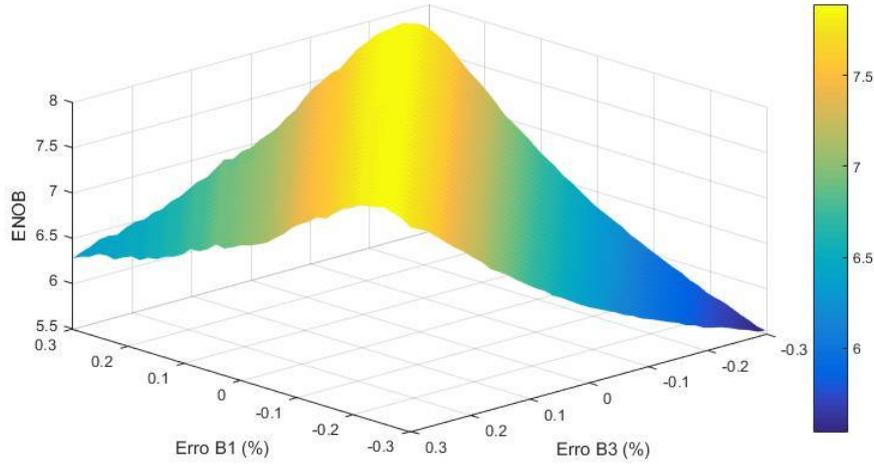


Figura 4.7: Desempenho do ADC em função de B3 e B1.

O desempenho do CMDAC é otimizado quando os erros de descasamento são inversos proporcionais. Esta característica pode ser percebida através da Figura 4.7, pois o ENOB possui seus maiores valores quando $B3 \cong -B1$. Supondo $B1 = 0,1$, o inverso proporcional seria $B3 = -0,0909$. Um erro de descasamento positivo representa um acréscimo na corrente original e um erro de descasamento negativo corresponde a um decréscimo na corrente original.

Outra característica importante do CMDAC é a baixa sensibilidade em função do erro de descasamento $B2$. Esta propriedade existe porque o circuito do CMDAC garante que os erros de descasamento do espelho de corrente PMOS durante as duas etapas são inversos proporcionais um do outro. Na Figura 4.8 são apresentados os resultados da simulação realizada para comprovar este comportamento. O dimensionamento dos erros não precisou de nenhum critério específico, pois, o objetivo principal da simulação é demonstrar a propriedade prevista. Portanto, foram usados $BS = 0,003$ e $B3 = -\frac{B1}{2}$.

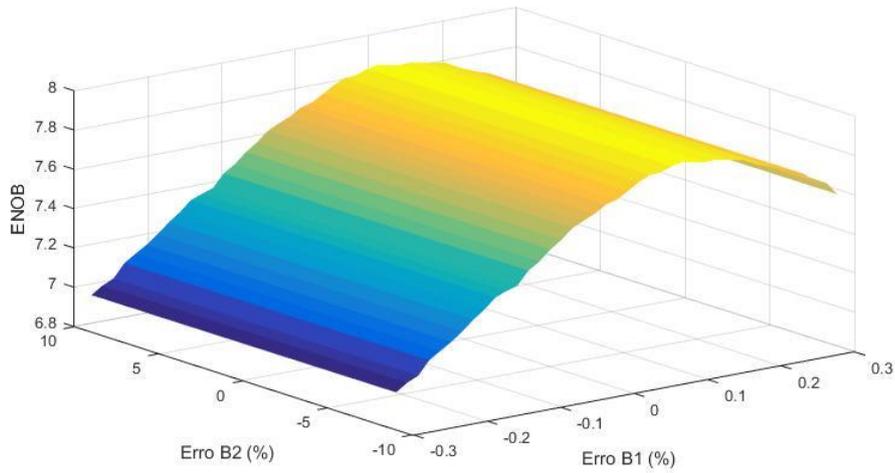


Figura 4.8: Desempenho do ADC em função de B1 e B2.

4.4.3 DESEMPENHO DO ADC-SAR X COMPARADOR

Apesar de possuir papel crucial no algoritmo de aproximações sucessivas, o erro oriundo do comparador irá influenciar o desempenho do ADC de forma simples, pois o mesmo apenas desloca a curva de conversão conforme descrito na Subseção 2.2.3. A relação entre o ENOB e o erro do comparador pode ser vista através da Figura 4.9.

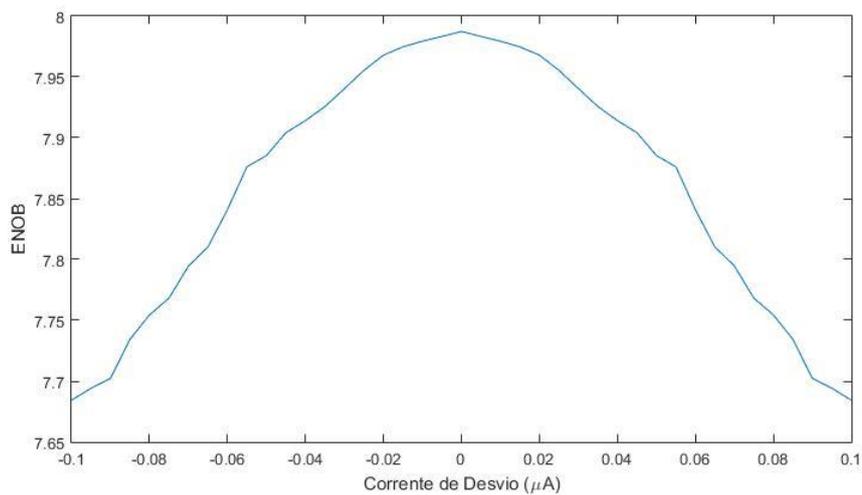


Figura 4.9: Desempenho do ADC em função da corrente de desvio do comparador.

4.4.4 DESEMPENHO DO ADC-SAR

Nas seções anteriores foram apresentadas simulações onde em cada uma delas apenas um tipo de erro estava presente. Embora seja possível analisar a sensibilidade do conversor em função das fontes de erro, a representação precisa do mesmo será realizável somente quando todos os erros forem considerados. Na Figura 4.10 é apresentado o desempenho do ADC considerando diversas fontes de erro simultaneamente.

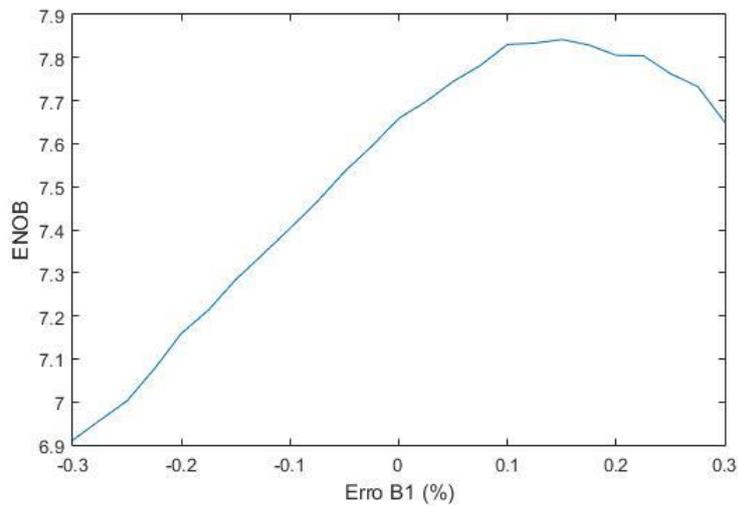


Figura 4.10: Desempenho do ADC em função de B1.

Na Tabela 4.1 são apresentados os parâmetros de erro da simulação. Os erros de descasamento $B1$ e $B3$ possuem a relação apresentada para simular uma situação onde o desempenho do CMDAC é intermediário.

Tabela 4.1: Parâmetros de erros da simulação do modelo do ADC.

CSH	CH	CL	$CDAC$	$B2$	$B3$	BS	IOS
$0,02 \mu$	$0,02 \mu$	$0,02 \mu$	$0,02 \mu$	0,1	$-\frac{B1}{2}$	0,003	$0,002 \mu$

5 ADC-SAR – PROJETO

Neste capítulo serão apresentados os procedimentos adotados para projetar as diversas estruturas que compõem o ADC-SAR. Em alguns casos, o projeto foi feito a partir das equações que modelam o comportamento elétrico de determinada estrutura, porém em outros casos o mesmo foi feito através de ajustes após análise dos resultados obtidos por simulação.

Especificações de projeto:

- ADC-SAR de 8 bits.
- $V_{DD} = 3,3 V$.
- $V_{SS} = 0 V$.
- Período de conversão (T_S) = $96 \mu s$.
- Taxa de amostragem (f_S) = $10 kHz$.
- $I_{REF+} = 26,5 \mu A$
- $I_{REF-} = 1 \mu A$

5.1 CÉLULA DE MEMÓRIA DE CORRENTE (CMC)

Este tipo de estrutura é muito popular em circuitos de corrente chaveada. Esta característica serve de motivação para o desenvolvimento de pesquisas sobre a mesma e, como consequência, são propostas novas estruturas que apresentam desempenho superior em determinados aspectos, como, por exemplo, a estrutura que utiliza a técnica conhecida como *Zero-Voltage Switching* (ZVS) [13]. Com o uso desta técnica, o erro existente na corrente de saída é aproximadamente constante, portanto, não é dependente do sinal de entrada. Para este trabalho foi utilizada a CMC proposta em [12], porém com algumas adaptações.

Na Figura 5.1 é ilustrado o esquemático da célula de memória empregada. Uma das características desta estrutura é possuir alta linearidade no seu par diferencial, pois o mesmo faz uso da técnica proposta por Krummenacher em [14].

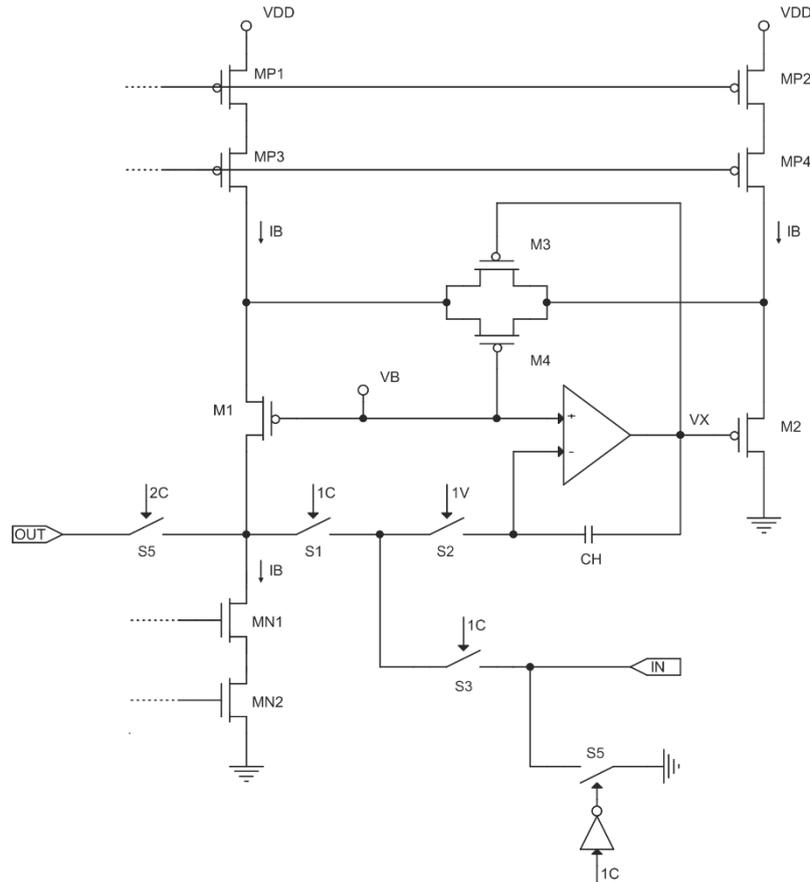


Figura 5.1: Esquemático da CMC.

Observe que a CMC possui três sinais de controle. O sinal 1V é necessário para garantir que a tensão armazenada não seja perdida [12]. Para o bom funcionamento da estrutura, os sinais estarão configurados conforme a Figura 5.2.

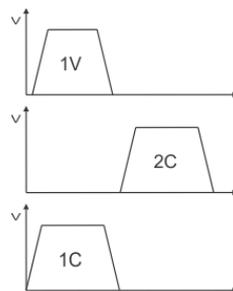


Figura 5.2: Sequência de chaveamento da CMC.

$$ID_{M2} = I_{MX} + IB = IB + I_{IN} \quad (5.3)$$

Durante a segunda etapa, apenas as chaves $S4$ e $S5$ estão conduzindo. A tensão sobre o capacitor é ligeiramente alterada com a abertura da chave $S2$ por causa das cargas injetadas pela mesma. Consequentemente, a corrente de dreno de $M1$ não mantém o valor previamente armazenado. Portanto, a corrente de saída, i_o , não será igual a corrente de entrada por causa das cargas injetadas por $S2$.

A técnica ZVS é importante para garantir que a carga injetada pela chave $S2$, Q_{CI} , não dependa do sinal de entrada. Isto é possível porque esta chave opera sempre com a mesma tensão de chaveamento. A corrente de saída é definida de acordo com (5.4).

$$i_o = Gm_{DP} \cdot \left(V_{CH} + \frac{Q_{CI}}{C_H} \right) = i_{in} + i_{error} \quad (5.4)$$

Observando a equação anterior, podemos concluir que quanto menor a variação na transcondutância do par diferencial (transcondutância o mais plana possível), Gm_{DP} , menor será a variação no erro da corrente de saída. Portanto, o par diferencial de Krummenacher possui papel fundamental no desempenho da estrutura. Além da precisão, outro aspecto que deve ser considerado é a velocidade da CMC, e isto pode ser estimado pela constante de tempo do circuito. Esta é definida pela equação (5.5).

$$\tau = \frac{C_H}{Gm_{DP}} \quad (5.5)$$

O primeiro passo no projeto da CMC é determinar o valor da tensão V_B de terra virtual. Os seguintes aspectos devem ser levados em consideração ao escolher este valor: deve ser um valor presente dentro do intervalo definido para a tensão de modo comum do amplificador e deve garantir o bom funcionamento do par diferencial de alta linearidade para qualquer valor possível da corrente de entrada.

Os limites da tensão de polarização serão determinados através da análise de operação do nó V_X , presente na Figura 5.1. A condição que determina o limite superior desta tensão é resultado da necessidade de termos o transistor $M2$ operando sempre na região de saturação.

$$VX \leq V_{DD} - |\Delta V_{GS_{MP2}}| - |\Delta V_{GS_{MP4}}| - |\Delta V_{GS_{M2}}| - 2 \cdot |V_{tp_{M2}}| \quad (5.6)$$

O limite inferior é consequência do espelho de corrente cascode existente na saída do amplificador operacional. Portanto, é necessário garantir que todos os transistores do espelho de corrente cascode estejam operando na região de saturação e isto é possível ao respeitar a condição definida em (5.7).

$$VX \geq \Delta V_{GS_{M4B}} + \Delta V_{GS_{M5B}} \quad (5.7)$$

Utilizando os parâmetros definidos no Apêndice A.1 e adotando $\Delta V_{GS} = 250 \text{ mV}$, é possível determinar numericamente o intervalo delimitado para VX , conforme apresentado na (5.8).

$$0,5 \leq VX \leq 1,75 \quad (5.8)$$

A corrente de entrada possui limites simétricos. Portanto, para garantir excursão máxima da mesma, foi definido que VB seria igual ao valor médio obtido através das equações (5.6) e (5.7). Sendo assim, teremos que a tensão de terra virtual é igual a:

$$VB = 1,1 \text{ V} \quad (5.9)$$

Em [12] é apresentada a mesma linha de raciocínio para determinar VB .

5.1.1 PAR DIFERENCIAL DE ALTA LINEARIDADE

Como o tempo de conversão do ADC-SAR projetado é de $96 \mu\text{s}$, teremos que a largura de pulso de cada sinal de fase é igual a $4 \mu\text{s}$. Portanto, durante este intervalo a célula de memória de corrente deve ser capaz de rastrear o sinal de entrada, de modo a obter na saída um erro de estabilização desprezível [15]. Este deve ser consideravelmente menor que o LSB.

No projeto desta CMC foram considerados os seguintes aspectos: velocidade, precisão e excursão do sinal de entrada. Para garantir esta última condição, a corrente de

polarização foi calculada através da (5.10). Em [12] é utilizado o mesmo método para o cálculo da corrente de polarização.

$$I_B = 1,25 \cdot I_{REF+} \cong 35 \mu A \quad (5.10)$$

Considerando o pior caso, a carga injetada durante o processo está definida da seguinte maneira:

$$Q_{CI} = W \cdot L \cdot C_{ox} \cdot (V_{DD} - V_B - V_{tn}) + V_{DD} \cdot W \cdot C_{ov} \quad (5.11)$$

O cálculo da carga injetada, Q_{CI} , é realizado através dos parâmetros apresentados no Apêndice A.1. Considerando uma chave analógica de dimensões mínimas, o resultado encontrado está de acordo com (5.12).

$$Q_{CI} \cong 1,23 \cdot 10^{-15} C \quad (5.12)$$

As dimensões dos transistores que compõem o par diferencial de alta linearidade foram determinadas através dos resultados de simulação. Foi adotado este método porque o equacionamento da curva de transcondutância do par diferencial de Krummenacher é de alta complexidade. O ganho de transcondutância, Gm_{DP} , obtido foi de $35 \mu A/V$. Os parâmetros dos transistores encontrados para chegar a este ganho de transcondutância estão definidos na Tabela 5.1.

Tabela 5.1: Parâmetros dos Transistores da CMC.

	M1	M2	M3	M4
W	4,8 μm	4,8 μm	4,8 μm	4,8 μm
L	2,4 μm	2,4 μm	2,4 μm	2,4 μm
M	6	6	1	1

O erro da célula de memória de corrente é definido, majoritariamente, por três parâmetros: a carga injetada pela chave $S2$, a transcondutância do par diferencial e o capacitor de amostragem. Até o momento, apenas o último parâmetro não foi definido e o critério utilizado para cumprir esta tarefa foi de projetar a CMC de modo a obtermos o erro na saída igual a $1/5$ da corrente equivalente ao *bit* menos significativo. Sendo assim, teremos um capacitor de amostragem conforme definido na equação (5.13).

$$C_H = \frac{Gm_{DP} \cdot Q_{CI}}{0,2 \cdot I_{LSB}} \cong 2,4 \text{ pF} \quad (5.13)$$

Considerando os valores adotados para o capacitor de amostragem e ganho de transcondutância, a constante de tempo do circuito é dado por (5.14). O tempo disponível para carregar o capacitor é 60 vezes maior que a constante de tempo, portanto o erro de estabilização é extremamente baixo e pode ser desprezado.

$$\tau = \frac{C_H}{Gm_{DP}} = 6,67 \text{ ns} \quad (5.14)$$

5.1.2 AMPLIFICADOR OPERACIONAL

A topologia do amplificador operacional usado na célula de memória de corrente é o *Recycled Folded Cascode* (RFC). Esta estrutura é capaz de alcançar ganhos de transcondutância maiores consumindo apenas metade da potência de um amplificador cascode dobrado tradicional [16].

O esquemático do RFC está ilustrado na Figura 5.4. As dimensões dos transistores foram determinadas através das equações deduzidas em [16]. Os transistores que possuem em sua identificação o mesmo número também possuem as mesmas dimensões, ou seja, teremos que $M1A$ é idêntico ao $M1B$. Para garantir a operação simétrica da saída do amplificador operacional a equação (5.15) deve ser seguida.

$$V_o \leq V_{DD} - 0,5 = 2,8 \text{ V} \quad (5.15)$$

O ganho de transcondutância do amplificador operacional pode ser calculado a partir do ganho de transcondutância dos transistores que compõem o par diferencial, conforme é definido na (5.16). De acordo com a referência [12], para que a estabilidade do sistema seja mantida, é necessário que o ganho de transcondutância do amplificador operacional seja maior que o ganho de transcondutância do par diferencial de alta linearidade.

$$Gm_A = 4 \cdot Gm_{M1} \quad (5.16)$$

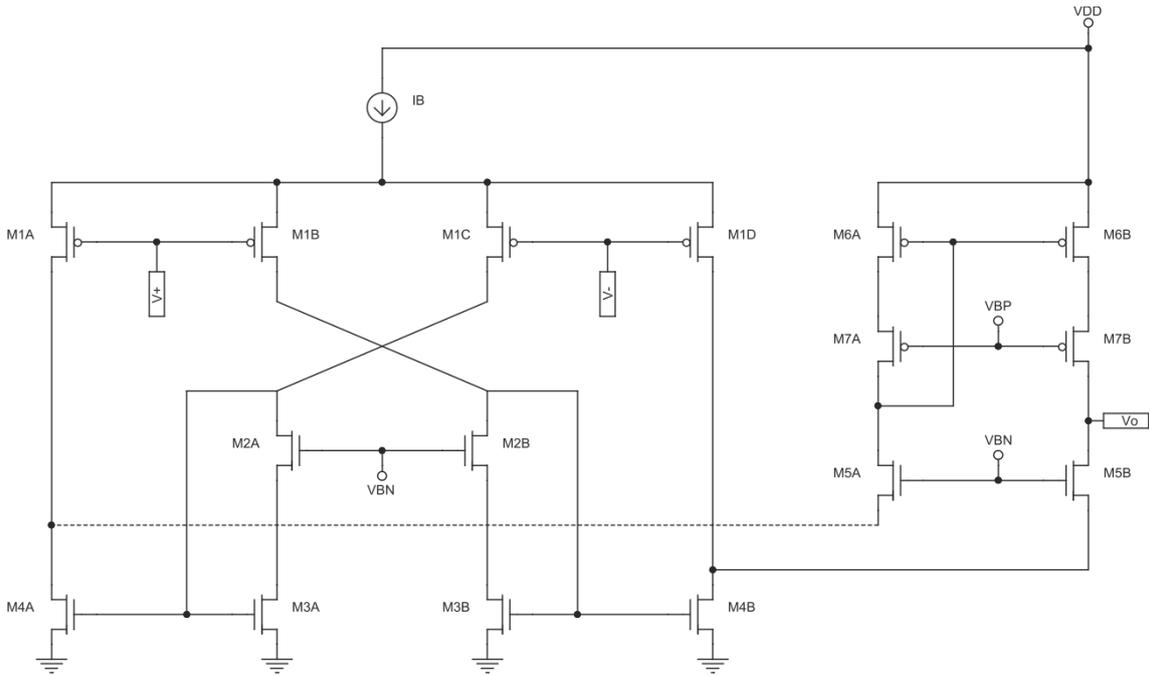


Figura 5.4: Esquemático do RFC.

Para garantir a estabilidade da CMC, foi adotado que o ganho de transcondutância do amplificador operacional deveria ser pelo menos cinco vezes maior que o ganho de transcondutância do par diferencial de alta linearidade, resultando na equação (5.17).

$$4 \cdot Gm_{M1} \geq 5 \cdot Gm_{DP} \quad (5.17)$$

As dimensões dos transistores $M1$ são calculadas através da equação anterior.

$$\left(\frac{W}{L}\right)_{M1} \geq \frac{25 \cdot Gm_{DP}^2 \cdot \alpha_p}{8 \cdot K_{pp} \cdot IB} \geq 2,2388 \quad (5.18)$$

A razão encontrada anteriormente é complicada de ser implementada, portanto, buscando uma razão prática e também aumentar o casamento entre os transistores em questão, foi adotado que $(W/L)_{M1} = 5$.

Os outros transistores do RFC fazem parte de espelhos de corrente e os mesmos serão dimensionados a partir das equações exibidas no Apêndice A.2. Através de (A.22) é encontrada a razão mínima necessária para manter os transistores $M6$ operando em regime de saturação. O resultado obtido está em (5.19).

$$\left(\frac{W}{L}\right)_{M6} \geq 6,6794 \quad (5.19)$$

Para garantir um intervalo maior para os valores aceitáveis de VBP , foi adotada a razão apresentada em (5.20) para os transistores $M6$ e $M7$.

$$\left(\frac{W}{L}\right)_{M6} = \left(\frac{W}{L}\right)_{M7} = \frac{15 \mu m}{1 \mu m} \quad (5.20)$$

Usando (A.18), é encontrado um intervalo que limita a tensão de polarização para o espelho de corrente cascode de canal P. E esta será definida como o valor médio deste intervalo, portanto, teremos $VBP = 1,68 V$.

$$1,62 < VBP < 1,75 \quad (5.21)$$

Um procedimento análogo pode ser utilizado para encontrar as dimensões dos outros transistores. O espelho de corrente composto pelos transistores $M3$ e $M4$ possui a razão de 1:3, portanto teremos $(W/L)_{M4} = 3 \cdot (W/L)_{M3}$. Enquanto a estrutura estiver em equilíbrio, a corrente que passa por $M5$ é duas vezes maior do que a corrente que passa por $M2$, portanto teremos $(W/L)_{M5} = 2 \cdot (W/L)_{M2}$.

Empregando (A.22), é calculada a razão de aspecto mínima para $M3$. O resultado encontrado está em (5.22).

$$\left(\frac{W}{L}\right)_{M3} \geq 1,3155 \quad (5.22)$$

Sendo assim, a razão de aspecto para $M3$ será igual a 6, portanto, o transistor $M4$ possuirá razão W/L igual a 18. Este segundo transistor será implementado através da associação de três transistores em paralelo, onde cada um deles é idêntico a $M3$.

$$\left(\frac{W}{L}\right)_{M3} = \frac{6 \mu m}{1 \mu m} \quad (5.23)$$

O transistor $M2$ é idêntico ao transistor $M3$, logo, o transistor $M5$ também estará definido, conforme apresentado na (5.24).

$$\left(\frac{W}{L}\right)_{M5} = 2 \cdot \left(\frac{W}{L}\right)_{M2} = \frac{12 \mu m}{1 \mu m} \quad (5.24)$$

Usando a (A.18), é encontrado um intervalo que limita a tensão de polarização para o espelho de corrente cascode de canal N. E esta será definida como o valor médio deste intervalo, portanto $V_{BN} = 1,13 V$.

$$1,03 < V_{BN} < 1,18 \quad (5.25)$$

Na Tabela 5.2 são apresentados os parâmetros de projeto de todos os transistores necessários para implementar o amplificador operacional.

Tabela 5.2: Parâmetros dos Transistores do RFC.

	M1	M2	M3	M4	M5	M6	M7
W	5 μm	6 μm	6 μm	6 μm	12 μm	15 μm	15 μm
L	1 μm	1 μm	1 μm				
M	1	1	1	3	1	1	1

Em [12] é apresentada a mesma linha de raciocínio para projetar o RFC.

5.2 ESPELHOS DE CORRENTE

Esta estrutura foi largamente utilizada neste projeto. A precisão do conversor AD depende do desempenho dos espelhos de corrente. Existem dois espelhos de corrente que se destacam no circuito: um está localizado na saída da CMC_{SH} e o outro no DAC.

Os dois espelhos de corrente citados anteriormente são empregados em saídas de células de memória de corrente, portanto estão conectados ao dreno de um transistor. Para garantir que não ocorra alteração na tensão de dreno do transistor de saída, a entrada do espelho de corrente será um nó de terra virtual. Isto será implementado através do transportador de corrente [17] apresentado na Figura 5.5.

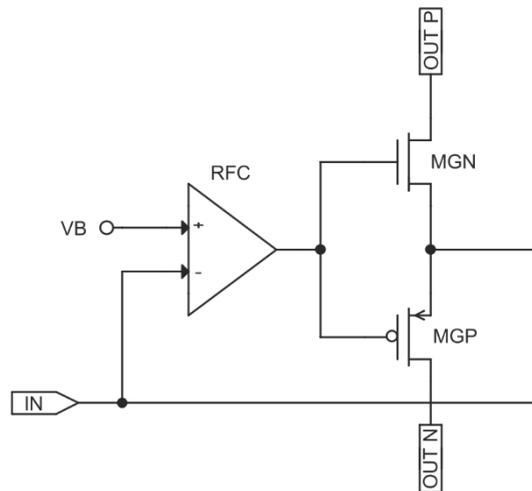


Figura 5.5: Transportador de corrente bidirecional.

A tensão de entrada do espelho de corrente deve ser igual a V_B , pois esta foi a tensão de dreno do transistor de saída durante a amostragem do sinal de entrada realizada pela célula de memória de corrente. Sendo assim, será garantido que a CMC não possuirá imprecisão provocada pelo efeito de modulação de canal do transistor de saída.

O amplificador operacional está trabalhando como um seguidor de tensão, fixando a tensão do nó de entrada em V_B . Os transistores MGP e MGN estão conectados na configuração dreno comum, porém, dependendo do sentido da corrente de entrada, um dos transistores estará em corte. Quando a corrente estiver entrando, o transistor NMOS estará em corte e toda a corrente passa pelo transistor PMOS. A situação análoga acontece quando a corrente estiver saindo da estrutura.

Por simplicidade, o amplificador operacional utilizado na implementação do transportador de corrente será idêntico ao RFC empregado na CMC. O dimensionamento do transistor MGS são feitos levando em consideração a estabilidade do RFC.

5.2.1 ESPELHO DE CORRENTE DO SAMPLE-HOLD (CMSH)

As correntes possuem os sentidos apresentados na Figura 3.13. Logo, é necessário que este espelho de corrente seja de canal P. Idealmente, esta estrutura possuiria elevada precisão, porém para que isso ocorra na prática, é necessário atentar para o erro provocado pelo descasamento dos transistores. Portanto, para garantir a precisão do espelho de corrente considerando os erros de descasamento, o projeto do mesmo foi feito utilizando o modelo proposto por Pelgrom em [18].

Existe uma razão de aspecto mínima para garantir o bom funcionamento do espelho de corrente. Esta dependerá dos limites de excursão da corrente de entrada do sistema. No caso, o limite de excursão será igual ao intervalo definido pelas correntes de referência. O esquemático do CMSH está ilustrado na Figura 5.6.

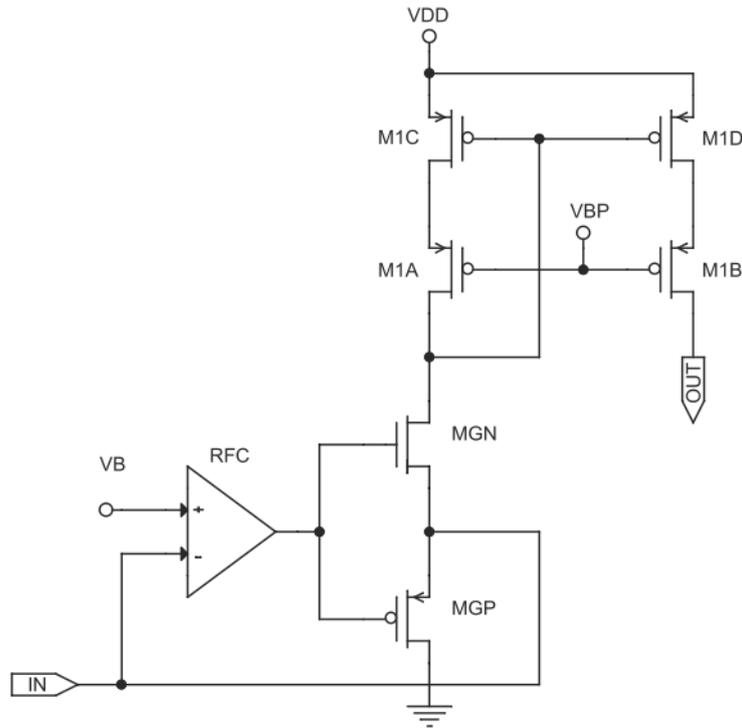


Figura 5.6: Esquemático do CMSH.

Aplicando a equação (A.22), a razão de aspecto mínima que, garante o bom funcionamento do espelho de corrente, é dada pela equação (5.26).

$$\left(\frac{W}{L}\right)_{M1} \geq 5,2862 \quad (5.26)$$

Sendo assim, pode ser adotada a razão de aspecto igual a 7. Portanto, aplicando a equação (A.18), chegaremos ao intervalo apresentado em (5.27).

$$1,6754 \leq VBP \leq 1,7658 \quad (5.27)$$

Foi adotado VBP igual a $1,72 V$. São determinadas as dimensões dos transistores empregando o modelo de Pelgrom através da equação (B.13). O espelho de corrente foi

dimensionado de modo a garantir um desvio padrão relativo menor do que 0,3%. Logo, a estrutura foi projetada para possuir mais do que 8 *bits* de precisão. Dessa forma, os transistores possuem as dimensões exibidas na Tabela 5.3.

Tabela 5.3: Parâmetros dos transistores M1.

	M1A	M1B	M1C	M1D
W	63 μm	63 μm	63 μm	63 μm
L	9 μm	9 μm	9 μm	9 μm
M	1	1	1	1

Quando empregado na célula de memória de corrente, o RFC não apresentava problemas de estabilidade. Pois, a mesma foi garantida através da carga capacitiva. No caso do CMSH, a estabilidade será assegurada através dos transistores *MGP* e *MGN*. As dimensões foram determinadas através da análise dos resultados obtidos por simulação e os valores encontrados estão apresentados na Tabela 5.4.

Tabela 5.4: Parâmetros dos transistores do CMSH.

	MGN	MGP
W	30 μm	30 μm
L	3 μm	3 μm
M	5	5

Além da área ocupada, a razão de aspecto deve ser grande o suficiente de modo que não interfira na capacidade do circuito em fixar o nível de tensão correto na entrada do CMSH. Dessa forma, a corrente na saída do CMC não será alterada devido ao efeito de modulação de canal.

5.2.2 ESPELHO DE CORRENTE DO DAC (CMDAC)

Os sentidos das correntes deste bloco estão conforme a Figura 3.13. Sendo assim, a técnica descrita no Apêndice B.3 pode ser aplicada na construção do mesmo, resultando no circuito da Figura 5.7.

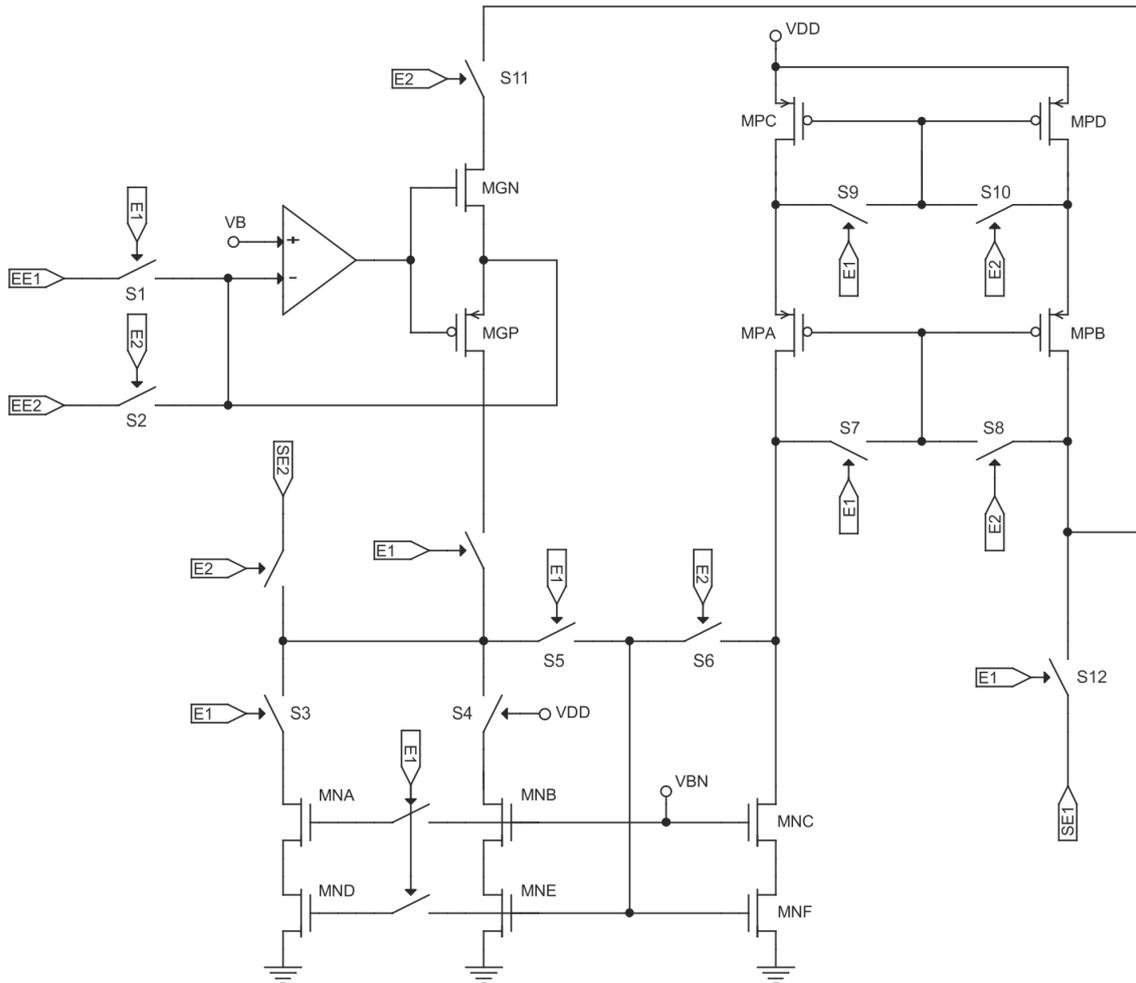


Figura 5.7: Esquemático do CMDAC.

Este bloco possui duas etapas de operação. Nas duas situações teremos um transportador bidirecional de corrente seguido por dois espelhos de corrente conectados em cascata. Durante a primeira etapa, E1, teremos a sequência NMOS-PMOS. E na segunda etapa, E2, a sequência se torna PMOS-NMOS. Na Tabela 5.5 são apresentadas algumas características do circuito de acordo com cada etapa.

Tabela 5.5: Comportamento do CMDAC durante cada etapa.

	E1	E2
Terminal de Entrada	EE1	EE2
Terminal de Saída	SE1	SE2
Razão NMOS	2:1	1:1
Razão PMOS	1:1	1:1

Durante o algoritmo de aproximações sucessivas é necessário realizar uma divisão por dois para encontrar o valor médio dentro do intervalo de busca. Isto é realizado através do espelho de corrente NMOS e o espelho de corrente PMOS é conectado em cascata apenas para garantir o sentido desejado para a corrente de entrada da CMC_{DAC} . Após a comparação, a saída do DAC será copiada para uma das células de memória de modo a atualizar um dos limites do intervalo de busca, por causa disso as duas estruturas devem operar com razão 1:1.

A razão PMOS é constante durante todo o processo, enquanto a razão NMOS é modificada. Além disso, os transistores de canal P empregados na primeira etapa são novamente empregados na segunda etapa, porém no terminal oposto. No caso dos transistores NMOS, este comportamento é seguido apenas parcialmente e o restante dos componentes são desconectados do circuito, conforme apresentado na Figura 5.8. Isto implica diretamente no desempenho da técnica descrita no Apêndice B.3. Logo, a estrutura será mais sensível ao descasamento dos transistores NMOS.

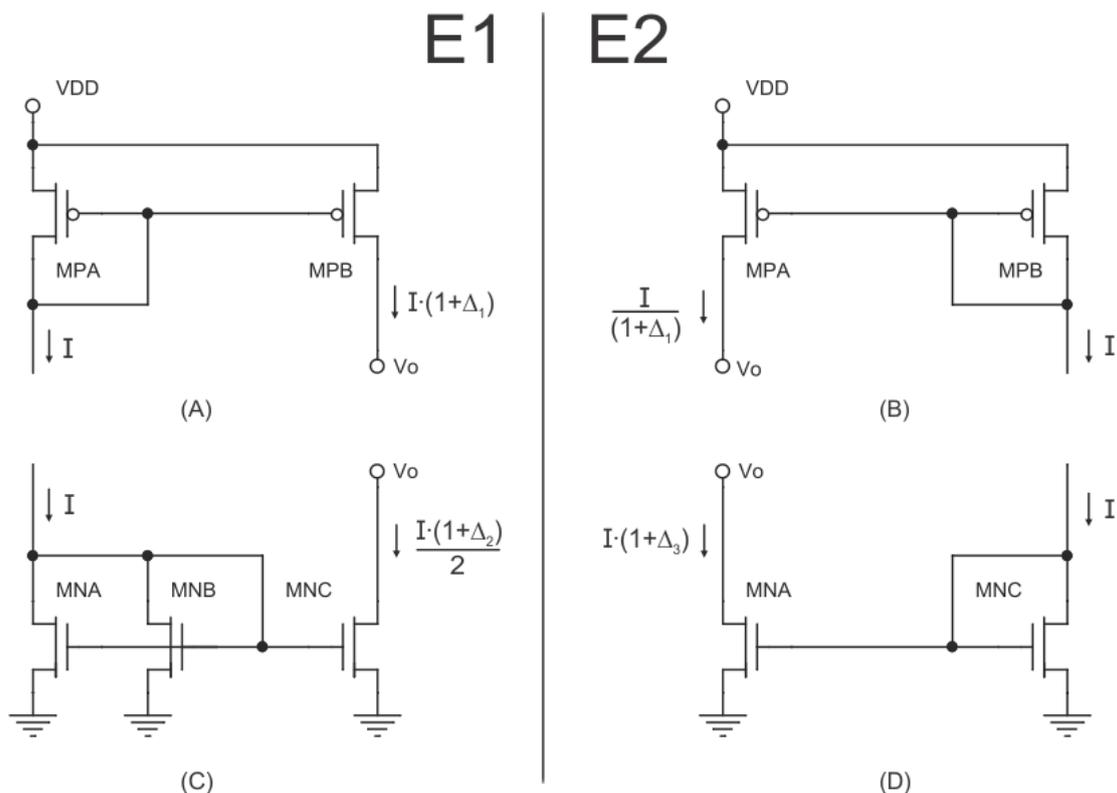


Figura 5.8: PMOS: (A) Em E1. (B) Em E2. NMOS: (C) Em E1. (D) Em E2.

O ganho do espelho de corrente depende da razão entre as dimensões dos transistores de saída e as dimensões dos transistores de entrada. Portanto, ao permutarmos os transistores de entrada com os de saída, o ganho obtido é inversamente proporcional ao ganho encontrado previamente. Esta propriedade também pode ser aplicada quando ocorre o descasamento de transistores, porém com restrições. Quando ocorre permutação plena entre os transistores de entrada e os transistores de saída, o ganho inversamente proporcional é alcançado, conforme ilustrado na Figura 5.8. A permutação plena é uma condição necessária para encontrar o ganho inversamente proporcional, pois, como os transistores não são idênticos, as suas correntes de dreno também são distintas, portanto, teremos $\frac{I_{DMNC}}{I_{DMNB}} \neq \frac{I_{DMNC}}{I_{DMNA}}$ e ambas diferentes de $(1 + \Delta_2)$. Logo, como $\frac{I_{DMNC}}{I_{DMNA}} \neq (1 + \Delta_2)$, então $(1 + \Delta_3) = \frac{I_{DMNA}}{I_{DMNC}} \neq \frac{1}{(1+\Delta_2)}$. Portanto, quando não ocorrer a permutação plena, o ganho encontrado durante $E2$ não será inversamente proporcional ao ganho encontrado durante $E1$. Este é o princípio básico da técnica do Apêndice B.3.

A técnica do Apêndice B.3 permite reduzir as dimensões dos transistores PMOS, pois a mesma garante menor sensibilidade em função do descasamento. Porém, esta característica não ocorre para os transistores NMOS, pois apesar de ocorrer a diminuição da sensibilidade, esta não é praticamente total.

A velocidade de operação é um fator a ser considerado no dimensionamento dos transistores. Isto impõe um limite superior para o tamanho dos transistores. Por outro lado, o limite inferior é consequência do modelo de Pelgrom para descasamento.

O primeiro passo para o projeto do espelho de corrente PMOS é encontrar a razão de aspecto mínima que satisfaça as especificações. Este parâmetro pode ser obtido através da equação (A.22), resultando em (5.28).

$$\left(\frac{W}{L}\right)_{MP} \geq 5,2862 \quad (5.28)$$

A equação anterior garante o transporte da corrente, porém esta não é a única condição necessária. Além da função primária, o CMDAC deve ser capaz de fixar o nó de terra virtual corretamente. Isto impõe um novo limite inferior para a razão de aspecto dos transistores, mas este não será equacionado. Uma razão que satisfaça estas condições foi encontrada através dos resultados obtidos por simulação e a mesma é igual a 15.

Ao dimensionar os transistores, é importante considerar a velocidade do circuito, a sensibilidade em função do descasamento e a impedância de saída. A precisão do circuito e a impedância de saída são proporcionais ao tamanho do transistor, porém a velocidade possui relação inversa. Além disso, o circuito se torna mais lento a medida que a corrente diminui. Logo, o critério adotado para o dimensionamento dos transistores é empregar as maiores estruturas possíveis que consigam ser carregadas dentro do tempo disponível. No caso, este é igual a metade da largura de pulso de uma fase e as dimensões estão de acordo com a Tabela 5.6.

Tabela 5.6: Transistores PMOS do CMDAC.

	MPA	MPB	MPC	MPD
W	10,5 μm	10,5 μm	10,5 μm	10,5 μm
L	0,7 μm	0,7 μm	0,7 μm	0,7 μm
M	1	1	1	1

Segundo o modelo de Pelgrom, o espelho de corrente PMOS implementado possui desvio padrão relativo da corrente de saída inferior a 3%. Portanto, a estrutura ainda é consideravelmente sensível ao descasamento, mas este problema será contornado através da técnica do Apêndice B.3. Durante as duas etapas, os transistores empregados são os mesmos, porém suas respectivas posições são permutadas. Quando isso ocorre, a técnica utilizada é capaz de reduzir drasticamente a sensibilidade em função do descasamento.

A mesma técnica será empregada no espelho de corrente NMOS, mas de forma menos eficiente. E isto acontece porque apenas parte dos transistores permutam suas funções, enquanto o conjunto restante é desconectado do circuito. Como novamente os três parâmetros de desempenho citados possuem papel importante no projeto da estrutura, os transistores do espelho NMOS precisam ser grandes o suficiente de modo a garantir baixa sensibilidade em função do descasamento de componentes.

O primeiro passo é determinar qual a razão de aspecto mínima que satisfaça os requisitos do sistema e isto é feito através da (A.22). O resultado encontrado é apresentado na equação (5.29).

$$\left(\frac{W}{L}\right)_{MN} \geq 3,9186 \quad (5.29)$$

Através da equação anterior é determinada a razão de aspecto mínima empregada no sistema. No caso, a mesma é igual a 5. Usando esta informação e a equação (B.13), é possível dimensionar os transistores aplicando o modelo de Pelgrom. Num espelho de corrente cascode, os transistores MNA-MNC não possuem grande influência no erro provocado pelo descasamento, logo, estes podem ser reduzidos sem perda considerável de desempenho. Apesar de diminuir a impedância de saída, esta medida é interessante para tornar o chaveamento mais rápido. Dessa forma, o circuito foi projetado inicialmente pelo modelo de Pelgrom e depois ajustado por meio de simulações. Os transistores NMOS obtidos estão de acordo com a Tabela 5.7.

Tabela 5.7: Transistores NMOS do CMDAC.

	MNA	MNB	MNC	MND	MNE	MNF
W	$35 \mu m$	$35 \mu m$	$35 \mu m$	$70 \mu m$	$70 \mu m$	$70 \mu m$
L	$7 \mu m$	$7 \mu m$	$7 \mu m$	$14 \mu m$	$14 \mu m$	$14 \mu m$
M	1	1	1	1	1	1

Segundo o modelo de Pelgrom, a estrutura apresentada na Tabela 5.7 apresenta desvio padrão relativo na saída inferior a 0,3%.

Além de ser usado no dimensionamento dos transistores, este método também foi empregado para determinar a tensão de polarização que obtivesse maior precisão. No caso, o resultado encontrado foi de 1,2 V.

Durante a primeira etapa do procedimento, o espelho NMOS estará operando com razão 2:1, portanto, idealmente, teremos metade da corrente de entrada passando por MNA e a outra metade passando por MNB. Isto aconteceria porque o circuito estaria balanceado, porém como a chave *S3* possui resistência, esse balanceamento é perdido. Para contornar a situação, é necessário conectar a chave *S4*, que sempre estará fechada.

Um aspecto importante no CMDAC é o nó de terra virtual em sua entrada. Para que isto seja mantido, é importante que as chaves *S1* e *S2* não representem uma queda de tensão significativa. Portanto, as mesmas devem possuir dimensões maiores, conforme apresentado na Tabela 5.8. Segundo o projeto, a queda de tensão relativa provocada pela resistência é menor do que 10%.

Tabela 5.8: Chave NMOS de baixa resistência de condução.

	MGN
W	14 μm
L	0,35 μm
M	1

Com exceção de S1 e S2, todas as chaves possuem dimensões mínimas. Portanto, possuem comprimento de canal igual a 0,35 μm e largura de canal de 0,4 μm . Este dimensionamento não apresentou problemas relacionados às injeções de carga.

5.2.3 ESPELHOS DE POLARIZAÇÃO

Estes espelhos de corrente são usados na implementação das fontes de correntes empregadas na polarização da CMC e do RFC. Esta prática é muito comum no projeto de circuitos integrados, pois reduz a quantidade de pinos do chip.

Os módulos das correntes de polarização são iguais nas duas estruturas, porém o mesmo não acontece com os sentidos. Em todos os casos teremos correntes de polarização iguais a 35 μA . Na Figura 5.9 são ilustrados os circuitos a serem projetados.

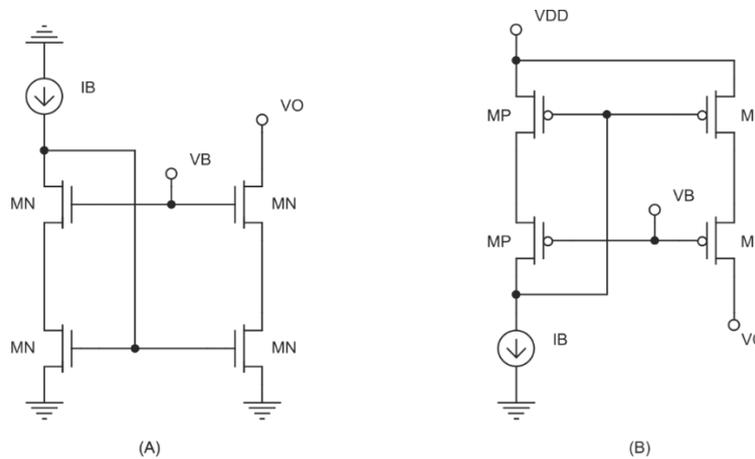


Figura 5.9: Espelhos de Polarização (A) NMOS. (B) PMOS.

A corrente de polarização poderá estar saindo ou entrando no circuito. A primeira situação demanda o uso da estrutura NMOS e o procedimento empregado para o projeto da mesma está de acordo com o apresentado anteriormente. Sendo assim, o primeiro passo é determinar a razão de

aspecto mínima que satisfaça as condições impostas pelo circuito. Esta foi encontrada através da equação (A.22) e o resultado obtido está sendo exibido em (5.30).

$$\left(\frac{W}{L}\right)_N \geq \frac{8 \cdot I_B}{\alpha \cdot k_p \cdot V_{o_{min}}^2} = 3,51 \quad (5.30)$$

Uma vez que a razão de aspecto adotada é igual a 10, teremos o intervalo a seguir para a tensão de polarização. Logo, a tensão de polarização empregada é igual a 1,04 V.

$$0,9755 V \leq V_{BN} \leq 1,1128 V \quad (5.31)$$

O passo seguinte é encontrar as dimensões dos transistores. Estas possuem relação direta com a sensibilidade do circuito em função do descasamento de componentes. Foi especificado o desvio padrão relativo na corrente de saída igual a 0,3 %. Portanto, para estas condições, a equação (B.13) pode ser empregada, resultando em (5.32).

$$L_N \geq 5,9855 \mu m \quad (5.32)$$

Através do resultado anterior e da razão de aspecto adotada, são determinadas as dimensões de cada transistor, conforme apresentado em (5.33).

$$\left(\frac{W}{L}\right)_{MN} = \frac{90 \mu m}{9 \mu m} \quad (5.33)$$

O projeto do espelho PMOS segue o mesmo procedimento. Portanto, a razão de aspecto mínima é apresentada em (5.34). A razão de aspecto adotada é igual a 15.

$$\left(\frac{W}{L}\right)_P \geq 13,35 \quad (5.34)$$

O passo seguinte é determinar a tensão de polarização. O intervalo permitido para este parâmetro é determinado através da equação (A.18) e da razão de aspecto selecionada anteriormente. No caso, foi adotada tensão de polarização igual a 1.98 V.

$$1,9667 V \leq V_{BP} \leq 1,9948 V \quad (5.35)$$

Finalizando o projeto, os transistores são dimensionados seguindo como critério o modelo de Pelgrom para descasamento. Nesse sentido, é buscado um desvio padrão relativo para a corrente de saída inferior a 0,3 %. O comprimento de canal mínimo que satisfaz todas as condições é exibido em (5.36).

$$L_P \geq 5,7907 \quad (5.36)$$

Para garantir todas as condições, são selecionadas, para os transistores PMOS, as dimensões apresentadas em (5.37).

$$\left(\frac{W}{L}\right)_P = \frac{120 \mu m}{8 \mu m} \quad (5.37)$$

5.3 COMPARADOR

O algoritmo de aproximações sucessivas consiste no rastreamento do sinal a ser convertido em intervalos cada vez menores dentro da escala analógica definida pelas correntes de referência. Cada intervalo pode ser dividido em duas partes iguais, ou seja, em duas metades. A função do comparador é identificar a qual metade o sinal de entrada pertence, tornando possível a sequência do algoritmo.

Os comparadores de corrente são popularmente utilizados em sistemas analógicos das mais diversas áreas. Nesse tipo de estrutura, os principais parâmetros de desempenho são: velocidade de operação, consumo de potência e precisão. Em [19] é apresentado um comparador de corrente de desempenho mediano nos três parâmetros. Esta característica é interessante para o conversor proposto, portanto, a topologia apresentada será utilizada neste trabalho, resultando no circuito da Figura 5.10.

transistores NMOS possuem dimensões mínimas e os transistores PMOS possuem razão de aspecto três vezes maior, pois $\frac{k_N}{k_P} \cong 3$.

Tabela 5.9: Dimensões dos transistores do comparador de corrente.

	MP	MN
W	1,2 μm	0,4 μm
L	0,35 μm	0,35 μm
M	1	1

Como foi visto anteriormente, os bits do vetor de saída do ADC são determinados através da resposta obtida pelo comparador. Esta é definida durante FB, mas será utilizada apenas durante FC. Portanto, é necessário armazenar a saída do comparador durante este intervalo. Para cumprir tal tarefa, é empregado o circuito da Figura 5.11.

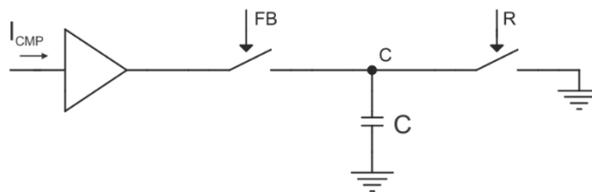


Figura 5.11: Comparador.

Não é necessário usar chaves CMOS no armazenamento da saída do comparador, pois o foco é ser capaz de identificar o nível lógico correspondente da mesma. Logo, o limite de excursão existente no sinal de saída de uma chave NMOS não é problemático, tornando possível o emprego deste tipo de estrutura. Pelo mesmo motivo, o problema de injeções de cargas se torna insignificante.

Quanto menor o capacitor, menor será a área ocupada pelo mesmo. Além disso, este seria carregado mais rapidamente. Logo, o uso de um capacitor pequeno se torna interessante e este será implementado através da capacitância de porta do transistor descrito pela Tabela 5.10.

Tabela 5.10: Dimensões do transistor usado como carga capacitiva.

	MCCMP
W	1 μm
L	1 μm
M	1

5.4 COMPONENTES DIGITAIS

Os componentes digitais do conversor AD por aproximações sucessivas possuem duas funções principais: apresentar na saída o resultado obtido e gerar os sinais de controle. Para cumprir tais tarefas, são empregadas portas lógicas e um registrador de aproximações sucessivas.

5.4.1 REGISTRADOR DE APROXIMAÇÕES SUCESSIVAS (SAR)

O registrador de aproximações sucessivas é o componente digital mais complexo do circuito. O resultado obtido durante a conversão será exibido através deste bloco. Em uma conversão de comprimento N , serão empregados dois conjuntos de N flip-flops (FFs) para implementar este bloco, conforme Figura 5.12.

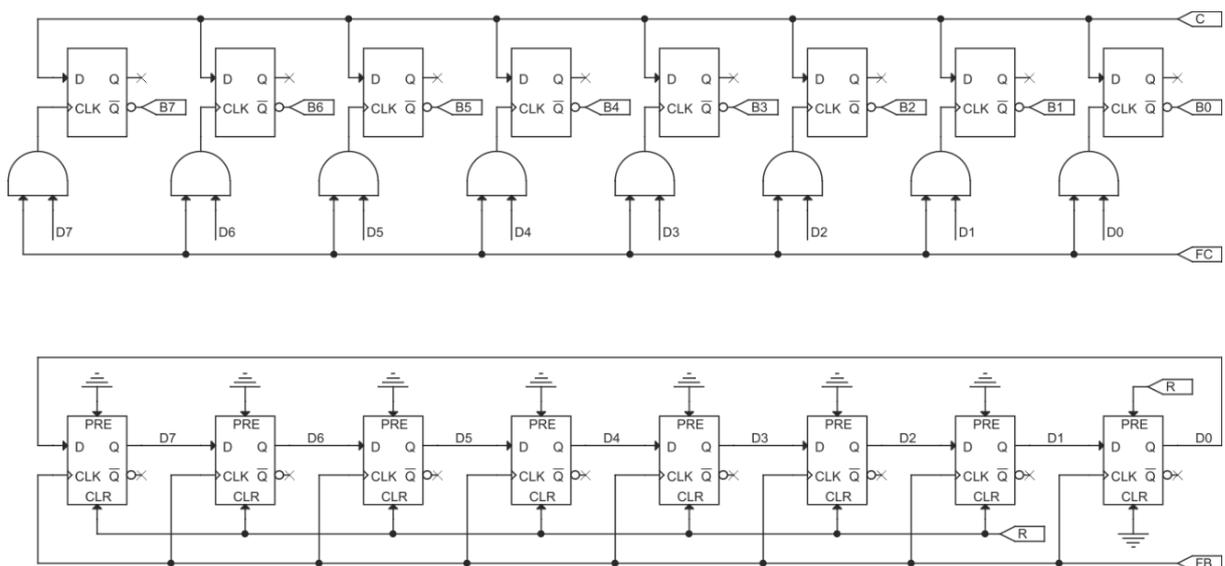


Figura 5.12: Esquemático do SAR.

O conjunto inferior funciona como um registrador de deslocamento, permitindo que o circuito seja capaz de identificar em qual iteração (qual *bit* está sendo gerado) do algoritmo o mesmo se encontra. Sendo assim, o conjunto superior de FFs atualizará o respectivo *bit* do vetor de saída, levando em consideração a saída do comparador de corrente.

Inicialmente, teremos R em nível lógico alto. Portanto, apenas o último FF do registrador de deslocamento possuirá saída em nível lógico alto, enquanto todas as outras estarão em nível lógico baixo. Essa saída será importante para garantir o nível lógico alto no *bit* relativo à primeira interação do algoritmo, o D7. Nada será alterado no outro conjunto de FFs, pois o mesmo atualiza apenas durante FC.

Com o término de R e início de FB, o registrador de deslocamento receberá o seu primeiro pulso de operação, portanto a saída D7 passará para nível lógico alto e as outras estarão em nível lógico baixo, incluindo D0. Sendo assim, a saída do primeiro AND do conjunto superior de FFs estará esperando a próxima ocorrência da fase FC para que a mesma seja alterada para nível lógico alto, o que resultaria em um pulso de operação no primeiro FF do conjunto superior.

Apenas um *bit* de saída será determinado em cada iteração do algoritmo. Isto ocorrerá com o pulso de operação do seu respectivo AND. Pois, através do mesmo, a saída do FF relativo a esse *bit* estará sendo atualizada, se necessária. O valor da saída será o inverso lógico da saída do comparador.

Esta relação pode ser deduzida com o auxílio de (5.39). A saída do comparador é igual a nível lógico alto quando a saída do DAC é maior do que o sinal amostrado, portanto, está localizado na metade inferior. Para a saída digital, estar na metade inferior significa *bit* igual a zero. Em caso de saída do comparador igual a nível lógico baixo, a linha de raciocínio análoga pode ser aplicada.

Esse processo será repetido até que o último *bit* seja obtido. A conversão do sinal amostrado chega ao fim imediatamente antes do sinal R ser repetido. É através do mesmo que a estrutura retornará ao seu estado inicial, tornando possível a conversão de uma nova entrada.

5.4.2 FLIP-FLOP (FF)

Este circuito foi empregado apenas no SAR. Apesar de grande importância na exibição do resultado encontrado, o mesmo pode ser implementado através de poucas portas lógicas, conforme Figura 5.13. Esta topologia é conhecida como mestre-escravo.

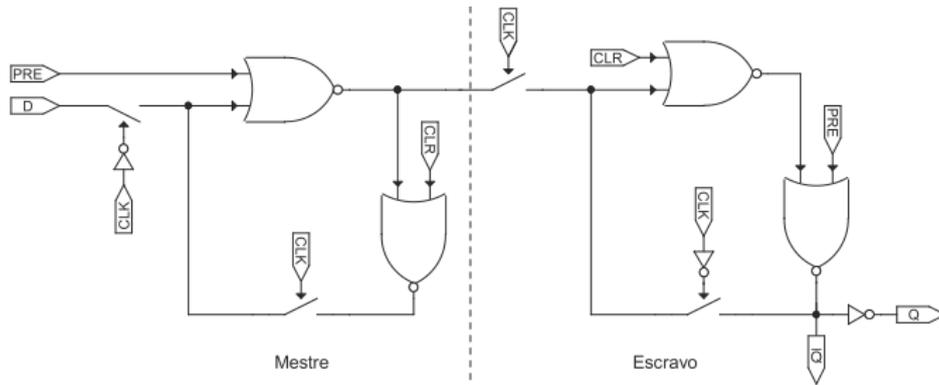


Figura 5.13: Esquemático do FF tipo D.

Com a transição negativa do pulso de *clock*, a entrada do FF escravo estará conectada ao mestre, que está em malha aberta. Enquanto isso, o escravo estará isolado e com malha de realimentação fechada. Portanto, a saída Q permanecerá constante. As capacitâncias nodais do mestre são carregadas com as tensões apropriadas correspondentes ao sinal de entrada [6]. O circuito equivalente corresponde a Figura 5.14.

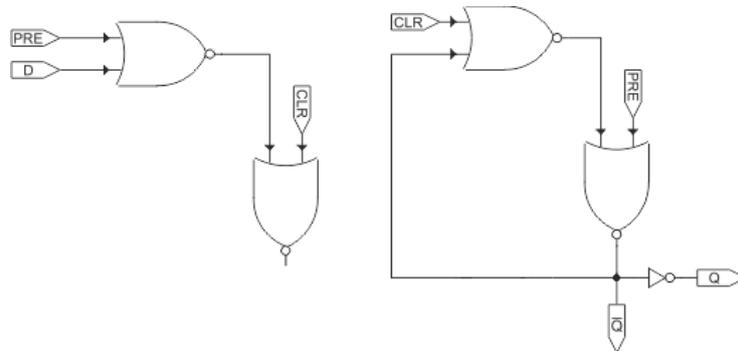


Figura 5.14: Circuito equivalente do FF para $CLK = V_{SS}$.

Com a transição positiva do pulso de operação, o circuito se comportará de forma análoga a anterior, conforme pode ser previsto pela Figura 5.15. Portanto, teremos o mestre trabalhando em malha fechada e o sinal de entrada estará preso dentro da mesma. Além disso, a saída do mestre está conectada ao escravo em malha aberta. As capacitâncias nodais do escravo são carregadas, garantindo que a entrada do mesmo permaneça constante ao trabalhar em malha fechada novamente, fazendo com que a saída do FF não seja alterada por causa da transição negativa.

Quando o sinal de controle, C , está em nível lógico alto, a entrada I_1 é transmitida até a saída. Por outro lado, quando esse mesmo sinal estiver em nível lógico baixo, a entrada I_2 será transmitida. Sendo assim, o circuito usado corresponde a Figura 5.17.

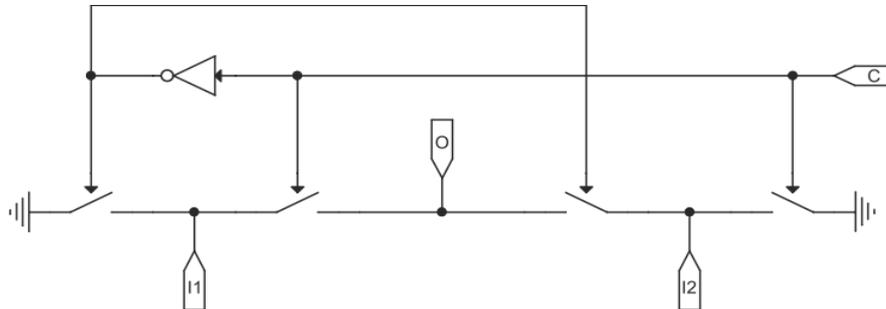


Figura 5.17: Esquemático do Mux de corrente.

5.4.4 PORTAS LÓGICAS

As portas lógicas são os blocos mais básicos do conversor. Estas são empregadas principalmente no chaveamento do circuito. Todos os transistores possuem dimensões mínimas, logo, a largura e o comprimento dos mesmos são iguais a $0.4 \mu m$ e $0.35 \mu m$, respectivamente. Na Figura 5.18 são apresentadas as portas lógicas implementadas.

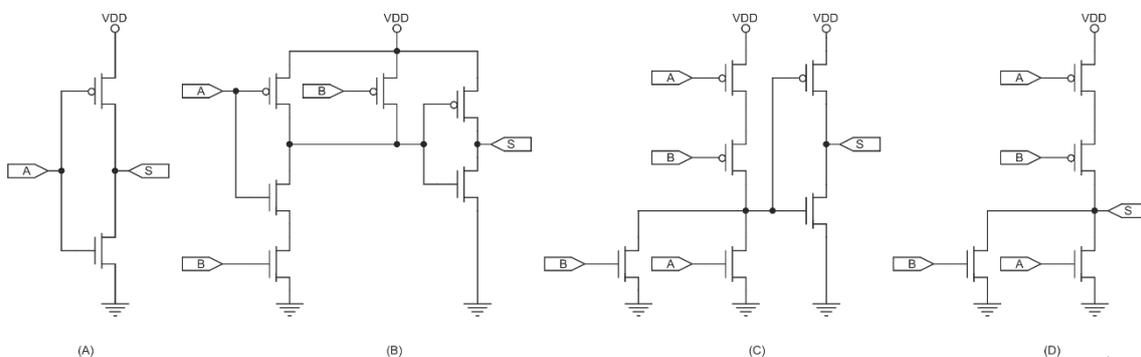


Figura 5.18: Esquemáticos do: (A) NOT. (B) AND. (C) OR. (D) NOR.

O inversor lógico, NOT, apresentará em sua saída o oposto lógico do sinal de entrada. A porta lógica AND foi implementada em dois estágios e sua saída estará em nível lógico alto somente quando ambas as entradas também estiverem, pois nesta condição os transistores NMOS do primeiro estágio conduzirão, garantindo o nível lógico baixo na entrada do segundo estágio. A porta lógica OR também possui dois estágios e possuirá saída em nível lógico baixo somente quando as duas entradas estiverem em nível

lógico baixo. Pois, nesta condição, os transistores PMOS do seu primeiro estágio estarão conduzindo. A porta lógica NOR possui comportamento inverso, portanto, exibirá nível lógico alto na saída somente quando ambas as entradas estiverem em nível lógico baixo.

6 ADC-SAR – SIMULAÇÕES

Neste capítulo serão exibidos os resultados obtidos por simulação no CADENCE das principais estruturas presentes no circuito. Além disso, o desempenho do circuito será comparado com outros conversores encontrados na literatura e também a sua capacidade em se adaptar quanto ao número de bits da conversão será analisada.

6.1 CÉLULA DE MEMÓRIA DE CORRENTE (CMC)

A CMC possui papel fundamental para o bom desempenho do conversor. De acordo com a teoria, esta estrutura deveria apresentar na saída um erro independente do sinal de entrada e inferior a $LSB/5$. Antes de verificar esses aspectos, é importante caracterizar os blocos que fazem parte da célula de memória de corrente.

6.1.1 PAR DIFERENCIAL DE ALTA LINEARIDADE (HLDP)

A principal motivação para o emprego desta estrutura é por causa de sua curva de transcondutância de alta linearidade. Ao compararmos com a topologia usual, a melhora neste quesito é considerável, conforme apresentado pela Figura 6.1.

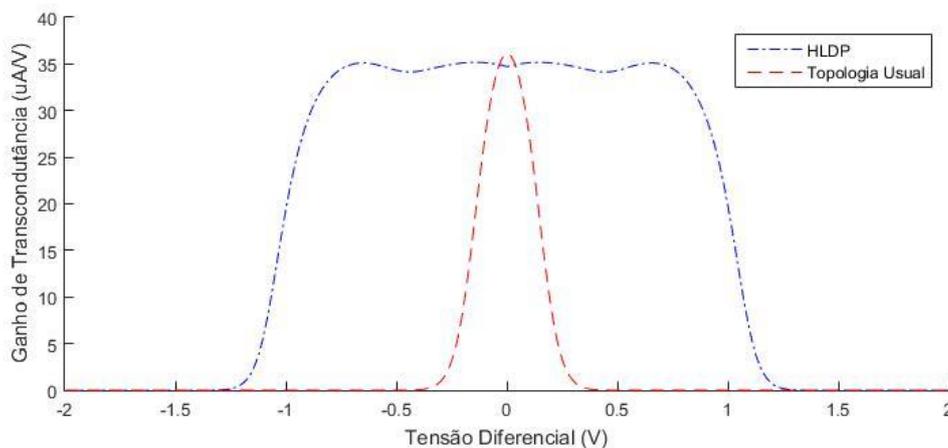


Figura 6.1: Curvas de transcondutância do HLDP e da topologia usual.

Ao analisar a Figura 6.1, torna-se evidente o ganho em linearidade da curva de transcondutância obtida pelo HLDP. Quando a tensão diferencial é aproximadamente nula, o ganho de transcondutância é igual a $34,73 \mu A/V$ e a máxima discrepância relativa em torno do mesmo é de 6,5 %. Esses dois parâmetros e o capacitor de armazenamento contribuem diretamente para o erro da CMC.

É importante simular o desempenho do HLDP em função das não idealidades, como a variação dos parâmetros de processo e/ou descasamento de componentes. Os efeitos causados pelas imperfeições relativas ao processo de fabricação são estudados através da análise de Monte Carlo (MC). Na Figura 6.2 são apresentadas as curvas de transcondutância obtidas através do HLDP para esse tipo de análise considerando os dois tipos de não idealidades.

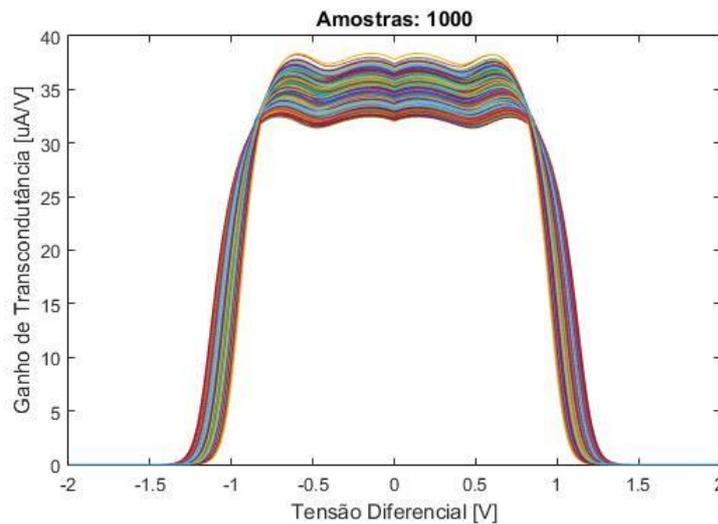


Figura 6.2: Resultado da Análise de MC da curva de transcondutância do HLDP.

A partir das curvas da análise de Monte Carlo, é realizada a distribuição estatística da transcondutância média e da máxima discrepância em torno da mesma, resultando nos histogramas da Figura 6.3. A variação na discrepância máxima é baixa, corroborando o que foi previsto na teoria ao empregar o HLDP e possibilitando a implementação de uma célula de memória com erro na corrente de saída praticamente constante.

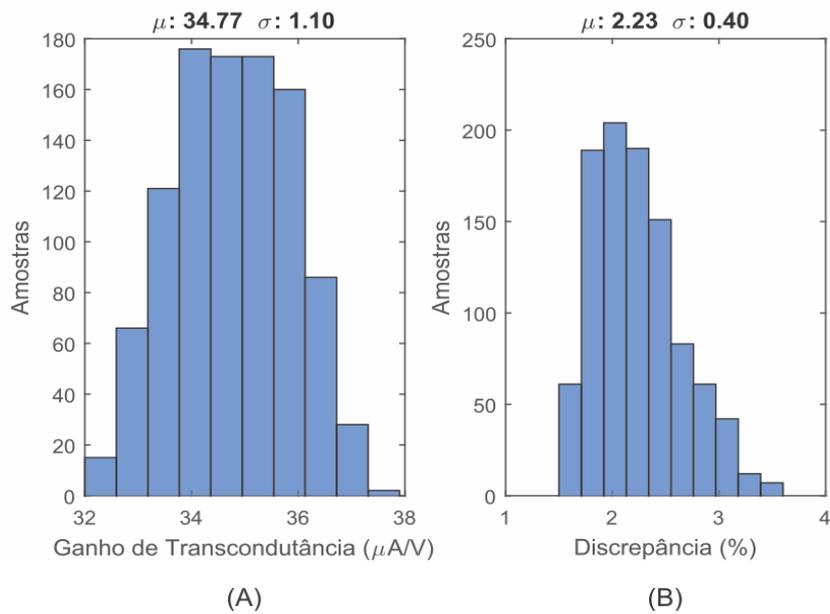


Figura 6.3: Histogramas (A) Ganho de Transcondutância. (B) Discrepância Relativa.

6.1.2 AMPLIFICADOR OPERACIONAL

Para a análise de desempenho do RFC são necessárias diversas simulações. A primeira delas é a resposta em frequência do circuito para uma carga capacitiva igual ao capacitor de armazenamento. O resultado obtido está apresentado na Figura 6.4. Por meio desta é possível identificar que o produto ganho-banda passante é igual a $14,32 \text{ MHz}$, a margem de fase é de $82,4^\circ$ e o ganho DC é igual a $86,92 \text{ dB}$.

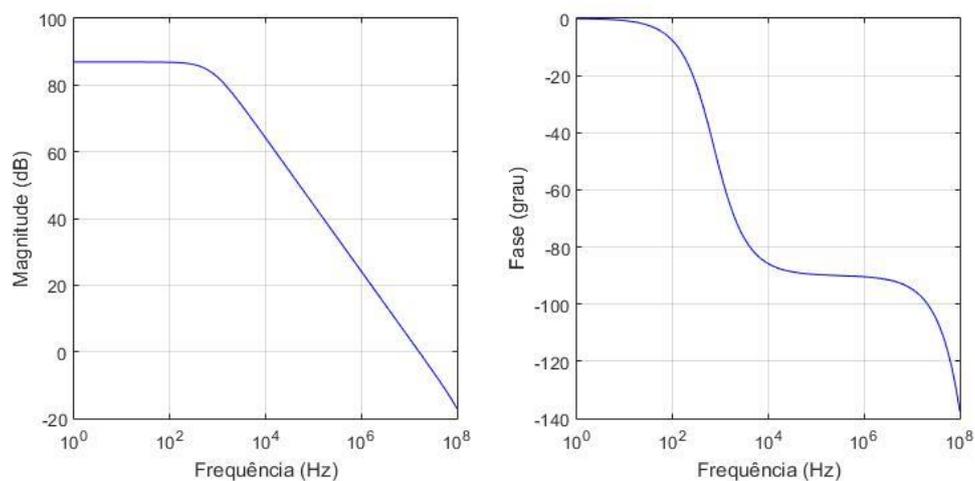


Figura 6.4: Resposta em Frequência do RFC (A) Magnitude. (B) Fase.

O passo seguinte é analisar o desempenho da estrutura considerando os problemas oriundos do processo de fabricação. Para cumprimento de tal tarefa, a análise de Monte Carlo foi empregada novamente, conforme apresentado na Figura 6.5.

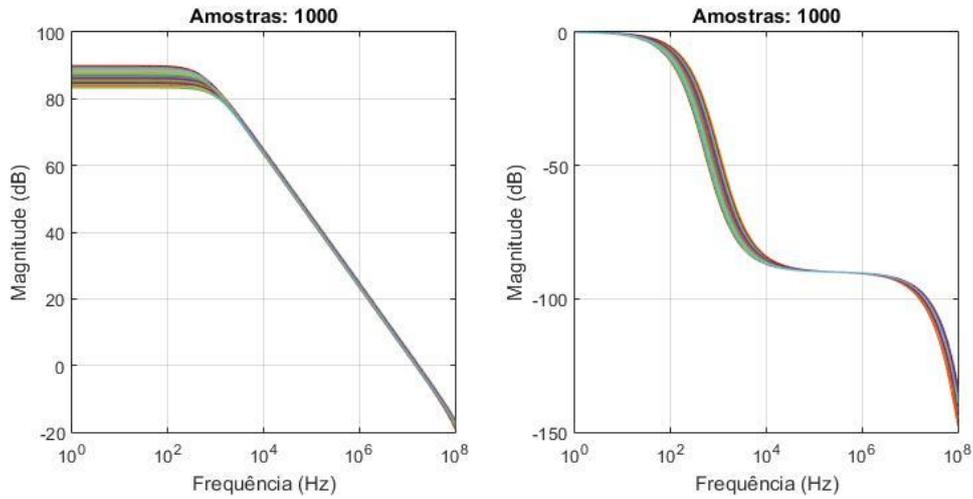


Figura 6.5: Análise de Monte Carlo da resposta em frequência do RFC.

Através dos resultados da análise de Monte Carlo é realizada a distribuição estatística dos seguintes parâmetros: ganho DC, produto ganho-banda passante (GBW) e margem de fase. Os três possuem desempenho satisfatório, conforme visto na Figura 6.6.

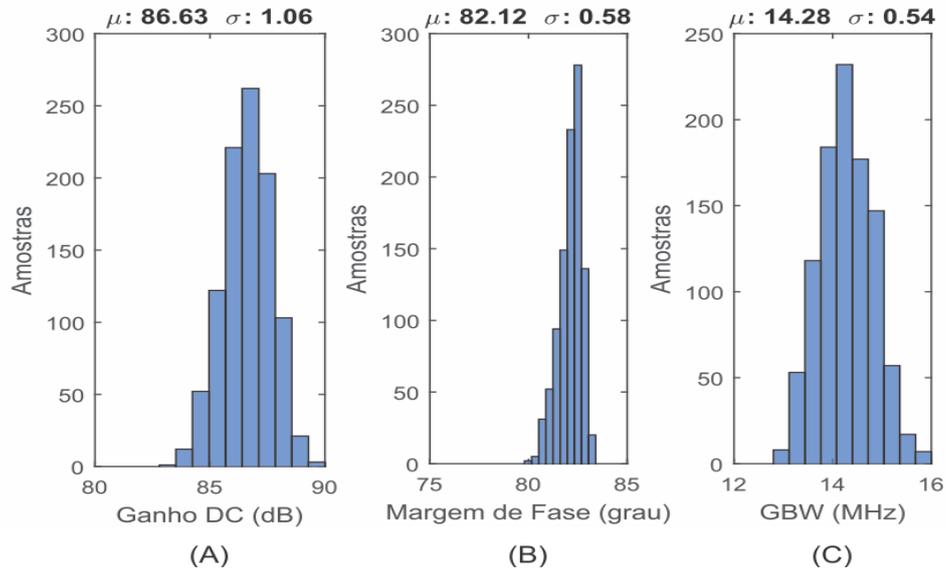


Figura 6.6: Histogramas (A) Ganho DC. (B) Margem de Fase (C) GBW.

Uma vez que a transcondutância desta estrutura é importante para estabilidade, o estudo da mesma se torna crucial. Para tal, é empregado o circuito da Figura 6.7. No caso, a tensão de modo comum é igual a V_B , ou seja, 1,1 V.

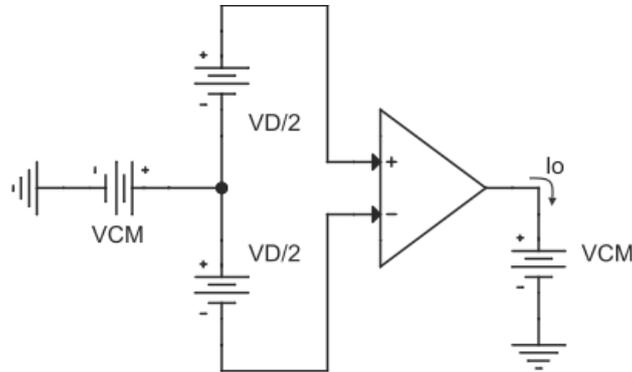


Figura 6.7: Circuito de testes para transcondutância do RFC.

A corrente de saída é obtida pelo esquemático anterior e a sua primeira derivada corresponde a curva de transcondutância. Estes resultados estão na Figura 6.8. A principal função do RFC é estabelecer o nó de terra virtual, portanto, as tensões diferenciais são pequenas. Nesta condição, o ganho de transcondutância é de $241,7 \mu A/V$.

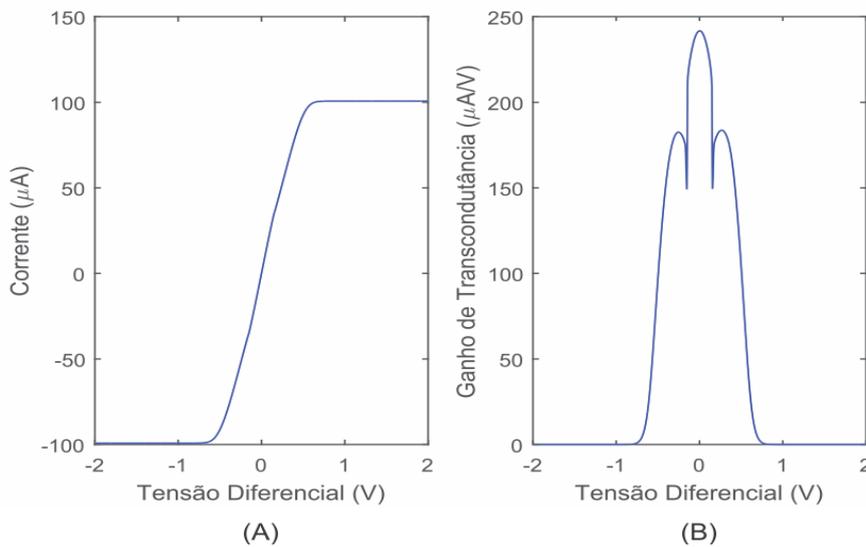


Figura 6.8: (A) Corrente de saída (B) Ganho de Transcondutância.

Outra característica importante no desempenho do RFC é o *slew rate*. O circuito projetado possui *slew rate* de $29\text{ V}/\mu\text{s}$ e *settling time* (1%) igual a 46 ns . Estes são resultados obtidos através da Figura 6.9.

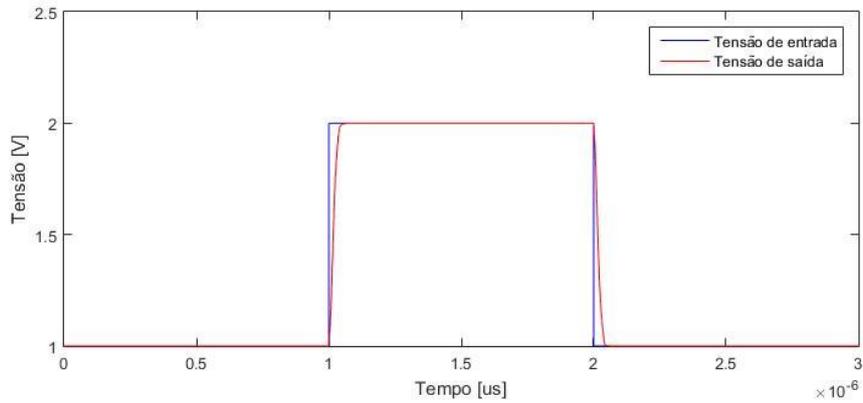


Figura 6.9: Resposta ao degrau do RFC.

O término da caracterização do RFC é alcançado ao simularmos o comportamento da tensão de *offset* nos terminais de entrada. Isto é feito através da análise de Monte Carlo e a distribuição estatística obtida é apresentada na Figura 6.10.

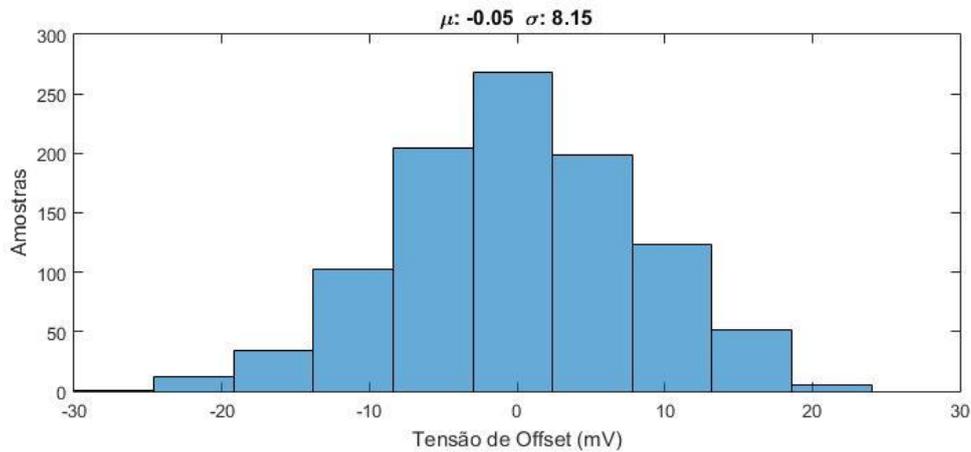


Figura 6.10: Histograma da tensão de desvio na entrada do RFC.

Na Tabela 6.1 são apresentados os parâmetros de caracterização do RFC.

Tabela 6.1: Caracterização do amplificador operacional.

	Resultado
Ganho DC	86,92 dB
GBW	14,32 MHz
Margem de Fase	82,4 °
Transcondutância	241,7 $\mu A/V$
Slew Rate	29 V/ μs
Settling Time (1%)	46 ns
V_{os} (3σ)	24,465 mV

6.1.3 SIMULAÇÕES CMC

Estas estruturas são empregadas principalmente no DAC interno e o desempenho do mesmo depende diretamente da célula de memória. Além da alta precisão, as seguintes características da célula de memória foram exploradas durante a implementação do circuito: erro independente do sinal de entrada e o sentido do mesmo estar relacionado com o sentido da corrente de entrada.

Inicialmente é analisado o comportamento da CMC para uma escada de corrente como sinal de entrada. No caso, os limites da mesma estão de acordo com as correntes máxima e mínima empregadas na mesma e cada degrau é igual a $0,5 \mu A$. O resultado encontrado está de acordo com a Figura 6.11.

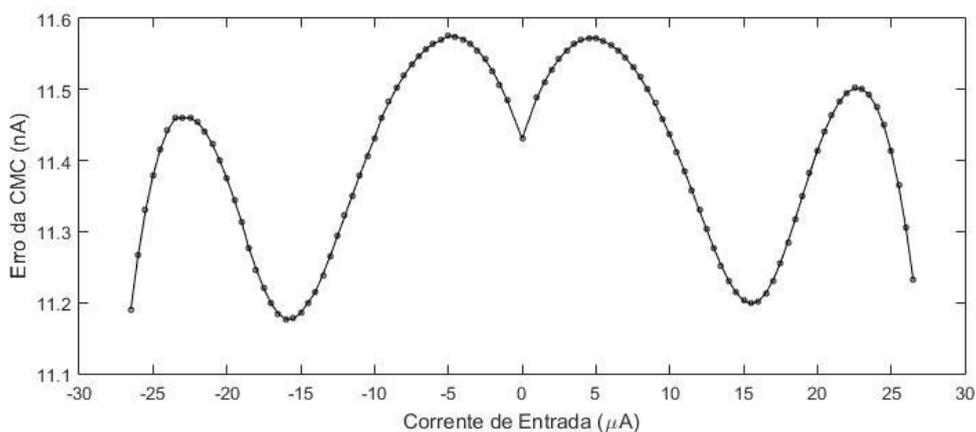


Figura 6.11: Erro da CMC em função da corrente de entrada.

A curva obtida é semelhante a curva de transcondutância do HLDP. Através desta é possível notar que a parcela constante do erro é de $11,43 \text{ nA}$, enquanto a parte não linear é igual a $0,25 \text{ nA}$, nos piores casos. De acordo com a teoria, a parcela constante do erro deveria ser inferior a $\text{LSB}/5$, logo, a estrutura está satisfazendo à condição de projeto.

O erro na saída é visto como um incremento para as correntes positivas, enquanto para correntes negativas ocorre o oposto. Portanto, ao associar duas CMCs em cascata, o resultado obtido na saída possuirá elevada precisão, conforme Figura 6.12.

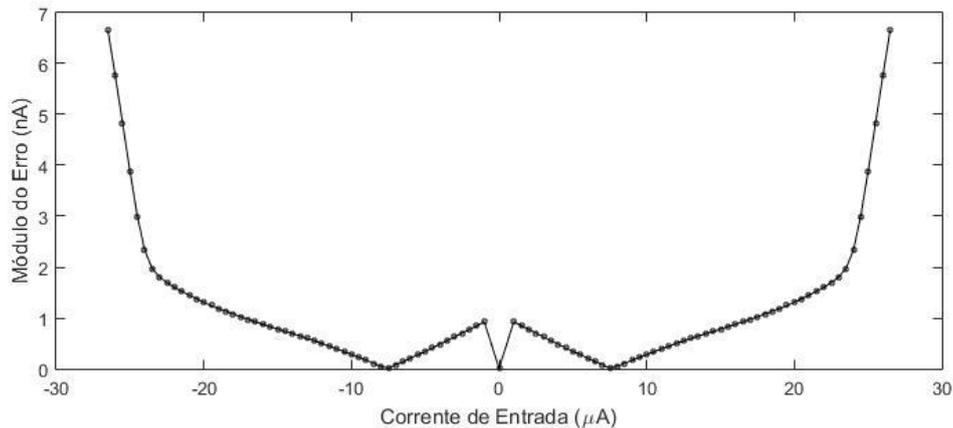


Figura 6.12: Erro obtido para duas CMCs em cascata.

Como a CMC não conserva o sentido da corrente, ao associarmos em cascata duas estruturas, teremos correntes de sentidos diferentes nos terminais de entrada. Portanto, ao somarmos os respectivos erros, os mesmos se cancelam. O cancelamento integral do erro não será obtido, porém o resultado encontrado é satisfatório, pois no pior caso, o mesmo é inferior a $\text{LSB}/14$.

O processo de fabricação é responsável por inserir imperfeições no circuito e as mesmas devem ser estudadas. Através da análise de Monte Carlo são encontradas as alterações no funcionamento da CMC provocado por esse processo e os resultados obtidos estão de acordo com a Figura 6.13. Esta simulação fez uso de 250 amostras para a análise de Monte Carlo.

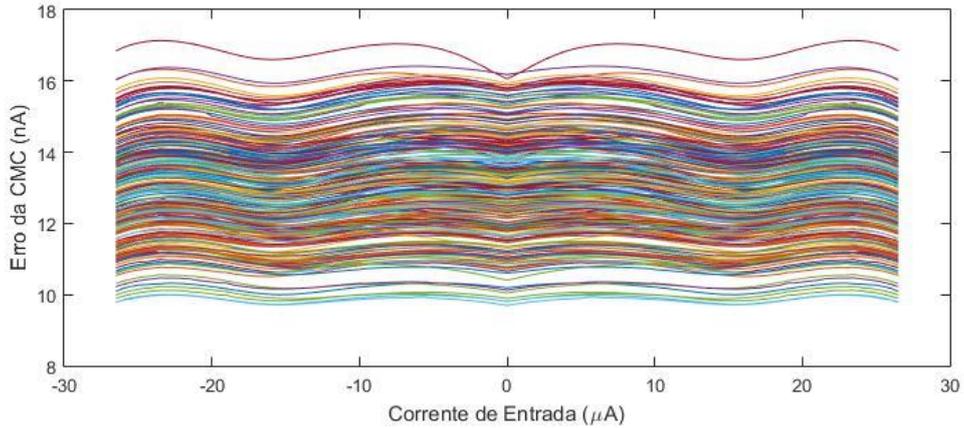


Figura 6.13: Curvas do erro da CMC na análise de Monte Carlo.

Através da análise de Monte Carlo realizada anteriormente, é possível concluir que a parcela constante do erro é afetada pelo processo de fabricação. As curvas obtidas são empregadas na distribuição estatística de alguns parâmetros, conforme Figura 6.14.

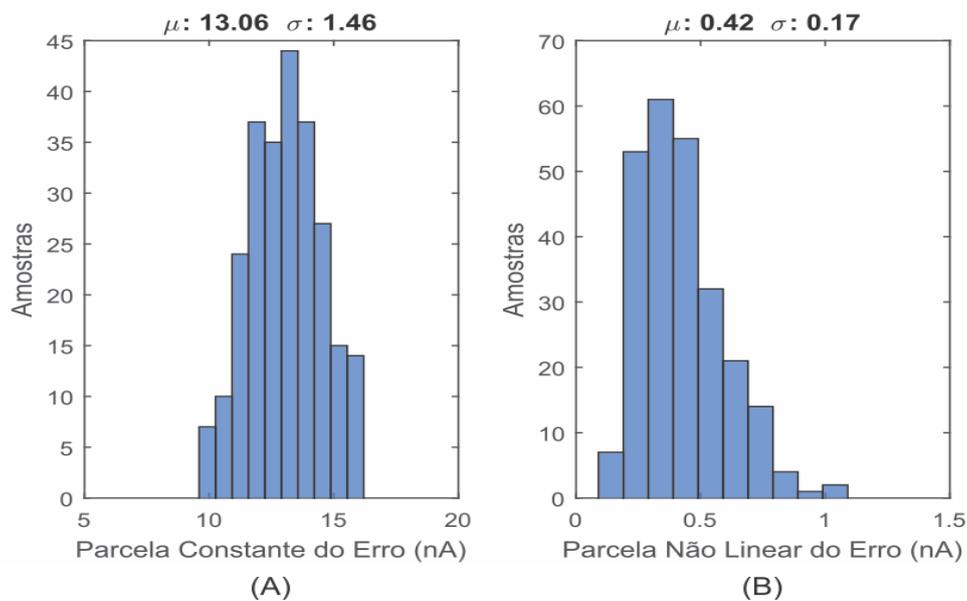


Figura 6.14: Histogramas (A) Erro constante. (B) Erro não linear.

Através das diversas simulações apresentadas nesta seção, é possível perceber que a célula de memória projetada satisfaz os requisitos do sistema. Pela análise de Monte Carlo é garantida a precisão do circuito para praticamente todos os casos, pois o resultado satisfaz a regra dos $\pm 3\sigma$.

6.2 ESPELHOS DE CORRENTE

Embora este tipo de estrutura se faça presente em blocos totalmente diferentes do circuito, existe um parâmetro de desempenho em comum a ser estudado, que é a precisão do circuito em produzir na saída a corrente desejada. Esta propriedade é bastante afetada pelo processo de fabricação e é necessário analisar a sensibilidade do circuito em função do mesmo.

6.2.1 SIMULAÇÕES CSMH

Inicialmente é estudado o comportamento do circuito nas condições nominais. Isto é feito através da varredura DC do sinal de entrada junto da observação do sinal de saída, resultando na reta da Figura 6.15.

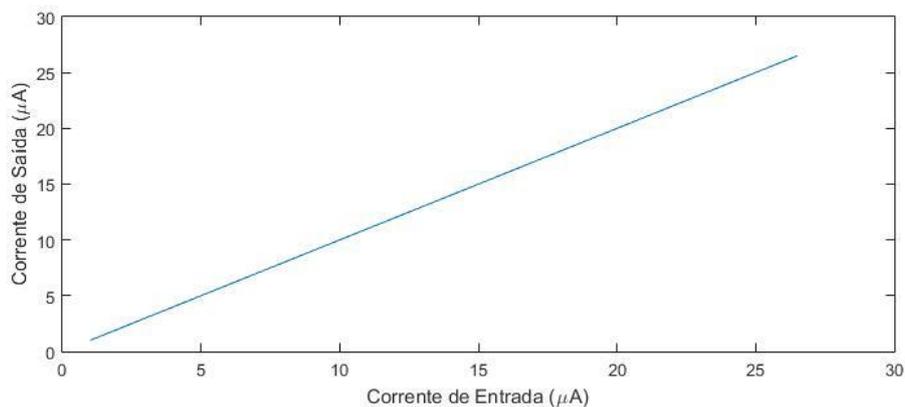


Figura 6.15: Curva de ganho do CSMH.

Foi realizada a regressão linear da reta obtida e os dois coeficientes encontrados estão de acordo com o previsto. O coeficiente angular é aproximadamente igual a $1 A/A$, enquanto o coeficiente linear é de $-0,38 nA$.

O passo seguinte é observar o desempenho do circuito em função do descasamento de componentes gerados durante o processo de fabricação. As curvas de ganho obtidas com a análise de Monte Carlo estão apresentadas na Figura 6.16.

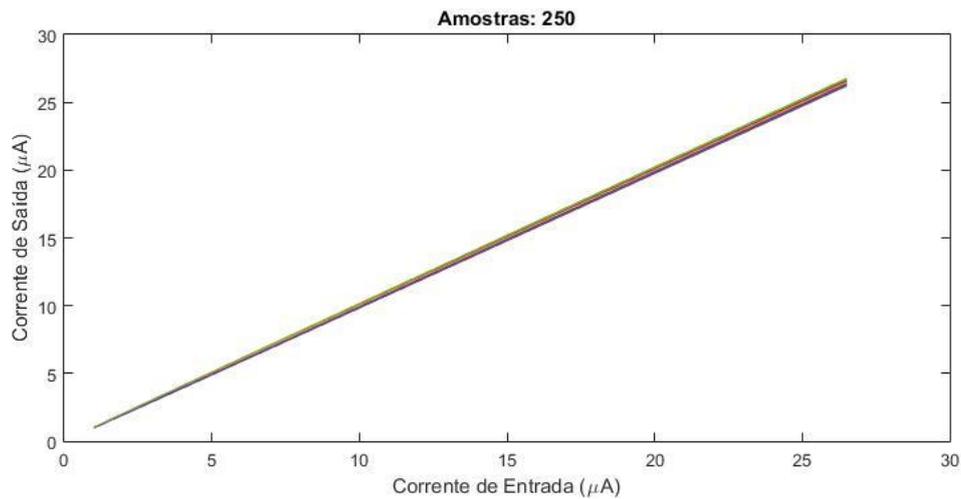


Figura 6.16: Análise de Monte Carlo da curva de ganho do CMSH.

A precisão do circuito não é idêntica para todos os níveis do sinal de entrada. Esta característica é evidenciada na Figura 6.17.

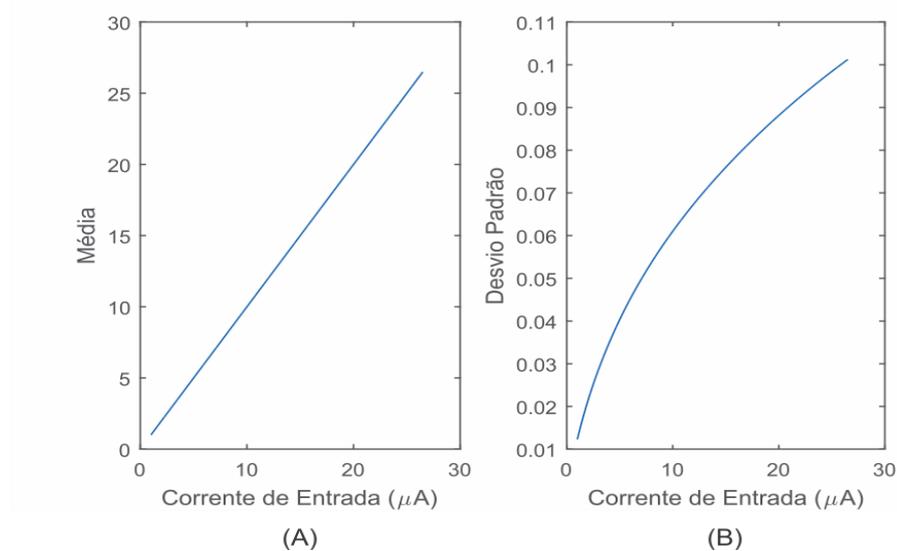


Figura 6.17: Corrente de saída do CMSH (A) Média. (B) Desvio padrão.

O desvio padrão relativo é o parâmetro de desempenho a ser observado. Este é apresentado em função do sinal de entrada na Figura 6.18. Como são empregados os mesmos transistores durante toda a simulação, com a diminuição da corrente, os transistores estão se aproximando da inversão moderada, portanto, é esperado que o desvio padrão relativo aumente. Entretanto, esta situação não será problemática, pois trata-se de um erro porcentual.

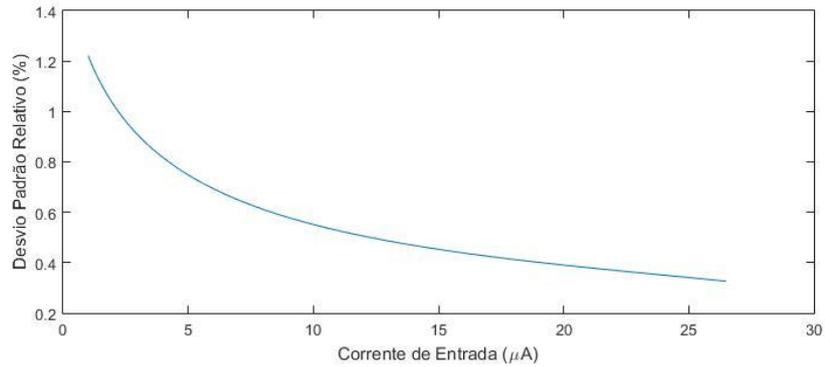


Figura 6.18: Desvio padrão relativo da corrente de saída do CMSH.

6.2.2 SIMULAÇÕES DO CMDAC

Para esta estrutura é importante analisar dois aspectos: a precisão do circuito e a redução do erro prevista. Portanto, o primeiro passo é realizar a análise de Monte Carlo do circuito sem redução do erro. Para isso, é simulado o desempenho da estrutura sem nenhum tipo de chaveamento e o resultado obtido está na Figura 6.19.

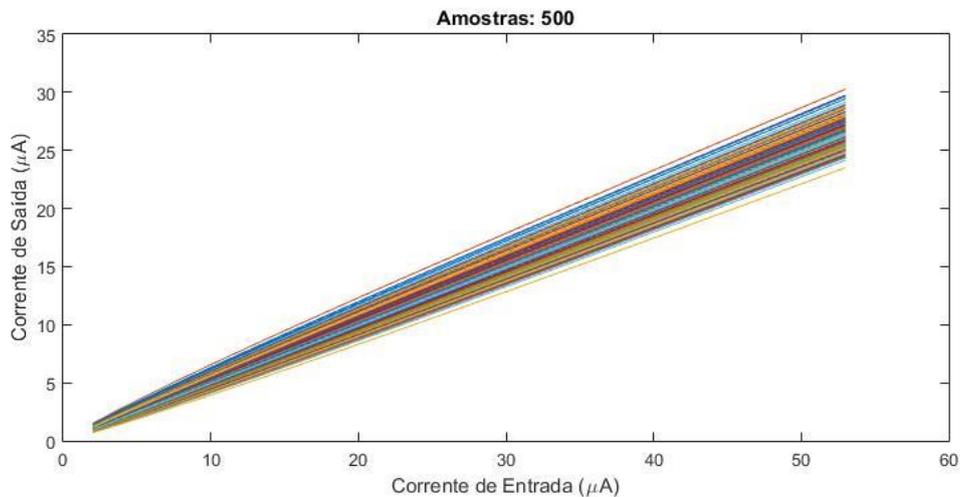


Figura 6.19: Análise de MC da curva de ganho do CMDAC sem redução do erro.

É repetido o procedimento empregado na seção anterior para aprimorar a análise dos dados obtidos, resultando na Figura 6.20.

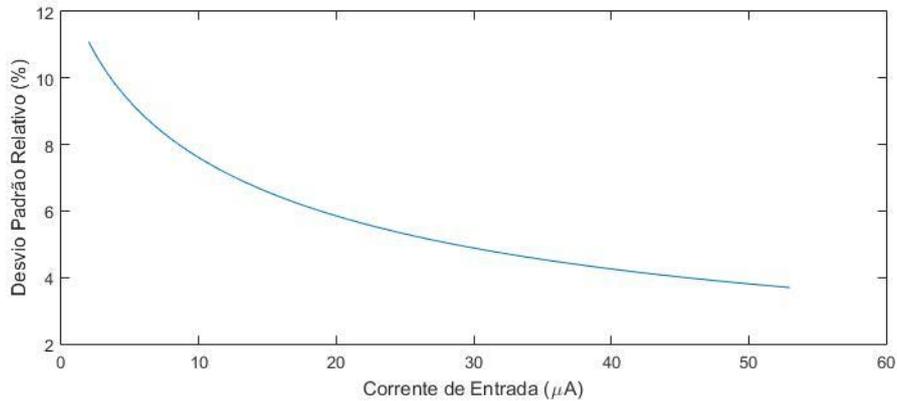


Figura 6.20: Desvio padrão relativo do CMDAC sem redução do erro.

Os resultados encontrados para cada sinal de entrada do CMDAC foram obtidos individualmente. Isto é necessário porque não seria possível realizar dois tipos diferentes de simulação simultaneamente na análise de Monte Carlo. Portanto, são empregados como sinais de entrada a corrente mínima ($2 \mu A$), a corrente máxima ($53 \mu A$) e alguns outros sinais de corrente entre essas duas correntes ($5 \mu A$, $10 \mu A$, $15 \mu A$, ...). Os resultados encontrados para este circuito estão apresentados na Figura 6.21 e estes foram obtidos através de uma análise de Monte Carlo com 500 amostras.

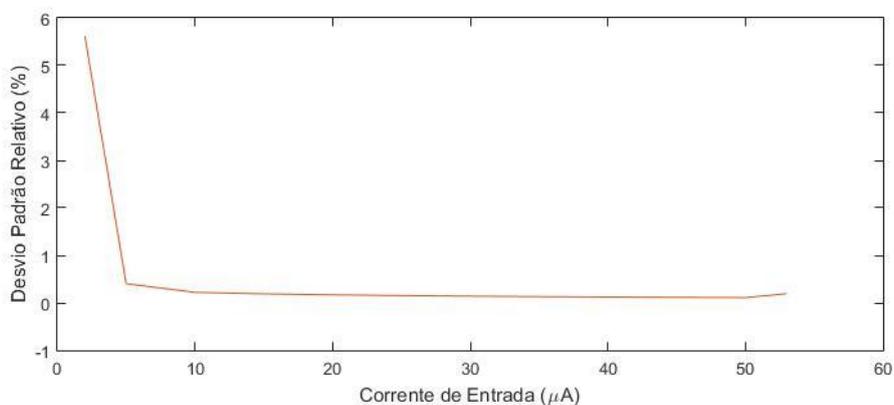


Figura 6.21: Desvio padrão relativo do CMDAC com redução do erro.

Comparando os dois resultados finais, é possível notar que o emprego da técnica descrita em Apêndice B.3 garante melhoria de desempenho. O tempo de carregamento dos transistores é responsável por parte do erro das menores correntes. Para correntes maiores do que $5 \mu A$, o desvio padrão relativo é inferior a 0,4 %.

De acordo com a teoria, o erro do espelho de corrente PMOS seria completamente cancelado, porém o cancelamento da estrutura NMOS seria apenas parcial. Considerando

que o cancelamento do erro da primeira estrutura foi praticamente total, então o erro da segunda foi reduzido pela metade, para as maiores correntes.

6.2.3 SIMULAÇÕES ESPELHOS DE POLARIZAÇÃO

Apesar de possuir papel fundamental para o bom do funcionamento do circuito, estas estruturas são de baixa complexidade e esta característica se propaga nas simulações necessárias para análise de desempenho das mesmas.

Estas estruturas foram projetadas de modo a garantir que o processo de fabricação não fosse capaz de afetar significativamente a precisão do circuito. A análise de Monte Carlo foi empregada para verificar essa característica e a partir da mesma são construídos os histogramas da Figura 6.22.

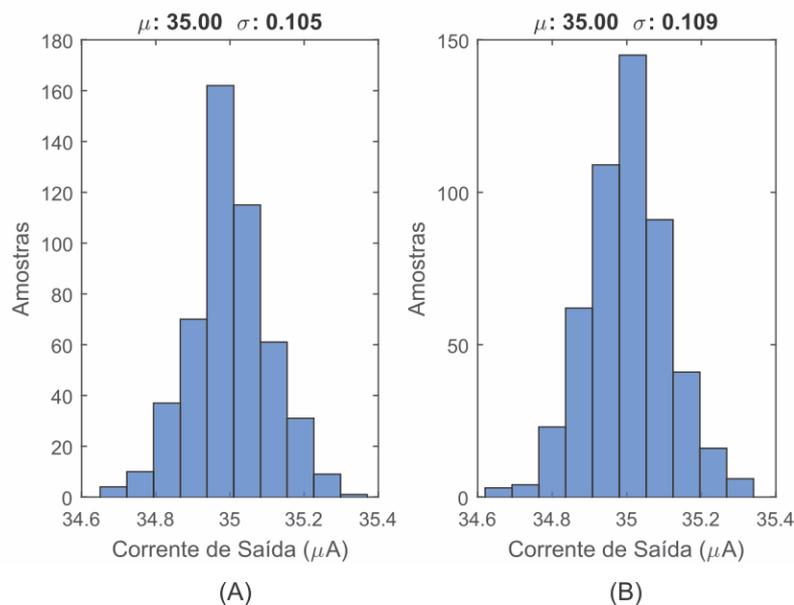


Figura 6.22: Histograma da saída do espelho de corrente: (A) NMOS. (B) PMOS.

O desvio padrão relativo obtido para a corrente de saída da estrutura NMOS é igual a 0,3 %, enquanto para a estrutura PMOS é de 0,31 %. Portanto, em ambos os casos o circuito possui desempenho satisfatório, pois garantem precisão superior a 8 bits.

6.3 COMPARADOR

Idealmente, o comparador de corrente mudaria, instantaneamente, o nível lógico em sua saída quando o sentido da corrente de entrada fosse alterado. Na prática isso não ocorre, pois, a estrutura demanda um tempo de resposta mínimo e um nível de corrente grande o suficiente, em módulo, a ponto de ser detectado.

O tempo disponível para o comparador selecionar o sinal de saída é igual à largura de pulso de um sinal de fase, portanto, este é igual a $4 \mu s$. A velocidade da estrutura é proporcional ao nível de corrente no terminal de entrada. Isto é evidenciado através dos resultados apresentados na Figura 6.23.

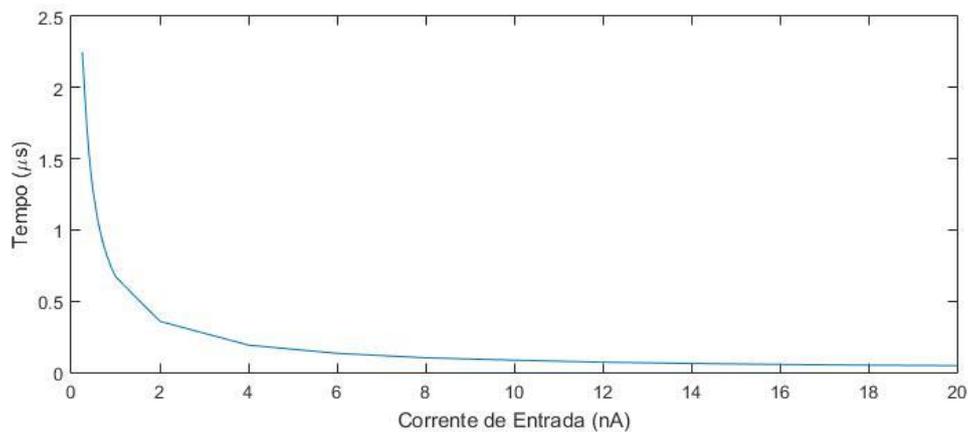


Figura 6.23: Tempo de Resposta do Comparador.

Do ponto de vista prático, é comum adotar que o limite da estrutura acontece na metade do tempo fornecido. Ao analisarmos a Figura 6.23, podemos notar que o limite do comparador ocorre para sinais de corrente algumas centenas de vezes menor do que o *bit* menos significativo.

A cada iteração do algoritmo de aproximações sucessivas, a corrente de entrada do comparador se torna menor. Através da varredura DC do sinal de entrada é encontrado o limite de operação da estrutura, conforme Figura 6.24. Portanto, a estrutura funciona para sinais de entrada de pelo menos algumas centenas de femto-ampere.

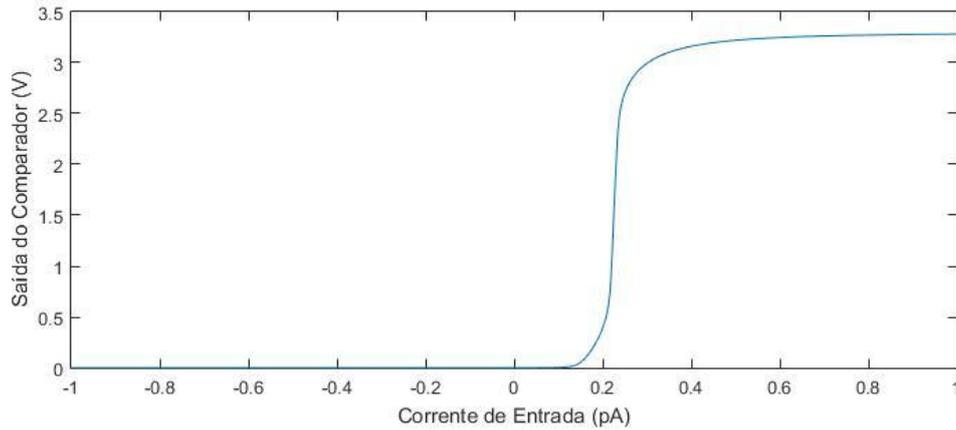


Figura 6.24: Resolução do comparador.

As imperfeições do processo de fabricação inserem uma corrente de desvio na entrada do comparador. Este parâmetro não é encontrado facilmente. No caso, o mesmo foi obtido através da análise de Monte Carlo do laço de histerese do circuito, conforme apresentado na Figura 6.25. Foram utilizadas 500 amostras na análise de Monte Carlo.

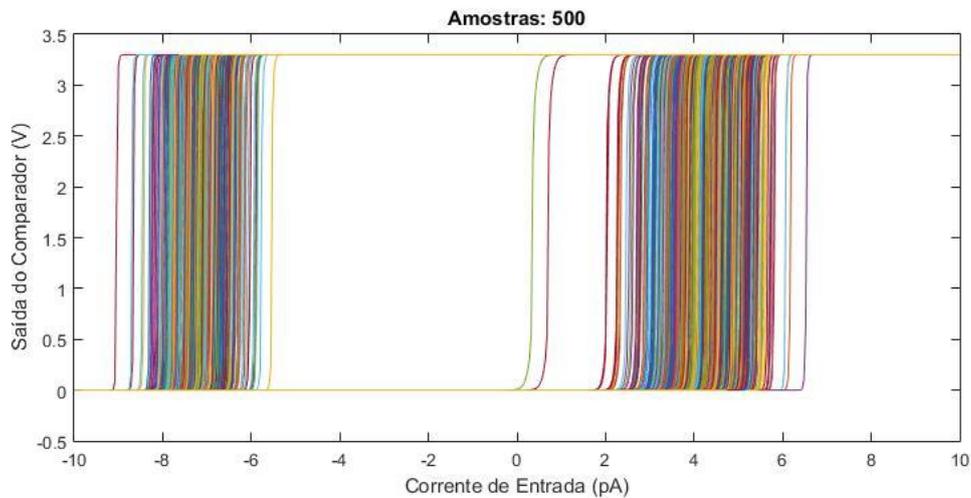


Figura 6.25: Laço de Histerese do Comparador obtido na análise de MC.

É possível encontrar a corrente de desvio inserida em cada iteração da análise de Monte Carlo. A corrente de desvio é o deslocamento que ocorre do ponto médio de cada laço de histerese. Sabendo quanto vale cada uma delas, é possível realizar a distribuição estatística deste parâmetro, resultando no histograma da Figura 6.26.

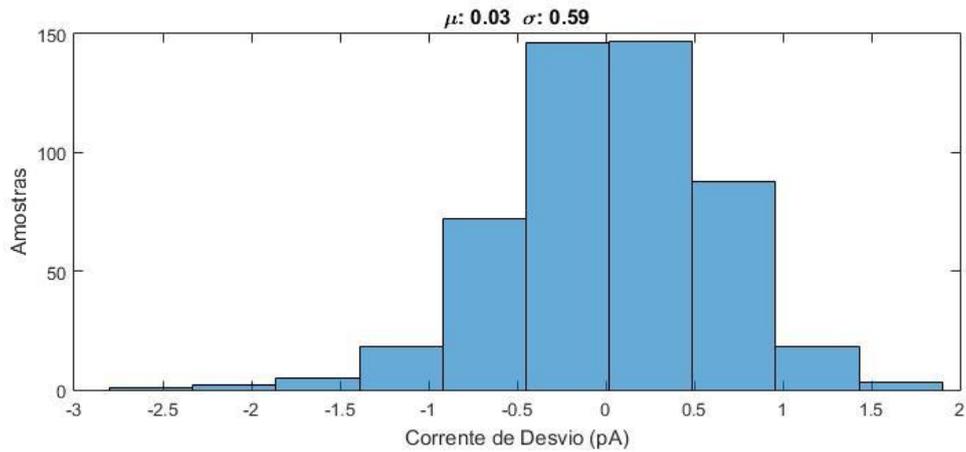


Figura 6.26: Histograma da Corrente de Desvio do Comparador.

A corrente de desvio pode ser desprezada, pois a mesma é muito menor do que o *bit* menos significativo.

6.4 ADC-SAR

Nesta seção são apresentados os principais parâmetros para caracterização de um conversor analógico digital. Além disso, a capacidade de adaptação do ADC ao modificar o número de bits da conversão será testada.

Primeiramente, o circuito foi simulado de modo a obter o ENOB do mesmo. Para isso, foi necessário aplicar na entrada um sinal senoidal de baixa frequência. A resposta do conversor transformada em seu equivalente analógico está na Figura 6.27.

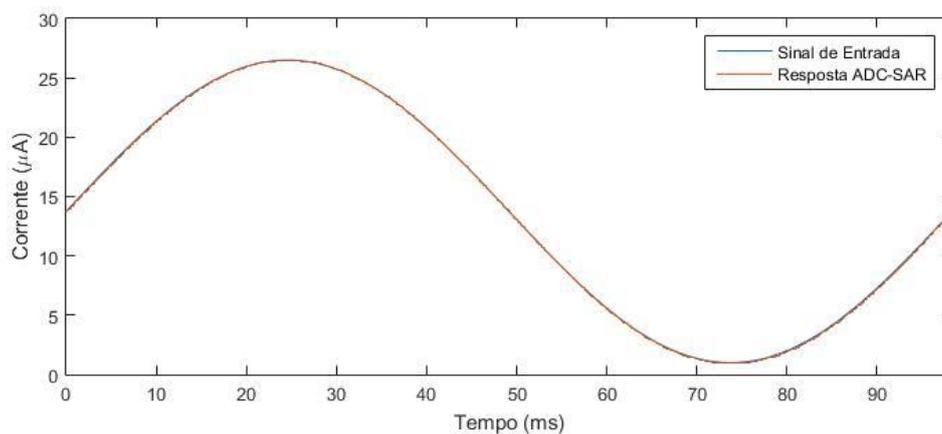


Figura 6.27: Resposta do ADC-SAR para sinal senoidal.

Usando o script descrito no Apêndice C.6 e a resposta do conversor, é possível determinar o ENOB da estrutura. O resultado obtido está na equação (6.1).

$$ENOB = 7,7709 \quad (6.1)$$

Outro parâmetro de desempenho encontrado através desta simulação é a potência média consumida pelo circuito. O valor correspondente está na (6.2).

$$\bar{P} = 2,8 \text{ mW} \quad (6.2)$$

O passo seguinte é determinar a INL e o DNL do circuito. Para isso, é empregado o mesmo procedimento apresentado anteriormente, porém com uma rampa de corrente na entrada. A resposta do ADC-SAR é exibida na Figura 6.28.

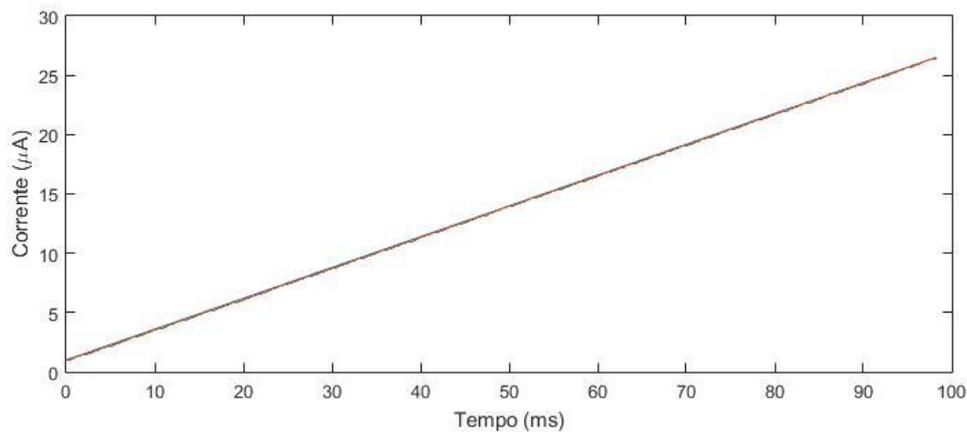


Figura 6.28: Resposta do ADC-SAR para rampa de corrente.

Os parâmetros INL e DNL são calculados através do script descrito em C.7 e da resposta fornecida pelo conversor para uma rampa de corrente na entrada. Os resultados encontrados estão de acordo com a Figura 6.29.

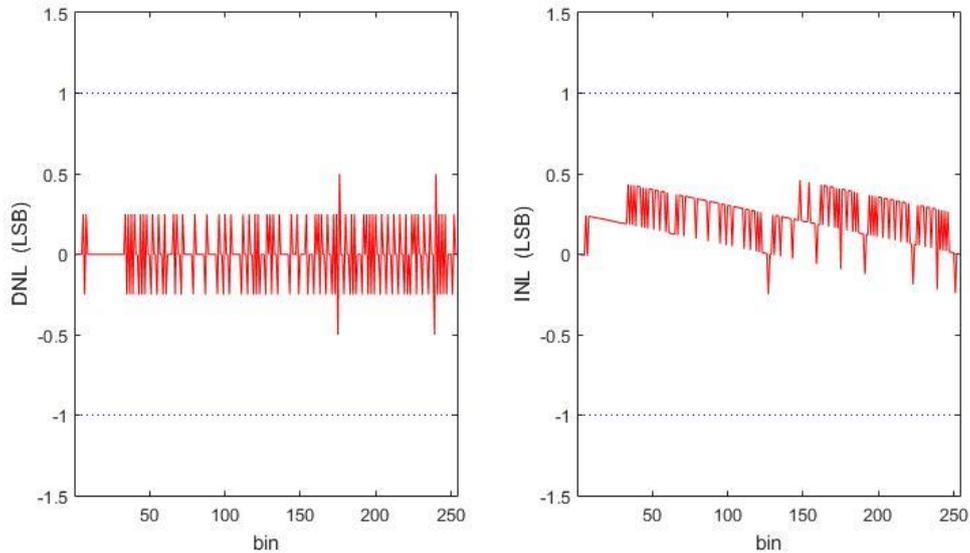


Figura 6.29: DNL e INL do ADC-SAR proposto.

Esses são os quatro parâmetros obtidos por simulação usados na caracterização do conversor proposto. Na **Tabela 6.2** são apresentados os resultados encontrados.

Tabela 6.2: Parâmetros de desempenho do ADC-SAR com 8 bits.

	Resultado
<i>ENOB</i>	7,77
\bar{P}	2,8 mW
<i>INL</i>_{min / max} (LSB)	-0,2 / 0,4
<i>DNL</i>_{min / max} (LSB)	-0,5 / 0,5

A versatilidade do circuito é testada através das mesmas simulações, porém para comprimentos superiores. Durante esse processo, as larguras de banda das fases auxiliares foram mantidas. Os resultados encontrados para conversão de 9 bits estão na Tabela 6.3.

Tabela 6.3: Parâmetros de desempenho do ADC-SAR com 9 bits.

	Resultado
ENOB	8,34
\bar{P}	2,8 mW
INL_{min} / max (LSB)	-0,2 / 1,2
DNL_{min} / max (LSB)	-1 / 0,9

Os resultados encontrados para conversão de 10 bits estão na Tabela 6.4.

Tabela 6.4: Parâmetros de desempenho do ADC-SAR com 10 bits.

	Resultado
ENOB	8,66
\bar{P}	2,8 mW
INL_{min} / max (LSB)	-1 / 3
DNL_{min} / max (LSB)	-1 / 2

Foram realizadas apenas duas alterações no circuito para o teste de versatilidade do mesmo. O sinal de *Reset* teve o seu período alterado de acordo com a nova taxa de amostragem e o SAR foi expandindo de modo a suportar maiores resoluções.

6.5 ADC-SAR X LITERATURA ATUAL

A comparação entre conversores não é uma tarefa simples, pois estas estruturas apresentam diversos parâmetros de desempenho, e, de acordo com a aplicação, o circuito terá maior enfoque em determinado parâmetro. Buscando contornar esse problema, é muito comum utilizar uma Figura de Mérito como critério de comparação. Esta é definida conforme a equação (6.3).

$$FOM = \frac{P}{2^{ENOB} \cdot F_s} \quad (6.3)$$

Os parâmetros de desempenho mais importantes na caracterização de conversores estão na Tabela 6.5. É importante comentar que as estruturas não possuem as mesmas tecnologias de integração e tensões de alimentação.

Tabela 6.5: Parâmetros de desempenho dos ADCs.

	[20]	[21]	[22]	<i>Este ADC</i>
<i>BITS</i>	8	8	8	8
<i>V_{DD} (V)</i>	1,2	1,2	1	3,3
<i>Tecnologia (μm)</i>	0,13	0,18	0,18	0,35
<i>F_S (kHz)</i>	100	16	1	10
<i>ENOB</i>	7,8	8	7,6	7,77
<i>P (μW)</i>	3,2	0,54	0,255	2800
<i>Área (μm²)</i>	0,08	0,078	0,005	0,06
<i>FoM ($\frac{pJ}{conv}$)</i>	0,143	0,132	1,32	1560

O conversor proposto possui desempenho intermediário ao considerarmos apenas a taxa de amostragem e o ENOB. Porém, o mesmo consome muito mais potência do que as outras estruturas. Esta característica interfere diretamente na performance da estrutura, como pode ser notado ao compararmos as *FoMs*.

Embora em [20] seja apresentado um conversor consideravelmente mais rápido, as outras taxas de amostragem são próximas. Esse comportamento é análogo para a potência consumida, exceto para o conversor proposto. É comum encontrar consumo de potência dessa ordem em conversores extremamente rápidos, como em [3].

Em termos de área de integração, o circuito apresentou um bom desempenho, pois demandou menos área de integração do que duas estruturas, perdendo apenas para o conversor [22]. Estes resultados foram obtidos empregando a tecnologia de 0,35 μm, portanto, para tecnologias menores, a área de integração tenderia a ser ainda menor. É importante comentar que esta não é a área real, é apenas uma estimativa, portanto, uma análise mais precisa poderá ser realizada somente com o término do layout do circuito.

6.6 ANÁLISE DOS RESULTADOS

O objetivo principal deste trabalho era projetar um ADC-SAR que usasse apenas quatro células de memória, independente do comprimento da conversão. A topologia proposta não depende do número de bits da conversão, porém é sensível ao descasamento de componentes e injeções de cargas, portanto, o desempenho reduz com o aumento do comprimento da conversão.

Na Tabela 6.6 estão os parâmetros de desempenho do ADC-SAR de acordo com comprimento da conversão. Apesar do algoritmo funcionar corretamente, é possível perceber que o aumento do comprimento da conversão não é acompanhado do aumento do ENOB. Esta característica é justificada pela manutenção das células de memória de corrente e a redução do LSB provocada pelo aumento do comprimento da conversão. Portanto, a perda em desempenho é natural e esperada.

Em sua configuração original não ocorre falha de código, pois o erro de DNL está dentro do intervalo $[-1, 1]$, porém o mesmo não pode ser afirmado para as conversões de maiores comprimentos.

Tabela 6.6: Desempenho do ADC-SAR em função do comprimento da conversão.

	8	9	10
<i>ENOB</i>	7,77	8,34	8,66
<i>P</i>	2,8 mW	2,8 mW	2,8 mW
<i>INL (LSB)</i>	-0,2 / 0,4	-0,2 / 1,2	-1 / 3
<i>DNL (LSB)</i>	-0,5 / 0,5	-1 / 0,9	-1 / 2

Um das desvantagens da estrutura proposta é possuir erro acumulativo ao longo de uma conversão. Este problema serviu como motivação para implementar o circuito de modo a atenuar as ações das fontes de erro a cada iteração. O ENOB obtido pelo conversor de 8 bits está próximo do ideal, portanto, é possível afirmar que o método empregado é eficiente para redução da sensibilidade do circuito em função dos erros introduzidos pela célula de memória. Para estudar a sensibilidade do circuito em função do descasamento seria necessário realizar a análise de Monte Carlo, porém esta demandaria um tempo de simulação impraticável, com os computadores disponíveis.

Apesar de possuir bom desempenho para conversão com 8 bits de comprimento, o circuito perde em desempenho rapidamente com o aumento do comprimento da conversão. Aumentar uma unidade no comprimento da conversão corresponde a dividir por dois a corrente equivalente ao MSB, portanto, a sensibilidade do circuito aumenta.

A topologia apresentada é capaz de realizar a conversão de qualquer comprimento quando os sinais de controle são ajustados corretamente. Porém, como as estruturas empregadas não são ideais, os erros associados as mesmas limitam o desempenho do conversor AD desenvolvido.

7 CONCLUSÃO

Um ADC-SAR de 8 bits em modo de corrente com 10kHz de taxa de amostragem foi implementado. Apesar de possuir precisão relativamente alta e não possuir falha de código, a estrutura apresentou alto consumo de potência. Embora projetado na tecnologia de $0,35 \mu m$, o circuito proposto apresentou área de integração estimada menor do que algumas outras estruturas presentes na literatura.

O DAC interno é implementado através de apenas quatro células de memória. Esta propriedade não é comum na literatura e a topologia proposta se comprovou independente do comprimento da conversão, apesar do rendimento da estrutura diminuir rapidamente com o aumento do comprimento da conversão. Pelos resultados encontrados, o limite prático do conversor projetado é de 8 bits, embora idealmente a topologia funcionaria para comprimentos maiores.

A principal contribuição do trabalho é apresentar uma topologia diferente capaz de realizar a conversão analógico digital por aproximações sucessivas.

8 TRABALHOS FUTURO

O principal problema do circuito é o alto consumo de potência para um conversor com taxa de amostragem mediana. Os principais causadores desse problema são as células de memória de corrente e os amplificadores operacionais. Portanto, uma alternativa a ser estudada é o emprego de outras topologias de célula de memória de corrente, podendo tornar os transportadores de corrente dispensáveis.

Uma outra alternativa a ser analisada seria a redução do intervalo entre as duas correntes de referência. O aumento da corrente mínima possibilitaria o aumento da taxa de amostragem e a diminuição da corrente máxima possibilitaria o emprego de células de memória de corrente com menor consumo de potência. Porém, o LSB seria reduzido, diminuindo a precisão do circuito.

Uma terceira alternativa seria implementar o conversor em inversão fraca, porém isso implicaria no aumento da sensibilidade do circuito em função do descasamento. De modo geral, o próximo passo é encontrar uma alternativa que aprimore o desempenho da estrutura sem perder a sua abordagem original.

9 BIBLIOGRAFIA

- [1] W. Kester, *The Data Conversion Handbook*, Newnes, 2005.
- [2] R. Dlugosz, "Low Chip Area, Low Power Dissipation, Programmable, Current Mode, 10-bits, SAR ADC Implemented in the CMOS 130nm Technology," *Mixed Design of Integrated Circuits & Systems (MIXDES)*, pp. 348-353, 25-27 June 2015.
- [3] A. Elkafrawy, "A 10-bit 150 MS/s Current Mode SAR ADC in 90nm CMOS," *Ph.D. Research in Microelectronics and Electronics (PRIME)*, pp. 274-277, 29 June 2015.
- [4] Z. Yang and J. V. d. Spiegel, "A 10-bit 8.3MS/s switched-current successive approximation ADC for column-parallel imagers," *ISCAS 2008*, pp. 224-227.
- [5] M. V. Shenoy, K. S. Varghese and M. S. Upadhyaya, "A 8-bit SAR ADC using Current Mode Approach for bio-medical applications," *NCCSN 2014*, pp. 1-5.
- [6] F. Falleiro, "Conversor Analógico-Digital com Capacitores Mínimos Integrado na Tecnologia CMOS," UFRJ, 2015.
- [7] G. Beanato, "Design of a Very Low Power SAR Analog to Digital Converter," EPFL, 2009.
- [8] S. Hanfoug, N.-E. Bouguechal e S. Barra, "Behavioral non-ideal Model of 8-bit Current-Mode Successive Approximation Registers ADC by using Simulink," *International Journal of u- and e- Service, Science and Technology*, pp. 85-102, 2014.
- [9] S. Rodrigues, "Conversor Analógico-Digital Assíncrono," UFCG, 2011.
- [10] F. Maloberti, *Data Converters*, Springer, 2007.
- [11] C. Tomazou, C. Battersby e C. Maglaras, "High-performance switched-current memory cell," *IEE Electronics Letters*, pp. 1593-1595, 13 Setembro 1990.
- [12] E. dos Anjos, "Integrated Circuit Design of a Reactive Power Measurement System Using a Switched-Current Hilbert Transformer," *Dissertação de Mestrado, COPPE/UFRJ*, 2016.

- [13] D. Nairn, "A high-linearity sampling technique for switched-current circuits," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 43, n° 1, pp. 49-52, 1996.
- [14] F. Krummenacher e N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," *IEEE Journal of Solid-State Circuits*, vol. 23, n° 3, pp. 750-758, 1987.
- [15] B. Jonsson, "Switched-current circuits: from building blocks to mixed analog-digital systems," Tese de Doutorado, Royal Institute of Technology, 1999.
- [16] R. S. Assad e J. Silva-Martinez, "The recycling folded cascode: A general enhancement of the folded cascode amplifier," *IEEE Journal of Solid-State Circuits*, vol. 44, n° 9, pp. 2535-2542, 2009.
- [17] R. Chavoshivani e O. Hashemipour, "A high-speed current conveyor based current comparator," *Microelectronics Journal*, vol. 42, pp. 28-32, 2011.
- [18] M. J. M. Pelgrom, A. C. J. Duinmaijer e A. P. G. Welbers, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, vol. 24, n° 5, pp. 1433-1440, 1989.
- [19] H. Träff, "Novel Approach to High Speed CMOS Current Comparators," *Electronics Letters*, vol. 28, n° 3, pp. 310-312, 1992.
- [20] Y. Xiao, F. Lingzhi e W. Junyu, "An 8-bit 100KS/s Low Power Successive Approximation Register ADC for Biomedical Applications," em *ASIC (ASICON), 2013 IEEE 10th International Conference on*, Shenzhen, China, 2013.
- [21] B. Haaheim e T. G. Constandinou, "A sub-1uW, 16kHz current-mode SAR-ADC for single-neuron spike recording," em *Circuits and Systems (ISCAS), 2012 IEEE International Symposium on*, Seoul, South Korea, 2012.
- [22] S. Al-Ahdab, R. Lotfi e W. A. Serdijn, "A 1-V 225-nW 1KS/s current successive approximation ADC for pacemakers," em *Ph.D. Research in Microelectronics and Electronics (PRIME)*, Berlin, Germany, 2010.
- [23] P. R. Kinget, "Device mismatch and tradeoffs in the design of analog circuits," *IEEE Journal of Solid-State Circuits*, vol. 40, n° 6, pp. 1212-1224, 2005.

APÊNDICE A

A PROJETANDO ADC-SAR

A.1 PARÂMETROS DOS TRANSISTORES

Para que seja possível realizar, manualmente, o projeto do ADC-SAR, é necessário extrair os parâmetros empregados pelo processo de integração. Estes foram extraídos a partir do modelo de simulação BSIM3.3, através do ajuste das curvas características do transistor às equações de nível 3 apresentadas na Tabela A.1.

Tabela A.1: Modelo nível 3 dos transistores.

NMOS	PMOS
Triodo	Triodo
$I_{DS} = \frac{W}{L} \cdot [(V_{GS} - V_T) \cdot V_{DS} - \frac{\alpha}{2} \cdot V_{DS}^2]$	$I_{SD} = \frac{W}{L} \cdot [(V_{GS} - V_T) \cdot V_{DS} - \frac{\alpha}{2} \cdot V_{DS}^2]$
Saturação	Saturação
$I_{DS} = \frac{W}{L} \cdot \left(\frac{k_p}{2 \cdot \alpha}\right) \cdot (V_{GS} - V_T)^2$	$I_{SD} = \frac{W}{L} \cdot \left(\frac{k_p}{2 \cdot \alpha}\right) \cdot (V_{GS} - V_T)^2$
$V_T = V_{T0} - \gamma \cdot (\sqrt{\phi_0 - V_{BS}} - \sqrt{\phi_0})$	$V_T = V_{T0} - \gamma \cdot (\sqrt{\phi_0 - V_{BS}} - \sqrt{\phi_0})$

Os parâmetros foram determinados através das equações apresentadas na tabela anterior. Nas tabelas a seguir são apresentados os parâmetros extraídos para os dois tipos de transistores.

Tabela A.2: Parâmetros para equação da corrente do NMOS.

Parâmetro	Triodo	Saturação
k_p	$198,3 \mu A/V^2$	$165 \mu A/V^2$
V_{T0}	$0,55 V$	$0,49 V$
θ	$0,15$	$0,087$
α	$1,29$	$1,29$
γ	$0,67 \sqrt{V}$	$0,67 \sqrt{V}$
ϕ_0	$1,3 V$	$1,3 V$

Tabela A.3: Parâmetros de processo do NMOS.

Parâmetro	Valor
C_{ox}	$4,558 \cdot 10^{-3} F/m^2$
C_{ov}	$1,2 \cdot 10^{-10} F/m$
ϕ_t	$0,027 V$
\hat{A}_{kp}	$24 \cdot 10^{-18} m^{-2}$
\hat{A}_{VT0}	$181 \cdot 10^{-18} m^{-2}$

Tabela A.4: Parâmetros para equação da corrente do PMOS.

Parâmetro	Triodo	Saturação
k_p	$54,6 \mu A/V^2$	$64 \mu A/V^2$
V_{T0}	$-0,74 V$	$-0,69 V$
θ	$-0,13$	$-0,12$
α	$1,31$	$1,31$
γ	$-0,44 \sqrt{V}$	$-0,44 \sqrt{V}$
ϕ_0	$0,52 V$	$0,52 V$

- A corrente de entrada é definida pelo intervalo:

$$I_{MIN} \leq I_{in} \leq I_{MAX} \quad (A.2)$$

- A tensão mínima na saída é igual a $V_{O_{min}}$.

- As tensões de dreno $VD1$ e $VD2$ possuem valores aproximadamente iguais.

- As seguintes igualdades existem:

$$V_{T1A} = V_{T2A} = V_{TA} \quad (A.3)$$

$$V_{T1B} = V_{T2B} = V_{TB} \quad (A.4)$$

Para o bom funcionamento da estrutura, é necessário que todos os transistores operem na região de saturação. A condição necessária para manter $M1A$ e $M2A$ em saturação é definida na equação (A.5).

$$VD \geq \frac{VG - V_{TA}}{\alpha} \quad (A.5)$$

O mesmo deve ser feito para os outros dois transistores, portanto, as condições para manter $M1B$ e $M2B$ são, respectivamente, iguais a:

$$VG - VD \geq \frac{VB - VD - V_{TB}}{\alpha} \quad (A.6)$$

$$V_{O_{min}} - VD \geq \frac{VB - VD - V_{TB}}{\alpha} \quad (A.7)$$

Em (A.8) e (A.9) estão definidas as equações das correntes dos transistores.

$$I_{in} = \frac{\beta_1 \cdot (VG - V_{TA})^2}{2 \cdot \alpha} \quad (A.8)$$

$$I_{in} = \frac{\beta_1 \cdot (VB - VD - V_{TB})^2}{2 \cdot \alpha} \quad (A.9)$$

É possível estabelecer o limite inferior para a tensão VB . Para isso, é necessário utilizar as equações (A.5), (A.8) e (A.9) que foram definidas previamente. Sendo assim, o resultado encontrado será igual a expressão apresentada em (A.10).

$$VB \geq V_{TB} + \left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{in}}{\beta_1}} \quad (A.10)$$

Observando a equação anterior, é notável que o limite da tensão VB depende do nível de corrente da entrada. Considerando os limites da mesma, o pior caso ocorre quando a corrente de entrada for máxima. Logo, chegaremos no resultado apresentado em (A.11).

$$VB \geq V_{TB} + \left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{MAX}}{\beta_1}} \quad (A.11)$$

A equação anterior foi encontrada através da condição de saturação dos transistores $M1A$ e $M2A$. Logo, através das equações (A.6) e (A.7), serão obtidas duas outras condições para tensão de polarização. No caso, ambas serão condições que definem um limite superior para VB . As duas equações encontradas estão apresentadas a seguir.

$$VB \leq \left(2 - \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{in}}{\beta_1}} + V_{TA} + V_{TB} \quad (A.12)$$

$$VB \leq V_{Omin} + V_{TB} + \left(1 - \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{in}}{\beta_1}} \quad (A.13)$$

As duas condições são funções de corrente de entrada, porém, desta vez, o pior caso acontecesse quando a corrente de entrada é mínima. Realizando a substituição, os resultados encontrados são iguais a (A.14) e (A.15).

$$VB \leq \left(2 - \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{MIN}}{\beta_1}} + V_{TA} + V_{TB} \quad (\text{A.14})$$

$$VB \leq V_{Omin} + V_{TB} + \left(1 - \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{MIN}}{\beta_1}} \quad (\text{A.15})$$

A tensão mínima na saída irá determinar qual das duas condições é a mais restritiva.

- Caso onde (A.15) é mais restritiva do que (A.14)

Nesta condição, teremos o seguinte intervalo para VB :

$$X = \left(1 - \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{MIN}}{\beta_1}} \quad (\text{A.16})$$

$$Y = \left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{MAX}}{\beta_1}} \quad (\text{A.17})$$

$$V_{Omin} + V_{TB} + X \geq VB \geq V_{TB} + Y \quad (\text{A.18})$$

Através da equação anterior, são encontrados os seguintes resultados.

$$V_{Omin} \geq Y - X \quad (\text{A.19})$$

$$V_{Omin} \geq \sqrt{\frac{2 \cdot \alpha}{\beta_1}} \cdot \left[\left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{I_{MAX}} - \left(1 - \frac{1}{\alpha}\right) \cdot \sqrt{I_{MIN}} \right] \quad (\text{A.20})$$

Manipulando a (A.20) de modo a termos a mesma em função da razão de aspecto, o resultado obtido estará de acordo com a (A.21).

$$\left(\frac{W}{L}\right)_{M1} \geq \frac{2 \cdot \alpha}{k_p \cdot V_{o_{min}}^2} \cdot \left[\left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{I_{MAX}} - \left(1 - \frac{1}{\alpha}\right) \cdot \sqrt{I_{MIN}} \right]^2 \quad (A.21)$$

O limite da razão de aspecto dependerá da excursão da corrente de entrada, porém, existe a situação específica onde a corrente de entrada é constante, portanto, o seu máximo é igual ao mínimo. Quando isto ocorre, a condição necessária para a razão de aspecto é definida em (A.22).

$$\left(\frac{W}{L}\right)_{M1} \geq \frac{8 \cdot I_{in}}{\alpha \cdot k_p \cdot V_{o_{min}}^2} \quad (A.22)$$

- Caso onde (A.14) é mais restritiva do que (A.15)

Nesta condição, teremos o seguinte intervalo para VB :

$$X = \left(2 - \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{MIN}}{\beta_1}} \quad (A.23)$$

$$Y = \left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{\frac{2 \cdot \alpha \cdot I_{MAX}}{\beta_1}} \quad (A.24)$$

$$X + V_{TA} + V_{TB} \geq VB \geq V_{TB} + Y \quad (A.25)$$

Através da equação anterior, são encontrados os seguintes resultados.

$$V_{TA} \geq Y - X \quad (A.26)$$

$$V_{TA} \geq \sqrt{\frac{2 \cdot \alpha}{\beta_1}} \cdot \left[\left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{I_{MAX}} - \left(2 - \frac{1}{\alpha}\right) \cdot \sqrt{I_{MIN}} \right] \quad (A.27)$$

Manipulando a (A.27) de modo a termos a mesma em função da razão de aspecto, o resultado obtido estará de acordo com a (A.28).

$$\left(\frac{W}{L}\right)_{M1} \geq \frac{2 \cdot \alpha}{k_p V_{TA}^2} \cdot \left[\left(1 + \frac{1}{\alpha}\right) \cdot \sqrt{I_{MAX}} - \left(2 - \frac{1}{\alpha}\right) \cdot \sqrt{I_{MIN}} \right]^2 \quad (A.28)$$

Novamente a razão de aspecto dependerá dos limites de excursão da corrente de entrada. Assim como ocorreu anteriormente, existe a situação onde podemos igualar os dois limites e obter a equação (A.29).

$$\left(\frac{W}{L}\right)_{M1} \geq \frac{2 \cdot (2 - \alpha)^2 \cdot I_{in}}{\alpha \cdot k_p \cdot V_{TA}^2} \quad (A.29)$$

Além de determinar as dimensões dos transistores, outra preocupação no projeto do espelho de corrente cascode é a tensão de polarização. Através da definição da razão de aspecto dos dispositivos, o intervalo aceitável para tensão de polarização também estará sendo selecionado. No caso, este se torna menos estreito a medida que a escolha da razão de aspecto se afasta da razão mínima necessária.

B MODELAGEM DO DESCASAMENTO

B.1 MODELO DE PELGROM PARA DESCASAMENTO

Obviamente o processo de fabricação não é capaz de gerar uma versão idêntica do circuito projetado no simulador. Sendo assim, o comportamento elétrico de estruturas básicas, como transistores, capacitores estão sujeitos às flutuações aleatórias de valores nominais. Sendo assim, a imprecisão do processo de fabricação afetaria diretamente o desempenho de estruturas como espelhos de corrente, por exemplo.

Uma alternativa para fugir deste tipo de problema seria a calibração do circuito, porém, dependendo do circuito, este método se torna de alta complexidade e caro. Uma segunda alternativa seria utilizar um modelo matemático que seja capaz de quantificar os erros provenientes do processo de fabricação. No caso, será empregado o modelo de Pelgrom, originalmente apresentado em [18].

As principais fontes de erros no processo de fabricação são: o erro de gradiente, a variação global dos parâmetros de processo e a variação local dos parâmetros de processo.

O erro devido à variação local dos parâmetros de processo é o mais problemático dos três, pois é totalmente aleatório e afeta de forma independente cada dispositivo. Este erro é a principal fonte de descasamento. Logo, este será o tipo de erro quantificado pelo modelo de Pelgrom. Através deste, será possível projetar o circuito de forma que os efeitos causados pelo descasamento sejam mantidos dentro de um determinado limite.

De acordo com o modelo de Pelgrom, a variância de um parâmetro P entre dois dispositivos retangulares é definida em (B.1). No caso, temos que ΔP é a diferença entre dois dispositivos idênticos de dimensões W e L , A_p é a constante de proporcionalidade da área para o parâmetro P . A equação seguinte serve como modelo apenas para situações onde a distância entre os dispositivos é menor do que 1 mm [23].

$$\sigma^2(\Delta P) = \frac{A_P^2}{W \cdot L} \quad (\text{B.1})$$

Através do modelo de Pelgrom é revelada uma relação inversamente proporcional entre o erro de descasamento e a área do dispositivo, portanto, para satisfazer uma determinada condição de erro de descasamento, existirá um limite mínimo para as dimensões do dispositivo. Neste trabalho serão consideradas apenas as variâncias da tensão de limiar (V_T) e a variância do ganho de transcondutância (k_p).

$$\sigma^2(V_T) = \frac{A_{V_T}^2}{W \cdot L} \quad (\text{B.2})$$

$$\sigma^2(k_p) = \frac{A_{k_p}^2}{W \cdot L} \quad (\text{B.3})$$

B.2 DESCASAMENTO DO ESPELHO DE CORRENTE CASCODE

É aplicado o modelo de Pelgrom sobre o espelho de corrente da Figura B.1. Trata-se de um espelho simples, porém o resultado final é muito semelhante ao resultado do espelho cascode e a dificuldade do desenvolvimento é consideravelmente menor. Os transistores MA e MB são implementados, respectivamente, através de N_A e N_B transistores unitários, associados em paralelo, com razão de aspecto $\frac{W}{L}$.

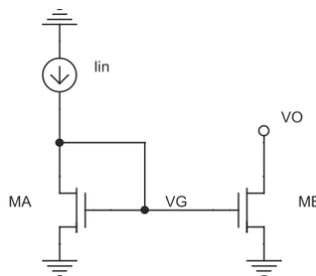


Figura B.1: Espelho de corrente.

As equações da corrente de entrada e da corrente de saída estão definidas abaixo, respectivamente.

$$I_{in} = \frac{k_{pA} \cdot N_A \cdot \frac{W}{L}}{2 \cdot \alpha} \cdot (VG - V_{TA})^2 \quad (\text{B.4})$$

$$I_o = \frac{k_{pB} \cdot N_B \cdot \frac{W}{L}}{2 \cdot \alpha} \cdot (VG - V_{TB})^2 \quad (\text{B.5})$$

O passo seguinte é calcular as derivadas parciais das equações em torno dos valores nominais, e em seguida as variações, resultando nas equações (B.6) e (B.7).

$$0 = \frac{N_A \cdot k_p \cdot \frac{W}{L} \cdot (VG - V_T)}{\alpha} \cdot \left(\frac{(VG - V_T) \cdot \Delta k_{pA}}{2 \cdot k_p} + \Delta VG - \Delta V_{TA} \right) \quad (\text{B.6})$$

$$\Delta I_o = \frac{N_B \cdot k_p \cdot \frac{W}{L} \cdot (VG - V_T)}{\alpha} \cdot \left(\frac{(VG - V_T) \cdot \Delta k_{pB}}{2 \cdot k_p} + \Delta VG - \Delta V_{TB} \right) \quad (\text{B.7})$$

É possível resolver o sistema acima ao isolarmos a primeira equação em função de VG e aplicarmos o resultado encontrado na segunda equação. Sendo assim, teremos a expressão definida em (B.8).

$$\Delta I_o = \frac{N_B \cdot \frac{W}{L} \cdot k_p \cdot (VG - V_T)^2}{\alpha} \cdot \left(\frac{\Delta k_{pB} - \Delta k_{pA}}{2 \cdot k_p} + \frac{\Delta V_{TA} - \Delta V_{TB}}{VG - V_T} \right) \quad (\text{B.8})$$

Simplificando a equação anterior através da equação da corrente nominal de M1, obteremos o resultado apresentado na equação (B.10).

$$VG - V_T = \sqrt{\frac{2 \cdot \alpha \cdot I_{in}}{k_p \cdot N_A \cdot \frac{W}{L}}} \quad (\text{B.9})$$

$$\Delta I_o = \frac{N_B}{N_A} \cdot \frac{I_{in}}{k_p} \cdot (\Delta k_{pB} - \Delta k_{pA}) + N_B \cdot \sqrt{\frac{k_p \cdot W}{N_A \cdot \alpha \cdot 0.5} \cdot I_{in}} \cdot (\Delta V_{TA} - \Delta V_{TB}) \quad (B.10)$$

Através da equação anterior é calculada a variância da corrente de saída, conforme apresentado pelas equações (B.11) e (B.12).

$$X = \frac{2 \cdot N_A \cdot k_p \cdot W \cdot V_T^2}{I_{in} \cdot \alpha \cdot L} \quad (B.11)$$

$$\hat{\sigma}^2(\Delta I_o) = \hat{\sigma}^2(k_{pB}) + \hat{\sigma}^2(k_{pA}) + X \cdot (\hat{\sigma}^2(\Delta V_{TA}) + \hat{\sigma}^2(\Delta V_{TB})) \quad (B.12)$$

A razão de aspecto entre os transistores irá relacionar a corrente de entrada e a corrente de saída. Usando esta informação e aplicando as equações de Pelgrom na equação anterior, é encontrado o resultado apresentado em (B.13).

$$\hat{\sigma}^2(\Delta I_o) = \left(\frac{N_A + N_B}{N_A \cdot N_B} \right) \cdot \left[\left(\frac{\hat{A}_{k_p}^2}{W \cdot L} \right) + \left(\frac{\hat{A}_{V_T}^2}{W \cdot L} \right) \cdot \left(\frac{2 \cdot N_A \cdot k_p \cdot W \cdot V_T^2}{I_{in} \cdot \alpha \cdot L} \right) \right] \quad (B.13)$$

B.3 REDUZINDO O ERRO DO ESPELHO DE CORRENTE

Anteriormente foi modelada a relação entre o erro da corrente de saída e as dimensões dos transistores empregados no espelho de corrente cascode. Através da equação obtida por esse procedimento, foi concluído que a precisão do circuito aumentará proporcionalmente com área do transistor. Portanto, numa situação onde tivermos a necessidade de usarmos espelhos de corrente associados em cascata, para que o erro estivesse dentro de uma determinada tolerância, a área dos transistores precisaria aumentar significativamente. Esta característica serviu como motivação para aplicarmos no ADC projetado o método que será apresentado.

Dentro do ADC interno ocorre a necessidade de associar em cascata dois pares de espelhos de corrente, separados por uma CMC, conforme a Figura B.2. Observe que a cascata de espelhos de corrente é implementada através de quatro conjuntos de transistores, portanto são quatro fontes de erro diferentes.

$$I_{O1} = I_{IN} \cdot (1 + \Delta_1) \cdot (1 + \Delta_2) \quad (\text{B.15})$$

Durante a segunda etapa do procedimento, a corrente previamente armazenada pela CMC estará retornando para o espelho de corrente, conforme Figura B.4.

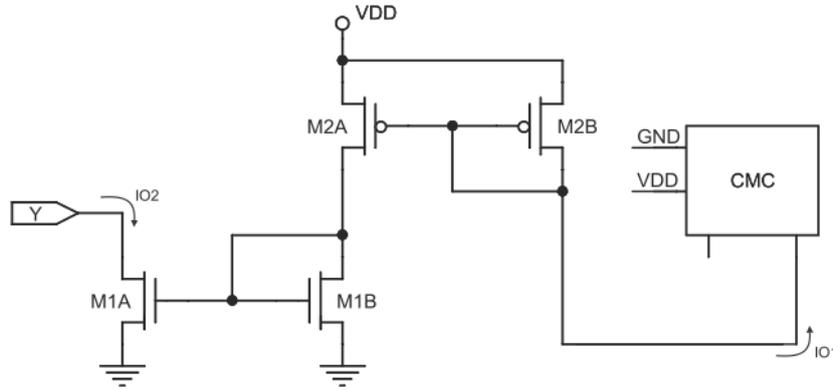


Figura B.4: DAC interno com redução de erro durante segunda etapa.

Observe que são utilizados os mesmos transistores da primeira etapa, porém com conexões porta-dreno alteradas. Conseqüentemente, o terminal Y passará a funcionar como a saída e os espelhos de corrente passarão a alterar a corrente de saída de forma inversa, conforme (B.16). Sendo assim, o erro de descasamento da segunda etapa é usado para atenuar o erro do sinal de saída. Este efeito é consequência direta do chaveamento realizado nos transistores do espelho de corrente.

$$I_{O2} = I_{O1} \cdot \frac{1}{(1 + \Delta_1)} \cdot \frac{1}{(1 + \Delta_2)} \quad (\text{B.16})$$

Usando (B.15) e (B.16), chegamos ao resultado a seguir.

$$I_{O2} = I_{IN} \cdot \frac{(1 + \Delta_1)}{(1 + \Delta_1)} \cdot \frac{(1 + \Delta_2)}{(1 + \Delta_2)} \quad (\text{B.17})$$

Idealmente, o erro provocado pelo descasamento dos transistores seria totalmente eliminado. Note que o mais importante para o procedimento é a semelhança entre as parcelas e não os seus respectivos valores absolutos.

$$g(I_D, V_G, V_T, I_{ESP}) = \frac{V_G - V_{TO}}{n\phi_T} - G_X - \ln(G_X - 1) + 1 + \ln(2) \quad (\text{B.19})$$

$$G_X = \sqrt{1 + 4 \cdot \frac{I_D}{I_{ESP}}} \quad (\text{B.20})$$

$$I_{ESP} = 2 \cdot n \cdot \phi_T^2 \cdot k_p \cdot \frac{W}{L} \quad (\text{B.21})$$

$$I_C = \frac{I_D}{I_{ESP}} \quad (\text{B.22})$$

Os transistores possuem dimensões idênticas. Logo, os valores nominais das correntes I_A , I_B e I_C são iguais a $\frac{I_X}{2}$. Sendo assim, teremos o seguinte:

$$I_A = \frac{I_X}{2} + \Delta I_A \quad (\text{B.23})$$

$$I_B = \frac{I_X}{2} + \Delta I_B \quad (\text{B.24})$$

$$I_C = \frac{I_X}{2} + \Delta I_C \quad (\text{B.25})$$

Observando a Figura B.6 podemos notar que a tensão de porta dos transistores é mantida constante durante as duas etapas. Portanto, o problema de calcular o erro final é equivalente ao calcular o erro no divisor de corrente a seguir.

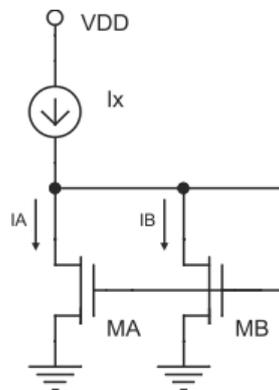


Figura B.6: Divisor de corrente.

Equacionando o sistema, encontra-se o seguinte:

$$g(I_A, V_G, V_{TA}, I_{ESPA}) = 0 \quad (\text{B.26})$$

$$g(I_B, V_G, V_{TB}, I_{ESPB}) = 0 \quad (\text{B.27})$$

$$I_A + I_B = I_X \quad (\text{B.28})$$

Derivando cada uma das equações, chegamos aos resultados subsequentes:

$$\frac{\partial g_A}{\partial I_A} \cdot \Delta I_A + \frac{\partial g_A}{\partial V_g} \cdot \Delta V_g + \frac{\partial g_A}{\partial V_{TA}} \cdot \Delta V_{TA} + \frac{\partial g_A}{\partial I_{ESPA}} \cdot \Delta I_{ESPA} = 0 \quad (\text{B.29})$$

$$\frac{\partial g_B}{\partial I_B} \cdot \Delta I_B + \frac{\partial g_B}{\partial V_g} \cdot \Delta V_g + \frac{\partial g_B}{\partial V_{TB}} \cdot \Delta V_{TB} + \frac{\partial g_B}{\partial I_{ESPB}} \cdot \Delta I_{ESPB} = 0 \quad (\text{B.30})$$

$$\Delta I_A + \Delta I_B = 0 \quad (\text{B.31})$$

Na condição nominal, teremos:

$$\left. \frac{\partial g_A}{\partial I_A} \right|_{I_A = \frac{I_X}{2}} = \left. \frac{\partial g_B}{\partial I_B} \right|_{I_B = \frac{I_X}{2}} = \left. \frac{\partial g}{\partial I_D} \right|_{I_D = \frac{I_X}{2}} \quad (\text{B.32})$$

$$\frac{\partial g_A}{\partial V_g} = \frac{\partial g_B}{\partial V_g} \quad (\text{B.33})$$

$$\left. \frac{\partial g_A}{\partial V_{TA}} \right|_{V_{TA} = V_T} = \left. \frac{\partial g_B}{\partial V_{TB}} \right|_{V_{TB} = V_T} = \left. \frac{\partial g}{\partial V_T} \right|_{I_D = \frac{I_X}{2}} \quad (\text{B.34})$$

$$\left. \frac{\partial g_A}{\partial I_{ESPA}} \right|_{I_{ESPA} = I_{ESP}} = \left. \frac{\partial g_B}{\partial I_{ESPB}} \right|_{I_{ESPB} = I_{ESP}} = \left. \frac{\partial g}{\partial I_{ESP}} \right|_{I_D = \frac{I_X}{2}} \quad (\text{B.35})$$

Escolhendo I_A como saída e usando as derivadas parciais em $I_D = \frac{I_X}{2}$, teremos a equação seguinte.

$$2 \cdot \frac{\partial g_A}{\partial I_D} \cdot \Delta I_A + \frac{\partial g}{\partial V_T} \cdot (\Delta V_{TA} - \Delta V_{TB}) + \frac{\partial g}{\partial I_{ESP}} \cdot (\Delta I_{ESPA} - \Delta I_{ESPB}) = 0 \quad (\text{B.36})$$

Determinando as variâncias de cada parâmetro:

$$\sigma_{\Delta V_{TA}}^2 = \sigma_{\Delta V_{TB}}^2 = \sigma_{V_T}^2 \quad (\text{B.37})$$

$$\sigma_{\Delta I_{ESPA}}^2 = \sigma_{\Delta I_{ESPB}}^2 = \sigma_{I_{ESP}}^2 \quad (\text{B.38})$$

$$\sigma_{\Delta I_A}^2 = \sigma_{I_A}^2 \quad (\text{B.39})$$

Através das variâncias de cada parâmetro e de (B.36), é possível achar a equação que determina a variância do erro de I_A .

$$\sigma_{I_A}^2 = \frac{\left(\left(\frac{\partial g}{\partial V_T} \right)^2 \cdot \sigma_{V_T}^2 + \left(\frac{\partial g}{\partial I_{ESP}} \right)^2 \cdot \sigma_{I_{ESP}}^2 \right)}{2 \cdot \left(\frac{\partial g}{\partial I_D} \right)^2} \quad (\text{B.40})$$

As derivadas parciais são calculadas a partir da equação (B.19) e os resultados obtidos estão apresentados a seguir.

$$\left. \frac{\partial g}{\partial I_D} \right|_{I_D = \frac{I_X}{2}} = -\frac{2}{I_{ESP}} \cdot \frac{1}{\sqrt{1 + \frac{2 \cdot I_X}{I_{ESP}} - 1}} \quad (\text{B.41})$$

$$\left. \frac{\partial g}{\partial I_{ESP}} \right|_{I_D = \frac{I_X}{2}} = \frac{I_X}{I_{ESP}^2} \cdot \frac{1}{\sqrt{1 + \frac{2 \cdot I_X}{I_{ESP}} - 1}} \quad (\text{B.42})$$

$$\left. \frac{\partial g}{\partial V_T} \right|_{I_D = \frac{I_X}{2}} = -\frac{1}{n\phi_T} \quad (\text{B.43})$$

Determinando as respectivas variâncias relativas de cada parâmetro:

$$\hat{\sigma}_{I_D}^2 = \frac{\sigma_{I_A}^2}{\left(\frac{I_X}{2}\right)^2} \quad (\text{B.44})$$

$$\hat{\sigma}_{V_T}^2 = \frac{\sigma_{V_T}^2}{V_T^2} \quad (\text{B.45})$$

$$\hat{\sigma}_{I_{ESP}}^2 = \frac{\sigma_{I_{ESP}}^2}{I_{ESP}^2} \quad (\text{B.46})$$

O coeficiente de inversão é definido através da corrente de dreno do transistor e da equação (B.22), portanto, o mesmo será igual a expressão a seguir.

$$IC = \frac{I_X}{2 \cdot I_{ESP}} \quad (\text{B.47})$$

Através das equações que definem a variância relativa de cada parâmetro, a expressão do coeficiente de inversão e a variância do erro de I_A , é possível determinar a variância relativa do erro de I_A .

$$\hat{\sigma}_{I_A}^2 = \frac{V_T^2 \cdot \left[2 \cdot \left(IC + \frac{1}{2}\right) - \sqrt{4 \cdot IC + 1}\right]}{4 \cdot n^2 \cdot \phi_T^2 \cdot IC^2} \cdot \hat{\sigma}_{V_T}^2 + \frac{\hat{\sigma}_{I_{ESP}}^2}{2} \quad (\text{B.48})$$

Aplicando as equações do modelo de Pelgrom para descasamento na equação (B.48), teremos o resultado apresentado em (B.49).

$$\hat{\sigma}_{I_A}^2 = \frac{V_T^2 \cdot \left[2 \cdot \left(IC + \frac{1}{2}\right) - \sqrt{4 \cdot IC + 1}\right]}{4 \cdot n^2 \cdot \phi_T^2 \cdot IC^2} \cdot \frac{A_{V_T}}{W \cdot L} + \frac{A_{k_p}}{2 \cdot W \cdot L} \quad (\text{B.49})$$

Note que o erro de descasamento é função do coeficiente de inversão. Em (B.50) é apresentado o erro de descasamento quando o transistor está predominantemente em inversão forte, ou seja, IC tende a infinito. Enquanto em (B.51) é apresentado o erro de descasamento para o transistor totalmente em inversão fraca, portanto, IC tende a zero.

$$\hat{\sigma}_{I_{ASI}}^2 = \frac{1}{2} \cdot \frac{A_{k_p}}{W \cdot L} \quad (\text{B.50})$$

$$\hat{\sigma}_{I_{AWI}}^2 = \frac{1}{2} \cdot \frac{A_{k_p}}{W \cdot L} + \frac{V_T^2}{2 \cdot n^2 \cdot \phi_T^2} \cdot \frac{A_{V_T}}{W \cdot L} \quad (\text{B.51})$$

O erro de descasamento é maior a medida que o coeficiente de inversão se aproxima da inversão fraca.

C CÓDIGOS EM MATLAB

Nesta seção são exibidos os códigos empregados na modelagem do circuito. Além de simular o algoritmo da estrutura proposta, também são apresentados os códigos para modelagem dos principais erros presentes no conversor.

C.1 MODELO CMC

memoria_central.m
<pre>function CORRENTE = memoria_central(CORRENTE, C) erro_mem = [0; -C; 0;]; CORRENTE = CORRENTE + erro_mem; end</pre>

memoria_lateral.m
<pre>function CORRENTE = memoria_lateral(CORRENTE, C) erro_mem = [0; C; 0;]; CORRENTE = CORRENTE + erro_mem; end</pre>

C.2 COMPARADOR

comparador.m
<pre>function VC = comparador(IDAC, ISH, OS) IC = IDAC - ISH - OS; if (IC > 0) VC = 1; % LIMITE SUPERIOR else VC = 0; % LIMITE INFERIOR end end</pre>

C.3 ESPELHO DE CORRENTE DO DAC

```

espelhoDAC.m

function CORRENTE = espelhoDAC(CORRENTE, B1, B3, B2, FA, FBC)

if (FA == 1) % IDA
    CORRENTE = CORRENTE/2;
    CORRENTE_AUX = B1*(CORRENTE(1) + CORRENTE(2) + CORRENTE(3));
    CORRENTE(3) = CORRENTE_AUX + CORRENTE(3);
    CORRENTE_AUX = B2*(CORRENTE(1) + CORRENTE(2) + CORRENTE(3));
    CORRENTE(3) = CORRENTE(3) + CORRENTE_AUX;
elseif (FBC == 1) % VOLTA
    CORRENTE_AUX = -B3*(CORRENTE(1) + CORRENTE(2) + CORRENTE(3));
    CORRENTE(3) = CORRENTE_AUX + CORRENTE(3);
    CORRENTE_AUX = [-B2/(1+B2)]*(CORRENTE(1) + CORRENTE(2) +
CORRENTE(3));
    CORRENTE(3) = CORRENTE(3) + CORRENTE_AUX;
end

end
```

C.4 ESPELHO DE CORRENTE

```

espelho.m

function CORRENTE = espelho(CORRENTE, B)
% ERRO DE DESCASAMENTO DEPENDE DA CORRENTE

    CORRENTE_AUX = B*(CORRENTE(1) + CORRENTE(2) + CORRENTE(3));
    CORRENTE(3) = CORRENTE(3) + CORRENTE_AUX;

end
```

C.5 ADC-SAR

```
                                adc.m

function [DAC, BIN, ANAL, SAMPLE] = adc(H, L, BITS, CSH, CH, CL, CDAC,
B1, BX, B2, BS, OS)

Fin = 1/(1024*96); T = 1024*96; num_pontos = 1024;
t = (0:T/num_pontos:(T-T/num_pontos));
SAMPLE = ((H-L)/2)*sin (2*pi*Fin*t) + (H+L)/2;

for contador = 1:1:length(SAMPLE)

ANAL(contador) = 0;

corrente_H = [H;0;0]; corrente_L = [L;0;0];
corrente_MC = [(H + L);0;0]; corrente_S = [SAMPLE(contador);0;0];

corrente_H = memoria_lateral(corrente_H, CH); % FB
corrente_L = memoria_lateral(corrente_L, CL); % FB
corrente_S = memoria_lateral(corrente_S, CSH); % -R
corrente_S = espelho(corrente_S, BS); % -R

for iteracao = 1:BITS
    corrente_MC = espelhoDAC(corrente_MC, B1, BX, B2, 1, 0);
    corrente_MC = memoria_central(corrente_MC, CDAC);
    corrente_MC = espelhoDAC(corrente_MC, B1, BX, B2, 0, 1);
    corrente_MC_aux = corrente_MC(1) + corrente_MC(2) +
corrente_MC(3);
    corrente_S_aux = corrente_S(1) + corrente_S(2) + corrente_S(3);
    VC = comparador(corrente_MC_aux, corrente_S_aux, OS);

    if (VC == 1)
        corrente_H = memoria_lateral(corrente_MC, CH); % FA
        BIN(contador,iteracao) = 0;
    else
        corrente_L = memoria_lateral(corrente_MC, CL); % FA
        ANAL(contador) = ANAL(contador) + 2^(BITS-iteracao);
        BIN(contador,iteracao) = 1;
    end

    corrente_MC = corrente_H + corrente_L; % FA
end % LOOP DO ALGORITMO DE APROXIMACOES SUCESSIVAS
DAC(contador) = ANAL(contador) *((H-L)/(2^BITS-1)) + L;

end

end
```

C.6 SCRIPT PARA CÁLCULO DO ENOB

prettyFFT.m

```
function [ENOB, SNDR, SFDR, SNR] =  
prettyFFT(wave,f_S,maxh,no_annotation,no_plot,baseline)  
% Programmed by: Skyler Weaver, Ph.D.  
% Date: December 7, 2010  
% Version: 1.0  
  
if(nargin <= 0)  
    disp('prettyFFT: What are you trying to do, exactly?')  
    wave = rand(1,100);  
    f_S = 1;  
    maxh = 1;  
    no_annotation = 0;  
    no_plot = 0;  
    baseline = 0;  
end  
if(nargin == 1)  
    f_S = 1;  
    maxh = 12;  
    no_annotation = 0;  
    no_plot = 0;  
    baseline = 0;  
end  
if(nargin == 2)  
    maxh = 12;  
    no_annotation = 0;  
    no_plot = 0;  
    baseline = 0;  
end  
if(nargin == 3)  
    no_annotation = 0;  
    no_plot = 0;  
    baseline = 0;  
end  
if(nargin == 4)  
    no_plot = 0;  
    baseline = 0;  
end  
if(nargin == 5)  
    baseline = 0;  
end  
if(nargin > 6)  
    disp('prettyFFT: Too many arguments, man.')end  
  
text_y_offset = 4; %height above bar for harmonic # txt (def. = 4)
```

```

plev = 9; %dB above noise floor to be considered a harmonic (def. = 9)
[a,b]=size(wave);
if(a>b)
    wave=wave(:,1)';
else
    wave=wave(1,:);
end
fft_ord = floor(log(length(wave))./log(2));

wave = wave(end-2^fft_ord+1:end);
wave=wave-mean(wave); % remove DC offset
f2 = abs(fft(wave)); % fft
f2 = f2(2:floor(length(f2)/2)); % remove bin 1 (DC)

[bin bin] = max(f2);
f2a=[f2(1:(bin-1)) f2((bin+1):end)];
f2a=[f2(1:(bin-1)) mean(f2) f2((bin+1):end)];
step = (bin);
pts = 2*(length(f2)+1);

SNDR = db((f2(bin).^2/(sum(f2.^2)-f2(bin).^2))/2); % get SNDR (f_in /
sum(the rest))
ENOB=(SNDR-1.76)/6.02; % ENOB from SNDR

scaledby = 1./max(f2);
dbf2=db(f2.*scaledby);
dbf2a=[dbf2(1:(bin-1)) dbf2((bin+1):end)];
dbf2a=[dbf2(1:(bin-1)) mean(dbf2) dbf2((bin+1):end)];
[bins bins] =max(dbf2a);
SFDR = -dbf2a(bins);

noise_top = mean(dbf2a)+plev;
noise_floor=mean(dbf2a);
noise_bottom = mean(dbf2a)-plev;
%noise_bottom = min(dbf2a);

% GET HARMONICS
harm = bin;
t=1;
nyqpts=(pts/2-1);
all_harms = harm:step:(harm*nyqpts);
all_harms = mod(all_harms,pts);
all_harms = (pts-all_harms).*(all_harms>nyqpts) ...
    + all_harms.*(all_harms<=nyqpts);
all_harms = all_harms.*(all_harms>0 & all_harms<pts/2) ...
    + (all_harms<=0) ...
    + (all_harms>=pts/2).*nyqpts;
if (maxh==0 || maxh>length(all_harms))
    maxh=length(all_harms);
end
for k=1:maxh

```

```

if(dbf2(all_harms(k)) > noise_top)
    harm(t) = all_harms(k);
    hnum(t) = k;
    t=t+1;
end
end

% GET REAL SNR
numbins=2.^(fft_ord-1)-1;
non_harm=1:numbins;
non_harm([harm]) = [];
SNR = db((f2(bin).^2/(sum(f2(non_harm).^2))))/2;
SNRpb = -SNR-3.*(fft_ord-1);

% GET THD
THD = -db((f2(bin).^2/(sum(f2(harm(2:end)).^2))))/2; % get SNR (f_in /
sum(the rest))

if(~no_plot)
% MAKE FFT
hold off
f=f_S/nyqpts/2:f_S/nyqpts/2:f_S/2;
h=bar(f,dbf2);
if(~baseline)
xx=max([min([SNRpb noise_bottom])-plev -250]);
else
    xx=baseline;
end

set(get(h,'BaseLine'),'BaseValue',xx);
set(h,'ShowBaseLine','off');
set(h,'BarWidth',1.0);
set(h,'LineStyle','none');
axis([f(1)/2 f(end)+f(1)/2 xx 0]);

if(~no_annotation)
% HARMONIC RED SQUARES
hold on
plot(f(harm),dbf2(harm),'rs')
text_y_offset = -xx/100*text_y_offset;
if (length(harm) > 2)
    for n=2:length(harm)
        if sum(harm(1:n-1))==harm(n)
            n=n-1; break; end
        end
    if (n<length(harm))
        disp('prettyFFT: Not prime-coherent sampling!')
    end
else
    n=length(harm);

```

```

end

% PRINT HARMONICS
%text_y_offset = -xx/100*text_y_offset;
for t=2:n
text(f(harm(t)),dbf2(harm(t))+text_y_offset,num2str(hnum(t)),
'HorizontalAlignment','center');
end
hold off

hh=line([f(1)/2 f(end)+f(1)/2],[-SFDR -SFDR]);
set(hh,'LineStyle','--');
set(hh,'Color','k');
hh1=line([f(1)/2 f(end)+f(1)/2],[SNRpb SNRpb]);
set(hh1,'LineStyle','-');
set(hh1,'Color','r');

% where to put SFDR arrow
numbins=floor(pts/2);
dbin=round(numbins/32);
if(numbins>4)
if(bin>numbins/2+dbin*2)
if(bins<(numbins/4-dbin))|(bins>(numbins/4+dbin))
abin=round(numbins/4);
elseif (bins>numbins/4)
abin=round(numbins/4)-dbin;
else
abin=round(numbins/4)+dbin;
end
end
else
if(bins<(3*numbins/4-dbin))|(bins>(3*numbins/4+dbin))
abin=round(3*numbins/4);
elseif (bins>3*numbins/4)
abin=round(3*numbins/4)-dbin;
else
abin=round(3*numbins/4)+dbin;
end
end
end
abin=12;
end

tempSFDR=SFDR;
if(SFDR > -(.13*xx))
if(SFDR>250)
SFDR=250;
end
dx=f(end)/100;
dy=-xx/30;
x=f(abin);
tdx=max([dx (f(2)-f(1))]);

```

```

hh2=line([x-dx x x+dx x x x-dx x x+dx],[-dy 0 -dy 0 -SFDR dy-SFDR -SFDR dy-
SFDR]);
set(hh2,'LineStyle','-');

set(hh2,'Color','k');
text(f(abin)+tdx,-SFDR/2,['SFDR =\newline' num2str(tempSFDR,4)
'dB'],'HorizontalAlignment','left');

if(SFDR > -(0.25*xx))
infostr=...%['ENOB =\newline' num2str(ENOB,4) ' bits\nnewline\nnewline' ...
['SNDR =\newline' num2str(SNDR,4) 'dB\nnewline' ...
'\newlineTHD =\newline' num2str(THD,4) 'dB'];
else
infostr=...%['ENOB =\newline' num2str(ENOB,4) ' bits\nnewline\nnewline' ...
['SNDR = ' num2str(SNDR,4) 'dB\nnewline' ...
'THD = ' num2str(THD,4) 'dB'];
end
if(bin<numbins/2)
text(f(bin)+tdx,-SFDR/2,infostr,'HorizontalAlignment','left');
else
text(f(bin)-tdx,-SFDR/2,infostr,'HorizontalAlignment','right');
end
end
SFDR = tempSFDR;
end % end if(~no_annotation)
end % end if(~no_plot)

```

C.7 SCRIPT PARA CÁLCULO DO DNL/INL

inldnl.m

```

function [inl,dnl] = inldnl(x, delta)
% INLDNL compute INL and DNL from converter output x
% x output from ADC
% delta spacing between codes. Default: 1

if nargin == 0
error('must specify ADC output');
end
if nargin == 1
delta = 1;
end

% compute histogram
[counts,centers] = hist(x, min(x):delta:max(x));

```

```

% eliminate end bins
counts(1) = [];
counts(end) = [];

dnl = counts/mean(counts) - 1;
inl = cumsum(dnl);
inl = inl - linspace(inl(1), inl(end), length(inl));

if nargin==0
    % plot result
    N = length(dnl)
    if N > 16
        fmt = 'r-';
    else
        fmt = 'ro!';
    end
    subplot(2,1,1);
    plot(1:N, dnl, fmt, [1 N], [1 -1; 1 -1], 'b:');
    xlabel('bin'); ylabel('DNL [in LSB]');
    maxdnl = ceil(max(dnl));
    axis([1 N floor(min(dnl)) maxdnl+1]);
    text(0.1*N+1, maxdnl+0.2, ...
        sprintf('avg=%0.2g, std.dev=%0.2g, range=%0.2g', ...
            mean(dnl), std(dnl), max(dnl)-min(dnl)));
    title(sprintf('DNL and INL of %0.1g Bit converter (from histogram testing)',
        log2(N)));
    subplot(2,1,2);
    plot(1:N, inl, fmt, [1 N], [1 -1; 1 -1], 'b:');
    xlabel('bin'); ylabel('INL [in LSB]');
    maxinl = ceil(max(inl));
    axis([1 N floor(min(inl)) maxinl+1]);
    text(0.1*N+1, maxinl+0.2, ...
        sprintf('avg=%0.2g, std.dev=%0.2g, range=%0.2g', ...
            mean(inl), std(inl), max(inl)-min(inl)));
end

```