



OTIMIZAÇÃO DE CIRCUITO DE REFERÊNCIA DE TENSÃO DE BANDGAP EM TECNOLOGIA CMOS

Allan Bides de Andrade

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Antonio Petraglia

Rio de Janeiro
Julho de 2016

OTIMIZAÇÃO DE CIRCUITO DE REFERÊNCIA DE TENSÃO DE BANDGAP EM
TECNOLOGIA CMOS

Allan Bides de Andrade

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO
LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE)
DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM
CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

Prof. Antonio Petraglia, Ph.D.

Prof. Antônio Carlos Moreirão de Queiroz, D.Sc.

Prof. Germano Maioli Penello, D.Sc.

RIO DE JANEIRO, RJ – BRASIL

JULHO DE 2016

Andrade, Allan Bides de

Otimização de Circuito de Referência de Tensão de Bandgap em Tecnologia CMOS/Allan Bides de Andrade. – Rio de Janeiro: UFRJ/COPPE, 2016.

XVI, 143 p.: il.; 29,7cm.

Orientador: Antonio Petraglia

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2016.

Referências Bibliográficas: p. 112 – 115.

1. Microeletrônica Analógica. 2. Bandgap. 3. Tensão de Referência. 4. Otimização. 5. Circuito Integrado. I. Petraglia, Antonio. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

AGRADECIMENTOS

Gostaria de agradecer a Deus por permitir a conclusão de mais um trabalho com êxito. A meus pais, Edson e Ilma, por todo carinho e suporte fornecidos durante mais esta caminhada e sempre, sendo eles os maiores responsáveis por minha chegada neste momento. A meu irmão, Renan, pelos momentos de diversão que muito ajudaram a refrescar a cabeça, muitas vezes cansada de estudos.

Agradeço especialmente à minha namorada e companheira Luisa Luz Marçal por todo o carinho, por compartilhar seus momentos de almoço comigo, pelos momentos de distração e diversão, pela paciência e por todo o incentivo nos momentos de maior cansaço durante a execução deste trabalho.

Agradeço a meu orientador Antonio Petraglia por seus ensinamentos desde a graduação e todo auxílio e direcionamento durante o desenvolvimento deste trabalho. Agradeço aos professores do PADS sempre disponíveis e atenciosos em tirar dúvidas e resolver problemas de infraestrutura em nosso laboratório, em especial aos professores Carlos Fernando Teodósio, Fernando Barúqui e José Gabriel. Agradeço ainda a Rafael Szendrodi por fazer seu melhor na Administração da Rede do PADS e no auxílio em configurações do Cadence.

A todos os amigos do PADS, Eduardo, João, Gennildo, Fabiàn, Odair, Florian, Fernanda, Juan, Felipe e Pedro por todos os momentos compartilhados, agradecendo em especial a Eduardo dos Anjos e João Alberto, companheiros em todas as etapas desta jornada que visou adquirir um aprofundado conhecimento em eletrônica e o título de mestre, e que juntos de Gennildo e Odair proporcionaram lanches de fim de tarde acompanhados das mais interessantes discussões.

Ao Professor Casé, a Raphael Andrade e Felipe, do LASPI, que muito contribuíram para finalização dos experimentos do trabalho anterior, base deste, em especial ao amigo Raphael Andrade.

Gostaria de agradecer ao projeto Karate no CT, por me proporcionar durante o período de execução deste trabalho uma vida mais equilibrada, entre árduo estudo, vida pessoal e atividade física. Em especial aos professores Sílvio Melo, Sérgio Chimite, Martim e Fábio Alves.

Por último agradeço à FAPERJ por ter me concedido os recursos financeiros necessários à execução deste trabalho.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

OTIMIZAÇÃO DE CIRCUITO DE REFERÊNCIA DE TENSÃO DE BANDGAP EM TECNOLOGIA CMOS

Allan Bides de Andrade

Julho/2016

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

Esta dissertação apresenta o desenvolvimento de um algoritmo de otimização capaz de realizar o projeto de um circuito de referência de tensão de *bandgap* com calibração. O circuito obtido possui área ativa em silício minimizada e respeita as especificações de tensão de alimentação mínima $V_{DD_{MIN}}$, imprecisão da tensão de referência à temperatura de $27^{\circ}C$ ($3\sigma_{V_{REF}}$) e máxima variação do coeficiente de temperatura após a calibração (ΔTC_{MAX}).

O projeto é realizado em uma tecnologia $0,18 \mu m$ CMOS, as especificações são uma tensão de alimentação mínima de 1,62 V, uma imprecisão final de 0,1 % em $27^{\circ}C$ e uma variação máxima do coeficiente de temperatura de $5,55 ppm/^{\circ}C$. O *layout* do circuito fornecido pelo algoritmo é desenvolvido e o circuito extraído é simulado, onde os parâmetros acima especificados são avaliados através de simulações de Monte Carlo que empregam a tensão de alimentação de 1,62 V. Os resultados obtidos são uma imprecisão de 0,0909 % e um coeficiente de temperatura máximo de $16,95 ppm/^{\circ}C$ (variação máxima de $4,27 ppm/^{\circ}C$) em 99,5% das 999 amostras simuladas, o que comprova a eficiência do algoritmo desenvolvido. O circuito integrado realizado ocupa uma área de $0,035703 mm^2$ e emprega uma corrente total de $9,139 \mu A$.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

BANDGAP VOLTAGE REFERENCE CIRCUIT OPTIMIZATION IN CMOS TECHNOLOGY

Allan Bides de Andrade

July/2016

Advisor: Antonio Petraglia

Department: Electrical Engineering

This dissertation develops an optimization algorithm capable to design a bandgap reference circuit that employs trimming. The obtained circuit employs minimum silicon active area and regards the specifications of minimum supply voltage $V_{DD_{MIN}}$, voltage reference imprecision at $27^{\circ}C$ ($3\sigma_{V_{REF}}$) and maximum variation of temperature coefficient (ΔTC_{MAX}).

The project is made in a $0.18 \mu m$ CMOS technology, the specifications are minimum supply voltage of 1.62 V, voltage reference final inaccuracy at $27^{\circ}C$ of 0.1 % and maximum TC variation of $5.55 ppm/^{\circ}C$. The layout of the circuit provided by the algorithm is developed and its extracted circuit is simulated, where the above specified parameters are evaluated by Monte Carlo simulations that employ the 1.62 V supply voltage. The obtained results are a 0,0909 % imprecision and an maximum TC of $16.95 ppm/^{\circ}C$ (maximum variation of $4.27 ppm/^{\circ}C$) in 99.5% of 999 simulated samples, proving the developed algorithm efficiency. The chip active area is $0.035703 mm^2$ and uses a total current of $9.139 \mu A$.

SUMÁRIO

Lista de Figuras	xi
Lista de Tabelas	xv
I Introdução	1
I.1 Tema	1
I.2 Revisão Bibliográfica	1
I.3 Objetivo	5
I.4 Metodologia	5
I.5 Organização	6
II Referência de Bandgap	8
II.1 Introdução	8
II.2 Ideia Principal	8
II.2.1 Componente de Tensão CTAT	9
II.2.2 Componente de Tensão PTAT	12
II.2.3 A Tensão de Referência de <i>Bandgap</i>	13
II.3 Implementação e Baixa Dependência da Tensão de Alimentação	15
II.3.1 Topologia I	15
II.3.2 Topologia II	17
II.3.3 Problema do Start-up	19
II.4 Figuras de Mérito	21
II.4.1 TC - Coeficiente de Temperatura	21
II.4.2 Imprecisão - Método da Caixa	23
II.4.3 Regulação de linha	23
II.4.4 PSRR - Taxa de Rejeição da Fonte de Alimentação	24
III Projeto do Circuito de Referência de Bandgap	26
III.1 Visão Geral do Trabalho	26
III.2 Otimização	27
III.3 Dispositivos Empregados: Escolha e Equacionamento	27

III.3.1	Transistores MOS	28
III.3.2	Transistores Bipolares	30
III.3.3	Resistores	35
III.4	Circuito	39
III.4.1	Resistor R_1	39
III.4.2	Resistores R_2	40
III.4.3	Resistores R_3	41
III.4.4	Espelho de Corrente	41
III.4.5	Amplificador Operacional	43
III.5	Descasamento e Processo	47
III.5.1	Visão Geral	47
III.5.2	Aplicação ao Projeto	48
III.5.3	Descasamento	50
III.5.4	Variações de Processo	52
III.6	Calibração	54
III.6.1	Método de Calibração	55
III.6.2	Efeito da Calibração no Coeficiente de Temperatura	57
III.7	Estabilidade	59
III.8	Algoritmo	60
III.8.1	Escolha de $3\sigma_{INICIAL}$ e ΔTC_{MAX}	62
III.8.2	Multiplicadores de Lagrange e Condições de Karush-Kuhn-Tucker	62
III.8.3	Tratamento das Restrições de Desigualdade	63
III.8.4	Método de Newton-Raphson	64
III.8.5	Aproximações da Solução Obtida	65
III.9	Projeto	68
III.9.1	Especificações	68
III.9.2	Dimensões Obtidas	70
III.9.3	Calibração	72
III.9.4	Circuito de Start-up	74
IV	Layout	76
IV.1	Introdução	76
IV.2	Layout do Circuito Completo	76
IV.2.1	Transistores Bipolares	78
IV.2.2	Resistores	78
IV.2.3	Par Diferencial	79
IV.2.4	Espelhos de Corrente PMOS	80
IV.2.5	Espelho de Corrente NMOS	81
IV.2.6	Resistores de Calibração	82

IV.2.7	Chaves Analógicas	82
IV.2.8	Start-up	83
V	Simulações	84
V.1	Resultados a Serem Apresentados	84
V.2	Considerações	84
V.3	Circuito Fornecido pelo Algoritmo	85
V.3.1	Comportamento em Relação à Temperatura	85
V.3.2	Regime Transitório	86
V.3.3	Comportamento em Função da Tensão de Alimentação	87
V.3.4	Taxa de Rejeição da Fonte de Alimentação (PSRR)	87
V.3.5	Estabilidade	88
V.3.6	Ruído	90
V.3.7	Simulação de Monte Carlo	90
V.4	Circuito Final com Calibração	91
V.4.1	Comportamento em Relação à Temperatura	92
V.4.2	Regime Transitório	93
V.4.3	Comportamento em Função da Tensão de Alimentação	94
V.4.4	Taxa de Rejeição da Fonte de Alimentação (PSRR)	95
V.4.5	Estabilidade	96
V.4.6	Ruído	97
V.4.7	Simulação de Monte Carlo	98
V.4.8	Teste do Mecanismo de Calibração	99
V.5	Comparação com Outros Trabalhos	107
VI	Conclusões	110
VI.1	Conclusões Gerais	110
VI.2	Trabalhos Futuros	111
	Referências Bibliográficas	112
A	Propagação de Erros e Incertezas aplicada à Microeletrônica	116
A.1	Descrição	116
A.2	Fórmula Geral para Propagação de Incertezas	116
A.3	As Equações de Pelgrom	117
A.4	Propagação de Incertezas Aplicada a Transistores MOS	118
A.4.1	Espelho de corrente	119
A.4.2	Par Diferencial	120
A.4.3	Consideração do Efeito de Corpo	121
A.5	Propagação de Incertezas Aplicada a Resistores	123

A.6	Propagação de Incertezas Aplicada a BJTS	123
A.7	Aplicação ao Circuito de Referência de bandgap deste trabalho	124
A.7.1	Descasamento dos transistores bipolares ($\sigma_{V_{BJT}}$)	125
A.7.2	Descasamento do Espelho de Corrente $M1 - M2$	126
A.7.3	Descasamento entre R_1 e R_2	126
A.7.4	Efeito do Amplificador Operacional	127
B	Erro do Coeficiente de Temperatura após a Calibração	129
B.1	Descrição	129
B.2	Método de Análise	129
B.3	Espelho de Corrente M1-M2	130
B.4	<i>Offset</i> do AmpOp	132
B.5	Calibração Incompleta	134
B.6	Erro Total de TC	135
C	Estabilidade do Circuito Empregado	136
C.1	Descrição	136
C.2	Modelo de Pequenos Sinais	136
C.3	Análise da Estabilidade	137
C.3.1	Ganho A_1 do Amplificador Operacional	139
C.3.2	Ganho β da Realimentação	140
C.3.3	Ganho A_2 do Amplificador Operacional	141

LISTA DE FIGURAS

II.1	Esquema básico de como é obtida a tensão de referência.	9
II.2	Forma de obter uma tensão CTAT. (a) Utilizando Transistor NPN. (b) Utilizando Transistor PNP. (c) Transistores estão conectados como Diodo.	9
II.3	Gráfico da tensão de bandgap do silício em função da temperatura (linha sólida) e uma aproximação linear em torno de uma temperatura de referência T_{REF} (linha tracejada)	11
II.4	Gráfico de V_{EB} em função da temperatura.	12
II.5	Forma de obter uma tensão PTAT. (a) Utilizando apenas dois transistores. (b) Utilizando N transistores em paralelo.	13
II.6	Gráfico de ΔV_{EB} em função da temperatura.	14
II.7	Gráfico da tensão de referência em função da temperatura.	15
II.8	Topologia 1 - Primeiro circuito capaz de gerar a referência de <i>bandgap</i>	16
II.9	Circuito didático de um espelho de corrente auto-polarizado.	16
II.10	Topologia 2 - Segundo circuito capaz de gerar a referência de <i>bandgap</i>	18
II.11	Gráfico mostrando os dois pontos de operação do circuito da Fig. II.10.	20
II.12	Circuito de <i>start-up</i>	21
III.1	Visão geral do objetivo do trabalho.	26
III.2	Transistor NMOS apresentando as correntes I_F e I_R	28
III.3	Fabricação de transistores bipolares (BJTs) PNP e NPN [1]. (a) Transistor PNP Vertical. (b) Transistor NPN Vertical.	31
III.4	Transistores bipolares incluindo imperfeições.	32
III.5	Amplificador Operacional Empregado, um OTA de um único estágio.	43
III.6	Circuito de <i>bandgap</i> acrescido da calibração do resistor R_2	55
III.7	Rede resistiva de calibração R_{TRIM}	56
III.8	Esquema das possibilidades de $V_{R_{TRIM}} - \sigma_{INICIAL}$, representando a metodologia de Calibração. (a) Esquema inicial. (b) Esquema empregado.	56
III.9	Esquema de uma configuração centroe-comum dos BJTs.	66
III.10	Circuito de <i>start-up</i> implementado no projeto.	75
IV.1	Layout do Circuito Completo. (a) Visão Ampliada. (b) Organização.	77

IV.2	Layout dos transistores bipolares Q_1 e $Q_2 \cdots Q_{n+1}$. (a) Esquema. (b) Implementação.	78
IV.3	Layout dos Resistores R_1 , R_{2PART} e R_3 . (a) Esquema. (b) Implementação.	79
IV.4	Layout do par diferencial composto pelos transistores $M8$ e $M9$. (a) Esquema. (b) Implementação.	80
IV.5	Layout dos transistores dos espelhos de corrente PMOS $M1$, $M2$, $M3$, $M4$ e $M5$. (a) Esquema. (b) Implementação.	81
IV.6	Layout dos transistores $M6$ e $M7$, responsáveis pela polarização do AmpOp. (a) Esquema. (b) Implementação.	81
IV.7	Layout dos resistores R_{BIT0} , R_{BIT1} , R_{BIT2} , R_{BIT3} e R_{BIT4} pertencentes ao esquema de calibração. (a) Esquema. (b) Implementação.	82
IV.8	Layout das chaves analógicas $M15$, $M16$, $M17$, $M18$ e $M19$. (a) Esquema. (b) Implementação.	83
IV.9	Layout dos transistores $M10$, $M11$, $M12$, $M13$ e $M14$, pertencentes ao circuito de <i>start-up</i> . (a) Esquema. (b) Implementação.	83
V.1	Comportamento do Circuito Fornecido pelo algoritmo em função da temperatura. (a) Tensão de referência em função da temperatura. (b) Erro entre o valor da tensão de referência do circuito simulado e a tensão calculada pelo algoritmo.	86
V.2	Análise da tensão de referência em função do tempo no circuito fornecido pelo algoritmo. (a) Sem circuito de <i>start-up</i> . (b) Com circuito de <i>start-up</i>	86
V.3	Comportamento do circuito fornecido pelo algoritmo em função da tensão de alimentação.	87
V.4	Taxa de rejeição da fonte de alimentação (PSRR) para o circuito fornecido pelo algoritmo.	88
V.5	Resposta em frequência do ganho de malha aberta do circuito fornecido pelo algoritmo.	89
V.6	Resposta em frequência do ruído.	90
V.7	Análise de Monte Carlo para o circuito fornecido pelo algoritmo. (a) Histograma do valor da tensão de referência na temperatura de 27°C . (b) Histograma do coeficiente de temperatura.	91
V.8	Comportamento do Circuito Fornecido pelo algoritmo em função da temperatura de 1000 iterações de Monte Carlo, considerando a variação total (descasamento + processo).	92
V.9	Comportamento do Circuito Final na Condição nominal com código de Calibração "01111".	92

V.10	Análise da tensão de referência em função do tempo no circuito final na condição nominal. (a) Sem circuito de <i>start-up</i> . (b) Com circuito de <i>start-up</i>	93
V.11	Comportamento do circuito final em função da tensão de alimentação na condição nominal.	94
V.12	Taxa de rejeição da fonte de alimentação (PSRR) para o circuito final. . .	95
V.13	Resposta em frequência do Ganho de Malha aberta do circuito fornecido pelo algoritmo.	96
V.14	Resposta em frequência do ruído.	97
V.15	Análise de Monte Carlo para o circuito final na condição nominal, foram realizadas 1000 iterações. (a) Histograma do valor da tensão de referência na temperatura de 27°C. (b)	98
V.16	Análise de Monte Carlo para o circuito final na condição nominal. (a) Histograma do valor da tensão de referência na temperatura de 27°C. (b) .	98
V.17	Esquema básico do circuito utilizado no teste do mecanismo de calibração.	100
V.18	Circuito digital do contador decrescente com <i>enable</i> e <i>preset</i>	101
V.19	Dois cruzamentos pela tensão de limiar devido aos efeitos capacitivos. . .	102
V.20	Circuito empregado no teste do mecanismo de calibração.	103
V.21	Teste dos resistores de calibração no circuito esquemático com calibração.	104
V.22	Sinais para o circuito de teste: <i>clock</i> , <i>preset</i> , <i>S1</i> e <i>S2</i>	104
V.23	Gráfico ilustrando a redução progressiva do espalhamento da tensão de referência.	105
V.24	Histogramas da tensão de referência na temperatura de 27°C obtida por simulação de Monte Carlo com 999 iterações visando a avaliação da redução de imprecisão. (a) Circuito esquemático. (b) Circuito extraído. . . .	105
V.25	Histogramas do coeficiente de temperatura obtido por simulação de Monte Carlo com 999 iterações visando saber a influência da calibração neste parâmetro. (a) Circuito do esquemático. (b) Circuito extraído. . . .	106
V.26	Curvas de V_{REF} vs. T correspondentes às iterações de Monte Carlo para o circuito final antes e após a calibração.(a) Curvas de V_{REF} vs. T antes da calibração. (b) Curvas de V_{REF} vs. T após a calibração.	107
A.1	Transistores como espelhos de corrente.	119
A.2	Par Diferencial.	120
A.3	Comparação de Modelos de $\sigma_{\Delta V_T}$ com efeito de corpo considerado. . . .	122
A.4	Circuito do projeto incluindo a tensão de <i>offset</i> de entrada do AmpOp e representação das correntes I_1 e I_2 descasadas.	125
A.5	Amplificador Operacional.	127

B.1	Comparação de $V_{REF_{IDEAL}}$, com $V_{REF_{COMP_1}}$, para $\Delta V_{T0} = 5mV$, e $V_{REF_{COMP_2}}$, para $\Delta V_{T0} = -5mV$ considerado.	132
B.2	Comparação de $V_{REF_{IDEAL}}$, com $V_{REF_{COMP_1}}$, quando $V_{OS} = 1mV$, e $V_{REF_{COMP_2}}$, quando $V_{OS} = -1mV$ considerado.	134
B.3	Comparação de $V_{REF_{IDEAL}}$, com $V_{REF_{COMP_1}}$, quando $V_{MIN} > 0V$, e $V_{REF_{COMP_2}}$, quando $V_{MIN} < 0V$ considerado.	135
C.1	Modelo de pequenos sinais no EKV. (a) Modelo de pequenos sinais. (b) Modelo de pequenos sinais simplificado.	137
C.2	Circuito para análise da estabilidade.	138
C.3	Circuito empregado para obter o ganho $A_1(s)$	139
C.4	Circuito da rede beta utilizada no cômputo de $\beta(s)$	141
C.5	Circuito empregado para obter o ganho $A_2(s)$	142

LISTA DE TABELAS

III.1	Comparação dos Resistores de Poli-silício no processo de fabricação utilizado.	36
III.2	Especificações empregadas neste projeto.	70
III.3	Dimensões fornecidas pelo algoritmo para os transistores MOS.	71
III.4	Dimensões dos resistores fornecidas pelo algoritmo.	71
III.5	Parâmetros fornecidos para os transistores bipolares.	71
III.6	Outros parâmetros fornecidos pelo algoritmo.	71
III.7	Implementação dos resistores.	73
III.8	Implementação das chaves analógicas.	74
III.9	Dimensões empregadas no circuito de <i>start-up</i>	75
V.1	Resultados realizados pelo algoritmo e esperados pela simulação.	85
V.2	Tabela com algumas características referentes ao circuito fornecido pelo algoritmo.	85
V.3	Tabela contendo a corrente sobre o resistor R_1 e a corrente total consumida pelo circuito.	87
V.4	PSRR em várias frequências do circuito fornecido pelo algoritmo para o caso sem carga capacitiva.	88
V.5	PSRR em várias frequências do circuito fornecido pelo algoritmo no caso em que a saída possui uma carga capacitiva de 1,47 pF.	89
V.6	Tabela contendo a margem de fase calculada e simulada no circuito esquemático fornecido pelo algoritmo.	89
V.7	Ruído RMS na saída do circuito esquemático final e extraído.	90
V.8	Resultados da simulação de Monte Carlo para o circuito fornecido pelo algoritmo.	91
V.9	Tabela com algumas características referentes ao circuito fornecido pelo algoritmo.	93
V.10	Tabela contendo a corrente sobre o resistor R_1 e a corrente total consumida pelo circuito final.	94
V.11	PSRR do circuito final em várias frequências para o caso sem carga capacitiva.	95

V.12	PSRR do circuito final em várias frequências no caso em que a saída possui uma carga de $1,47\text{ pF}$	96
V.13	Tabela contendo o valor da margem de fase do circuito esquemático final.	97
V.14	Ruído RMS na saída do circuito esquemático final e extraído.	97
V.15	Resultados da simulação de Monte Carlo para o circuito final.	99
V.16	Resultados da simulação de Monte Carlo para o circuito final após a calibração.	106
V.17	Análise detalhada dos pontos que fogem das especificações.	107
V.18	Imprecisão da tensão de referência entre -10°C e 125°C empregando o método da caixa (<i>box-method</i>).	107
V.19	Tabela comparativa das características do circuito extraído deste trabalho com outros trabalhos encontrados na literatura.	108
C.1	Capacitâncias no modelo EKV para transistores em saturação direta.	138
C.2	Trans-capacitâncias no modelo EKV para transistores em saturação direta.	138

CAPÍTULO I

INTRODUÇÃO

I.1 - TEMA

Este trabalho consiste no projeto, implementado por um circuito integrado na tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*), de um circuito de referência de tensão, mais especificamente a classe deste conhecida como circuito de referência de *bandgap*, baseado na tensão de *bandgap* do silício.

Um circuito de referência de tensão é um bloco analógico com a finalidade de fornecer a outros blocos de um mesmo circuito integrado uma tensão com baixa sensibilidade às variações de temperatura e tensão de alimentação. Exemplos de circuitos dependentes desta referência de tensão são reguladores de tensão, conversores A/D e conversores D/A, uma vez que necessitam realizar uma comparação de seu sinal de entrada com outro, que seja conhecido e estável em relação aos parâmetros mencionados. Deste modo, a precisão dos resultados fornecidos por estes circuitos dependem diretamente da precisão da tensão de referência, e este é o ponto em que reside a importância do circuito foco deste trabalho.

I.2 - REVISÃO BIBLIOGRÁFICA

Um circuito de referência de tensão, que seja robusto em relação às variações de temperatura, tem como princípio fundamental de operação a soma de dois componentes de tensão, ou corrente (posteriormente convertida em um sinal de tensão através de um resistor), cujos comportamentos sejam opostos quando ocorre uma variação de temperatura, de forma que as variações das componentes se anulem gerando a tensão desejada. Este é também o princípio empregado em projetos de circuitos de tensão de referência de *bandgap*, onde se soma uma tensão que possui coeficiente de temperatura negativo, da

junção de um transistor bipolar, com uma diferença de tensão que possui coeficiente de temperatura positivo, entre dois transistores bipolares idênticos polarizados em diferentes densidades de corrente [2].

Este circuito foi idealizado para circuitos integrados no início da década de 70 por Widlar [2], que o empregou em um regulador de tensão como alternativa ao circuito de referência de tensão utilizando diodo zener compensado na temperatura. Como este tipo de diodo opera na região de *breakdown*, isto tornava o circuito de referência relativamente ruidoso e limitava sua tensão de alimentação a valores maiores que 6V. Por outro lado, o circuito de referência de tensão de *bandgap* possuía ruído inferior e uma tensão em torno de 1,205 V, a tensão de *bandgap* do silício, o que permitiu a utilização de tensões de alimentação bem menores.

A implementação do circuito de Widlar e seus resultados positivos [2] motivou o início de pesquisas que perduram até os dias de hoje com o objetivo de encontrar diferentes topologias de implementação da ideia principal [3–7], criar técnicas de compensação de curvatura visando maior redução da variação da tensão de referência em relação à temperatura [7–11], e obter maior precisão na reprodutibilidade do circuito na fabricação em larga escala [8, 12, 13].

Os trabalhos mais recentes encontrados na literatura [7, 10, 11, 13] apontam na direção de projetar circuitos de tensão de referência cujos coeficientes de temperatura sejam os menores possíveis para obtenção de uma alta precisão. A tensão de junção do transistor bipolar possui coeficiente de temperatura negativo, mas apresenta um comportamento não-linear em função da temperatura, enquanto o termo com coeficiente de temperatura positivo mencionado anteriormente é puramente linear. Portanto, um típico circuito de referência de tensão de *bandgap* compensa apenas os termos de primeira ordem da tensão de junção do transistor bipolar e é capaz de alcançar um coeficiente de temperatura de algumas poucas dezenas de ppm/°C em uma faixa de temperatura de $-40\text{ }^{\circ}\text{C}$ a $125\text{ }^{\circ}\text{C}$ [9, 13]. A compensação de curvatura tem o objetivo de compensar termos de ordens superiores da tensão de junção do transistor bipolar, e desta forma possibilita a obtenção de um coeficiente de temperatura tão baixo quanto 3,4 ppm/°C [10].

Os trabalhos [7, 13] empregam a mesma técnica de compensação de curvatura, apenas mudando a topologia de implementação. Nesta técnica empregam-se dois transistores bipolares, um polarizado por uma corrente linearmente crescente com a temperatura e outro polarizado por uma corrente aproximadamente constante com a temperatura, ambas geradas pelo circuito de referência. Notou-se que se a diferença de tensão destes dois dispositivos for considerada, a resultante é proporcional ao termo não-linear da tensão de junção do transistor bipolar que se deseja eliminar. Desta forma, uma corrente proporcional a este termo é gerada utilizando um resistor. Esta corrente é então transformada em uma tensão pelo circuito de referência, cujo valor é o componente não-linear ponderado por uma razão de resistências que deve ser ajustada a fim de eliminar por completo a tensão

não-linear da junção do transistor bipolar. Na prática, apenas parte das não-linearidades na tensão de junção do transistor é eliminada, de forma que o coeficiente de temperatura é bastante reduzido, mas não é nulo. O circuito realizado em [13] obteve um coeficiente mínimo de 5 ppm/°C em uma faixa de temperatura de $-40\text{ }^{\circ}\text{C}$ a $125\text{ }^{\circ}\text{C}$ em uma tecnologia $0,16\mu\text{m}$ CMOS, enquanto o descrito por [7] obteve um coeficiente mínimo de 3,9 ppm/°C em uma faixa de temperatura de $-15\text{ }^{\circ}\text{C}$ a $150\text{ }^{\circ}\text{C}$ em uma tecnologia $0,35\mu\text{m}$ CMOS.

Os trabalhos [10, 11] implementam a mesma ideia básica, no entanto de formas bem distintas. A tensão de referência gerada por um bandgap típico empregando transistores bipolares, onde apenas o termo de primeira ordem da variação com a temperatura é compensado, possui uma curva em função da temperatura que se assemelha a uma parábola com coeficiente de segunda ordem negativo. A ideia destes dois trabalhos seria obter, além de um circuito com o comportamento descrito, um circuito que apresente uma curva em função da temperatura que seja uma parábola oposta, com coeficiente de temperatura de segunda ordem positivo, que ao ser adicionada à parábola com coeficiente negativo, elimine seu termo de segunda ordem, obtendo assim uma tensão de referência com coeficiente de temperatura reduzido. O projeto apresentado em [10] emprega um circuito que gera uma corrente proporcional à diferença entre as tensões *gate-source* (ΔV_{GS}) de dois transistores MOS em inversão fraca polarizados com diferentes densidades de corrente, e a utiliza como corrente de compensação por possuir o comportamento parabólico requerido. Já em [11] utiliza-se um circuito de corrente de referência de *bandgap* empregando transistores bipolares possuindo coeficiente de temperatura de segunda ordem negativo, mas que ao ser copiada por um espelho de corrente para ser usada como corrente de compensação, tem sua curvatura invertida devido aos diferentes efeitos de modulação de canal sofridos pelos transistores deste espelho. O menor coeficiente de temperatura obtido em [10] foi de 3,4 ppm/°C em uma faixa de temperatura de $-40\text{ }^{\circ}\text{C}$ a $120\text{ }^{\circ}\text{C}$ em uma tecnologia $0,18\mu\text{m}$ CMOS, enquanto em [11] foi obtido 4,2 ppm/°C em uma faixa de temperatura de $-40\text{ }^{\circ}\text{C}$ a $120\text{ }^{\circ}\text{C}$ em uma tecnologia $0,13\mu\text{m}$ CMOS.

Um tema de grande relevância ao se tratar de circuitos de tensão de referência se refere à reprodutibilidade dos resultados em uma fabricação em larga escala, ou seja, a precisão real obtida de um circuito deste tipo. As variações de alguns parâmetros do processo durante a fabricação dos chips e os descasamentos ocorridos entre componentes que deveriam ser iguais, ou com razões de aspecto proporcionais, provocam variações nos resultados de tensão fornecidos por diferentes chips fabricados, o que limita a precisão da tensão de referência e altera drasticamente sua dependência em relação à temperatura. Para solucionar este problema uma abordagem necessária é a calibração pós-fabricação de um ou mais componentes do circuito, de forma a recuperar o valor nominal da tensão de referência e seu bom comportamento em relação à temperatura. No entanto, isto acarreta custos extras de tempo e financeiro e quanto mais componentes a serem calibrados

maiores serão estes custos. Desta forma, alguns autores fazem uma análise das principais fontes de erro de seus circuitos para elaborar uma estratégia de projeto para aumentar a precisão destes [8, 12, 13]. De forma geral, a fonte de maior erro nestes circuitos, fabricados em processos CMOS, reside no amplificador operacional requerido por eles, uma vez que estes possuem tipicamente um *offset* de entrada de 10 mV e um coeficiente de temperatura aproximadamente nulo, o que impede a devida calibração do circuito através do ajuste de apenas um dispositivo [13]. Assim, uma possível solução é a eliminação desta tensão de *offset* através da utilização de técnicas como *Correlated Double Sampling* [8] ou *Chopper* [13], o que aumenta a complexidade do circuito de tensão de referência, mas torna eficiente a calibração de apenas um componente [13]. Outra alternativa seria reduzir o *offset* de entrada aumentando a área do par diferencial do amplificador, reduzindo assim seu descasamento [14]. Embora esta abordagem não elimine o *offset* de entrada, ela pode reduzi-lo suficientemente para garantir uma precisão inicial mínima e reduzir o número de *bits* requerido na calibração de 1 ou mais dispositivos, reduzindo assim o custo total de calibração.

Além do *offset* de entrada do amplificador operacional, os descasamentos de outros dispositivos no circuito de tensão de referência também produzem erros que reduzem a precisão inicial da tensão gerada. Da mesma forma que com o *offset* de entrada, a redução do descasamento entre estes dispositivos é garantida pelas equações de Pelgrom [14] através do aumento de suas áreas. Ainda que esta abordagem seja reconhecida e empregada [15], o aumento da área dos dispositivos é geralmente realizado pela experiência do projetista e analisada por simulações, sem a realização de uma otimização que vise a redução da área total do circuito. Embora existam alguns trabalhos analisando os erros de um circuito de referência de corrente [12] e algumas otimizações de circuitos de referência de tensão de *bandgap* visando redução da área total do circuito em silício [16, 17], ou não existe uma restrição com o objetivo de garantir uma precisão mínima especificada da tensão de referência [17] ou a otimização é feita através de heurística, sem a descrição das equações do circuito [16].

A realização do projeto de um circuito de referência de tensão em tecnologia CMOS através de um algoritmo de otimização que reduza a área total do circuito, obedecendo restrições de projeto e garantindo uma precisão inicial mínima especificada à temperatura ambiente ou um erro especificado máximo do coeficiente de temperatura, após a calibração de um único dispositivo à temperatura ambiente, é uma tarefa relevante no estudo destes circuitos. Este é o tema proposto neste trabalho.

I.3 - OBJETIVO

Este trabalho de pesquisa se concentra no projeto de um circuito de referência de tensão de *bandgap* em uma tecnologia $0,18 \mu\text{m}$ CMOS. Para o projeto é realizado um algoritmo de otimização que minimize a área total empregada em silício pelo circuito e garanta um nível especificado de precisão inicial à temperatura ambiente da tensão de referência e um erro máximo especificado de seu coeficiente de temperatura na faixa de -10°C à 125°C após a calibração de um único dispositivo do circuito. O algoritmo também obedecerá a outras restrições impostas ao circuito para seu devido funcionamento, assim como restrições do processo, como dimensões mínimas e máximas de componentes, e restrições sugeridas por ele para garantir maior precisão na implementação dos dispositivos.

Este projeto representa a continuação do trabalho realizado em [18], onde foram realizadas análises de descasamento do circuito e realizada uma otimização de forma a minimizar a área empregada em silício e garantir a especificação de uma precisão inicial à temperatura ambiente. No trabalho aqui proposto são desenvolvidas novas análises de descasamento, incluindo o efeito gerado pela calibração, e novas restrições e variáveis, como o número de transistores bipolares empregados, que são inseridas no algoritmo de otimização.

Este método é interessante pois pode ser empregado no projeto de um circuito de referência de tensão sem calibração de precisão média e com área total de circuito mínima, ou ainda, ser utilizado para reduzir a imprecisão inicial à temperatura ambiente do circuito, de forma a reduzir o número de bits necessários à calibração e obter área total de circuito mínima.

I.4 - METODOLOGIA

Para realizar o projeto proposto e testar seu funcionamento foram adotadas as seguintes etapas:

1. **Estudo do processo de fabricação:** um estudo do processo foi realizado para conhecer os dispositivos disponíveis e seus parâmetros mais importantes. Esta parte inicial permitiu definir os modelos utilizados para os componentes, as restrições impostas ao projeto do circuito por eles e restrições recomendadas pelo processo de fabricação.
2. **Modelagem do circuito empregado:** o circuito a ser trabalhado foi equacionado e seu comportamento perante o descasamento de seus componentes e de variações

de processo modelados.

3. **Desenvolvimento do algoritmo de otimização:** com modelos de trabalho bem definidos, o algoritmo de otimização foi desenvolvido no software matemático Matlab.
4. **Teste do circuito obtido pelo algoritmo:** o algoritmo desenvolvido fornece as dimensões dos componentes do circuito. Para testar se as especificações requisitadas foram devidamente implementadas, simulações do circuito antes da implementação da calibração foram realizadas, e assim, eventuais erros no algoritmo foram corrigidos.
5. **Implementação da calibração e teste:** após o primeiro teste, sem implementação da calibração, esta foi implementada e teve seu comportamento verificado pelas simulações do circuito. Desta forma, o teste final do algoritmo implementado foi realizado.
6. **Realização do layout do circuito:** com o esquemático do circuito projetado e testado, o circuito teve as máscaras de *layout* desenhadas. Para realizar isto, os componentes foram divididos em células menores, de forma a implementar estruturas arranjadas em configuração de centroide comum.
7. **Simulação do circuito extraído do layout:** o circuito equivalente do *layout* implementado, juntamente com os dispositivos parasitas inseridos por este processo, foi extraído e simulado para a validação final do projeto.

I.5 - ORGANIZAÇÃO

No Capítulo II é mostrada a ideia do circuito de tensão de referência de *bandgap*, assim como a teoria básica envolvida e duas topologias de implementação. São ainda definidos alguns parâmetros de avaliação de desempenho destes circuitos.

No Capítulo III são descritos o método empregado no projeto do circuito de referência de *bandgap*, as equações utilizadas na otimização e o algoritmo empregado.

No Capítulo IV são apresentadas as máscaras de *layout* do circuito desenvolvido, assim como as máscaras de cada um de seus blocos individualmente.

No Capítulo V são apresentados os resultados de simulação dos circuitos esquemático e extraído do circuito desenvolvido.

No Capítulo VI encontram-se as conclusões obtidas e ainda trabalhos futuros.

No Apêndice A encontra-se o método de propagação de incertezas aplicado ao projeto do circuito implementado neste trabalho.

No Apêndice B o erro do coeficiente de temperatura após a calibração é equacionado para os diversos blocos do circuito.

No Apêndice C encontra-se a análise detalhada da estabilidade do circuito de tensão de referência.

CAPÍTULO II

REFERÊNCIA DE BANDGAP

II.1 - INTRODUÇÃO

O circuito de referência de *bandgap* começou a ser popularizado em 1971 por Robert J. Widlar [2], que o utilizou como referência em seu circuito regulador de tensão, substituindo a tradicional referência com compensação de temperatura a diodo zener. Desde então muito foi pesquisado e desenvolvido buscando o aperfeiçoamento do circuito, que utilizava a tecnologia de fabricação bipolar. Com o advento da tecnologia de fabricação CMOS, novas pesquisas se iniciaram, visando superar as limitações impostas pelo novo processo. Ainda hoje este tipo de circuito é objeto de pesquisa e apresenta vários desafios a projetistas de circuitos integrados.

II.2 - IDEIA PRINCIPAL

A ideia principal do circuito de referência de *bandgap* é obter uma tensão quase independente das variações de temperatura. Isto é feito através da soma ponderada de duas tensões que possuam comportamentos opostos em função da temperatura, como pode ser visto na Fig. II.1.

Uma tensão que aumente com a elevação da temperatura (possua derivada positiva) é conhecida como PTAT (*Proportional To Absolute Temperature*), enquanto outra que reduza com a elevação da temperatura (possua derivada negativa) é conhecida como CTAT (*Complementary To Absolute Temperature*) [19]. Desta forma, é possível escrever algebricamente a ideia apresentada como

$$V_{REF} = C_{PTAT} V_{PTAT} + C_{CTAT} V_{CTAT}. \quad (\text{II.1})$$

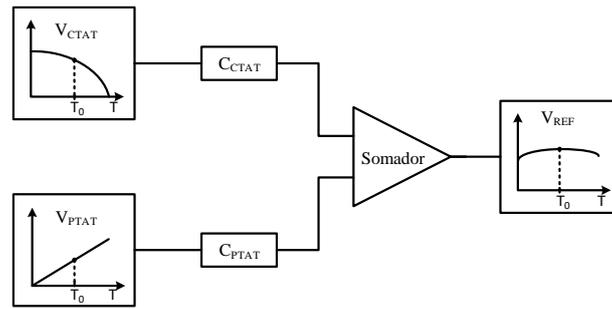


Figura II.1: Esquema básico de como é obtida a tensão de referência.

Na Fig. II.1, C_{PTAT} e C_{CTAT} são constantes a serem escolhidas de forma que a variação da tensão de referência seja nula, dada uma variação da temperatura (derivada zero), como expresso em (II.2). Como, em geral, as tensões a serem utilizadas não exibem um comportamento linear com a temperatura, impõe-se esta condição em uma temperatura específica T_0 , ou seja,

$$\left. \frac{\partial V_{REF}}{\partial T} \right|_{T=T_0} = C_{PTAT} \left. \frac{\partial V_{PTAT}}{\partial T} \right|_{T=T_0} + C_{CTAT} \left. \frac{\partial V_{CTAT}}{\partial T} \right|_{T=T_0} = 0. \quad (\text{II.2})$$

II.2.1 - COMPONENTE DE TENSÃO CTAT

A componente de tensão CTAT (*Complementary To Absolute Temperature*) utilizado na referência de *bandgap* é a tensão de junção V_{BE} ou V_{EB} de um transistor bipolar conectado como diodo e polarizado por uma corrente bem caracterizada, como ilustrado na Fig. II.2.

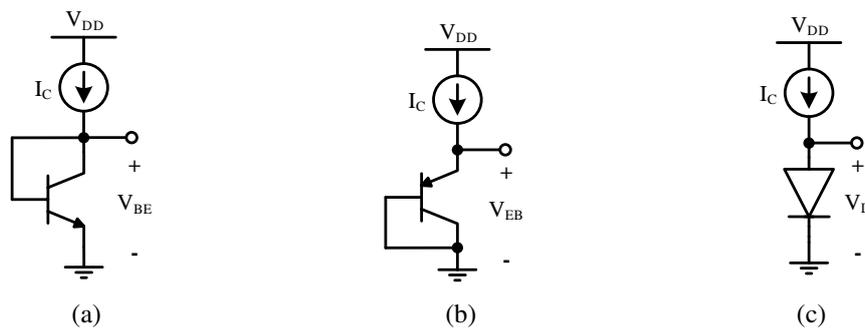


Figura II.2: Forma de obter uma tensão CTAT. (a) Utilizando Transistor NPN. (b) Utilizando Transistor PNP. (c) Transistores estão conectados como Diodo.

Embora se possam utilizar tanto transistores NPN como PNP, o uso do último é preferido por questões que serão detalhadas no Capítulo III. As equações para os dois tipos de transistores são as mesmas, bastando trocar V_{BE} por V_{EB} para utilizar o transistor PNP. Desta forma, daqui em diante se empregarão transistores PNP nos cálculos e figuras.

Assume-se, também, que os transistores apresentados são ideais, tal que o valor de β é tão elevado que é possível considerar $I_C = I_E$.

Tendo o conhecimento da componente CTAT, V_{EB} , é importante desenvolver uma equação que expresse seu comportamento em relação à temperatura. A equação básica do transistor bipolar pode ser aproximada por

$$I_C = I_S e^{\frac{V_{EB}}{U_T}}, \quad (\text{II.3})$$

onde I_C é a corrente de coletor do transistor, I_S é sua corrente de saturação, V_{EB} é a sua tensão de junção emissor-base e U_T é a tensão térmica do transistor bipolar. Apesar desta fórmula ser útil, ela oculta a dependência da corrente com a temperatura. Para mostrá-la, é necessário conhecer U_T e I_S . A equação de U_T é

$$U_T = \frac{kT}{q}, \quad (\text{II.4})$$

onde $k = 1,38062 \cdot 10^{-23}$ J/K [20] é a constante de Boltzmann, $q = 1,60219 \cdot 10^{-19}$ C [20] é a carga do elétron e T é a temperatura expressa em Kelvin (K).

A equação correspondente à corrente de saturação I_S é mais complicada, mas é possível escrevê-la de forma simplificada como [21]

$$I_S = CT^\eta e^{-\frac{V_G(T)}{U_T}}, \quad (\text{II.5})$$

onde C é uma constante independente da temperatura, T a temperatura dada em Kelvin, $\eta = 4 - n$, com n sendo uma constante dependente do processo e $V_G(T)$ é a tensão de bandgap do silício em função da temperatura [21], geralmente expressa como

$$V_G(T) = V_{G0} - \frac{Gap_1 T^2}{T + Gap_2}, \quad (\text{II.6})$$

onde V_{G0} , Gap_1 e Gap_2 são constantes comumente definidas com os valores padrões 1,16 V, $7,02e-4$ V/K e 1108 K, respectivamente, ou 1,17 V, $4,73e-4$ V/K e 636 K [21]. A função $V_G(T)$ tem sua curva apresentada na Fig. II.3 juntamente com uma aproximação linear.

Conhecendo U_T e I_S é possível, então, expressar a dependência de I_C com a temperatura por

$$I_C(T) = CT^\eta e^{\frac{(V_{EB(T)} - V_G(T))q}{kT}}. \quad (\text{II.7})$$

Da (II.7) é possível obter a tensão de junção V_{EB} em função da temperatura

$$V_{EB}(T) = V_G(T) + \frac{kT}{q} \ln \left(\frac{I_C(T)}{CT^\eta} \right). \quad (\text{II.8})$$

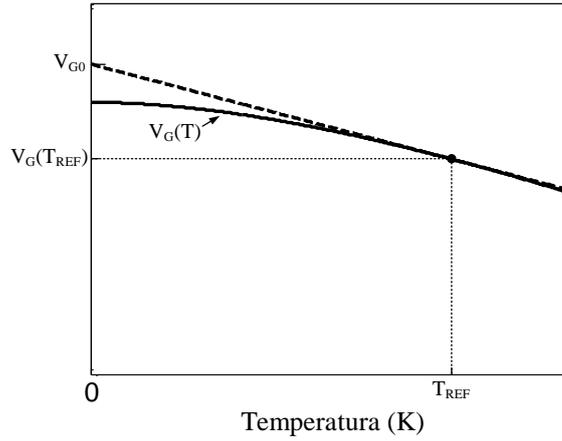


Figura II.3: Gráfico da tensão de bandgap do silício em função da temperatura (linha sólida) e uma aproximação linear em torno de uma temperatura de referência T_{REF} (linha tracejada) .

Embora a (II.8) já expresse a dependência da tensão de junção emissor-base com a temperatura, uma forma mais interessante é obtida pelo cálculo de $V_{EB}(T)T_{REF} - V_{EB}(T_{REF})T$ utilizando a Eq. II.8, onde T_{REF} é uma temperatura de referência em que o valor de tensão $V_{EB}(T_{REF})$ é conhecido. O resultado é escrito como [21]

$$V_{EB}(T) = V_{EB}(T_{REF}) \left(\frac{T}{T_{REF}} \right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}} \right) + U_T \ln \left(\frac{I_C(T)}{I_C(T_{REF})} \right) - \eta U_T \ln \left(\frac{T}{T_{REF}} \right). \quad (II.9)$$

Existe ainda uma forma particular bastante útil, o caso em que $I_C(T) = aT^\delta$:

$$V_{EB}(T) = V_{EB}(T_{REF}) \left(\frac{T}{T_{REF}} \right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}} \right) - (\eta - \delta) \frac{kT}{q} \ln \left(\frac{T}{T_{REF}} \right). \quad (II.10)$$

Por questões de simplicidade $V_G(T)$ é frequentemente aproximado em torno da temperatura T_{REF} por uma expressão linear, a curva tracejada na Fig. II.3 , dada por

$$V_G(T) = V_{G0} + \epsilon_{REF} T, \quad (II.11)$$

onde V_{G0} é uma constante conhecida como a tensão de bandgap extrapolada na temperatura de 0K, obtida da aproximação, ϵ_{REF} é a derivada de $V_G(T)$ na temperatura T_{REF} . A substituição de (II.11) em (II.10) fornece a expressão aproximada

$$V_{EB}(T) = V_{EB}(T_{REF}) \left(\frac{T}{T_{REF}} \right) + V_{G0} \left(1 - \frac{T}{T_{REF}} \right) - (\eta - \delta) \frac{kT}{q} \ln \left(\frac{T}{T_{REF}} \right). \quad (II.12)$$

Na (II.12) é possível notar o comportamento CTAT de $V_{EB}(T)$, pois $V_{EB}(T_{REF}) < V_{G0}$,

de forma que um aumento em T faz com que o termo T/T_{REF} eleve mais a parte negativa V_{G0} que a positiva V_{EB} , o que faz a função $V_{EB}(T)$ diminuir com a temperatura. Outro detalhe importante é que esta dependência é não linear devido ao termo $(\eta - \delta) v_t \ln(T/T_{REF})$.

A Fig. II.4 mostra o gráfico de $V_{EB}(T)$ em função da temperatura, para valores de $V_{EB}(T_{REF}) = 0,66 V$, $V_{G0} = 1,16 V$, $\eta = 3$ e $\delta = 0$.

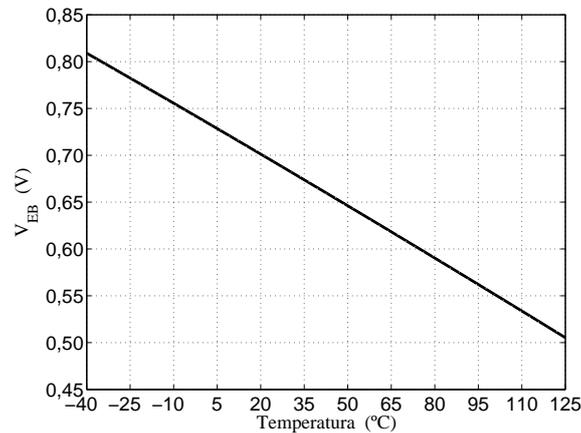


Figura II.4: Gráfico de V_{EB} em função da temperatura.

II.2.2 - COMPONENTE DE TENSÃO PTAT

A componente de tensão PTAT pode ser obtido polarizando dois transistores bipolares com densidades de corrente diferentes e subtraindo suas tensões de junção, como pode ser visto nos desenhos da Fig. II.5. Na Fig. II.5 (b), o transistor Q_1 é polarizado com uma corrente I_C . Para obter uma densidade de corrente diferente são utilizados N transistores em paralelo idênticos a Q_1 , também polarizados por uma corrente total I_C . Desta forma, I_C se divide entre os N transistores e por cada um, flui uma corrente I_C/N .

Para escrever a equação referente a esta componente de tensão, é necessário obter V_{EB} a partir da (II.3):

$$V_{EB} = U_T \ln \left(\frac{I_C}{I_S} \right). \quad (\text{II.13})$$

De posse da (II.13), basta subtrair as duas tensões de junção, lembrando das considerações discutidas anteriormente, ou seja,

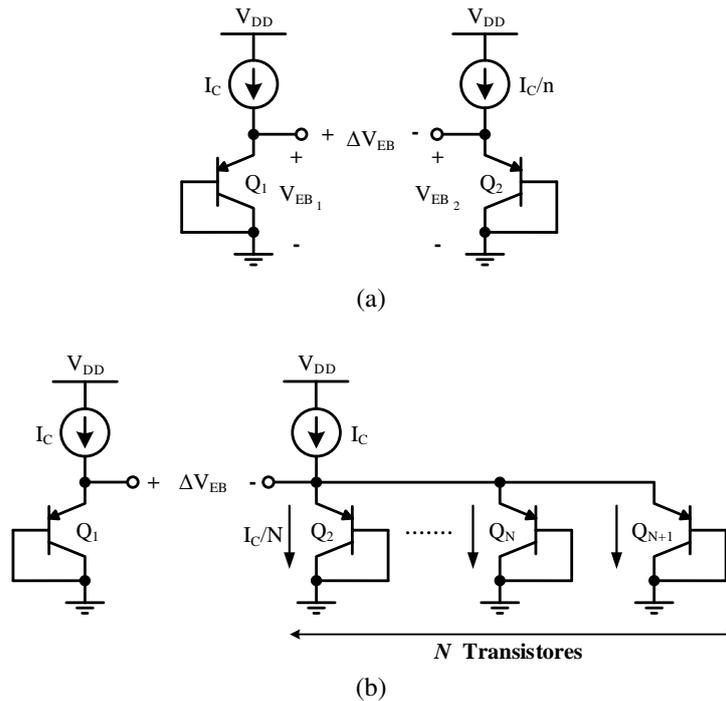


Figura II.5: Forma de obter uma tensão PTAT. (a) Utilizando apenas dois transistores. (b) Utilizando N transistores em paralelo.

$$\begin{aligned}
 V_{EB_1} &= U_T \ln \left(\frac{I_C}{I_S} \right) \\
 V_{EB_2} &= U_T \ln \left(\frac{I_C}{N I_S} \right) \\
 \Delta V_{EB} &= V_{EB_1} - V_{EB_2} = U_T \ln(N) = \frac{kT}{q} \ln(N). \quad (\text{II.14})
 \end{aligned}$$

Assim, é possível ver que ΔV_{EB} varia linearmente com a temperatura com um coeficiente dado por $\frac{k}{q} \ln(N)$. Outra característica muito interessante é o fato de este resultado ser independente da corrente de coletor ou corrente de saturação do transistor bipolar. A Fig. II.6 mostra o gráfico de ΔV_{EB} em função da temperatura para $N = 24$.

II.2.3 - A TENSÃO DE REFERÊNCIA DE *Bandgap*

Com as componentes PTAT e CTAT caracterizados, podemos, então, encontrar a expressão teórica para a tensão de referência de *bandgap*. Como o coeficiente de temperatura de V_{EB} é da ordem de $-1,5 \text{ mV}/^\circ\text{C}$, cuja magnitude é maior que a do coeficiente de temperatura de ΔV_{EB} , da ordem de $0,087 \text{ mV}/^\circ\text{C}$, em geral a constante C_{CTAT} é escolhida igual a 1, assim

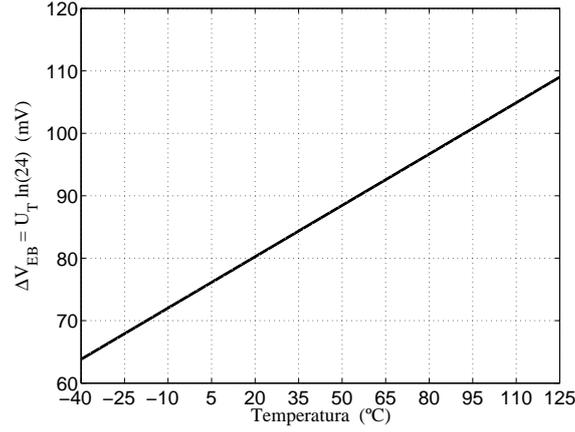


Figura II.6: Gráfico de ΔV_{EB} em função da temperatura.

$$V_{REF} = V_{EB} + C_{PTAT} \ln(N) U_T, \quad (\text{II.15})$$

onde a única variável a ser dimensionada é a constante C_{PTAT} , o que é feito a partir da (II.2). Desta forma, o valor desta constante é encontrado pela equação

$$C_{PTAT} \ln(N) \left. \frac{\partial U_T}{\partial T} \right|_{T=T_0} = - \left. \frac{\partial V_{EB}}{\partial T} \right|_{T=T_0}. \quad (\text{II.16})$$

A derivada de U_T é simples, expressa por

$$\frac{\partial U_T}{\partial T} = \frac{k}{q}. \quad (\text{II.17})$$

A derivada de V_{EB} é obtida através da (II.10) e dada por

$$\frac{\partial V_{EB}}{\partial T} = \frac{V_{EB}(T_{REF}) - V_{G0}}{T_{REF}} - U_T \frac{(\eta - \delta)}{T} \left(1 + \ln \left(\frac{T}{T_{REF}} \right) \right). \quad (\text{II.18})$$

Logo, utilizando as relações acima, encontra-se o valor necessário para C_{PTAT} :

$$C_{PTAT} = \frac{1}{\ln(N)} \left[(\eta - \delta) \left(1 + \ln \left(\frac{T_0}{T_{REF}} \right) \right) - \frac{(V_{EB}(T_{REF}) - V_{G0}) q}{k T_{REF}} \right]. \quad (\text{II.19})$$

A (II.19), quando substituída na (II.15) de V_{REF} , permite encontrar a expressão

$$V_{REF} = V_{G0} + (\eta - \delta) \frac{kT}{q} \left(1 - \ln \left(\frac{T}{T_0} \right) \right). \quad (\text{II.20})$$

A (II.20) depende apenas de constantes do processo e, além disto, permite explicar a origem do termo referência de *bandgap*. Note que no limite em que T tende a $0K$, a tensão de referência tende para V_{G0} , que é nada mais do que a tensão de *bandgap* extrapolada em torno de zero Kelvin.

Na Fig. II.7 é mostrado o gráfico da tensão de referência para $V_{G0} = 1,16 \text{ V}$, $\eta = 3$ e $\delta = 1$.

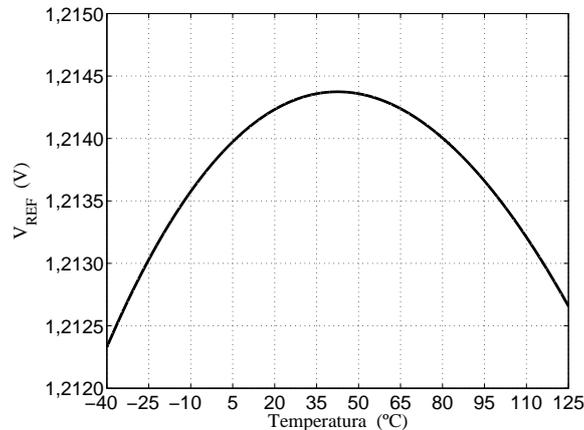


Figura II.7: Gráfico da tensão de referência em função da temperatura.

II.3 - IMPLEMENTAÇÃO E BAIXA DEPENDÊNCIA DA TENSÃO DE ALIMENTAÇÃO

Após a discussão da teoria básica sobre a referência de *bandgap* e como obter suas componentes PTAT e CTAT, resta encontrar um circuito capaz de implementar a soma destas componentes e obter, de fato, a tensão de referência.

Dentre as dificuldades da implementação do circuito estão: polarizar os transistores de uma forma independente da tensão de alimentação (V_{DD}), como ilustrado na Fig. II.5 (b), e extrair a tensão ΔV_{EB} deste esquema, multiplicando-a por uma constante.

A seguir são mostradas duas topologias que resolvem os problemas mencionados e, desta forma, implementam a referência de tensão de *bandgap*.

II.3.1 - TOPOLOGIA I

O circuito da figura abaixo mostra a primeira topologia. O circuito pode ser dividido em duas partes: um gerador de corrente PTAT, responsável por polarizar os transistores e extrair a componente ΔV_{EB} e o ramo responsável pela soma das componentes PTAT e CTAT.

O gerador de corrente PTAT garante a baixa sensibilidade da tensão de alimentação

tensões V_{GS} serem iguais.

A característica discutida anteriormente garante a baixa dependência da tensão de alimentação, mas permite a existência de qualquer nível de corrente, uma vez que as correntes nos ramos são iguais. A corrente quiescente do circuito será fixada pelo esquema composto pelo resistor R_1 e os transistores bipolares Q_1 e $Q_2 \cdots Q_{N+1}$. Como as correntes nos dois ramos são iguais, é possível notar que a polarização mostrada na Fig. II.5 (b) está implementada e que, desta forma, é possível extrair uma tensão PTAT do esquema. Como as tensões nos nós X e Y são iguais, conclui-se que a tensão sobre o resistor R_1 será $V_{R_1} = V_{EB_1} - V_{EB_2} = kT \ln(n)/q$, (II.14), e sua corrente será dada por

$$I_{R_1} = \frac{kT \ln(N)}{q R_1}, \quad (\text{II.21})$$

que fixa a corrente dos espelhos e possui um comportamento PTAT, admitindo que R_1 não varie com a temperatura. Desta forma, a componente de tensão PTAT é transformada em uma corrente. Esta é, então, copiada para o bloco que realizará a soma dos componentes. Assim, a tensão de referência será a tensão sobre o transistor bipolar Q_3 , CTAT, somada à tensão sobre o resistor R_3 , PTAT devido à corrente I_{R_1} . Logo, a tensão de referência será dada por

$$V_{REF} = V_{EB_3} + \frac{R_2}{R_1} \ln(N) \frac{kT}{q}, \quad (\text{II.22})$$

onde R_2/R_1 pode ser escolhido para satisfazer à (II.19) e, conseqüentemente, à (II.2).

II.3.2 - TOPOLOGIA II

Outra topologia, que emprega um amplificador operacional e é utilizada neste projeto está ilustrada na Fig. II.10.

Neste circuito, as funções de gerar uma corrente PTAT e somar os componentes a se compensarem não estão separadas em blocos como no circuito anterior. No entanto, a ideia é basicamente a mesma. Os transistores $M1$ e $M2$ podem possuir as mesmas dimensões ou não e, assim, as correntes nos dois ramos podem ser diferentes, o que é assumido aqui de forma a garantir um desenvolvimento mais geral. Desta forma,

$$\frac{I_{M1}}{I_{M2}} = \frac{W_1/L_1}{W_2/L_2} = M, \quad (\text{II.23})$$

como pode ser observado na Fig. II.10, onde as correntes I_{M1} e I_{M2} são descritas em função de I_{R_1} . O amplificador operacional possui uma alta impedância de entrada, de forma que não há fuga de corrente para suas entradas, e um ganho alto o suficiente para garantir que as tensões nos nós X e Y sejam iguais, o que, semelhante à Topologia 1, fará

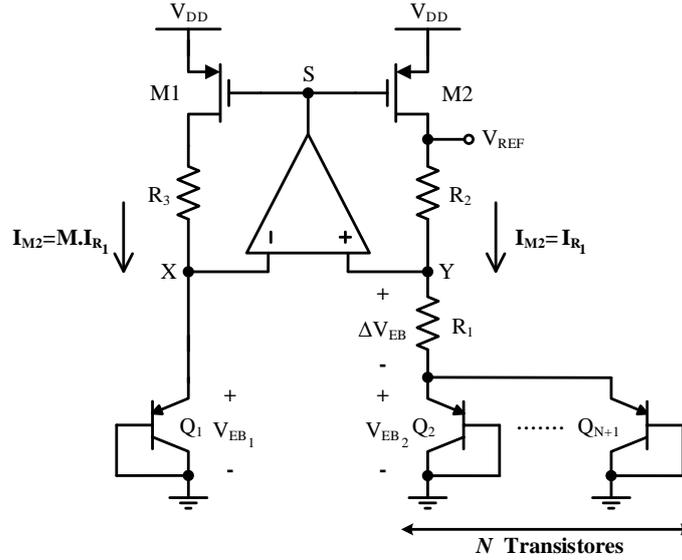


Figura II.10: Topologia 2 - Segundo circuito capaz de gerar a referência de *bandgap*.

com que a tensão sobre o resistor R_1 seja $V_{R_1} = V_{EB_1} - V_{EB_2}$, onde empregando a (II.13)

$$\begin{aligned} V_{EB_1} &= U_T \ln \left(\frac{M I_{R_1}}{I_S} \right) \\ V_{EB_2} &= U_T \ln \left(\frac{I_{R_1}}{N I_S} \right) \\ V_{R_1} &= \frac{kT}{q} \ln(MN) \end{aligned} \quad (\text{II.24})$$

e desta forma

$$I_{R_1} = \frac{kT \ln(MN)}{q R_1}, \quad (\text{II.25})$$

que possui um comportamento PTAT uma vez que M independe da temperatura. O amplificador operacional permite ainda que a tensão de referência seja extraída diretamente do ramo à direita. Desta forma, ela será a soma da tensão sobre os transistores bipolares $Q_2 \cdots Q_{N+1}$, com comportamento CTAT, com a tensão sobre os resistores R_2 e R_1 , com comportamento PTAT, sendo dada por

$$V_{REF} = V_{EB_2} + \left(\frac{R_2}{R_1} + 1 \right) \ln(MN) \frac{kT}{q}, \quad (\text{II.26})$$

onde se nota que a constante M pode ser utilizada de forma a reduzir o número de transistores bipolares, o que pode ser interessante uma vez que em tecnologias CMOS, estes transistores ocupam uma área grande. Existe também uma desvantagem, já que o emprego de $M > 1$ faz com que a potência consumida pelo circuito seja aumentada.

Ainda restam algumas observações importantes a respeito desta topologia. O amplificador operacional possui duas funções principais:

- (i) garantir que as tensões nos nós X e Y sejam iguais e

- (ii) regular a tensão nos gates dos transistores $M1$ e $M2$, de tal forma que compense uma variação da tensão de alimentação V_{DD} .

A última função pode ser vista, por exemplo, supondo inicialmente que a tensão de alimentação aumente. Com sua elevação, a magnitude da tensão V_{GS} (tensão entre gate e source) dos transistores MOS aumenta, e conseqüentemente a corrente no circuito se eleva, aumentando a tensão sobre os resistores e transistores bipolares e, assim, também a tensão de referência. No entanto, considerando que as variações de tensão dos transistores bipolares são muito pequenas (aumentam com $\ln(I_C)$) em relação à variação da tensão sobre o resistor R_1 , a tensão do nó Y do amplificador operacional aumentará mais que a do nó X e a tensão na saída do amplificador também se elevará, de forma que o valor absoluto da tensão V_{GS} dos transistores MOS será reduzida, diminuindo a corrente no circuito e, conseqüentemente, a tensão de referência, voltando à situação inicial.

Para garantir o funcionamento do circuito, a realimentação do amplificador precisa ser negativa, sendo necessário posicionar corretamente os terminais $+$ e $-$ do amplificador operacional. O raciocínio é semelhante ao anterior, onde agora uma variação da saída do amplificador não pode modificar o funcionamento do circuito. Admitindo V_{DD} constante, uma redução da tensão na saída do amplificador, por algum motivo, fará com que a corrente no circuito aumente, o que elevará mais a tensão no nó Y do que no nó X . Desta forma, a escolha da posição dos terminais deve ser feita para compensar o efeito inicial na saída, ou seja, elevar a tensão de saída de forma a reduzir a corrente do circuito. Assim, os terminais $+$ e $-$ devem ser posicionados como na Fig. II.10, pois assim o ganho será positivo, aumentando a tensão de saída. Note, que se a posição fosse escolhida invertida, o ganho seria negativo, reduzindo a tensão de saída e elevando ainda mais a corrente no circuito, tornando-o instável.

Outra observação se refere ao uso do resistor R_3 , cuja função é compensar os efeitos de modulação de canal [19] nos transistores MOS. Sem R_3 , as tensões de dreno de $M1$ e $M2$ irão diferir, tornando as suas correntes diferentes. Assim, R_3 deverá ser escolhido igual a R_2/M , para que as tensões de dreno dos transistores fiquem iguais, garantindo que as correntes nos dois ramos sejam idênticas.

II.3.3 - PROBLEMA DO START-UP

As duas topologias de circuito apresentadas possuem um problema intrínseco, conhecido como problema do *start-up*. Este problema consiste na possível operação do circuito em um estado de baixa corrente, durante o qual se diz que o circuito está desligado, pois, ao ligar-se a fonte de alimentação, o circuito continua sem fornecer a tensão de referência [19, 22].

Para entender melhor o problema vamos considerar o circuito da Fig. II.10. O circuito é projetado para um ponto de operação específico. No entanto, existe ainda o estado desligado do circuito. Então, para encontrar este ponto desligado, serão consideradas as correntes que fluem pelos transistores $M1$, I_{M1} , e $M2$, I_{M2} , que por efeito de simplificação serão consideradas idênticas ($M = 1$),

$$I_{M1} = I_{M2}. \quad (\text{II.27})$$

Das Eqs. (II.24) e (II.26), com $M = 1$, obtém-se

$$I_{M2} = U_T \frac{\ln \left(N \frac{I_{M1}}{I_{M2}} \right)}{R_1}, \quad (\text{II.28})$$

de onde segue a relação

$$I_{M1} = \frac{I_{M2}}{N} e^{\frac{R_1 I_{M2}}{U_T}}, \quad (\text{II.29})$$

onde U_T é a tensão térmica apresentada em (II.4).

Assim, as soluções para as correntes devem satisfazer às Eqs. (II.27) e (II.29), como podem ser vistas graficamente através da intersecção entre as duas curvas na Fig. II.11, que fornece duas soluções: uma igual a zero e outra diferente de zero.

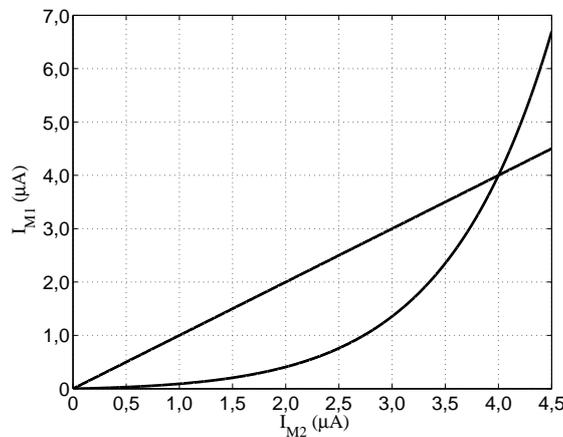


Figura II.11: Gráfico mostrando os dois pontos de operação do circuito da Fig. II.10.

O circuito é projetado para que a corrente seja diferente de zero, mas é possível que ao ligar-se o circuito ele permaneça no estado zero, ou seja, possuindo corrente e tensão de referência com valores iguais a zero. Isto ocorre se todos os componentes forem ideais e casados. Na presença de não idealidades, como descasamentos e tensão de *offset* do amplificador operacional, estes terão seus erros adicionados às equações mostradas, mudando o ponto de operação de corrente zero para um outro de baixíssima corrente.

Assim, é necessário garantir a operação desejada do circuito, o que é feito através de um circuito de *start-up*, cuja função é detectar o estado desligado e injetar a corrente

necessária no circuito até que ele passe para o estado ligado. É preciso ainda interromper o funcionamento do circuito de *start-up* uma vez alcançado o estado ligado para não alterar o comportamento projetado para o circuito. Uma forma de implementar este circuito pode ser vista na Fig. II.12.

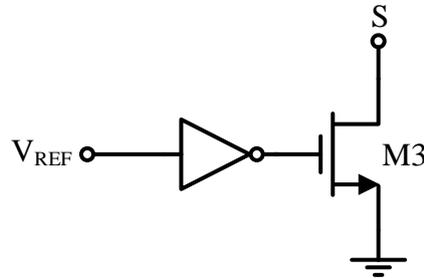


Figura II.12: Circuito de *start-up*.

O inversor lógico é utilizado para verificar se o circuito está em um estado desligado. Neste estado, a tensão de referência possui um valor baixo, próximo de zero Volts. Desta forma, um nível lógico baixo está na entrada da porta inversora e um nível lógico alto aparece em sua saída, o que faz o transistor *M3* funcionar como uma chave ligando o potencial de *GND* ao nó *S* do circuito na Fig. II.10, obrigando os transistores *M1* e *M2* a conduzirem e uma corrente fluir pelo amplificador operacional para ligá-lo, o que eleva a tensão de referência. Quando o circuito chega a seu ponto de operação projetado (ligado), a entrada do inversor lógico reconhece a tensão de referência como um nível lógico alto, de forma que, em sua saída, o nível lógico será baixo e o transistor *M3* estará cortado, desconectando o bloco de *start-up* do circuito e garantindo seu devido funcionamento.

II.4 - FIGURAS DE MÉRITO

Com a teoria básica e alguns circuitos de referência de *bandgap* apresentados, é necessário definir critérios de avaliação e comparação de circuitos de referência de tensão distintos. Abaixo são apresentados os principais parâmetros de avaliação [1].

II.4.1 - TC - COEFICIENTE DE TEMPERATURA

O coeficiente de temperatura, TC (*Temperature Coefficient*), mede quanto varia a tensão de referência dada uma variação de temperatura. Seu cálculo é feito em todo o intervalo de temperatura desejada, obtendo a taxa de variação da tensão de referência com a temperatura e normalizando este resultado pela tensão de referência nominal. Desta

forma, este parâmetro é definido em $ppm/^\circ C$, por [22]

$$TC = \frac{1}{V_{REFNOM}} \cdot \left(\frac{V_{REFMAX} - V_{REFMIN}}{T_{MAX} - T_{MIN}} \right) \cdot 10^6 \text{ ppm}/^\circ C, \quad (\text{II.30})$$

onde T_{MAX} e T_{MIN} são, respectivamente, as temperaturas máxima e mínima do intervalo considerado, V_{REFMAX} e V_{REFMIN} são, respectivamente, a máxima e a mínima tensões de referência neste intervalo e V_{REFNOM} é o valor de tensão nominal, que possui duas definições usuais:

1. $V_{REFNOM} = V_{REF}(27^\circ C)$: V_{REF} avaliada na temperatura ambiente, geralmente considerada $27^\circ C$, devido a este ser o valor padrão configurado nos simuladores de circuitos;
2. $V_{REFNOM} = \frac{V_{REFMAX} + V_{REFMIN}}{2}$: onde é dito que o TC foi calculado utilizando o método da caixa (*box-method*) [23].

A (II.30) pode ser empregada ainda de três formas distintas:

1. A uma única amostra medida, como considerado até agora;
2. A um grupo grande de amostras:
 - (a) V_{REFMAX} e V_{REFMIN} tornam-se respectivamente os máximos e mínimos absolutos dentre todas as amostras medidas em toda a faixa de temperatura;
 - (b) obtém-se curvas máxima e mínima de $3\sigma^1$ em função da temperatura obtidas a partir da estatística das amostras avaliadas, e adiciona-as ao grupo de amostras. Em seguida o cômputo é realizado como em (a).

A não ser que expresso ao contrário, este trabalho emprega a combinação das definições 1-1, ou seja, $V_{REFNOM} = V_{REF}(27^\circ C)$ amostra à amostra.

II.4.1.1 - IMPRECISÃO INICIAL

A imprecisão inicial (referenciada em inglês como *initial accuracy*²) de um circuito de tensão de referência é um parâmetro estatístico que leva em consideração o erro provindo

¹O desvio padrão de uma variável aleatória é usualmente denotado por σ . Em uma distribuição normal (gaussiana) aproximadamente 99,7% das amostras da variável aleatória estão no máximo 3σ afastadas da média. Desta forma, 3σ é usualmente interpretado como um limite máximo para o erro absoluto da variável aleatória em relação à sua média.

²É comum encontrar na literatura o emprego do termo exatidão (*accuracy*) medido através do desvio padrão das amostras da tensão de referência para mensurar o desempenho do circuito proposto. No entanto, este autor entende que exatidão engloba os conceitos de veracidade (*trueness*), grau de concordância entre a média dos valores medidos e o valor verdadeiro, e precisão (*precision*), relacionado ao desvio padrão das medições [24, 25]. Desta forma, como este trabalho foca de forma específica no controle do desvio padrão da tensão de referência, optou-se por empregar o termo precisão.

das não idealidades da fabricação do circuito integrado, como variação dos parâmetros de processo, descasamento entre os componentes do circuito e gradientes de processo. Assim, ela é definida através do desvio padrão da tensão de referência ($\sigma_{V_{REF}}$), na temperatura ambiente ($27^{\circ}C$), que é obtido por simulações através da análise de Monte Carlo e, após a fabricação, pelo cálculo da distribuição estatística dos valores de tensão obtidos dos vários chips medidos. Desta forma, a imprecisão é dada por [23]

$$\text{Imprecisão Inicial}(3\sigma) = \frac{3\sigma_{V_{REF}}}{V_{REF_{MÉDIA}}} \cdot 100 \%. \quad (\text{II.31})$$

II.4.2 - IMPRECISÃO - MÉTODO DA CAIXA

O método da caixa (*box-method*) é uma maneira de considerar em um mesmo parâmetro os erros gerados por variações de processo, descasamento dos componentes, gradientes de processo em toda a faixa de temperatura e o coeficiente de temperatura. É empregada em um número grande de amostras e pode ser definida por dois grupos diferentes:

1. O grupo de amostras medidas somente (obtem-se um valor de referência de tensão nominal e uma variação máxima do grupo) [23];
2. O grupo de amostras medidas mais as curvas de 3σ máxima e mínima obtidas através da estatística das amostras medidas avaliadas em toda a faixa de temperatura (obtem-se um valor de referência de tensão nominal e uma variação máxima de 3σ do grupo) [13].

Para ambos os casos o cômputo dos parâmetros é realizado da mesma forma e dados por

$$V_{REF_{NOM}} = \frac{V_{REF_{MAX}} + V_{REF_{MIN}}}{2}, \quad (\text{II.32})$$

$$\text{Imprecisão} = \frac{V_{REF_{MAX}} - V_{REF_{MIN}}}{2}, \quad (\text{II.33})$$

no entanto, para o caso 2 a imprecisão obtida é considerada como de 3σ , uma vez que esta é baseada na estatística das amostras.

II.4.3 - REGULAÇÃO DE LINHA

A regulação de linha [1] mede a sensibilidade da tensão de referência em relação à sua tensão de alimentação e é definida como

$$LNR = \frac{V_{REF}(V_{DDMAX}) - V_{REF}(V_{DDMIN})}{V_{DDMAX} - V_{DDMIN}} = \frac{\Delta V_{REF}}{\Delta V_{DD}} \mu V/V, \quad (II.34)$$

onde V_{DDMAX} e V_{DDMIN} são, respectivamente, as tensões máxima e mínima da alimentação a serem consideradas, e $V_{REF}(V_{DDMAX})$ e $V_{REF}(V_{DDMIN})$ são respectivamente os valores da tensão de referência quando a tensão de alimentação é a máxima e a mínima definidas anteriormente.

Esta definição é algumas vezes aplicada em circuitos cuja tensão de referência é inferior a 1V, no entanto a mais encontrada na literatura é a PSRR (*Power Supply Rejection Rate*) DC (*Direct Current*), definida a seguir.

II.4.4 - PSRR - TAXA DE REJEIÇÃO DA FONTE DE ALIMENTAÇÃO

A Taxa de Rejeição da Fonte de Alimentação, PSRR pode ser dividida em duas categorias: medida de rejeição DC e medida de rejeição AC (*Alternate Current*). É importante notar que rejeição é diferente de sensibilidade, sendo seu oposto. Assim, a tensão de referência vai ser tão menos sensível quanto maior sua taxa de rejeição. Apesar desta observação, o mais encontrado na literatura é o PSRR avaliado como sensibilidade, o que leva a obtenção de um resultado com sinal algébrico invertido.

II.4.4.1 - REJEIÇÃO DC

A rejeição DC fornece uma medida de quão robusta é a tensão de referência às variações da sua tensão de alimentação, ou seja, mede o quanto a tensão de referência irá rejeitar uma redução ou aumento de sua tensão de alimentação. Assim, ela é definida, em *dB*, por

$$PSRR(DC) = 20 \log \left(\frac{\Delta V_{DD}}{\Delta V_{REF}} \right) \text{ dB}, \quad (II.35)$$

onde ΔV_{DD} e ΔV_{REF} são definidos como para a regulação de linha, mostrada anteriormente.

II.4.4.2 - REJEIÇÃO AC

Diferente da medida de rejeição DC, a AC mede quanto a tensão de referência é capaz de não ser influenciada por sinais de interferências provenientes do meio externo ou de outros circuitos no mesmo chip. Desta forma, ela é uma medida dada em função da frequência e mostrada através de um gráfico da função [1]

$$PSRR(f) = 20 \log \left(\frac{V_{DD}(f)}{V_{REF}(f)} \right) \text{ dB.} \quad (\text{II.36})$$

CAPÍTULO III

PROJETO DO CIRCUITO DE REFERÊNCIA DE BANDGAP

III.1 - VISÃO GERAL DO TRABALHO

O objetivo geral deste trabalho de pesquisa é desenvolver um algoritmo capaz de projetar o circuito de tensão de referência da topologia II apresentado no Capítulo II, na Fig. II.10, aplicado a uma tecnologia $0.18\mu\text{m}$ CMOS. A ideia é apresentada na Fig. III.1. O algoritmo recebe um conjunto de parâmetros de entrada, as especificações do circuito, como imprecisão inicial antes da calibração, T_{MIN} , T_{MAX} , $V_{DD_{MIN}}$, erro máximo do Coeficiente de Temperatura após a calibração, entre outros, e fornece como saída as dimensões dos dispositivos que implementam o circuito obedecendo tais especificações e com área mínima total de implementação em silício. Para reduzir a imprecisão inicial uma rede resistiva de calibração é projetada e inserida no circuito.

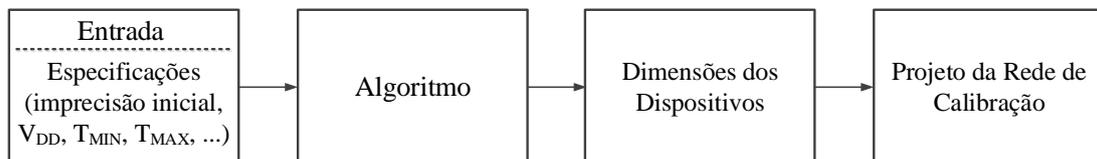


Figura III.1: Visão geral do objetivo do trabalho.

Antes e após a inserção da rede de calibração simulações são realizadas de forma a validar o projeto para posterior confecção do *layout* das máscaras do circuito. O *layout* e as simulações são apresentados nos Capítulos IV e V, respectivamente.

As seções seguintes tratam das equações utilizadas pelo algoritmo, da otimização empregada e de um projeto de validação.

III.2 - OTIMIZAÇÃO

Um problema de otimização é composto por uma função de uma ou mais variáveis em que se deseja obter o valor destas capazes de fornecer o mínimo ou máximo desta função, chamada função custo ou objetivo. Por exemplo,

$$f(x,y,z) = \ln(x^2) + 3y^2 + \frac{5}{z^2},$$

onde $f(x,y,z)$ é a função custo e x,y,z são as variáveis cujos valores que minimizam $f(x,y,z)$ se desejam encontrar.

O problema pode ainda possuir restrições de igualdade, desigualdade, ou ambas, que dificultam a solução do problema, tal como

$$h(x,y,z) = x^2 + y = 1,$$

$$g(x,y,z) = x + y + 2z < 2.$$

Desta forma, um problema de otimização é usualmente enunciado na forma

$$\begin{aligned} \text{Minimizar} \quad & f(x,y,z) \\ \text{Sujeito a} \quad & h(x,y,z) = c \\ & g(x,y,z) \leq d \end{aligned} \tag{III.1}$$

Neste trabalho, a função custo a ser minimizada é a área total do circuito, ou seja, a soma do produto $W.L$ (largura-comprimento) de todos os componentes utilizados no circuito. Existe também uma série de restrições impostas pelo processo para tornar a implementação dos dispositivos mais robusta, além das restrições impostas pelas especificações fornecidas. As próximas seções descrevem estas funções.

III.3 - DISPOSITIVOS EMPREGADOS: ESCOLHA E EQUACIONAMENTO

Esta seção apresenta os modelos matemáticos utilizados para descrever o comportamento dos componentes utilizados, e, nos casos onde existe mais de um tipo de componente, justifica a escolha de um específico.

III.3.1 - TRANSISTORES MOS

Simuladores de circuitos utilizam modelos de transistores MOS muito complexos, que não permitem cálculos manuais e tornariam rotinas de otimização computacionais pouco eficientes. O modelo EKV (Enz-Krummenacher-Vittoz) [26] sem efeitos de segunda ordem é simples e capaz de fornecer resultados aproximados razoáveis, além de possuir uma única equação contínua para todos os níveis de inversão (fraca, moderada e forte), necessita de apenas 3 parâmetros ($I_{S_{MOS}}$ ou k_P , V_{T0} e n_{MOS}) para ser descrito, o que inclui a modelagem do efeito de corpo.

O EKV trabalha com duas correntes principais, uma direta (*forward*) I_F e outra reversa (*reverse*) I_R , onde a corrente total de dreno I_D é a soma das duas, respeitadas seus sentidos. A Fig. III.2 ilustra estas correntes em um transistor NMOS. Além disto, as tensões em seus terminais porta (*gate*), V_G , fonte (*source*), V_S , e dreno (*drain*), V_D , são referenciadas à tensão de substrato V_B , e por isto, o índice B é omitido (V_{GB} , V_{SB} e V_{DB}).

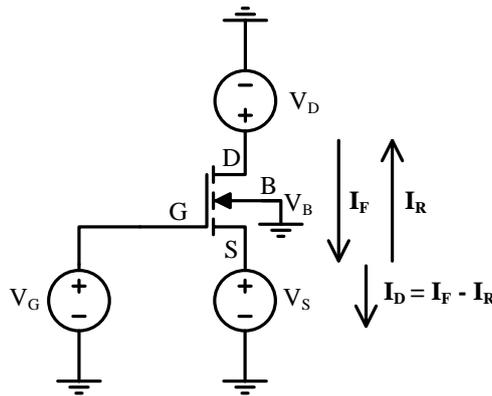


Figura III.2: Transistor NMOS apresentando as correntes I_F e I_R .

A equação geral do EKV é dada por

$$\frac{V_P - V_{S,D}}{U_T} = \sqrt{1 + 4 \frac{I_{F,R}}{I_{SPEC}}} + \ln \left(\sqrt{1 + 4 \frac{I_{F,R}}{I_{SPEC}}} - 1 \right) - (1 + \ln 2), \quad (\text{III.2})$$

onde V_P é a tensão de *pinch-off*

$$V_P = \frac{V_G - V_{T0}}{n_{MOS}}, \quad (\text{III.3})$$

V_{T0} é a tensão de *threshold*, n_{MOS} é o *slope-factor*, I_{SPEC} é a corrente específica

$$I_{SPEC} = I_{S_{MOS}} \frac{W}{L} = 2 n_{MOS} U_T^2 k_P \frac{W}{L}, \quad (\text{III.4})$$

onde W (*width*) e L (*length*) são respectivamente a largura e comprimento do canal do transistor,

$$k_P = \mu C_{ox}, \quad (\text{III.5})$$

μ é a mobilidade dos portadores majoritários do transistor e C_{ox} é a capacitância do óxido por unidade de área. A notação $V_{S,D}$, $I_{F,R}$ significa que se I_F está sendo avaliado, então V_S deve ser utilizado no cálculo e se I_R é avaliado, V_D deve ser empregado.

Da observação de (III.2) nota-se que não é possível obter $I_{F,R}$ em função de V_P de forma analítica, o que pode ser um contratempo para o cômputo manual e extração dos parâmetros necessários para seu uso. Por este motivo, é comum utilizar-se a expressão interpolada[26]

$$I_{F,R} = I_{SPEC} \ln^2 \left(1 + e^{\frac{V_P - V_{S,D}}{2U_T}} \right). \quad (III.6)$$

Esta equação possui um erro muito pequeno em relação à (III.2).

A simplicidade do modelo EKV reside no fato de que o interesse usual para projeto reside na região de saturação dos diferentes níveis de inversão, e nestes casos $I_F \gg I_R$, logo a corrente I_R pode ser desprezada e a corrente de dreno pode ser simplesmente escrita como

$$I_D = I_{SPEC} \ln^2 \left(1 + e^{\frac{V_P - V_S}{2U_T}} \right). \quad (III.7)$$

A tensão de saturação $V_{D_{SAT}}$ também possui uma equação contínua válida para todos os níveis de inversão [27]

$$V_{D_{SAT}} = 3U_T + U_T \sqrt{1 + 4 \frac{I_D}{I_{SPEC}}}. \quad (III.8)$$

Outra vantagem do modelo EKV é a identificação dos níveis de inversão através do parâmetro Coeficiente de Inversão (IC : *Inversion Coefficient*)

$$IC = \max \left(\frac{I_F}{I_{SPEC}}, \frac{I_R}{I_{SPEC}} \right), \quad (III.9)$$

ou no caso de estar-se trabalhando na saturação

$$IC = \frac{I_D}{I_{SPEC}}. \quad (III.10)$$

Desta forma, se

1. $IC \ll 1$: O transistor está operando em inversão fraca;
2. $IC = 1$: O transistor está operando em inversão moderada;
3. $IC \gg 1$: O transistor está operando em inversão forte.

Em alguns casos se sabe a priori o nível de inversão de operação de determinado transistor, assim é vantajoso empregar equações mais simples que (III.7). O modelo EKV permite que com o mesmo valor dos três parâmetros ($I_{S_{MOS}}$ ou k_P , V_{T0} e n_{MOS}) sejam utilizadas as equações aproximadas para I_D mostradas a seguir [26]:

1. Para a região de saturação da inversão fraca

$$I_D = I_{S_{MOS}} \frac{W}{L} e^{\frac{V_G - V_{T0} - n_{MOS} V_S}{n_{MOS} U_T}}, \quad 3U_T \leq V_{D_{SAT}} \leq 5U_T; \quad (\text{III.11})$$

2. Para a região de saturação da inversão forte

$$I_D = \frac{1}{2n_{MOS}} k_P \frac{W}{L} (V_G - V_{T0} - n_{MOS} V_S)^2, \quad V_{D_{SAT}} = \frac{V_G - V_{T0}}{n_{MOS}} - V_S. \quad (\text{III.12})$$

A inversão moderada não tem uma aproximação simples, mas a região de triodo da inversão forte possui, o que é muito importante para realizar cálculos para chaves analógicas, sem fazer uso de (III.6). Assim, para a região de triodo da inversão forte

$$I_D = k_P \frac{W}{L} V_{DS} \left(V_G - V_{T0} - \frac{n_{MOS}}{2} (V_D + V_S) \right). \quad (\text{III.13})$$

É importante notar que uma vez que as tensões V_G , V_D e V_S são todas referenciadas à tensão do substrato, V_B , o efeito de corpo já encontra-se aproximadamente modelado nas equações apresentadas pelo termo $n_{MOS} V_S$, que atua como uma correção de V_{T0} e que dispensa o uso da equação complexa mais conhecida [28]. Em vários casos o terminal de fonte e substrato estão conectados juntos e não existe o efeito de corpo, então V_S é nulo e as expressões (III.12) e (III.13) assumem a forma do modelo usual de Shichman e Hodges (SPICE nível 1) [19, 28].

III.3.2 - TRANSISTORES BIPOLARES

Os transistores bipolares tiveram suas equações apresentadas na Seção II.2.1, mas todo este desenvolvimento levou em consideração BJTs ideais, que não apresentam resistência de base, possuem um ganho de corrente β elevado, independente da temperatura e da polarização do transistor. No entanto, todos estes efeitos estão presentes no caso real e a maior parte deles, no geral, não pode ser desprezada. Isto torna estes efeitos relevantes de estudo. Adicionalmente, cabe uma explicação da razão pela qual transistores PNP são mais utilizados que transistores NPN. Desta forma, esta seção se dedica a estes temas e às equações especificamente utilizadas no processo de fabricação $0,18\mu m$ empregado no projeto.

III.3.2.1 - TRANSISTOR BIPOLAR PNP

Transistores Bipolares NPN geralmente são preferidos em projetos, pois possuem valores de β maiores que transistores PNP [1]. Entretanto, no processo de fabricação CMOS com substrato tipo P (encontrado com maior frequência) é comum se encontrar apenas transistores PNP, pois a realização do transistor NPN exige um maior número de camadas e, assim de máscaras, elevando o custo do projeto. Assim, não são todos os processos que possuem transistores NPN, sendo mais comum encontrarem-se trabalhos CMOS empregando transistores PNP. Na Fig.III.3 abaixo podem ser vistas as estruturas dos transistores NPN e PNP verticais fabricadas em silício.

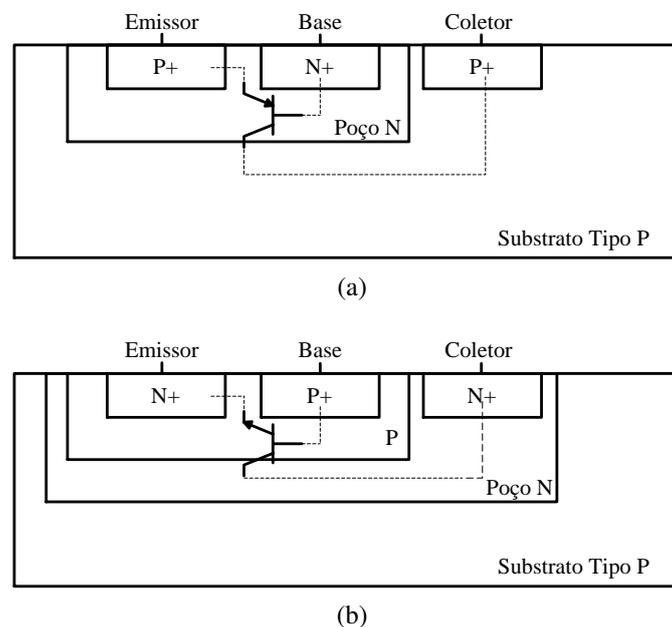


Figura III.3: Fabricação de transistores bipolares (BJTs) PNP e NPN [1]. (a) Transistor PNP Vertical. (b) Transistor NPN Vertical.

Os desenhos na Fig. III.3 ilustram transistores do tipo vertical, onde é importante chamar a atenção para o fato de que o BJT PNP possui seu terminal coletor preso ao nível de tensão mais baixo do circuito, uma vez que este terminal corresponde ao substrato do chip.

Além dos transistores verticais, existem também transistores de realização lateral, cujos valores de β são bem mais elevados. No entanto, transistores verticais apresentam uma relação entre a corrente de coletor e a tensão de junção base-emissor que se aproxima de forma mais precisa a uma função exponencial [29]. Desta forma, o uso do tipo vertical é preferido.

III.3.2.2 - EFEITOS NÃO IDEAIS NOS BJTs

Os principais efeitos não ideais podem ser visualizados na Fig. III.4, para o transistor Q_1 , polarizado com uma corrente MI_E , e para o conjunto de N transistores $Q_2 \cdots Q_{N+1}$, que são tratados como um único transistor equivalente Q_N [8], assim como sua corrente de emissor para a função $\beta(T, I_E)$. O uso da corrente MI_E é realizado para garantir a generalidade das expressões para projetos.

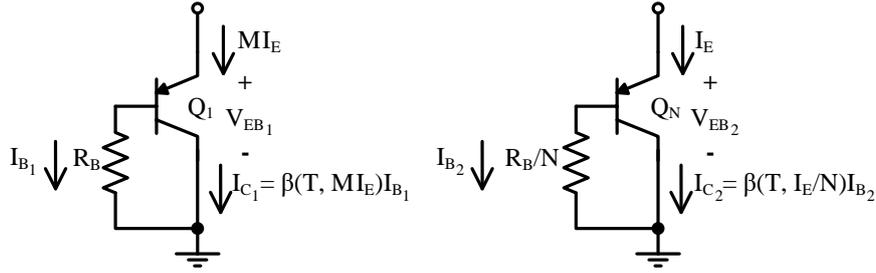


Figura III.4: Transistores bipolares incluindo imperfeições.

Os efeitos apresentados, a resistência de base R_B , o valor de β finito (para um processo $0.16\mu m$ β está em torno de 5 [13]), sua variação com a temperatura e com a polarização $I_E(T)$ são adicionadas à (II.9), de forma que V_{EB1} e V_{EB2} são dadas por

$$\begin{aligned}
 V_{EB1}(T, MI_E(T_{REF})) = & V_{EB1}(T_{REF}, MI_E(T_{REF})) \left(\frac{T}{T_{REF}} \right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}} \right) \\
 & + U_T \ln \left(\frac{I_E(T)}{I_E(T_{REF})} \right) + U_T \ln \left(\frac{1 + \frac{1}{\beta(T_{REF}, MI_E(T_{REF}))}}{1 + \frac{1}{\beta(T, MI_E(T))}} \right) \\
 & - \eta U_T \ln \left(\frac{T}{T_{REF}} \right) + R_B(T) \frac{MI_E(T)}{\beta(T, MI_E(T)) + 1}, \quad (III.14)
 \end{aligned}$$

$$\begin{aligned}
 V_{EB2}(T, I_E(T_{REF})) = & V_{EB2} \left(T_{REF}, \frac{I_E(T_{REF})}{N} \right) \left(\frac{T}{T_{REF}} \right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}} \right) \\
 & + U_T \ln \left(\frac{I_E(T)}{I_E(T_{REF})} \right) + U_T \ln \left(\frac{1 + \frac{1}{\beta \left(T_{REF}, \frac{I_E(T_{REF})}{N} \right)}}{1 + \frac{1}{\beta \left(T, \frac{I_E(T)}{N} \right)}} \right) \\
 & - \eta U_T \ln \left(\frac{T}{T_{REF}} \right) + \frac{R_B(T)}{N} \frac{I_E(T)}{\beta \left(T, \frac{I_E(T)}{N} \right) + 1}, \quad (III.15)
 \end{aligned}$$

onde a dependência de $V_{EB}(T_{REF})$ em função de $I_E(T_{REF})$ foi explicitada. Esta expressão é obtida através de (II.3) adicionada das não-idealidades e de uma constante n_{BJT} para prover maior acurácia,

$$I_C = I_S e^{\frac{V_{EB}(I_E) - \frac{I_C R_B}{\beta(I_E)}}{n_{BJT} U_T}}, \quad (III.16)$$

onde todos os parâmetros referem-se à T_{REF} , inclusive U_T , e por simplicidade esta dependência foi omitida. Desta forma,

$$V_{EB}(T_{REF}, I_E(T_{REF})) = n_{BJT} U_{T_{REF}} \ln \left(\frac{I_E(T_{REF})}{I_S(T_{REF})} \right) + n_{BJT} U_{T_{REF}} \ln \left(\frac{\beta(T_{REF}, I_E(T_{REF}))}{\beta(T_{REF}, I_E(T_{REF})) + 1} \right) + \frac{R_B(T_{REF}) I_E(T_{REF})}{\beta(T_{REF}, I_E(T_{REF})) + 1}, \quad (III.17)$$

com a dependência à T_{REF} novamente explicitada.

A função ΔV_{EB} possui grande relevância e pode facilmente ser obtida através da subtração de (III.14) e (III.15) como

$$\begin{aligned} \Delta V_{EB}(T, I_E(T_{REF})) &= \left(\frac{T}{T_{REF}} \right) (V_{EB_1}(T_{REF}, M I_E(T_{REF})) - V_{EB_2}(T_{REF}, I_E(T_{REF}))) \\ &+ U_T \ln \left(\frac{1 + \frac{1}{\beta(T_{REF}, M I_E(T_{REF}))}}{1 + \frac{1}{\beta(T_{REF}, \frac{I_E(T_{REF})}{N})}} \cdot \frac{1 + \frac{1}{\beta(T, \frac{I_E(T)}{N})}}{1 + \frac{1}{\beta(T, M I_E(T))}} \right) \\ &+ R_B(T) I_E(T) \left(\frac{M}{\beta(T, M I_E(T)) + 1} - \frac{1}{N \beta(T, \frac{I_E(T)}{N}) + 1} \right). \end{aligned} \quad (III.18)$$

Há a possibilidade de que a variação de β com a polarização I_E seja nula ou muito menor do que a variação de β com a temperatura. Nestes casos, as funções $\beta(T, I_E(T))$ e $\beta(T, I_E(T)/N)$ podem ser aproximadas por $\beta(T)$ em (III.14) e (III.15), respectivamente, e também em $V_{EB_1}(T_{REF}, M I_E(T_{REF}))$ e $V_{EB_2}(T_{REF}, I_E(T_{REF}))$, avaliadas por (III.17). Assim, (III.18) aproxima-se por

$$\begin{aligned} \Delta V_{EB}(T, I_E(T_{REF})) &= \left(\frac{T}{T_{REF}} \right) (V_{EB_1}(T_{REF}, M I_E(T_{REF})) - V_{EB_2}(T_{REF}, I_E(T_{REF}))) \\ &+ \frac{R_B(T) I_E(T)}{\beta(T) + 1} \left(M - \frac{1}{N} \right), \end{aligned} \quad (III.19)$$

onde, é interessante notar que o primeiro termo de $\Delta V_{EB}(T)$ é idealmente igual a

$U_T \ln(MN)$.

As equações (III.14), (III.15), (III.18) e (III.17) são gerais. A utilização ou não de todos os efeitos reais depende de uma análise do dispositivo disponível no processo de fabricação utilizado.

III.3.2.3 - TRANSISTOR BIPOLAR EMPREGADO E SUAS EQUAÇÕES

A tecnologia empregada neste projeto, AMS 0,18 μm CMOS, possui apenas um transistor bipolar para aplicações de baixa tensão, um transistor bipolar vertical PNP. Este transistor é basicamente modelado como um diodo, pois possui β invariante à temperatura e polarização, o que anula o ante-penúltimo termo do lado direito em (III.14) e (III.15) e o penúltimo termo do lado direito em (III.18) tornando estas equações dependentes apenas da corrente de emissor.

De acordo com o manual do processo de fabricação empregado, se a corrente de emissor do transistor bipolar respeitar os limites mínimo e máximo de 0,5 nA/ μm^2 e 0,5 $\mu A/\mu m^2$, respectivamente, a função exponencial utilizada para modelar a corrente do transistor em função de sua tensão de junção torna-se mais acurada. Empiricamente, chegou-se à conclusão de que pelo mesmo motivo a resistência de base poderia ser desprezada. Desta forma, para a situação descrita na Fig. III.4, as resistências de base poderão ser desconsideradas se for satisfeita a condição de densidade de corrente

$$N 0,5 \frac{nA}{\mu m^2} \leq \frac{I_E}{WL} \leq \frac{0,5 \mu A}{M \mu m^2}, \quad (III.20)$$

onde W e L são respectivamente a largura e o comprimento do transistor bipolar. Assim, o último termo em (III.14), (III.15) e (III.18) também pode ser desprezado, o que resulta novamente em (II.9), com I_C substituído por I_E , e (II.14), logo (III.14), (III.15) e (III.18) fornecem

$$\begin{aligned} V_{EB_1}(T, M I_E(T_{REF})) = & V_{EB_1}(T_{REF}, M I_E(T_{REF})) \left(\frac{T}{T_{REF}} \right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}} \right) \\ & + U_T \ln \left(\frac{I_E(T)}{I_E(T_{REF})} \right) - \eta U_T \ln \left(\frac{T}{T_{REF}} \right), \end{aligned} \quad (III.21)$$

$$\begin{aligned} V_{EB_2}(T, I_E(T_{REF})) = & V_{EB_2} \left(T_{REF}, \frac{I_E(T_{REF})}{N} \right) \left(\frac{T}{T_{REF}} \right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}} \right) \\ & + U_T \ln \left(\frac{I_E(T)}{I_E(T_{REF})} \right) - \eta U_T \ln \left(\frac{T}{T_{REF}} \right), \end{aligned} \quad (III.22)$$

$$\Delta V_{EB}(T) = U_T \ln(MN) = \frac{kT}{q} \ln(MN), \quad (III.23)$$

com

$$V_{EB}(T_{REF}, X) = n_{BJT} U_{TREF} \ln \left(\frac{X}{I_S(T_{REF})} \right), \quad (III.24)$$

obtida de (III.17), onde seu penúltimo termo, dependente de β , torna-se uma constante que pode ser incluída no parâmetro $I_S(T_{REF})$, que é dada por

$$I_S(T_{REF}) = J_{BIP} WL + P_{BIP} (W + L), \quad (III.25)$$

onde J_{BIP} e P_{BIP} são constantes e W e L são, respectivamente, a largura e comprimento de canal do transistor bipolar. Esta equação é necessária no processo empregado, uma vez que W e L não são valores fixos como de costume, podendo ser especificados pelo projetista. No entanto W deve pertencer à região

$$1\mu m \leq W \leq 2\mu m \quad (III.26)$$

de acordo com o manual do processo de fabricação empregado.

Os simuladores de circuitos permitem definir nos modelos de transistores a tensão $V_G(T)$ como (II.6), repetida aqui

$$V_G(T) = V_{G0} - \frac{Gap_1 T^2}{T + Gap_2}. \quad (III.27)$$

onde V_{G0} , Gap_1 e Gap_2 são os parâmetros que podem ser definidos com os valores padrões 1.16 V, 7.02e-4 V/K e 1108 K, respectivamente, ou 1.17 V, 4.73e-4 V/K e 636 K. Estes parâmetros podem ainda ser especificados com outros valores. No caso do processo em questão estes são definidos como 1.12 V, 4.73e-4 V/K e 636 K, respectivamente, no entanto, o V_{G0} utilizado no projeto é dimensionado para melhor descrever as curvas extraídas do dispositivo e apenas Gap_1 e Gap_2 foram fixados nestes valores.

III.3.3 - RESISTORES

Existem três principais características que precisam ser avaliadas na escolha do tipo de resistor a ser empregado, o coeficiente de temperatura, o parâmetro de descasamento do resistor (Abordado em detalhes no Apêndice A) e sua resistência de folha (*sheet*), conhecida como resistência por quadrado. O processo utilizado possui resistores de difusão e poli-silício, e podem ter seus diferentes tipos observados na Tabela III.1 juntamente com estas características para fins de comparação e escolha do tipo ideal a ser aplicado neste projeto.

O coeficiente de temperatura do resistor pode elevar ou reduzir o TC da tensão de referência de *bandgap*, dependendo se esse for positivo ou negativo [30], respectivamente,

Tabela III.1: Comparação dos Resistores de Poli-silício no processo de fabricação utilizado.

Resistor	TC	R_{SH}	A_{RA}	A_{RW}	A_{RL}	A_{RS}
Unidades	$ppm/^\circ C$	$k\Omega/\square$	μm	μm	$\mu m^{3/2}$	1
P+ <i>Diff</i>	1340	0,105	8	1	9	0
N+ <i>Diff</i>	1900	0,072	4	0,5	7	0
P+ <i>Poly</i>	160	0,26	5	0	2	0
N+ <i>Poly</i>	-812	0,37	0	6	2,45	0
<i>Precision Poly</i>	210	0,16	6,5	0,9	0	0
<i>HR Poly</i>	-1360	1,6	8.5	0	7	0

logo é desejável o menor valor possível. Por este motivo, os resistores P+ *Diff* e N+ *Diff* podem ser eliminados da lista, enquanto HR *Poly* seria a melhor escolha segundo este parâmetro.

Em seguida, os parâmetros de descasamento devem ser analisados. O desvio padrão relativo $\sigma(\Delta R/R)$, entre dois resistores supostamente idênticos (mesmas resistência e dimensões) é dado na forma geral por

$$3\sigma\left(\frac{\Delta R}{R}\right) = \sqrt{\frac{A_{RA}^2}{WL} + \frac{A_{RW}^2}{W^2} + \frac{A_{RL}^2}{WL^2} + \frac{A_{RS}^2}{(L/W)}}, \quad (III.28)$$

dado em %, onde A_{RA} , A_{RW} , A_{RL} e A_{RS} são os parâmetros de descasamento, e W e L são, respectivamente, a largura e o comprimento do resistor. O termo A_{RS} é zero para todos os tipos de resistores e pode ser desconsiderado, assim como o termo A_{RL} , pois como os resistores usados em circuitos de *bandgap* possuem valores elevados de resistência (a menor resistência é da ordem de dezenas de $k\Omega$), o comprimento L é pelo menos 10 vezes maior que a largura W segundo a equação básica para cálculo da resistência

$$R = R_{SH} \frac{L}{W}, \quad (III.29)$$

onde R_{SH} é a resistência de folha ($1,6 k\Omega/\square$ - maior valor da Tabela III.1) e L/W é denominado número de quadrados. Logo, como A_{RL} e A_{RA} possuem a mesma ordem de grandeza, o termo da equação referente ao primeiro pode ser considerado muito menor que o referente ao segundo e ser desprezado.

Restam os parâmetros A_{RA} e A_{RW} . Como mencionado, L pode ser considerado muito maior que W , o que torna o termo referente à A_{RW} crítico se comparado ao referente à A_{RA} . Assim, para reduzir o desvio padrão (III.28), um aumento desnecessário de W seria necessário, elevando também L para manter a resistência constante, o que culminaria em um aumento de área que não existiria na ausência deste termo. Desta forma, escolheu-se eliminar os resistores que possuem o parâmetro $A_{RW} \neq 0$. Logo, os resistores N+ *Poly* e *Precision Poly* foram descartados.

A decisão fica entre os resistores P+ *Poly* e HR *Poly*. A utilização do primeiro levaria a um TC da referência de tensão ligeiramente maior que a do segundo, o que não torna este parâmetro o fator decisivo. A decisão mais óbvia seria empregar aquele com a menor constante A_{RA} , uma vez que a implementação de resistores de mesmo valor e mesmo desvio padrão relativo levaria à relação

$$\frac{Area_{HR}}{Area_{P+}} = \left(\frac{A_{RA_{HR}}}{A_{RA_{P+}}} \right)^2 = 2,89, \quad (III.30)$$

onde Área = WL . Ou seja, um resistor implementado com um resistor HR *Poly* possuiria uma área quase 3 vezes maior do que o mesmo resistor implementado com P+ *Poly*. No entanto, esta prerrogativa pode não ser verdadeira. O resistor P+ *Poly* possuiria uma área menor, mas seu baixo R_{SH} faz com que seu comprimento L_{P+} seja muito maior que sua largura W_{P+} , segundo (III.29), o que combinado a menor área torna W_{P+} muito menor que a largura W_{HR} do resistor HR *Poly*. Esta relação pode ser equacionada de forma a respeitar a hipótese de que os resistores possuem resistências de mesmo valor e mesmo desvio padrão relativo através do emprego de (III.29) e (III.28) aplicada aos dois tipos de resistores. Portanto,

$$\frac{W_{HR}}{W_{P+}} = \frac{A_{RA_{HR}}}{A_{RA_{P+}}} \sqrt{\frac{R_{SH_{HR}}}{R_{SH_{P+}}}} = 4,22, \quad (III.31)$$

o que confirma o raciocínio anterior. Isto, à primeira vista, não aparenta ser um problema, mas, existe uma sugestão (*Guide Rule*), encontrada no manual do processo utilizado, que deve ser seguida para garantir maior acurácia do valor absoluto dos resistores de poli-silício implementados. Ela afirma que a largura do resistor de poli-silício deve ser

$$W_{POLY} \geq W_{MIN} = 2\mu m, \quad (III.32)$$

e pode ocorrer que W_{P+} fique abaixo deste valor, ou ainda, abaixo do valor mínimo capaz de ser implementado pelo processo. Caso isto ocorra, pode ser uma melhor opção empregar HR *Poly*, devido a sua maior resistência de folha.

De modo geral, existem 3 casos possíveis a serem analisados:

1. $W_{P+} > W_{MIN}$ e $W_{HR} > W_{MIN}$;
2. $W_{P+} < W_{MIN}$ e $W_{HR} < W_{MIN}$;
3. $W_{P+} < W_{MIN}$ e $W_{HR} > W_{MIN}$.

Existiria ainda um quarto caso, no entanto, ele não é possível de ocorrer, já que necessariamente $W_{HR} > W_{P+}$, de acordo com (III.31).

O primeiro caso já foi avaliado anteriormente, e P+ *Poly* seria a melhor opção. No segundo caso, nenhum dos resistores satisfaz a regra (III.32) e a área de ambos precisa

ser ampliada por um fator $(W_{MIN}/W)^2$ devido ao aumento de W e manutenção do valor da resistência. Desta forma,

$$Area' = \left(\frac{W_{MIN}}{W} \right)^2 Area, \quad (III.33)$$

e a relação entre as duas áreas em questão, através do emprego de (III.33) e (III.31) torna-se

$$\frac{Area'_{HR}}{Area'_{P+}} = \frac{R_{SH_{P+}}}{R_{SH_{HR}}} = 0,16, \quad (III.34)$$

ou seja, $Area'_{P+}$ fica 6,25 vezes maior do que $Area'_{HR}$, o que indica que HR *Poly* seria uma melhor opção.

No terceiro caso, apenas HR *Poly* satisfaz a regra (III.32), logo sua área continua a mesma, pois não há aumento em W_{HR} . Assim,

$$\frac{Area_{HR}}{Area'_{P+}} = \frac{R_{SH_{P+}}}{R_{SH_{HR}}} \left(\frac{W_{HR}}{W_{MIN}} \right)^2 = 0,04 \times 10^{12} W_{HR}^2, \quad (III.35)$$

o que demonstra que neste caso a melhor escolha depende do W_{HR} implementado.

As análises realizadas demonstram a dificuldade da decisão entre dois tipos de resistores selecionados, assim a melhor decisão seria feita através do projeto de 2 circuitos com mesmas especificações, cada um utilizando um tipo de resistor. O resistor que fornecer a menor área de circuito será o resistor selecionado. Esta é a melhor abordagem uma vez que a polarização do circuito e as áreas de outros dispositivos podem ser alteradas de forma a compensar o aumento da área do resistor, quando seu $W < W_{MIN}$. Em adição, existe também a componente de variação de processo, que pode deixar o processo de escolha ainda mais difícil e não foi considerado nas análises. Como as equações para um cômputo preciso dos valores de resistências de cada tipo de resistor podem diferir, os projetos para decisão podem ser realizados empregando a equação simplificada (III.29). O uso desta abordagem levou à escolha do resistor HR *Poly*.

A resistência do resistor HR *Poly* em função de suas dimensões W (largura) e L (comprimento) é descrita por

$$R_{HR} = R_{SH} \frac{L - 2L_{BN}}{W + dw} + 2 \frac{R_{BN} L_{BN}}{W + dw} + 2 \frac{R_{END}}{W + dw}, \quad (III.36)$$

onde L_{BN} é o comprimento da intersecção da área de contato do resistor com o poli-silício, dado em μm , R_{BN} é a resistência por quadrado de P+, fornecida em $k\Omega/\square$, R_{END} é a resistência de terminação, dada em $k\Omega - \mu m$, e dw é a variação da largura do projeto fornecida em μm . Todos estes parâmetros são constantes fornecidas pelo manual do processo.

A variação com a temperatura desta resistência é fornecida por

$$R_{HR}(T) = R_{HR}(T_{REF}) (1 + TC_1(T - T_{REF}) + TC_2(T - T_{REF})^2), \quad (\text{III.37})$$

onde TC_1 é o coeficiente de temperatura de primeira ordem, dado em $ppm/^\circ C$, o mesmo apresentado na Tabela III.1, TC_2 é o coeficiente de temperatura de segunda ordem, dado em $ppm/^\circ C^2$, T_{REF} é a temperatura de referência cujo valor é 300 K.

III.4 - CIRCUITO

O circuito empregado no projeto foi apresentado na Seção II, Fig. II.10. Nesta seção, os cálculos deste circuito são reapresentados a partir das equações dos dispositivos reais vistas neste capítulo, de forma que seja possível equacionar as resistências de R_1 , R_2 e R_3 para o programa de otimização. Equações para dimensionar os transistores MOS $M1$ e $M2$ também são vistas, assim como o esquema empregado para o amplificador operacional e seu projeto.

III.4.1 - RESISTOR R_1

No circuito utilizado, os espelhos de corrente $M1$ e $M2$ possuem uma razão de aspecto $M : 1$, e portanto, os transistores bipolares encontram-se na situação descrita na Fig. III.4 e, desta forma, as equações descritas na Seção III.3.2.3 podem ser diretamente aplicadas. A razão de aspecto M e o número de transistores N são variáveis independentes e serão determinadas pelo algoritmo de otimização.

A observação do circuito na Fig. II.10 permite concluir que a corrente no resistor R_1 é igual a

$$I(T) = I_{R_1}(T) = \frac{\Delta V_{EB}(T)}{R_1(T)}, \quad (\text{III.38})$$

logo, do emprego de (III.23)

$$I(T) = \frac{U_T \ln(MN)}{R_1(T)}, \quad (\text{III.39})$$

onde $R_1(T)$ é dado por (III.37). A consideração disto, permite reescrever (III.39), em função de I à temperatura ambiente T_{REF} .

$$R_1(T_{REF}) = \frac{U_{T_{REF}} \ln(MN)}{I(T_{REF})}. \quad (\text{III.40})$$

Conseqüentemente, $I(T_{REF})$ passa a ser uma variável independente a ser determinada pela

otimização, junto de M e N , assim a resistência R_1 é encontrada em função delas.

No projeto é importante explicitar as dimensões W e L dos dispositivos. Devido à restrição (III.32) é conveniente fazer W_{R_1} uma variável independente que será escolhida pelo algoritmo de maneira a minimizar a área total empregada no circuito. A dimensão L_{R_1} pode ser calculada a partir de (III.36) em função de W_{R_1} como

$$L_{R_1} = \frac{R_1(T_{REF})(W_{R_1} + dw) - 2R_{END} - 2L_{BN}(R_{BN} - R_{SH})}{R_{SH}}. \quad (III.41)$$

III.4.2 - RESISTORES R_2

A resistência de R_2 é encontrada através do valor da razão R_2/R_1 , como visto na Seção II.2.3. No entanto, este valor deve ser escolhido de forma que a variação de V_{REF} na faixa de temperatura especificada seja mínima. Isto é possível tornando a curva de V_{REF} em função da temperatura simétrica, já que ela possui um formato de parábola. A visualização do gráfico de V_{REF} apresentado na Fig. II.7 permite concluir que a abordagem para encontrar R_2/R_1 empregada na Seção II.2.3 não produz a simetria desejada (basta observar os valores em T_{MIN} e T_{MAX}). Desta forma, a restrição

$$V_{REF}(T_{MIN}) = V_{REF}(T_{MAX}), \quad (III.42)$$

deve ser imposta ao problema de otimização. Assim,

$$\frac{R_2}{R_1} = RAZAOR \quad (III.43)$$

é uma variável independente no problema de otimização, determinada para atender a restrição (III.42).

É importante notar que $RAZAOR$ é uma constante que não depende da temperatura, uma vez que de acordo com (III.37)

$$\frac{R_2}{R_1} = \frac{R_2(T_{REF})(1 + TC_1(T - T_{REF}) + TC_2(T - T_{REF})^2)}{R_1(T_{REF})(1 + TC_1(T - T_{REF}) + TC_2(T - T_{REF})^2)} = \frac{R_2(T_{REF})}{R_1(T_{REF})}, \quad (III.44)$$

assim, o valor de R_2 é definido por

$$R_2(T_{REF}) = R_1(T_{REF}) RAZAOR. \quad (III.45)$$

A partir desta equação L_{R_2} pode ser computado da mesma forma que (III.41), onde $W_{R_2} = W_{R_1}$ para garantir maior casamento.

A discussão apresentada revela a necessidade de ter uma equação para $V_{REF}(T)$. A

análise do circuito permite concluir que

$$V_{REF}(T) = V_{EB_2}(T, I_1(T_{REF})) + (RAZAO_R + 1) U_T \ln(MN), \quad (III.46)$$

onde $V_{EB_2}(T, I_1(T))$ é expresso por (III.22) com $I_E(T)$ dado por (III.39). Desta forma,

$$\begin{aligned} V_{EB_2}(T, I(T_{REF})) = & V_{EB_2}\left(T_{REF}, \frac{I(T_{REF})}{N}\right) \left(\frac{T}{T_{REF}}\right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}}\right) \\ & + U_T \ln\left(\frac{R_1(T_{REF})}{R_1(T)}\right) - \eta U_T \ln\left(\frac{T}{T_{REF}}\right), \end{aligned} \quad (III.47)$$

com $V_{EB_2}(T_{REF}, I(T_{REF})/N)$ dado por (III.24). É possível notar a influência da variação da resistência R_1 com a temperatura em V_{EB_2} .

III.4.3 - RESISTORES R_3

O valor da resistência de R_3 é definida notando que a tensão sobre ela deve ser igual à tensão sobre R_2 com o objetivo de evitar o efeito de modulação de canal nos transistores M1 e M2. Desta forma,

$$R_3(T_{REF}) = \frac{R_2(T_{REF})}{M}. \quad (III.48)$$

A partir desta equação L_{R_3} pode ser computado da mesma forma que (III.41), onde $W_{R_3} = W_{R_1}$ para garantir maior casamento.

III.4.4 - ESPELHO DE CORRENTE

Os transistores bipolares M1 e M2 são usados para satisfazer a especificação da tensão de alimentação mínima VDD_{MIN} . No entanto, deve ser observado que a mínima tensão de alimentação possível de ser implementada no circuito da Fig. II.10 deve respeitar a condição

$$\begin{aligned} VDD > V_{REF_{NOM}} + VDS_{SAT_{MIN_{M2}}} \\ > 1,2 + 0,125 = 1,325V, \end{aligned} \quad (III.49)$$

onde $V_{REF_{NOM}}$ é a tensão de referência nominal aproximada e $VDS_{SAT_{MIN_{M2}}}$, considerando que o terminal de *source* encontra-se ligado ao *bulk*, é a mínima tensão de saturação possível de ser implementada para M1 de forma que este permaneça em saturação em inversão fraca ($\sim 5U_T$, de acordo com (III.11)).

Observada a condição (III.49) é preciso realizar o cômputo de $V_{DS_{SAT}}$ capaz de implementar a especificação de $V_{DD_{MIN}}$ escolhida. Mas, enquanto a tensão de referência quase não varia com a temperatura, a tensão de saturação apresenta uma variação relevante, logo, antes de mais nada é preciso saber quando ocorre o pior caso, ou seja, em qual temperatura $V_{DS_{SAT}}$ é máximo. Primeiramente, a região de trabalho é definida como a saturação da inversão forte, pois conforme apresentado no Apêndice A, a inversão forte produz menor descasamento em espelhos de corrente. Então a equação da corrente de dreno (III.12) pode ser reescrita em função da tensão de saturação como

$$I_D(T) = \frac{n_{MOS}}{2} \mu(T) C_{OX} \frac{W}{L} V_{DS_{SAT}}(T)^2, \quad (III.50)$$

onde μ varia com a temperatura de acordo com a equação

$$\mu(T) = \mu(T_{REF}) \left(\frac{T}{T_{REF}} \right)^\gamma, \quad (III.51)$$

com $\gamma < 0$. A variação com a temperatura de n_{MOS} é considerada desprezível em relação à de μ_p . Desta forma, para o circuito de *bandgap* analisado

$$V_{DS_{SAT}}(T) = \sqrt{\frac{2 I_D(T_{REF})}{n_{MOS} \mu(T_{REF}) C_{OX} (W/L)}} \left(\frac{T}{T_{REF}} \right)^{\frac{1-\gamma}{2}}, \quad (III.52)$$

onde foi considerado que $I_D(T) = I_D(T_{REF})(T/T_{REF})$, já que a corrente do circuito pode ser considerada PTAT.

A equação (III.52) permite afirmar que o maior valor de $V_{DS_{SAT}}$ ocorre quando a temperatura é máxima, já que γ é negativo. Desta forma,

$$V_{DS_{SAT_{M2}}}(T_{MAX}) = V_{DD_{MIN}} - V_{REF}(T_{MAX}) - V_{DD_{FOLGA}}, \quad (III.53)$$

onde $V_{DD_{MIN}}$, corresponde a especificação fornecida, $V_{REF}(T_{MAX})$ é obtido de (III.46) e $V_{DD_{FOLGA}}$ é uma margem de erro fornecida como especificação, além de evitar que na operação do circuito com $V_{DD_{MIN}}$ o transistor fique muito próximo de seu limiar de saturação, onde sua resistência *drain-source* é reduzida [27].

O emprego de (III.50) fornece a razão de aspecto de M2

$$RAZO_2 = \frac{W_2}{L_2} = \frac{2I(T_{MAX})}{n_{MOS_p}(T_{MAX}) k_{Pp}(T_{MAX}) V_{DS_{SAT_{M2}}}(T_{MAX})}, \quad (III.54)$$

onde $V_{DS_{SAT_{M2}}}(T_{MAX})$ é dada por (III.53) e

$$I(T_{MAX}) = \frac{I(T_{REF})}{(R_1(T_{MAX})/R_1(T_{REF}))} \frac{T_{MAX}}{T_{REF}}, \quad (III.55)$$

obtido de (III.39), reescrito de forma a eliminar o componente $R_1(T_{REF})$ de $R_1(T)$.

Neste projeto, como uma boa prática para obter maior casamento elétrico e de *layout* entre os transistores M1 e M2, decidiu-se empregar o mesmo comprimento de canal para ambos. Desta forma, L_2 foi feita uma variável independente, assim

$$W_2 = L_2 RAZAO_2, \quad (III.56)$$

$$W_1 = M L_2 RAZAO_2. \quad (III.57)$$

III.4.5 - AMPLIFICADOR OPERACIONAL

Esta seção apresenta a topologia de amplificador operacional utilizada, suas equações e diretrizes de projeto.

III.4.5.1 - TOPOLOGIA EMPREGADA

O amplificador empregado no circuito do projeto não precisa ter uma baixa impedância de saída, já que sua saída encontra-se ligada ao *gate* de transistores MOS, que possuem uma alta impedância de entrada. Deste modo, optou-se pelo uso do Amplificador Operacional de Transcondutância (OTA) de um único estágio apresentado na Fig. III.5, pois este é intrinsecamente estável e possui um ganho razoavelmente alto. Além disto, quanto menos transistores o amplificador possuir, este estará sujeito a menos erros de descasamentos que gerem *offset* de entrada.

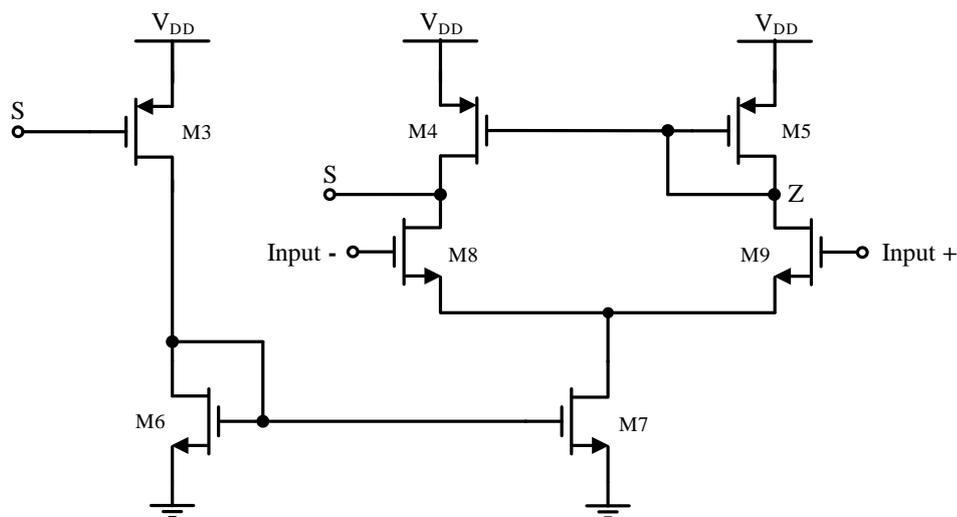


Figura III.5: Amplificador Operacional Empregado, um OTA de um único estágio.

O nó S do amplificador é sua saída e encontra-se conectada no *gate* dos transistores

do circuito de *bandgap* da Fig. II.10. O amplificador é polarizado pelos transistores M3, M6 e M7, onde M3 é utilizado como um espelho de corrente de M1 e M2, o que o faz estar conectado ao nó de saída S.

III.4.5.2 - CARGA ATIVA E ESPELHO DE POLARIZAÇÃO PMOS

Os transistores M4 e M5 são a carga ativa do amplificador e M3 constitui um espelho de corrente, com M1 e M2, para polarização do amplificador. É imprescindível que as tensões nos nós S e Z sejam idênticas ou com menor erro possível, de forma a evitar a criação de um *offset* de entrada devido a efeitos de modulação de canal distintos entre M4 e M5. Quando S e Z possuem a mesma tensão, isto significa que os *gates* de M1, M2, M3, M4 e M5 também possuem a mesma tensão. Logo, a condição para que isto ocorra é que todos eles possuam características elétricas referentes à modulação de canal as mais próximas possíveis, de forma a evitar que a tensão de *gate* Z difira da tensão de *gate* S. Isto é realizado fazendo com que seus comprimentos de canal sejam os mesmos, iguais à variável independente L_2 , uma vez que o parâmetro de modulação de canal λ é fortemente dependente de L . Desta forma,

$$L_1 = L_2 = L_3 = L_4 = L_5. \quad (\text{III.58})$$

Para reduzir a potência e melhorar o casamento na etapa de layout foi convenicionado que M3, M4 e M5, possuem as mesmas dimensões, logo M7 deverá possuir uma razão de aspecto duas vezes maior que M6. Isso significa que as razões de aspecto de M1, M2 e M3, M4, M5 podem ser diferentes. Assim,

$$W_3 = W_4 = W_5 = B W_2, \quad (\text{III.59})$$

onde B é uma variável independente que relaciona as corrente de M3 e M2.

III.4.5.3 - PAR DIFERENCIAL

O par diferencial é constituído pelos transistores M8 e M9, que não possuem seus terminais de *source* e *bulk* conectados, o que os faz sofrer o indesejável efeito de corpo. O dimensionamento deste transistores deve levar em consideração o nível de *offset* de entrada do amplificador (encontrado pelo algoritmo) e o ponto de polarização de M8 e M9 limitado pela tensão do transistor bipolar Q_1 em seus *gates*. Por estes motivos decidiu-se que seria melhor que o próprio algoritmo encontre o nível de inversão destes transistores. O efeito de descasamento no par diferencial, responsável por gerar o *offset*

do amplificador é analisado posteriormente. Nesta seção são obtidas apenas as equações do seu ponto de operação.

A análise do circuito deve ser feita no pior caso, na temperatura T_{MAX} , onde a tensão do transistor bipolar é mínima (V_{T0} também é mínimo, mas decresce a uma taxa menor do que V_{EB1}) e a tensão de saturação do transistor M7 é máxima, fornecendo a menor tensão possível a ser alocada à $V_{GS8,9}$. Esta situação é descrita pela restrição

$$V_{EB1}(T_{MAX}, MI(T_{REF})) - V_{GS8,9}(T_{MAX}) - V_{DS_{SAT_{M7}}}(T_{MAX}) \geq 0, \quad (III.60)$$

onde $V_{EB1}(T_{MAX}, MI(T_{REF}))$ é dado por

$$\begin{aligned} V_{EB1}(T_{MAX}, MI(T_{REF})) = & V_{EB1}(T_{REF}, MI(T_{REF})) \left(\frac{T}{T_{REF}} \right) + V_G(T) - V_G(T_{REF}) \left(\frac{T}{T_{REF}} \right) \\ & + U_T \ln \left(\frac{R_1(T_{REF})}{R_1(T)} \right) - \eta U_T \ln \left(\frac{T}{T_{REF}} \right), \end{aligned} \quad (III.61)$$

com $V_{EB1}(T_{REF}, MI(T_{REF}))$ fornecido por (III.24). A função $V_{DS_{SAT_{M7}}}$ é derivada na seção seguinte e

$$\begin{aligned} V_{GS8,9}(T_{MAX}) = & V_{T0_N}(T_{MAX}) + (n_{MOS_N}(T_{MAX}) - 1) V_{S8,9}(T_{MAX}) \\ & + n_{MOS_N}(T_{MAX}) f(IC_{8,9}(T_{MAX})), \end{aligned} \quad (III.62)$$

com

$$f(IC_{8,9}(T_{MAX})) = 2U_{T_{MAX}} \ln(e^{\sqrt{IC_{8,9}(T_{MAX})}} - 1), \quad (III.63)$$

ambas derivadas de (III.6). Como

$$V_{S8,9}(T_{MAX}) = V_{EB1}(T_{MAX}, MI(T_{REF})) - V_{GS8,9}(T_{MAX}), \quad (III.64)$$

então

$$\begin{aligned} V_{GS8,9}(T_{MAX}) = & \frac{V_{T0_N}(T_{MAX}) + (n_{MOS_N}(T_{MAX}) - 1) V_{EB1}(T_{MAX}, MI(T_{REF}))}{n_{MOS_N}(T_{MAX})} \\ & + f(IC_{8,9}(T_{MAX})). \end{aligned} \quad (III.65)$$

O coeficiente de inversão do par diferencial é dado por

$$IC_{8,9}(T_{MAX}) = \frac{BI(T_{REF})}{I_{SMOS_N}(T_{MAX}) RAZAO_{8,9}}, \quad (III.66)$$

de acordo com (III.10), e

$$RAZAO_{8,9} = \frac{BI(T_{REF})}{I_{SMOS_N}(T_{REF}) IC_{8,9}(T_{REF})}, \quad (III.67)$$

onde $IC_{8,9}(T_{REF})$ é uma variável independente.

As dimensões de projeto do par diferencial irão depender da $RAZAO_{8,9}$ e também da área encontrada pelo algoritmo para garantir a mínima área total de circuito. Assim, faz-se a largura de canal $W_{8,9}$ uma variável independente ajustada pelo algoritmo e seu comprimento de canal

$$L_{8,9} = W_{8,9} RAZAO_{8,9}. \quad (III.68)$$

III.4.5.4 - ESPELHO DE POLARIZAÇÃO NMOS

Os transistores M6 e M7 constituem um espelho de polarização NMOS. Sua área deve ser reduzida, uma vez que seu descasamento não tem grande influência quanto à geração de *offset* no amplificador. No entanto, este deve fornecer um desempenho razoável em relação à modulação de canal para evitar problemas de polarização, por isto seu comprimento de canal, L_7 , deve ser especificado no projeto. Além disto, seu projeto é realizado em conjunto com o do par diferencial uma vez que sua tensão de saturação $V_{DSAT_{M7}}(T_{MAX})$ faz-se necessária na restrição (III.60), assim (III.8) fornece

$$V_{DSAT_{M7}}(T_{MAX}) = 1,1 U_{T_{MAX}} (3 + \sqrt{1 + 4IC_7(T_{MAX})}), \quad (III.69)$$

onde 1,1 permite uma folga para evitar erros no projeto e

$$IC_7(T_{MAX}) = \frac{2BI(T_{MAX})}{I_{SMOS_N}(T_{MAX}) RAZAO_7}, \quad (III.70)$$

de acordo com (III.10), e

$$RAZAO_7 = \frac{2BI(T_{REF})}{I_{SMOS_N}(T_{REF}) IC_7(T_{REF})}, \quad (III.71)$$

onde $IC_7(T_{REF})$ é a variável independente que será obtida pelo algoritmo.

O comprimento de canal L_7 é fornecido como especificação e sua largura de canal é obtida por

$$W_7 = L_7 RAZAO_7. \quad (III.72)$$

III.5 - DESCASAMENTO E PROCESSO

III.5.1 - VISÃO GERAL

Este trabalho visa realizar o projeto de um circuito de referência de *bandgap* com uma imprecisão na temperatura ambiente (T_{REF}), imprecisão inicial, limitada por uma especificação. As fontes de erros em circuitos integrados são causadas por três tipos de variações: sistemáticas, de processo e aleatórias (descasamento) [31].

As variações sistemáticas são inerentes ao método utilizado na fabricação do circuito integrado, que emprega técnicas de fotolitografia. Basicamente, o uso destas técnicas faz com que as dimensões dos dispositivos implementados difiram das especificadas na máscara de layout. Isto é causado, por exemplo, por efeitos como *overetching* e diferentes níveis de *etching* em dispositivos idênticos rodeados por estruturas diferentes. Não existe forma de mensurar este tipo de variação no projeto, o que pode ser feito é utilizar técnicas de *layout* de forma a mitigar os problemas, tal como dividir objetos grandes em menores e utilizar dispositivos *dummies* de forma que dispositivos idênticos estejam rodeados da mesma forma. Por ser sistemática, este tipo de variação não possui uma distribuição estatística, o que a faz ocorrer da mesma maneira em todas as amostras do circuito.

As variações de processo ocorrem devido a alterações no processo de manufatura, devido à impossibilidade em manter suas características de fabricação, como temperatura e níveis de concentração de dopantes, constantes durante todo o processo. O principal efeito disto é que componentes do mesmo tipo, no mesmo *wafer*, sofrem desvios iguais em relação aos parâmetros nominais, enquanto aqueles fabricados em outros *wafers* estão sujeitos a desvios diferentes. Este efeito pode ser simulado utilizando a análise de *corners* ou a de Monte Carlo. Para fins de projeto é possível obter uma distribuição estatística dos parâmetros de interesse para esta variação. Para reduzir seus efeitos pode-se procurar topologias de circuitos menos suscetíveis à influência destas variações e usar componentes com maior precisão absoluta, no entanto em projetos de alta precisão a única solução é realizar a calibração dos componentes chaves.

As variações aleatórias ocorrem pois, mesmo na ausência das discutidas anteriormente, é impossível garantir que dois dispositivos "iguais" possuam as mesmas características, tais como número e localização de dopantes, neste caso, é dito que os componentes estão descasados. Estas variações podem ser previstas no simulador empregando a análise de Monte Carlo e são modeladas pelas equações de Pelgrom [14], no formato

$$\sigma_{\Delta P}^2 = \frac{A_P^2}{WL} + S_P^2 D^2, \quad (\text{III.73})$$

onde ΔP é a variação de um parâmetro P de dois dispositivos que possuem as mesmas

dimensões nominais, e representa seu descasamento, A_P é uma constante do processo referente ao descasamento do parâmetro P , WL é a área ativa do dispositivo, D é a distância entre os dispositivos e S_P é a constante do processo correspondente ao descasamento provocado pela distância entre os dispositivos. Desta forma, pode-se observar que, quanto mais próximos estiverem os componentes e maior forem suas áreas, maior será o casamento entre eles.

O efeito da distância é comumente conhecido como gradiente de processo e pode ser fortemente minimizado empregando técnicas de *layout* como interdigitação, centroidecomum e *cross-quad* [14]. Isto, somado ao fato de que para distâncias menores que 1 mm o efeito da distância é de pouca influência [32], permite que o termo $S_P^2 D^2$ em (III.73) seja desprezado, de forma que o descasamento dos parâmetros passa a ser unicamente controlado pela área dos dispositivos.

O descasamento dos principais parâmetros para os transistores MOS, V_{T0} e $\beta_{MOS} = \mu K_P C_{OX}$, é aproximadamente

$$\sigma_{\Delta V_{T0}}^2 = \frac{A_{V_{T0}}^2}{WL} \quad (\text{III.74})$$

$$\left(\frac{\sigma_{\Delta \beta_{MOS}}}{\beta_{MOS}} \right)^2 = \frac{A_{\beta}^2}{WL}, \quad (\text{III.75})$$

para as resistências é aproximadamente

$$\left(\frac{\sigma_{\Delta R}}{R} \right)^2 = \frac{A_R^2}{WL} \quad (\text{III.76})$$

e para os parâmetros referentes ao transistor bipolar I_S e $\beta = I_C/I_B$

$$\left(\frac{\sigma_{\Delta I_S}}{I_S} \right)^2 = \frac{A_{I_S}^2}{WL} \quad (\text{III.77})$$

$$\left(\frac{\sigma_{\Delta \beta}}{\beta} \right)^2 = \frac{A_{\beta}^2}{WL}. \quad (\text{III.78})$$

Desta forma, o descasamento entre os componentes importantes pode ser escolhido através do emprego de uma área suficientemente grande.

III.5.2 - APLICAÇÃO AO PROJETO

Admitindo que os efeitos de processo e descasamento são descorrelacionados e que a componente sistemática terá seu efeito mitigado na confecção do *layout* podendo ser desprezada, uma vez que sua contribuição será pequena em relação às outras, a imprecisão

total da tensão de referência pode ser expressa como

$$\sigma_{V_{REF}}^2 = \sigma_{V_{PROC}}^2 + \sigma_{V_{MIS}}^2, \quad (\text{III.79})$$

onde $\sigma_{V_{PROC}}$ corresponde à imprecisão de V_{REF} devido às variações de processo, $\sigma_{V_{MIS}}$ corresponde à imprecisão de V_{REF} devido aos descasamentos.

O termo $\sigma_{V_{PROC}}$ pode ser considerado constante, como discutido anteriormente, uma vez que apenas a calibração pode reduzi-lo, desta maneira, a imprecisão mínima que se pode alcançar em um circuito de tensão de referência não calibrado é igual ao termo correspondente ao processo. Logo, o termo referente ao descasamento deve ser ajustado para garantir determinada imprecisão inicial especificada, maior que $\sigma_{V_{PROC}}$.

Como visto anteriormente, a elevação da área dos componentes resulta em um maior casamento entre eles, o que reduz a imprecisão da tensão de referência. No entanto, um aumento generalizado destas áreas para garantir determinado nível de precisão pode conduzir a um circuito com uma área total desnecessariamente grande, ineficiente. Por isto, uma otimização é necessária e para tal é preciso conhecer a contribuição de cada dispositivo na imprecisão da tensão de referência. Para isto, as equações de Pelgrom são aplicadas as varias partes do circuito, necessitando-se avaliar apenas os principais descasamentos do circuito da Fig. II.10, que foram identificados como:

1. Descasamento dos transistores bipolares ($\sigma_{V_{BJT}}$);
2. Descasamento do espelho de corrente composto por $M1$ e $M2$ ($\sigma_{V_{M1,2}}$);
3. Descasamento entre as resistências de R_1 e R_2 (σ_{V_R});
4. Descasamento dos transistores do amplificador operacional ($\sigma_{V_{OPAMP}}$), caracterizados como um *offset* de entrada ($\sigma_{V_{OS}}$).

Desta maneira, (III.79), considerando que todos estes erros sejam descorrelacionados, assume a forma da restrição

$$\sigma_{V_{PROC}}^2 + \sigma_{V_{BJT}}^2 + \sigma_{V_{M1,2}}^2 + \sigma_{V_R}^2 + \sigma_{V_{OPAMP}}^2 \leq \sigma_{V_{REF}}^2, \quad (\text{III.80})$$

com

$$\sigma_{V_{REF}} = \text{IMPRECISAO}\% V_{REF}(T_{REF}), \quad (\text{III.81})$$

onde $\text{IMPRECISAO}\%$ é a especificação de imprecisão percentual fornecida e $V_{REF}(T_{REF})$ é obtida de (III.46). Adicionalmente, a equação custo (área total) a ser minimizada é dada por

$$\text{Area}_{TOTAL} = \text{Area}_{BJT} + \text{Area}_{M1,2} + \text{Area}_R + \text{Area}_{OPAMP}. \quad (\text{III.82})$$

A obtenção das equações para as imprecisões devido ao descasamento das diversas partes do circuito consiste na obtenção da relação entre a variável descasada e a tensão de referência e aplicação da lei de propagação de incertezas [33, 34]. A obtenção destas relações encontram-se no Apêndice A e seus resultados são apresentados neste capítulo. O método de obtenção do componente referente às variações de processo é apresentado em seguida.

III.5.3 - DESCASAMENTO

III.5.3.1 - DESCASAMENTO DO BJT

A parcela da imprecisão referente aos transistores bipolares é expressa por

$$\sigma_{V_{BJT}}^2 = \sigma_{V_{EB_2}}^2 + \left(\sigma_{V_{EB_1}}^2 + \sigma_{V_{EB_2}}^2 \right) \left(\frac{R_2}{R_1} + 1 \right)^2, \quad (\text{III.83})$$

onde

$$\sigma_{V_{EB_1}}^2 = \frac{U_{TREF}^2}{2} \left[\frac{A_{IS}^2}{W_{BJT} L_{BJT}} + \left(\frac{A_{ISW}}{W_{BJT}} \right)^2 \right], \quad (\text{III.84})$$

$$\sigma_{V_{EB_2}}^2 = \frac{U_{TREF}^2}{2} \left[\frac{A_{IS}^2}{N W_{BJT} L_{BJT}} + \left(\frac{A_{ISW}}{W_{BJT}} \right)^2 \right], \quad (\text{III.85})$$

A_{ISW} é um parâmetro de processo extra correspondentes ao descasamento de corrente de saturação do transistor bipolar, o parâmetro A_β não aparece, pois o transistor do projeto empregado é modelado como diodo, W_{BJT} e L_{BJT} são, respectivamente, a largura e comprimento do transistor e vale lembrar que N e $R_2/R_1 = RAZAOR$ são variáveis independentes no problema de otimização.

A observação de (III.84) e (III.85) em conjunto com a restrição (III.26) faz com que escolha-se $W_{BJT} = 2 \mu m$, de forma a minimizar ao máximo a parcela do descasamento correspondente aos termos de A_{ISW} . A dimensão L_{BJT} é uma variável independente a ser encontrada pelo algoritmo de otimização.

III.5.3.2 - DESCASAMENTO NO ESPELHO DE CORRENTE $M1 - M2$

O termo correspondente ao descasamento entre os transistores $M1$ e $M2$ do espelho de corrente é dado pela equação

$$\sigma_{V_{M1,2}}^2 = \frac{U_{TREF}^2}{2W_2L_2} \left(1 + \frac{1}{M}\right) \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1\right)^2 \left[A_{\beta_P}^2 + \left(\frac{gm_2}{I(TREF)} A_{VT0P}\right)^2\right], \quad (III.86)$$

onde A_{β_P} e A_{VT0P} são parâmetros do processo para os transistores PMOS, $I(TREF)$ é a corrente que passa pelo transistor $M2$ e gm_2 é sua transcondutância obtida pela derivada de (III.50) em relação à V_{GS} , assim

$$\frac{gm_2}{I(TREF)} = \frac{2}{n_{MOSp} V_{DSATM2}}, \quad (III.87)$$

onde

$$V_{DSAT1,2} = \sqrt{\frac{2I(TREF)}{n_{MOSp} k_{Pp} RAZAO_2}}. \quad (III.88)$$

lembrando que $RAZAO_2$, L_2 , M , N e $R_2/R_1 = RAZAO_R$ são variáveis independentes no problema e W_2 é obtido de $RAZAO_2$ e L_2 .

III.5.3.3 - DESCASAMENTO ENTRE R_1 E R_2

A contribuição dos resistores R_1 e R_2 é dada pela expressão

$$\sigma_{V_R}^2 = \frac{U_{TREF}^2 A_R^2}{2W_{R1} L_{R1}} \left[\left(\frac{R_2}{R_1} \ln(MN)\right)^2 + \frac{R_2}{R_1} \ln^2(MN) \right], \quad (III.89)$$

onde A_R é um parâmetro do processo, $R_2/R_1 = RAZAO_R$ e W_{R1} são variáveis independentes no problema e W_{R1} é obtido através de (III.41).

III.5.3.4 - DESCASAMENTO NO AMPOP

A contribuição do amplificador empregado é resultado de sua tensão de *offset* de entrada, que existirá devido ao descasamento das cargas ativas $M4$ e $M5$, e também do par diferencial $M8$, $M9$. Ela é dada pela expressão

$$\sigma_{V_{OPAMP}}^2 = \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1\right)^2 \sigma_{V_{OS}}^2, \quad (III.90)$$

onde

$$\begin{aligned} \sigma_{V_{OS}}^2 = & \frac{1}{W_{8,9}L_{8,9}} \left[A_{V_{TN}}^2 + \left(\frac{BI(T_{REF})}{gm_{8,9}} A_{\beta_n} \right)^2 \right] \\ & + \frac{1}{BW_2L_2} \left(\frac{BI(T_{REF})}{gm_{8,9}} \right)^2 \left[A_{\beta_p}^2 + \left(\frac{gm_2}{I(T_{REF})} A_{V_{T0P}} \right)^2 \right] \end{aligned} \quad (III.91)$$

sendo $A_{V_{T0P}}$, A_{β_p} , A_{β_n} constantes do processo e a ausência de parâmetros referentes à M4 e M5 é justificada observando que $BW_2L_2 = W_{4,5}L_{4,5}$, segundo (III.59) e (III.58), e

$$\frac{gm_{4,5}}{BI(T_{REF})} = \frac{gm_2}{I(T_{REF})}, \quad (III.92)$$

dado por (III.87) (para mais detalhes, consultar Apêndice A). A razão

$$\frac{BI(T_{REF})}{gm_{8,9}} = \frac{n_{MOS_N} U_{T_{REF}} (1 + \sqrt{1 + 4IC_{8,9}(T_{REF})})}{2}, \quad (III.93)$$

é obtida a partir derivando (III.2) em relação à V_G para encontrar a transcondutância gm e

$$A_{V_{TN}} = A_{V_{T0N}} \left(1 + \frac{V_{S_{8,9}}(T_{REF})}{3,03 \phi_N(T_{REF})} \right), \quad (III.94)$$

uma vez que o par diferencial possui efeito de corpo, onde $\phi_N(T_{REF})$ é o potencial de superfície do silício, uma constante para o processo, e

$$V_{S_{8,9}}(T_{REF}) = V_{EB_1}(T_{REF}, MI(T_{REF})) - V_{GS_{8,9}}(T_{REF}), \quad (III.95)$$

com $V_{EB_1}(T_{REF}, MI(T_{REF}))$ dado por (III.61) e $V_{GS_{8,9}}(T_{REF})$ fornecido pela combinação de (III.62) e (III.63), todos avaliados em T_{REF} . Cabe lembrar que $I(T_{REF})$ e $IC_{8,9}(T_{REF})$ são variáveis independentes, encontradas pelo algoritmo de otimização.

É importante mencionar, que no geral a parcela do descasamento de V_{TN} correspondente ao efeito de corpo não é simulado, pois depende do conhecimento de um parâmetro dificilmente fornecido pelos processos de fabricação. Mais informações à respeito podem ser obtidas na Seção A.4.3.

III.5.4 - VARIAÇÕES DE PROCESSO

Como visto anteriormente, as variações de processo fazem com que todos os componentes do mesmo tipo variem igualmente, ao contrário das variações aleatórias que geram descasamentos. Por isto, o amplificador, o espelho de corrente M1-M2 e a razão de resistências, R_2/R_1 não produzem erros na tensão de referência devido a este tipo de

variação.

Os únicos erros [13] vistos na saída são decorrentes das variações das tensões V_{EB_2} e ΔV_{EB} . O erro em V_{EB_2} é causado pela variação da corrente de saturação I_S , do ganho de corrente β e da resistência de R_1 , enquanto o de ΔV_{EB} é provocado pela variação de β , quando a resistência de base R_B é não nula.

Como o BJT empregado neste projeto é modelado como um diodo, não apresentando resistência de base ou β , e como notado em [13] a contribuição do erro destes dois parâmetros é mais de 10 vezes menor que a dos outros em um BGR CMOS típico, aqui apenas serão abordadas as variações causadas por I_S e R_1 , que apenas afetam V_{EB_2} .

A metodologia para mensurar estas variações é semelhante àquela utilizada para o descasamento encontrada no Apêndice A e consiste basicamente em realizar uma aproximação linear da função avaliada em relação ao parâmetro variante, deste modo

$$\sigma_{V_X} = \sigma_{V_P} = \frac{\partial V_X}{\partial P} \sigma_P, \quad (\text{III.96})$$

onde V_X é a função a ser avaliada e P é o parâmetro que sofre dispersão. Em casos de mais de um parâmetro, supondo que estes sejam descorrelacionados, pode-se como uma aproximação somar suas variâncias

$$\sigma_{V_X}^2 = \sigma_{V_{P1}}^2 + \sigma_{V_{P2}}^2. \quad (\text{III.97})$$

Desta maneira,

$$\sigma_{V_{EB_2}}^2 = \sigma_{V_{I_S}}^2 + \sigma_{V_{R_1}}^2, \quad (\text{III.98})$$

onde $\sigma_{V_{I_S}}$ e $\sigma_{V_{R_1}}$ são computados a seguir.

III.5.4.1 - VARIAÇÃO DE V_{EB_2} CAUSADA POR I_S

A tensão V_{EB_2} em função de I_S é dada por

$$V_{EB_2} = U_T \ln \left(\frac{I}{NI_S} \right), \quad (\text{III.99})$$

onde aplicada (III.96) fornece

$$\sigma_{V_{I_S}} = U_T \frac{\sigma_{I_S}}{I_S}, \quad (\text{III.100})$$

onde σ_{I_S}/I_S pode ser obtido do manual do processo ou por uma simulação de Monte Carlo.

III.5.4.2 - VARIAÇÃO DE V_{EB_2} CAUSADA POR R_1

A tensão V_{EB_2} em função de R_1 é dada por

$$V_{EB_2} = U_T \ln \left(\frac{U_T \ln(N)}{NR_1 I_S} \right), \quad (\text{III.101})$$

onde aplicada (III.96) fornece

$$\sigma_{V_{R_1}} = U_T \frac{\sigma_R}{R}, \quad (\text{III.102})$$

onde σ_R/R pode ser obtido do manual ou por uma simulação de Monte Carlo.

III.5.4.3 - VARIAÇÃO TOTAL DE V_{EB_2} E DE PROCESSO

Conforme discutido anteriormente a variação total de V_{EB_2} é então obtida empregando (III.100) e (III.102) à (III.98)

$$\sigma_{V_{EB_2}} = U_T \sqrt{\left(\frac{\sigma_{I_S}}{I_S} \right)^2 + \left(\frac{\sigma_R}{R} \right)^2}, \quad (\text{III.103})$$

e esta variação é diretamente na saída do BGR, logo à temperatura ambiente

$$\sigma_{V_{PROC}} = \sigma_{V_{EB_2}} = U_{T_{REF}} \sqrt{\left(\frac{\sigma_{I_S}}{I_S} \right)^2 + \left(\frac{\sigma_R}{R} \right)^2} = 4,7 \text{ mV}, \quad (\text{III.104})$$

para o processo em questão, uma vez que as variações de processo são constantes, ou seja, independentes da área do dispositivo ou outro parâmetro.

III.6 - CALIBRAÇÃO

Um circuito de BGR possui uma precisão limitada por suas variações de processo, como visto anteriormente, e a única maneira de reduzir esta imprecisão é por meio da calibração. A maneira mais simples é realizá-la em uma única temperatura, geralmente a ambiente, no entanto esta é no geral uma calibração PTAT e componentes de erro com dependência da temperatura de ordens superiores acabam por ser compensados, o que produz erros no coeficiente de temperatura. Outra solução seria compensação em mais de uma temperatura para manter o TC final, mas esta abordagem é mais custosa e complexa de ser implementada. Esta seção apresenta a calibração empregada neste projeto, em uma temperatura, e analisa os efeitos causados por ela no TC da tensão de referência com o

objetivo de reduzi-los, o que permite especificar um erro máximo de TC.

III.6.1 - MÉTODO DE CALIBRAÇÃO

A calibração neste projeto é realizada em uma única temperatura através da calibração do resistor R_2 , que é implementado como uma conexão série de dois resistores, R_{TRIM} e R_{2PART} , como mostrado na Fig. III.6. A ideia é retirar uma parte de R_2 , R_{RET} , correspondente à máxima variação ($\sigma_{INICIAL}$) da tensão de referência e adicionar uma matriz de resistores ajustável, R_{TRIM} , correspondente a 2 vezes a máxima variação ($2\sigma_{INICIAL}$).

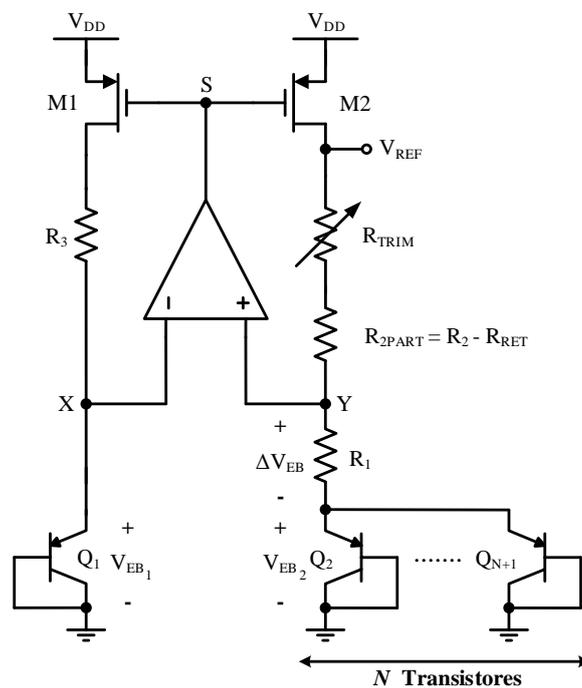


Figura III.6: Circuito de *bandgap* acrescido da calibração do resistor R_2 .

A rede resistiva é realizada por uma associação série de resistores conectados em paralelo com chaves analógicas, como apresentada na Fig. III.7, de forma a permitir uma codificação binária. Desta maneira, a calibração pode ser descrita pela Fig. III.8 (a) (exemplo com 3 bits), que expressa a tensão $V_{R_{TRIMM}} - \sigma_{INICIAL}$, com 0 correspondendo à situação nominal. Pode-se notar que da maneira representada é impossível implementar o caso nominal do projeto (0), pois este sempre estará no meio da faixa devido à simetria do problema e ao número de possibilidades ser sempre par. A única maneira de resolver este impasse é deixar o problema assimétrico de forma que a média dos valores mínimo e máximo passe a ser $\pm\Delta V_{MIN}/2$. Isto é possível se o valor máximo for aumentado em $\Delta V_{MIN}/2$ ou o valor mínimo reduzido em $\Delta V_{MIN}/2$. Como neste projeto serão usadas chaves analógicas PMOS, a melhor opção é aumentar o valor máximo, de forma que o caso nominal seja realizado mantendo as $N_{BITS} - 1$ chaves menos significativas desligadas, o

que reduz as resistências correspondentes às chaves em série e produz o menor erro em relação ao circuito sem calibração.

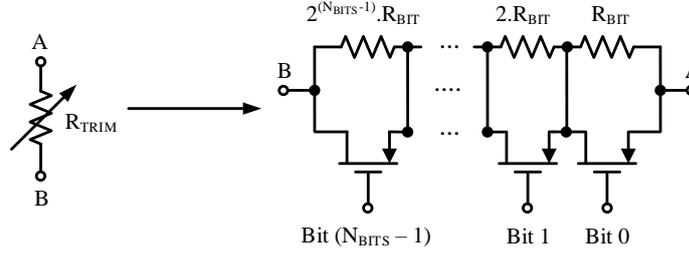


Figura III.7: Rede resistiva de calibração R_{TRIM} .

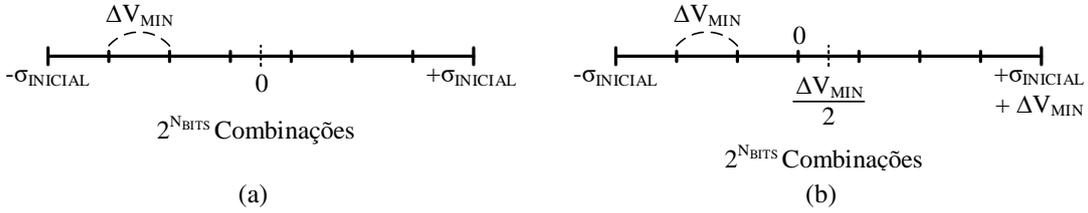


Figura III.8: Esquema das possibilidades de $V_{R_{TRIM}} - \sigma_{INICIAL}$, representando a metodologia de Calibração. (a) Esquema inicial. (b) Esquema empregado.

Para encontrar o número de bits mínimo, N_{BITS} em função de uma imprecisão final pós calibração especificada, σ_{FINAL} , basta utilizar o esquema da Fig. III.8 (b) e notar que a mínima imprecisão capaz de ser alcançada por ele é

$$IMPRECISAO_{MIN} = \frac{\Delta V_{MIN}}{2} = \frac{\sigma_{FINAL}}{\xi}, \quad (III.105)$$

quando a tensão de comparação utilizada para a calibração é

$$V_{LIMIAR} = V_{REFNOM} - \frac{\Delta V_{MIN}}{2}. \quad (III.106)$$

Note que ξ é uma constante maior ou igual à 1, de conforto, utilizada para garantir que a especificação desejada será implementada. Desta forma

$$\Delta V_{MIN} = \frac{2\sigma_{FINAL}}{\xi} \quad (III.107)$$

e do esquema da Fig. III.8 (b)

$$\Delta V_{MIN} (2^{N_{BITS}} - 1) \geq 2\sigma_{INICIAL} + \Delta V_{MIN}, \quad (III.108)$$

o que em conjunto com (III.107) conduz à

$$N_{BITS} \geq \log_2 \left(2 + \xi \frac{\sigma_{INICIAL}}{\sigma_{FINAL}} \right), \quad (III.109)$$

que é empregada para encontrar o número de bits necessários para fornecer a imprecisão final desejada.

Após a escolha de N_{BITS} resta definir os resistores R_{BIT} e R_{2PART} . Como o número de bits fornecido por (III.109) será aproximado para o maior inteiro, é possível implementar uma imprecisão σ_{FINAL} menor do que a especificada, retirada de (III.108) e (III.107), dada por

$$\sigma_{FINAL_IMP} = \xi \frac{\sigma_{INICIAL}}{2^{N_{BITS}} - 2} \quad (III.110)$$

e de forma equivalente

$$\Delta V_{MIN_IMP} = \frac{2\sigma_{INICIAL}}{2^{N_{BITS}} - 2}, \quad (III.111)$$

o que permite calcular

$$R_{BIT} = \frac{\Delta V_{MIN_IMP}}{I(T_{REF})}. \quad (III.112)$$

O cálculo de R_{2PART} necessita do conhecimento do valor da resistência, R_{RET} , que deve ser retirada de R_2 . Como discutido anteriormente, os resistores correspondentes aos $N_{BITS} - 1$ bits menos significativos devem ser somados para obter R_{RET} devido à ampliação do valor máximo, assim

$$R_{RET} = (2^{(N_{BITS}-1)} - 1) R_{BIT}, \quad (III.113)$$

e desta forma

$$R_{2PART} = R_2 - R_{RET}. \quad (III.114)$$

III.6.2 - EFEITO DA CALIBRAÇÃO NO COEFICIENTE DE TEMPERATURA

A calibração visa corrigir a tensão de referência na temperatura ambiente e espera que sua curvatura (TC) também seja acertada, mas alguns dos erros corrigidos não são PTAT o que dificulta este objetivo. No entanto, uma análise detalhada destes erros pode permitir que um determinado TC limite especificado seja alcançado através da otimização.

De acordo com [13] os principais erros em circuitos de *bandgap* são causados pelos erros de processo descritos na Seção III.5.4, pelo *offset* do AmpOp, do descasamento do espelho de corrente M1-M2 e da dependência da temperatura não linear de V_{EB} . A dependência de temperatura de V_{EB} é o que gera o coeficiente de temperatura nominal e é

apenas reduzida implementando métodos de compensação de curvatura, o que não é o objetivo deste trabalho. Os erros de processo deste trabalho são PTAT, logo são completamente compensados pela calibração de R_2 , assim como o descasamento dos resistores. Já o descasamento do espelho de corrente e o *offset* possuem características não PTAT, o que provoca erros no TC após a calibração, cujas análises são realizadas no apêndice A e os resultados aqui apresentados.

III.6.2.1 - ERRO DEVIDO AO OFFSET DO AMPOP

O *offset* do AmpOp pode ser considerado independente da temperatura e desta forma gera uma erro de TC após a calibração dado por

$$\sigma_{TC_{V_{OS}}} = \frac{\sigma_{V_{OPAMP}}}{V_{REF}(T_{REF})(T_{MAX} - T_{MIN})} \left(\frac{T_{MAX}}{T_{REF}} - 1 \right), \quad (III.115)$$

com $\sigma_{V_{OPAMP}}$ obtido de (III.90).

III.6.2.2 - ERRO DEVIDO AO DESCASAMENTO DO ESPELHO DE CORRENTE M1-M2

O descasamento do espelho de corrente M1-M2 contribui para o erro do TC com

$$\sigma_{TC_{V_{M1,2}}} = \frac{2}{b_2} U_{T_{MAX}} \sigma_{\Delta V_{T0}} \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1 \right) \left(\left(\frac{T_{REF}}{T_{MAX}} \right)^{\frac{1-\gamma}{2}} - 1 \right) \quad (III.116)$$

$$\times \frac{1}{V_{REF}(T_{REF})(T_{MAX} - T_{MIN})}, \quad (III.117)$$

onde

$$\sigma_{\Delta V_{T0}}^2 = \frac{1}{2} \left(1 + \frac{1}{M} \right) \frac{A_{V_{T0P}}^2}{WL} \quad (III.118)$$

e

$$b_2 = \sqrt{\frac{2n_{MOS_P} I_2(T_{REF})}{\beta_{MOS_2}}}. \quad (III.119)$$

III.6.2.3 - ERRO DEVIDO À CALIBRAÇÃO INCOMPLETA

A calibração estabelece que a tensão de referência possua uma imprecisão máxima σ_{FINAL} , e desta forma, a tensão de referência não é totalmente corrigida para seu valor

nominal. Isto gera um erro do TC dado por

$$\sigma_{TC\Delta V_{MIN_{IMP}}} = \frac{\xi \Delta V_{MIN_{IMP}}}{2V_{REF}(T_{REF})(T_{MAX} - T_{MIN})} \left(\frac{T_{MAX}}{T_{REF}} - 1 \right). \quad (III.120)$$

III.6.2.4 - ERRO DE TC TOTAL

Se os efeitos equacionados anteriormente forem considerados independentes e descorrelacionados, então o erro máximo de TC será expresso por

$$\sigma_{TC}^2 = \sigma_{TCV_{OS}}^2 + \sigma_{TCM_{1,2}}^2 + \sigma_{TC\Delta V_{MIN_{IMP}}}^2 \quad (III.121)$$

e será uma das restrições impostas no problema de otimização, onde σ_{TC} é uma especificação do projeto.

III.7 - ESTABILIDADE

As capacitâncias parasitas dos transistores M1 e M2 juntamente com a resposta em frequência dos AmpOp e a realimentação de sua polarização, constituída pelos transistores M1, M2, M3, M6 e M7, podem fazer com que o BGR se torne instável, como ocorreu nos primeiras simulações realizadas neste projeto. A instabilidade pode ser evitada pelo controle das dimensões dos dispositivos para controle dos polos e zeros ou/e pela inclusão de um capacitor de compensação. De forma a manter a área do circuito implementado otimizada, o controle dos principais polos e zeros da malha fechada do circuito também foi incluído na otimização.

A análise completa da estabilidade, com determinação dos polos e zeros da função de transferência em malha aberta, é realizada no Apêndice C e tem como resultado a função de transferência em malha aberta $G(s) = \beta(s)A(s)$ do circuito, dada por

$$G(s) = -G(0) \frac{(s - Z_1)(s - Z_3)}{(s - P_1)(s - P_2)(s - P_3)(s - P_4)(s - P_5)} \quad (III.122)$$

$$\times \left((s - Z_2)(s - P_5) - \frac{(s - Z_4)(s - Z_5)(s - P_3)(s - P_4)}{G(0)} \right), \quad (III.123)$$

onde Z_i , P_i e $G(0)$ correspondem, respectivamente, aos zeros, polos e ao ganho DC em malha aberta.

É possível notar que o termo entre parênteses em (III.123) precisa ser resolvido para obter os zeros resultantes, mas esta não é uma boa opção a ser implementada no algoritmo devido à complexidade. Após uma breve observação da equação é possível notar que o se-

gundo termo entre parênteses encontra-se dividido pelo ganho $G(0)$, que em geral é maior que 500. Uma opção é desprezá-lo. Este método produz um bom resultado aproximado, mas há uma segunda opção para tentar considerar o efeito dos zeros desprezados, que é desprezando o termo entre parênteses. Desta maneira, se durante a simulação do circuito a margem de fase (MF) não for satisfatória empregando a primeira forma, pode-se tentar utilizar a última.

O objetivo de conhecer os polos e zeros da função de transferência em malha aberta do circuito é poder estimar a margem de fase para que seja possível especificá-la no projeto. Desta forma,

$$MF = \pi - \sum \tan^{-1} \left(\frac{\omega_0}{P_E} \right) - \sum \tan^{-1} \left(\frac{\omega_0}{Z_D} \right) + \sum \tan^{-1} \left(\frac{\omega_0}{Z_E} \right), \quad (\text{III.124})$$

onde P_E , Z_D e Z_E são respectivamente, os módulos dos polos do lado esquerdo, zeros do lado direito e zeros do lado esquerdo, e ω_0 é a frequência em que o ganho é 0 dB. Esta frequência pode ser encontrada considerando P_1 como polo dominante e admitindo que não existe nenhum outro polo ou zero entre sua frequência e à de 0 dB, assim

$$\omega_0 = \beta(0)A_1(0)P_1, \quad (\text{III.125})$$

que junto à (III.124) fornece a restrição

$$MF_{ESPEC} < \left(\frac{\pi}{180^\circ} \right) 90^\circ - \sum_{i=2}^4 \tan^{-1} \left(\frac{A_0 P_1}{P_i} \right) - SELECT_POLO \tan^{-1} \left(\frac{A_0 P_1}{P_5} \right) - \sum_{i=1,3} \tan^{-1} \left(\frac{A_0 P_1}{Z_i} \right) + SELECT_ZERO \tan^{-1} \left(\frac{A_0 P_1}{Z_2} \right), \quad (\text{III.126})$$

onde MF_{ESPEC} é a margem de fase especificada em graus e $SELECT_POLO$ e $SELECT_ZERO$, assumem os valores 0 ou 1, de acordo com o método descrito anteriormente.

III.8 - ALGORITMO

O algoritmo de otimização emprega todas as equações apresentadas anteriormente e é apresentado de forma simplificada a seguir, assim como seus principais pontos de implementação.

O algoritmo foi desenvolvido empregando o *software* MATLAB e sua execução completa demora cerca de 10 minutos empregando computação paralela e 1 hora sem computação paralela, pois utiliza-se cálculo simbólico nas equações.

Algoritmo 1: Algoritmo de Projeto do Circuito de *bandgap*

Entrada: $3 \sigma_{INICIAL}, \Delta TC_{MAX}, C_L, T_{MIN}, T_{MAX}, V_{DD_{MIN}}, V_{DD_{FOLGA}}, L_7, MF, W_{8,9_{MAX}}$

1 **início**

2 Definir as variáveis Simbólicas:
 $C_C, IC_{8,9}, IC_7, M, N, I_2, L_2, L_{BIPOLAR}, B, W_R, W_{8,9}, R_{AZAOR}$ e multiplicadores de Lagrange e variáveis de folga referentes às inequações de desigualdade;

3 Definir as constantes de normalização das variáveis anteriores, constantes dos dispositivos e de processo;

4 Definir o erro final tolerado número máximo de iterações do algoritmo de Newton-Raphson;

5 Definir as equações de projeto apresentadas neste trabalho;

6 Definir a função objetivo e as restrições;

7 Montar o sistema de equações do método de multiplicadores de Lagrange;

8 Fornecer solução inicial para resolver o sistema de equações pelo método numérico de Newton-Raphson;

9 **para contador de 1 até 5 faça**

10 Algoritmo de Newton-Raphson;

11 **se contador=1 então**

12 Aproximar N para maior valor inteiro;

13 **fim**

14 **se contador=2 então**

15 Aproximar N para menor valor inteiro;

16 **fim**

17 **se contador=3 então**

18 Empregar o N que fornece a menor área total;

19 Aproximar B para o valor mais próximo possível de ser implementado pelos transistores, de forma que M2, M3, M4 e M5 possam ser divididos em no mínimo 2 transistores para que seu *layout* possa ser implementado com centroide-comum, e que seu transistor unitário possua uma largura de canal maior que $2\mu m$;

20 **fim**

21 **se contador=4 então**

22 Aproximar M para o valor mais próximo possível de ser implementado, que é definido a partir do transistor unitário definido anteriormente para M2;

23 **fim**

24 **fim**

25 **fim**

26 Calcular todas as variáveis necessárias para implementação do circuito a partir das soluções;

27 Implementar a calibração e definir a resistência unitária necessária para implementação casada das resistências empregadas neste mecanismo;

III.8.1 - ESCOLHA DE $3\sigma_{INICIAL}$ E ΔTC_{MAX}

Para definir os parâmetros $3\sigma_{INICIAL}$ é necessário definir ΔTC_{MAX} e o $3\sigma_{FINAL}$ desejado. Uma boa aproximação do coeficiente de temperatura nominal, da tensão de referência nominal e da variação de processo deve ser obtida para auxiliar no processo de escolha, e isto é possível de forma fácil através das equações apresentadas neste trabalho.

O conhecimento do TC nominal é suficiente para estipular um ΔTC_{MAX} viável. O valor escolhido de $3\sigma_{FINAL}$ deve ser baseado no nível de precisão final desejado e no número de bits que se está disposto a utilizar, mas também deve levar em consideração a limitação da resistência finita das chaves analógicas de forma que seja de fato possível alcançar a imprecisão final especificada. A partir do $3\sigma_{FINAL}$ estipulado, o número de bits mínimo necessário para sua implementação pode ser obtido de (III.109) considerando

$$3\sigma_{INICIAL} = 3\sigma_{PROC} + tol, \quad (III.127)$$

onde tol é uma tolerância adicionada para contornar possíveis imprecisões dos cálculos e de implementação do circuito. O número de bits obtido será um número real, que deve ser aproximado para o maior inteiro. Esta aproximação aplicada à mesma fórmula permite obter o $3\sigma_{INICIAL}$ máximo que deve ser implementado para manter este número de bits, de onde retirada a tolerância, tol , obtém-se

$$3\sigma_{INICIAL_{ESPEC}} = 3\sigma_{INICIAL} - tol, \quad (III.128)$$

que deve ser efetivamente implementada pelo algoritmo de otimização.

III.8.2 - MULTIPLICADORES DE LAGRANGE E CONDIÇÕES DE KARUSH-KUHN-TUCKER

Um problema de otimização consiste em encontrar o mínimo ou máximo de uma função, comumente sujeito a restrições de igualdade e de desigualdade e é enunciado como.

$$\begin{aligned} \text{Minimizar} \quad & f(\mathbf{X}) \\ \text{Sujeito a} \quad & h_i(\mathbf{X}) = 0 \\ & g_i(\mathbf{X}) \leq 0 \end{aligned} \quad (III.129)$$

onde \mathbf{X} é o vetor composto pelas variáveis independentes cujo ponto \mathbf{X}_0 que minimiza ou maximiza $f(\mathbf{X})$ se deseja encontrar.

O método dos multiplicadores de Lagrange permite encontrar o ponto crítico \mathbf{X}_0 quando existem apenas restrições de igualdade, e as condições de KKT (Karush-Kuhn-Tucker) definem as condições adicionais para resolver o problema com restrições de desigualdade.

A ideia dos multiplicadores de Lagrange é minimizar a função de Lagrange

$$\mathcal{L}(\mathbf{X}, \lambda, \mu) = f(\mathbf{X}) + \sum_{i=1}^M \lambda_i h_i(\mathbf{X}) + \sum_{i=1}^N \mu_i g_i(\mathbf{X}), \quad (\text{III.130})$$

onde λ_i e μ_i são os multiplicadores de Lagrange das restrições de igualdade e desigualdade, respectivamente e a minimização é realizada encontrando seu gradiente e o igualando a zero

$$\nabla f(\mathbf{X}) + \sum_{i=1}^M \lambda_i \nabla h_i(\mathbf{X}) + \sum_{i=1}^N \mu_i \nabla g_i(\mathbf{X}) = 0, \quad (\text{III.131})$$

o que fornece um conjunto de equações com número igual ao de variáveis do vetor \mathbf{X} , que são adicionadas às M equações de restrição de igualdade. No entanto, são necessárias mais N equações, correspondentes aos multiplicadores de Lagrange das restrições de desigualdade.

Esta questão é facilmente resolvida, pois quando o ponto \mathbf{X}_0 leva à $g_i(\mathbf{X}) < 0$ estas restrições não interferem no problema, e assim, $\mu_i = 0$ e diz-se que as restrições estão inativas. Já quando $g_i(\mathbf{X}) = 0$ estas encontram-se ativas e passam a ser restrições de igualdade, onde $\mu_i > 0$ (λ_i pode ser maior ou menor que zero). Desta forma, as seguintes equações são adicionadas ao problema

$$\mu_i g_i(\mathbf{X}) = 0, \quad (\text{III.132})$$

$$\mu_i \geq 0 \quad (\text{III.133})$$

O conjunto de equações (III.131), restrições de igualdade, (III.132) e (III.133) nomeia-se condições de KKT.

III.8.3 - TRATAMENTO DAS RESTRIÇÕES DE DESIGUALDADE

A presença da inequação (III.133) nas condições de KKT torna mais interessante para resolver o problema numericamente transformar as equações de desigualdade em igual-

dade. Uma restrição de desigualdade

$$g_i(\mathbf{X}) \leq 0 \quad (\text{III.134})$$

pode ser transformada em uma restrição de igualdade pela inserção de uma variável de folga, assim

$$g_i(\mathbf{X}) + \text{var_folga}^2 = 0 \quad (\text{III.135})$$

onde é importante notar que o termo adicional nunca pode ser negativo, o que limita a restrição $g_i(\mathbf{X})$ a ser sempre menor ou igual a zero de forma a manter a igualdade.

As variáveis de folga devem ser inseridas juntas ao vetor \mathbf{X} de forma que elas aumentam o vetor gradiente e o número de equações, o que aumenta a complexidade do sistema de equações.

Existem ainda as restrições de que as variáveis X_i não podem ser negativas

$$X_i > 0. \quad (\text{III.136})$$

Estas condições foram tratadas no algoritmo simplesmente criando novas variáveis V_i , de forma que

$$X_i = (V_i)^2, \quad (\text{III.137})$$

onde o sistema de equações passa a ser resolvido para as variáveis V_i .

III.8.4 - MÉTODO DE NEWTON-RAPHSON

O sistema de equações obtidos neste trabalho é composto por diversas funções não-lineares, e, desta forma, a solução numérica foi obtida empregando o método de Newton-Raphson para encontrar o ponto \mathbf{X}_0 , os multiplicadores de Lagrange e as variáveis de folga.

O método de Newton-Raphson possui convergência rápida e consiste em aproximar-se sucessivamente da solução do sistema de equações através da linearização de suas equações. No caso unidimensional, por exemplo, a função $f(x) = 0$ é aproximada em torno da solução atual ou inicial x_n por

$$f(x) = f(x_n) + f'(x_n)(x - x_n) = 0, \quad (\text{III.138})$$

de onde se obtém a próxima solução $x = x_{n+1}$

$$x_{n+1} = x_n - \frac{f(x_n)}{f'(x_n)} \quad (\text{III.139})$$

e isto é feito até que a diferença $x_{n+1} - x_n$ esteja dentro da tolerância especificada ou até que o número de iterações ultrapasse o limite estipulado.

A mesma ideia pode ser aplicada para uma função de N dimensões, onde

$$\mathbf{X}_{n+1} = \mathbf{X}_n - J^{-1}(\mathbf{X}_n) \mathbf{F}(\mathbf{X}_n), \quad (\text{III.140})$$

onde \mathbf{X}_{n+1} , \mathbf{X}_n e $\mathbf{F}(\mathbf{X}_n)$ são vetores e J^{-1} é a inversa da matriz Jacobiana, onde

$$J(\mathbf{X}) = \begin{bmatrix} \frac{\partial F_1(\mathbf{X})}{\partial X_1} & \frac{\partial F_1(\mathbf{X})}{\partial X_2} \\ \frac{\partial F_2(\mathbf{X})}{\partial X_1} & \frac{\partial F_2(\mathbf{X})}{\partial X_2} \end{bmatrix} \quad (\text{III.141})$$

para o caso de duas dimensões.

O método de Newton-Raphson possui convergência rápida e em alguns casos, como o deste trabalho, isto pode fazer com que o algoritmo divirja. Por isto, ao invés de encontrar \mathbf{X}_{n+1} extrapolando $\mathbf{F}(\mathbf{X})$ para 0, optou-se por extrapolá-lo para uma fração θ de $\mathbf{F}(\mathbf{X}_0)$, de forma a tornar o algoritmo mais lento e evitar problemas de convergência. Assim

$$\mathbf{X}_{n+1} = \mathbf{X}_n - J^{-1}(\mathbf{X}_n) \mathbf{F}(\mathbf{X}_n)(1 - \theta), \quad (\text{III.142})$$

com $0 \leq \theta < 1$.

III.8.5 - APROXIMAÇÕES DA SOLUÇÃO OBTIDA

As soluções encontradas inicialmente pelo método de Newton-Raphson são números reais, no entanto o número de transistores bipolares N é um número inteiro tornando necessário realizar uma aproximação. Após esta aproximação, o algoritmo pode ser executado novamente com o N aproximado para obter o circuito ótimo nestas condições. As relações B entre as larguras de canal dos transistores $M2$ e $M3, M4, M5$ e M entre os transistores $M1$ e $M2$ necessitam ser aproximadas para dividir estes transistores em unitários menores com o objetivo de realizar centroide-comum no *layout* e da mesma forma o algoritmo de Newton-Raphson deve ser novamente executado com estes parâmetros fixos para obter um circuito mais próximo da área minimizada.

III.8.5.1 - APROXIMAÇÃO DE N

Como mencionado, o número de transistores BJT $N + 1$ precisa ser aproximado para um inteiro. Para realizar a melhor aproximação três observações devem ser consideradas:

1. É preciso manter o *layout* numa configuração centroide-comum para maior casamento entre os transistores;
2. O transistor Q_1 é sempre o unitário e encontra-se no centro da configuração centroide-comum;
3. Como $L_{BIPOLAR} \geq W_{BIPOLAR}$, o emprego do mesmo número de transistores bipolares nos eixos x e y não deixariam a configuração centroide comum quadrada e para um melhor aproveitamento da área em silício uma configuração quadrada é mais desejada.

A consideração dos itens acima permitem inferir que o número de transistores N_X e N_Y , dos eixos x e y, respectivamente, precisam ser ímpares, a razão N_X/N_Y deve ser aproximada por $L_{BIPOLAR}/W_{BIPOLAR}$ e $N_Y N_X = N_{SOLUCAO} + 1$.

O problema pode ser interpretado como indicado na Fig. III.9.

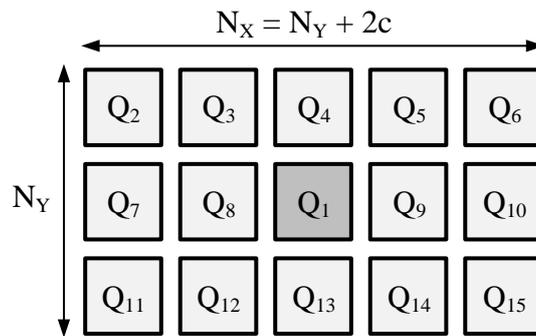


Figura III.9: Esquema de uma configuração centroide-comum dos BJTs.

Um algoritmo que verifica as possíveis configurações que fornecem

$$\frac{N_X}{N_Y} \approx \frac{L_{BIPOLAR}}{W_{BIPOLAR}} \quad (\text{III.143})$$

e

$$N_Y N_X \approx N_{SOLUCAO} + 1 \quad (\text{III.144})$$

pode então ser implementado como abaixo, produzindo duas possíveis soluções para N_X que serão testadas para a que encontre a menor área total seja empregada.

Desta forma

$$N = N_Y N_{X_{ESCOLHIDO}} - 1. \quad (\text{III.145})$$

Algoritmo 2: Aproximação de N**Entrada:** $N_{SOLUCAO}, W_{BIPOLAR}, L_{BIPOLAR}$ **Saída:** N_{X1}, N_{X2}, N_Y

```

1 início
2    $K = \frac{L_{BIPOLAR}}{W_{BIPOLAR}};$ 
3    $Ki = K + 1;$ 
4    $a = 0;$ 
5   enquanto  $K < Ki$  faça
6      $N_Y = 2a + 1;$ 
7      $c = \frac{(N_{IDEAL} + 1) - N_Y^2}{(2N_Y)};$ 
8      $c2 = \text{ceil}(c);$ 
9      $c1 = \text{floor}(c);$ 
10     $N_{X1} = N_Y + 2c1;$ 
11     $N_{X2} = N_Y + 2c2;$ 
12     $Ki = \min\left(\frac{N_{X1}}{N_Y}, \frac{N_{X2}}{N_Y}\right);$ 
13     $a = a + 1;$ 
14  fim
15 fim

```

III.8.5.2 - APROXIMAÇÃO DE B

A razão entre as larguras de canal B dos transistores $M3$, $M4$, $M5$ e $M2$ precisa ser aproximada para implementar estes transistores a partir do mesmo transistor unitário, de forma que B será a razão entre o número de transistores unitários Y empregados em $M3$, $M4$, $M5$ e o número de transistores unitários X utilizados em $M2$. No entanto, existem duas restrições :

1. Não permitir transistores unitários com largura de canal menor que $2\mu m$ para evitar efeitos de segunda ordem, o que é expresso por um número de transistores unitários máximo, X_{MAX} , que pode ser empregado no transistor que possui a menor largura de canal, admitindo $Y > X$. Desta forma

$$X_{MAX} = \frac{\min(W_3, W_2)}{2\mu m}, \quad (\text{III.146})$$

onde W_3 e W_2 são obtidos da solução do problema de otimização com o valor de N já ajustado.

2. Os transistores com menor largura de canal devem ser divididos em no mínimo 2 transistores unitários, para que seja possível realizar a interdigitação do *layout* dos transistores.

Estas duas condições são empregadas no Algoritmo 3, que tem a função de fornecer os mínimos valores inteiros Y e X que aproximam a razão B dentro de uma certa tolerância especificada.

Após esta redefinição o valor do novo B é fixado juntamente com o de N e a otimização é novamente realizada para encontrar o ponto de mínimo para esta condição.

III.8.5.3 - APROXIMAÇÃO DE M

Como $M1$ e $M2$ devem estar casados, eles são implementados por múltiplos de um transistor unitário, que é definido quando a razão B é aproximada. Desta maneira, o número de transistores unitários que implementam Z deve ser

$$Z = \text{round}(MX), \quad (\text{III.147})$$

onde round é uma função de aproximação e X , o número de transistores unitários precisamente definido para $M2$ e M é a solução atual dada pelo algoritmo.

Esta aproximação fornece um novo valor para M dado por

$$M = \frac{Z}{X}, \quad (\text{III.148})$$

que deve ser fixada juntamente com N e B em uma nova execução da otimização para encontrar o circuito final a ser implementado após a definição do número de resistores unitários formadores de R_1 , R_2 e R_3 e do circuito de calibração.

III.9 - PROJETO

As equações utilizadas no projeto, assim como o algoritmo de otimização e sua implementação foram discutidas nas seções anteriores. Nesta seção, o projeto do circuito empregando o algoritmo desenvolvido é apresentado de forma que suas características especificadas são validadas posteriormente no Capítulo V através de simulações.

III.9.1 - ESPECIFICAÇÕES

As especificações empregadas neste projeto podem ser visualizadas na Tabela III.2.

A tensão de alimentação $V_{DD_{MIN}}$ é especificada como 10% abaixo de V_{DD} e é adicionalmente retirado uma tensão $V_{DD_{FOLGA}}$, discutida na Seção III.4.4. O comprimento de

Algoritmo 3: Menor Razão de Inteiros

```

Entrada: razao, tolerancia, XMAX
Saída: Y, X
1 início
2   razao0 = razao;
3   se razao  $\geq$  1 então
4     |   offset = floor(razao);
5     |   razaomax = razao + (tolerancia) - offset;
6     |   razaomin = razao - (tolerancia) - offset;
7   senão ; /* quando razao menor que 1 ela é convertida em uma
      |   razao maior que 1                                     */
8
9     |   offset = floor(1/razao);
10    |   razaomax = 1/(razao - tolerancia) - offset;
11    |   razaomin = 1/(razao + tolerancia) - offset;
12    |   razao = 1/razao;
13  fim
14  achou = 0;
15  X = 1;
16  enquanto achou = 0 faça ; /* Laço que busca iterativamente a
      |   solução de X e Y                                     */
17
18    |   y = ceil(X · razaomax) - 1;
19    |   teste = y/X;
20    |   se teste  $\geq$  razaomin então
21    |     |   achou = 1;
22    |   senão
23    |     |   X = X + 1;
24    |   fim
25    |   se X > XMAX então                                     /* Limita X em XMAX */
26    |     |   achou = 1;
27    |     |   se X > 1 então
28    |     |     |   X = X - 1;
29    |     |   fim
30    |   fim
31    |   se X = 1 então ; /* Garante no mínimo 2 transistores unitários
      |   */
32
33    |   X = X + 1;
34    |   fim
35    |   se razao0  $\geq$  1 então
36    |     |   Y = X · offset + y;
37    |   senão ; /* quando a razao fornecida é menor que 1 os números
      |   X e Y devem ser invertidos                             */
38
39    |     |   Y = X
40    |     |   X = X · offset + y;
41    |   fim
42  fim
43 fim

```

Tabela III.2: Especificações empregadas neste projeto.

Parâmetro	Especificação
$V_{DD_{MIN}}$	$1,8V - 10\%$
$V_{DD_{FOLGA}}$	$90mV$
T_{MIN}	$-10^{\circ}C (263K)$
T_{MAX}	$125^{\circ}C (398K)$
C_L	$1,47pF$
MF	60°
L_7	$5\mu m$
$W_{8,9_{MAX}}$	$500\mu m$
$3\sigma_{FINAL}(\%)$	$0,1\%$
N_{BITS}	5
$3\sigma_{INICIAL_{ESPEC}}(\%)$	$1,35\%$
ΔTC_{MAX}	$5,55ppm/^{\circ}C$

canal L_7 não é definido baseado no descasamento, mas sim para apresentar o mínimo possível de efeito de modulação de canal e $W_{8,9_{MAX}}$ é escolhido para limitar a largura de canal do par diferencial em $500\mu m$.

O valor percentual de $3\sigma_{FINAL}$ foi escolhido como $0,1\%$, de forma que as chaves analógicas possuam uma resistência alta suficiente possível de implementar.

O valor percentual de $3\sigma_{INICIAL_{ESPEC}}$ e de N_{BITS} foi definido através da discussão da Seção III.8.1. Para isto foi necessário estimar $V_{REF_{NOM}} = 1,2001V$, a partir das equações discutidas neste trabalho empregando valores típicos de N , I_2 , M e $L_{BIPOLAR}$, e $3\sigma_{PROC}(\%) = 1,175\%$, a partir de (III.104). Empregando uma tolerância $tol = 0,15\%$, o procedimento conduziu a $N_{BITS} = 5$ e $3\sigma_{INICIAL_{ESPEC}}(\%) = 1,35\%$.

O parâmetro ΔTC_{MAX} foi definido sem a parte correspondente à calibração incompleta. Desta forma, considerando apenas o descasamento do par diferencial e espelhos de corrente M1-M2, foi definido um $\Delta TC_{MAX_{PARCIAL}} = 5ppm/^{\circ}C$, que adicionado à $\sigma_{TC_{\Delta V_{MIN_{IMP}}}}$ dado por (III.120) fornece $\Delta TC_{MAX} = 5,55ppm/^{\circ}C$.

III.9.2 - DIMENSÕES OBTIDAS

As especificações da Tabela III.2 aplicadas ao algoritmo de otimização forneceram os parâmetros apresentados nas Tabelas III.3, III.4, III.5 e III.6.

Na Tabela III.6 podem ser vistos a área estimada ótima obtida antes das aproximações discutidas na Seção III.8.5 e a área estimada implementada após estas aproximações. A área final estimada é apenas $0,55\%$ maior do que a área ótima, o que demonstra que o efeito das aproximações sobre o ponto ótimo é muito pequeno. A tensão de referência nominal também é apresentada e está de acordo com a estimada anteriormente, enquanto a incerteza nominal realizada foi inferior à especificada. Isto se deve ao fato da especifi-

Tabela III.3: Dimensões fornecidas pelo algoritmo para os transistores MOS.

Transistor	$W_U(\mu m)$	MULT	$W(\mu m)$	$L(\mu m)$
<i>M1</i>	1,87	48	89,76	25,68
<i>M2</i>	1,87	12	22,44	25,68
<i>M3, M4, M5</i>	1,87	2	3,74	25,68
<i>M6</i>	0,4	1	0,4	5
<i>M7</i>	0,4	2	0,8	5
<i>M8, M9</i>	244.26	1	244.26	7.60

Tabela III.4: Dimensões dos resistores fornecidas pelo algoritmo.

Resistor	$R(k\Omega)$	$W(\mu m)$	$L(\mu m)$
<i>R1</i>	63,31	2	78,31
<i>R2</i>	281,15	2	345,15
<i>R3</i>	70,29	2	86,85

Tabela III.5: Parâmetros fornecidos para os transistores bipolares.

Parâmetro	Valor
N	14
N_X	5
N_Y	3
$W_{BIPOLAR}$	$2 \mu m$
$L_{BIPOLAR}$	$9,80 \mu m$

Tabela III.6: Outros parâmetros fornecidos pelo algoritmo.

Parâmetro	Valor
C_C	$0 pF$
I_{R_1}	$1,663 \mu A$
M	4
B	0,17
R_2/R_1	4,44
V_{REFNOM}	1,2001 V
TC	$12,68 ppm/^\circ C$
$3\sigma_{INICIALMIS}$	0,3 %
$3\sigma_{INICIALIMPLEMENTADO}$	1,214 %
Área Ótima	$0.009377 mm^2$
Área Implementada	$0.009429 mm^2$

cação de ΔTC_{MAX} ser mais restritiva do que a da imprecisão inicial no caso em questão.

III.9.3 - CALIBRAÇÃO

O algoritmo não fornece as dimensões finais dos resistores e dispositivos empregados na calibração. Todos estes parâmetros são definidos nesta seção.

III.9.3.1 - REDE RESISTIVA

A rede resistiva é obtida pelo procedimento descrito na Seção III.6.1. De forma a aproveitar completamente o número de bits empregado e observando que o valor de $3\sigma_{INICIALIMPLEMENTADO}$ na Tabela III.6 foi menor do que o especificado, a imprecisão final é dada por (III.110)

$$3\sigma_{FINALIMP}(\%) = \xi \frac{3\sigma_{INICIALIMPLEMENTADO}(\%) + tol}{2^{N_{BITS}} - 2} = 0,0909\%.$$

O emprego de (III.111) produz

$$\Delta V_{MINIMP} = \frac{2\sigma_{INICIAL} + tol}{2^{N_{BITS}} - 2} = 1,091 mV,$$

o que permite calcular através de (III.112)

$$R_{BIT} = \frac{\Delta V_{MINIMP}}{I(T_{REF})} = 656,22 \Omega. \quad (III.149)$$

Da mesma forma R_{2PART} pode ser obtido através de (III.113) e (III.114), que fornecem

$$R_{2PART} = R_2 - (2^{(N_{BITS}-1)} - 1) R_{BIT} = 271,31 k\Omega. \quad (III.150)$$

III.9.3.2 - DIMENSIONAMENTO DOS RESISTORES

Com os valores de R_{BIT} e R_{2PART} encontrados é necessário realizar o dimensionamento dos resistores através da utilização de células unitárias menores. Para isto, é primeiramente necessário definir em quantas partes deseja-se particionar R_1 , levando em consideração o comprimento de cada resistor unitário resultante. Neste trabalho, foi decidido empregar $N_{R_1} = 8$ resistores unitários para implementar R_1 no valor de

$$R_U = \frac{R_1}{N_{R_1}} = 7,9138 k\Omega, \quad (III.151)$$

e desta maneira R_{2PART} deverá possuir um número de resistores unitários igual a

$$N_{R_{2PART}} = \frac{R_{2PART}}{R_U} = 34,28, \quad (\text{III.152})$$

que pode facilmente ser aproximado por 34,25 pelo emprego da associação em série 34 resistores unitários em série e 4 resistores unitários em paralelo. Da mesma forma R_3 deverá empregar

$$N_{R_3} = \frac{R_3}{R_U} = 8,88, \quad (\text{III.153})$$

que decidiu-se implementar aproximadamente por 8,75, utilizando uma associação em série de 8 resistores unitários em série, 2 resistores unitários em paralelo e mais 2 resistores unitários em paralelo. O valor escolhido foi baseado no número total de resistores unitários $N_{R_1} + N_{R_{2PART}} + N_{R_3} = 60$, que permite realizar um layout em centroide-comum com dimensões próximas de um quadrado.

Como a resistência R_{HR} em função de W e L , dada por (III.36), não é linear em relação à W/L , optou-se por calcular os valores de W_{RU} e L_{RU} , de forma a manter a área total de R_1 igual a obtida pelo algoritmo em função do descasamento, com o sistema de equações

$$N_{R_1} W_{RU} L_{RU} = W_{R_1} L_{R_1}, \quad (\text{III.154})$$

$$R_U = R_{SH} \frac{L_{RU} - 2L_{BN} + 2R_{BN} L_{BN} + 2R_{END}}{W_{RU} + dw}, \quad (\text{III.155})$$

onde, se ocorrer de W_{RU} ser menor do que $2\mu m$, estipulado pela regra (III.32), este parâmetro é fixado neste valor e L_{RU} é reencontrado empregando (III.36). A execução deste procedimento conduziu a $W_{RU} = 2\mu m$ e $L_{RU} = 10,45\mu m$.

Os resistores de calibração foram implementados de forma separada no *layout*, de forma a simplificá-lo. Como R_{BIT} possui uma resistência muito baixa, optou-se por implementá-lo através do uso de 4 resistores em paralelo e restringindo $W = W_{RU}$. Desta maneira,

$$L_{4BIT} = \frac{4R_{BIT}(W_{RU} + dw) - 2R_{END} - 2L_{BN}(R_{BN} - R_{SH})}{R_{SH}} \approx 3,97\mu m. \quad (\text{III.156})$$

A Tabela III.7 resume os resultados desta seção.

Tabela III.7: Implementação dos resistores.

Resistor	$R(k\Omega)$	N_R	$W_{RU}(\mu m)$	$L_{RU}(\mu m)$
R_1	63,31	8	2	10,45
R_{2PART}	271,05	34,25	2	10,45
R_3	69,24	8,75	2	10,45
$4R_{BIT}$	2,625	1	2	3,97

III.9.3.3 - CHAVES ANALÓGICAS

As chaves analógicas foram implementadas por transistores PMOS, pois é possível evitar o efeito de corpo e obter um $V_{GS} - V_T$ maior do que seria possível com um transistor NMOS, o que possibilita alcançar uma menor resistência ON . Para o projeto da chave foi utilizada (III.13) avaliada em T_{MAX} , pois R_{ON} possui seu maior valor, e é expressa na forma

$$R_{ON} = \frac{1}{k_P(T_{MAX}) \frac{W}{L} \left(V_G - V_{T0}(T_{MAX}) - \frac{n_{MOS}(T_{MAX})}{2} (V_D + V_S) \right)},$$

onde $V_S = 0$, $V_D \approx 0$ e $V_G \approx V_{REF_{NOM}} \approx 1,2V$. Além disto, $L = 0,18 \mu m$, o menor comprimento de canal da tecnologia para minimizar o efeito de injeção de cargas, e R_{ON} é especificado como 10% de R_{BIT} , de forma que este não interfira significativamente na calibração. Todas essas considerações permitem calcular $W = 77,45 \approx 78 \mu m$ a partir de (III.9.3.3).

Os transistores de chave foram implementados por 8 transistores em paralelo com um $W_U = 9,75 \mu m$. Os valores implementados são apresentados na Tabela III.8.

Tabela III.8: Implementação das chaves analógicas.

Chave Analógica	$N_{TRANSISTORES}$	W_U	$W_{Total}(\mu m)$	$L(\mu m)$
$M15 - M19$	8	9,75	78	0,18

III.9.4 - CIRCUITO DE START-UP

Como discutido no Capítulo II, circuitos de tensão de referência de *bandgap* necessitam de um circuito de partida (start-up). Este trabalho empregou um circuito similar ao apresentado na Fig. II.12, com a diferença que o transistor M3 da saída é implementado por um transistor NMOS, o que torna necessário a utilização de mais um inversor lógico. O circuito equivalente é apresentado na Fig. III.10. Esta troca foi realizada pois o emprego de dois inversores lógicos em cascata permite que na situação em que o circuito já se encontra ligado, a influência do circuito de *start-up* seja muito menor do que empregando apenas um inversor. Isto ocorre pois na realidade V_{REF} não representa exatamente um nível lógico "1", o que, observando a Fig. II.12, produz uma saída no inversor lógico acima de 0V e conseqüentemente uma corrente em M3 capaz de interferir na precisão do circuito de *bandgap*. O emprego do segundo inversor lógico permite que esta saída seja reconvertida em um nível lógico "1" (V_{DD}), de fato, e a troca de M3 por um transistor PMOS seja realizada uma vez que este nível lógico passa a ser aquele em que este transistor não deve possuir condução.

CAPÍTULO IV

LAYOUT

IV.1 - INTRODUÇÃO

Na fase de *layout* é realizado o desenho das máscaras do circuito que serão utilizadas durante o processo de fabricação. Esta fase é importante, pois nela podem ser reduzidos os efeitos espaciais do descasamento e os erros sistemáticos, discutidos no Capítulo III, através da utilização de técnicas como centroide comum, *cross-quad* e uso de elementos *dummy* [35].

Nas seções seguintes são apresentados o *layout* final do circuito e o de cada bloco individualmente, onde são apresentadas as configurações centroide-comum utilizadas, que foram cercados com anéis de guarda (*guard rings*) para mitigar efeitos de ruído [35].

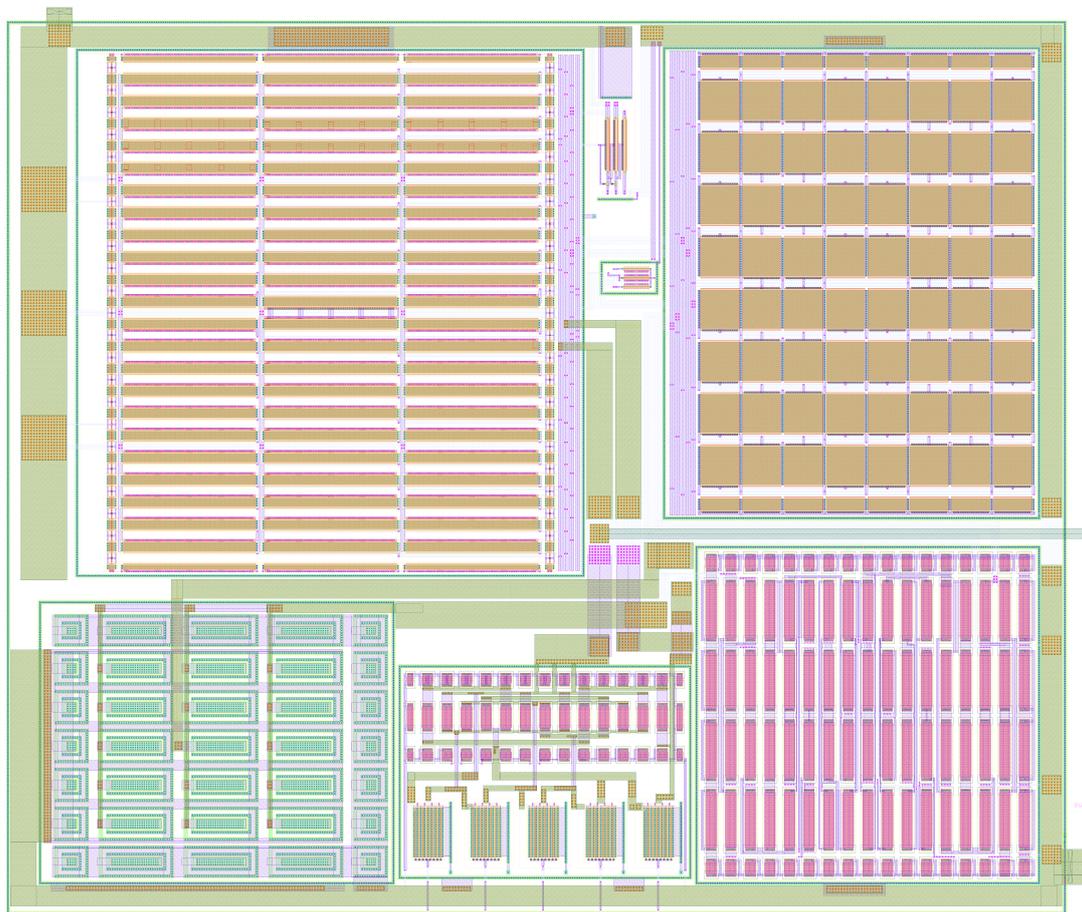
IV.2 - LAYOUT DO CIRCUITO COMPLETO

O *layout* completo do circuito pode ser visto em alta resolução na Fig. IV.1 (a), enquanto na Fig. IV.1 (b) o mesmo é mostrado com especificações do que cada parte representa. Devido à necessidade dos espelhos de corrente PMOS estarem casados, inclusive as cargas ativas *M4* e *M5* pertencentes ao AmpOp, todos eles foram organizados em um único bloco. Desta forma, o AmpOp não encontra-se todo em uma área específica, mas dividido pelo CI (Circuito Integrado), como se pode notar na Fig. IV.1 (b). Adicionalmente, ao redor do circuito pode-se visualizar o *guard ring* empregado para proteção contra ruído.

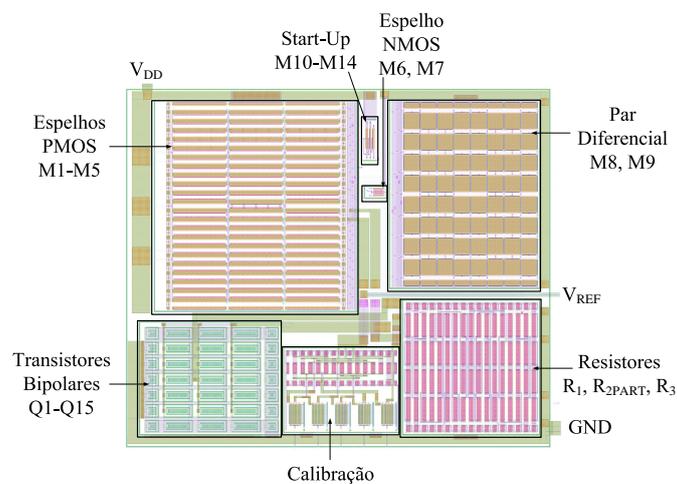
Nas próximas seções são mostrados detalhes adicionais a respeito da realização de cada bloco.

A área final empregada pelo circuito é de aproximadamente $0,035703\text{mm}^2$, tendo

206,08 μm de comprimento e 173,25 μm de largura. Comparada com a área estimada obtida pelo algoritmo de otimização, a implementada é cerca de 3,79 vezes maior. Esta diferença já era esperada, e o espaço extra corresponde ao espaçamento entre os dispositivos, aos espaços empregados para realizar as conexões e ao emprego de componentes *dummies*.



(a)



(b)

Figura IV.1: Layout do Circuito Completo. (a) Visão Ampliada. (b) Organização.

IV.2.1 - TRANSISTORES BIPOLARES

Para reduzir os efeitos de gradiente de processo, os transistores bipolares foram organizados em centroide comum, onde o transistor Q_1 está localizado no centro e os outros 14 transistores encontram-se ao seu redor. Esta configuração pode ser vista na Fig. IV.2 (a), enquanto sua implementação pode ser vista na Fig. IV.2 (b) cercada por um *guard ring*.

Outro ponto chave refere-se às bordas de cada transistor. Para que dois dispositivos estejam bem casados, eles devem enxergar as mesmas fronteiras de forma a uniformizar o *etching* de suas bordas durante a fabricação, de forma que aos transistores das extremidades superior, inferior e das laterais devem ser anexados resistores *dummies*, que possuem a finalidade de proporcionar que os transistores mais externos enxerguem as mesmas bordas que os mais internos. Consequentemente, foram anexados ao redor dos transistores mais externos da Fig. IV.2 (a) transistores bipolares *dummies* (referenciados como D).

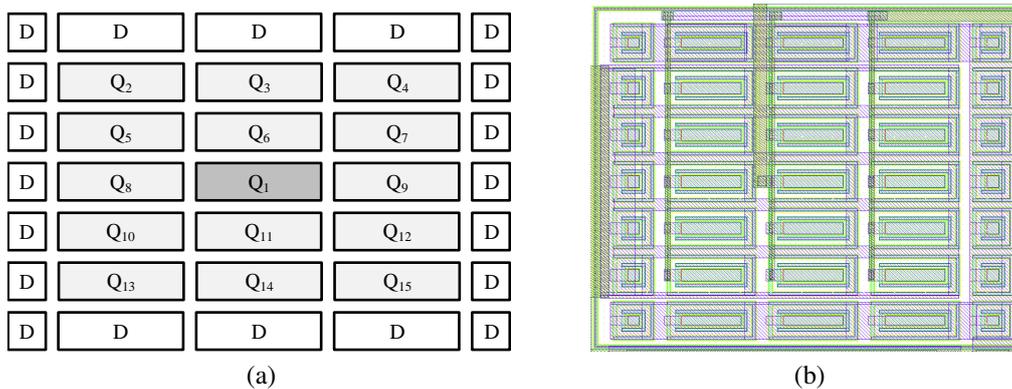


Figura IV.2: Layout dos transistores bipolares Q_1 e $Q_2 \cdots Q_{n+1}$. (a) Esquema. (b) Implementação.

IV.2.2 - RESISTORES

Os resistores R_1 , R_{2PART} e R_3 devem estar bem casados, e com este objetivo os três foram divididos em função de uma resistência unitária $R = 7,9138k\Omega$, onde o número de células empregadas para cada um foi, respectivamente, 8, 38 e 14 de acordo com a Tabela III.7. Desta forma, as técnicas de interdigitação e centróide comum puderam ser utilizadas para reduzir os efeitos negativos dos gradientes de processo. O resultado é apresentado na Fig. IV.3 (a) rodeado por resistores *dummies* referenciados como D , enquanto sua implementação pode ser vista na Fig. IV.3 (b) cercada por um *guard ring*.

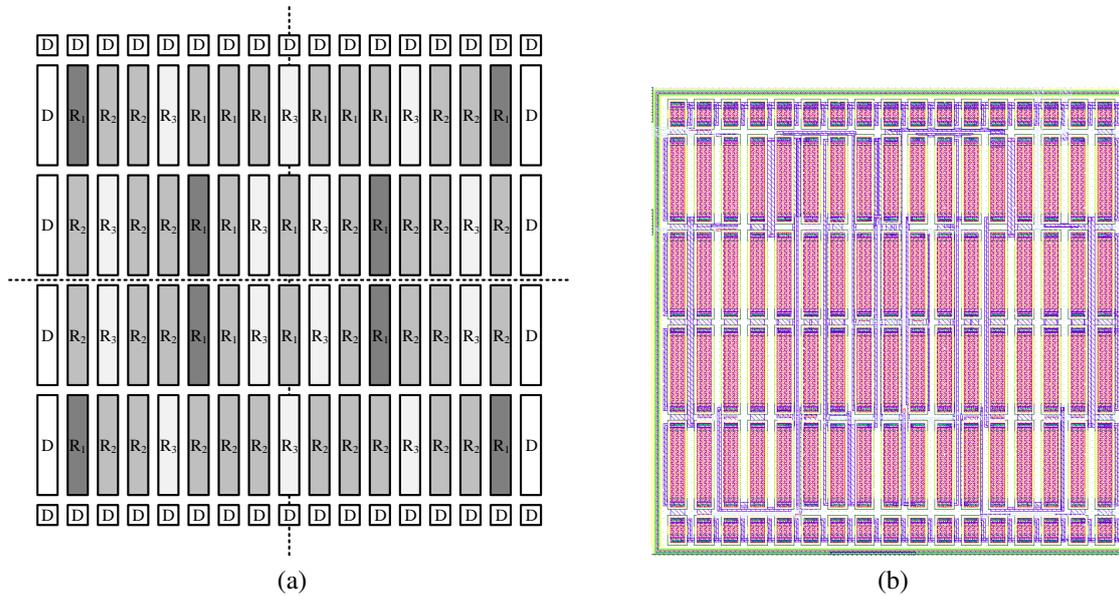


Figura IV.3: Layout dos Resistores R_1 , R_{2PART} e R_3 . (a) Esquema. (b) Implementação.

IV.2.3 - PAR DIFERENCIAL

Assim como para os resistores, no *layout* do par diferencial do AmpOp foram empregadas as técnicas de interdigitação e centroide comum para minimizar os efeitos dos gradientes de processo. Para isto, cada transistor do par foi dividido em 32 transistores com largura e comprimento de canal de $7,64\ \mu\text{m}$ e $7,6\ \mu\text{m}$, respectivamente, implementados por 8 transistores divididos em 8 gates, como pode ser visto na Fig. IV.4 (a). Também foram utilizados transistores *dummies* nas partes superiores e inferiores, indicados por *D*. Não foram empregados *dummies* nas laterais pois estes obrigatoriamente estariam diretamente conectados aos 8 transistores de 8 gates, e mesmo que os terminais dos *dummies* fossem curto-circuitados algum fluxo de corrente indesejado poderia fluir pelo AmpOp, resultando em uma tensão de *offset*. O esquema utilizado para o *layout* e sua implementação encontram-se, respectivamente, nas Figs. IV.4 (a) e IV.4 (b), onde nota-se o emprego do *guard ring*.

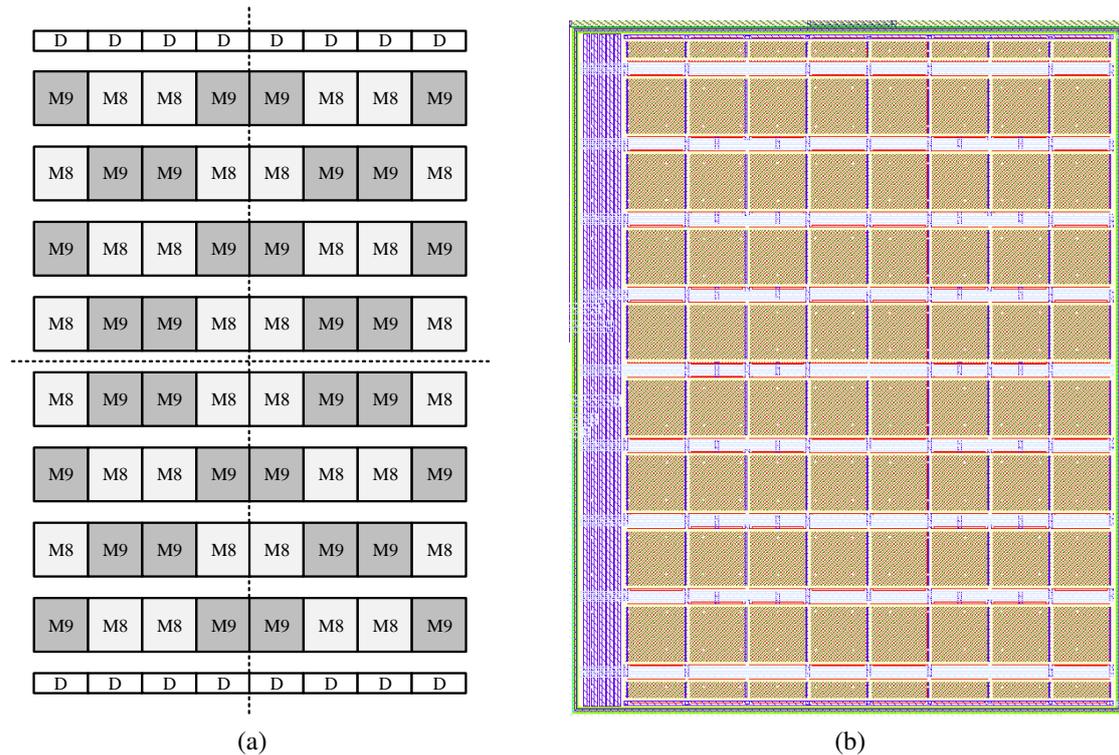


Figura IV.4: Layout do par diferencial composto pelos transistores $M8$ e $M9$. (a) Esquema. (b) Implementação.

IV.2.4 - ESPELHOS DE CORRENTE PMOS

Como mencionado anteriormente, os transistores $M1$ e $M2$, pertencentes ao espelho de corrente principal do circuito de *bandgap*, o transistor $M3$ da polarização do AmpOp e os transistores $M4$ e $M5$ pertencentes à carga ativa do AmpOp devem estar bem casados. Desta forma, eles foram divididos em transistores unitários com $1,87 \mu m$ de largura de canal e $25,68 \mu m$ de comprimento de canal, o que possibilitou aplicar a técnica de centroide comum, como se pode observar no esquema da Fig. IV.5 (a).

Os transistores $M3$, $M4$ e $M5$, por terem um menor número de transistores unitários e pela necessidade de estarem bem casados entre si, foram posicionados no centro do esquema, onde para os transistores $M4$ e $M5$ foi empregada a técnica de *cross-quad*.

Para que todos os transistores enxergassem as mesmas fronteiras foram empregados transistores *dummies*, indicados por D na Fig. IV.5 (a). A Fig. IV.5 (b) apresenta a implementação deste *layout* envolta por um *guard ring*.

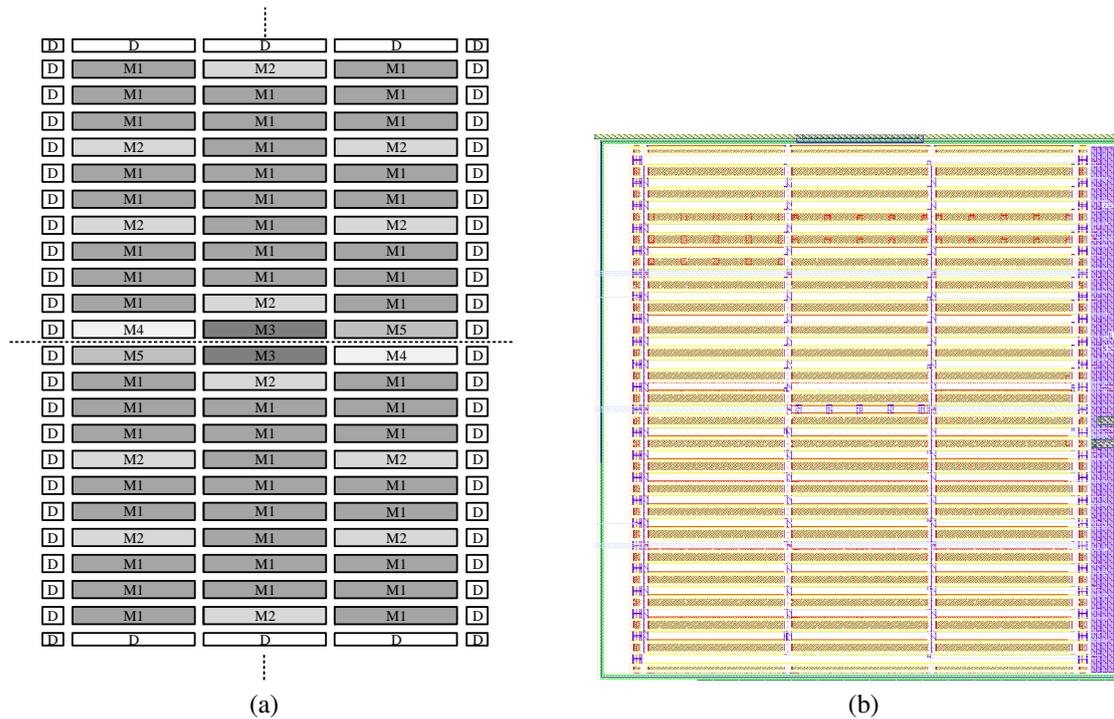


Figura IV.5: Layout dos transistores dos espelhos de corrente PMOS $M1$, $M2$, $M3$, $M4$ e $M5$. (a) Esquema. (b) Implementação.

IV.2.5 - ESPELHO DE CORRENTE NMOS

No projeto do espelho de corrente NMOS, constituído pelos transistores $M6$ e $M7$ que polarizam o AmpOp, foi empregada a técnica de interdigitação, que foi possível pois o transistor $M7$ é composto por dois transistores contendo a mesma largura de canal do transistor $M6$. O esquema de como o *layout* foi realizado pode ser observado na Fig. IV.6 (a) onde optou-se por não empregar dispositivos *dummies*, pois este par de transistores contribui apenas com um erro sistemático, que foi considerado irrelevante no projeto. Apesar disto, o impacto do emprego dos dispositivos *dummies* na área seria muito baixo, e estes poderiam ser facilmente empregados de forma a reduzir este erro. A implementação do *layout* pode ser vista na Fig. IV.6 (b) cercada por um *guard ring*.

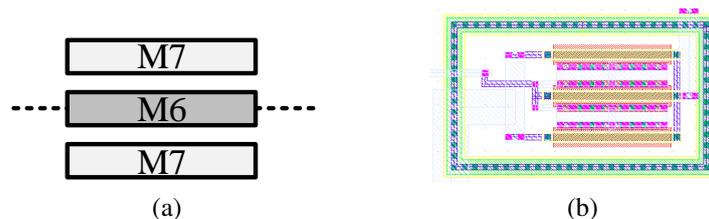


Figura IV.6: Layout dos transistores $M6$ e $M7$, responsáveis pela polarização do AmpOp. (a) Esquema. (b) Implementação.

IV.2.6 - RESISTORES DE CALIBRAÇÃO

Os resistores de calibração foram implementados utilizando resistores unitários com uma resistência de $4R_{BIT}$, fornecida na Tabela III.7. Desta forma, os resistores de calibração R_{BIT0} , R_{BIT1} , R_{BIT2} , R_{BIT3} e R_{BIT4} , citados do bit menos ao mais significativo, são compostos, respectivamente, por 4 resistores unitários em paralelo, 2 resistores unitários em paralelo, um único resistor unitário, 2 resistores unitários em série e 4 resistores unitários em série.

Foi utilizada a técnica de interdigitação, como se pode observar na Fig. IV.7 (a), assim como empregaram-se também resistores *dummies* ao redor da rede resistiva. A implementação do esquema do *layout* pode ser vista na Fig. IV.7 (b).

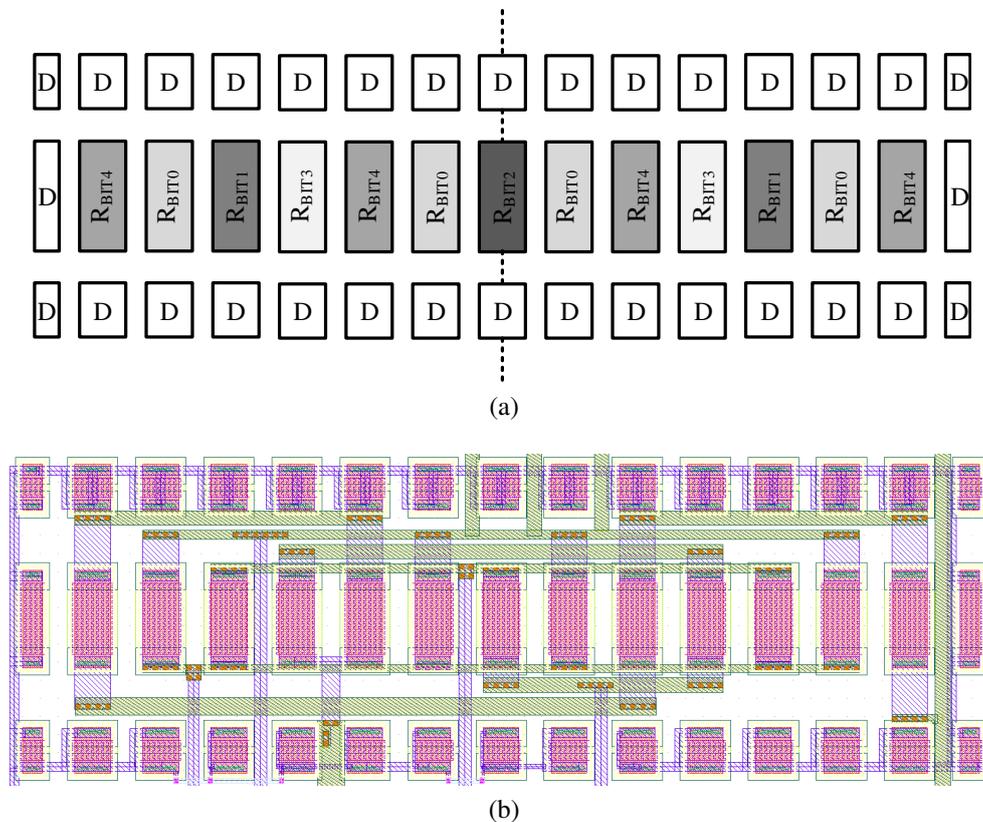


Figura IV.7: Layout dos resistores R_{BIT0} , R_{BIT1} , R_{BIT2} , R_{BIT3} e R_{BIT4} pertencentes ao esquema de calibração. (a) Esquema. (b) Implementação.

IV.2.7 - CHAVES ANALÓGICAS

Cada chave analógica empregada, $M15$, $M16$, $M17$, $M18$ e $M19$ foi implementada por um transistor dividido em 8 *gates*, cuja largura total e comprimento de canal são, respectivamente, $78\mu m$ e $0,18\mu m$, conforme descrito na Tabela III.8. O esquema de *layout* e sua implementação encontram-se, respectivamente, nas Figs. IV.8 (a) e IV.8 (b).

As chaves analógicas em conjunto com os resistores de calibração foram cercadas por um *guard ring* de forma a reduzir efeitos de ruído externos e mitigar seu ruído em outros blocos do circuito.

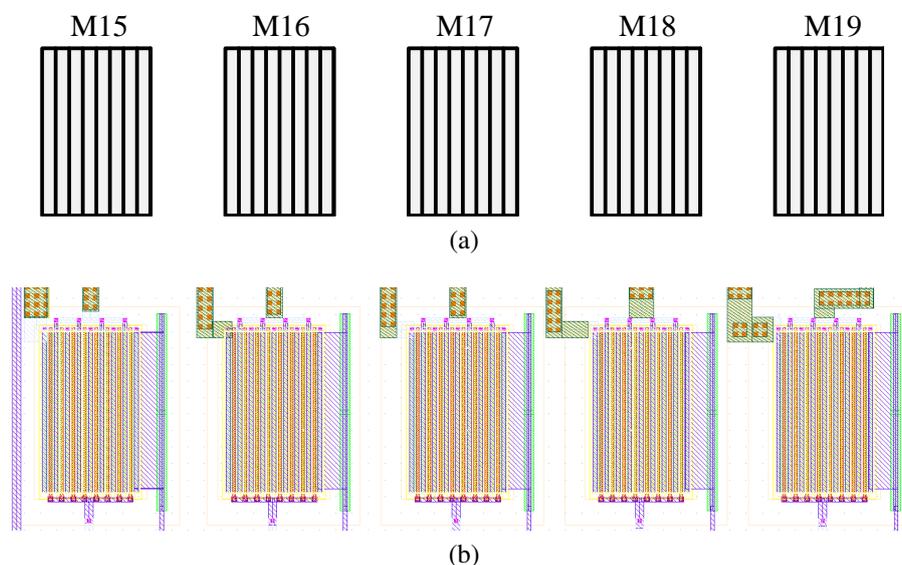


Figura IV.8: Layout das chaves analógicas $M15$, $M16$, $M17$, $M18$ e $M19$. (a) Esquema. (b) Implementação.

IV.2.8 - START-UP

Para os transistores $M10$, $M11$, $M12$, $M13$ e $M14$, pertencentes ao circuito de *start-up*, não houve nenhum cuidado específico, uma vez que não é um circuito que exige que seus componentes estejam casados. O esquema do *layout* deste circuito, juntamente com sua implementação, pode ser visto na Fig. IV.9. Não foi empregado um *guard ring* em volta deste bloco, esta escolha foi feita para permitir um melhor aproveitamento da área do chip, inserindo-o em um pequeno espaço desocupado.

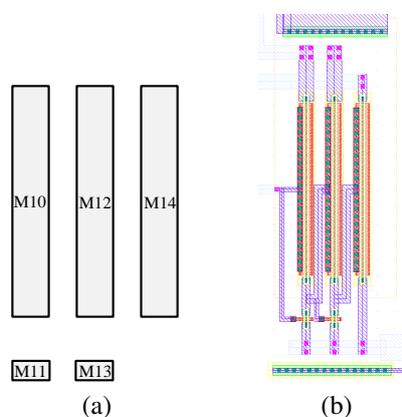


Figura IV.9: Layout dos transistores $M10$, $M11$, $M12$, $M13$ e $M14$, pertencentes ao circuito de *start-up*. (a) Esquema. (b) Implementação.

CAPÍTULO V

SIMULAÇÕES

V.1 - RESULTADOS A SEREM APRESENTADOS

Neste capítulo são apresentados os resultados obtidos através de simulações. São apresentados dois principais pontos:

1. Circuito fornecido pelo algoritmo;
2. Circuito com calibração inclusa.

No segundo caso são comparados os resultados do circuito esquemático com o circuito extraído do *layout* realizado.

V.2 - CONSIDERAÇÕES

Como mencionado na Seção III.5.3.4, o simulador não considera efeitos de descasamento relacionados ao efeito de corpo, e por isto os resultados referentes à incerteza obtidos pelo algoritmo e simulados irão diferir. Para compensar este efeito, as especificações devem ter a parte referente ao efeito de corpo desconsiderada, o que produz os resultados encontrados na Tabela V.1, que espera-se que sejam satisfeitos pelas simulações.

Os parâmetros $3\sigma_{FINAL}(\%)$ e $TC_{MAX}(ppm/^{\circ}C)$ também são incluídos na tabela devido à utilização no projeto de um fator de conforto $\xi = 2$, desta forma, espera-se que os resultados simulados destes dois parâmetros se encontrem na faixa determinada pelos valores na tabela.

Tabela V.1: Resultados realizados pelo algoritmo e esperados pela simulação.

Parâmetro	Realizado pelo Algoritmo	Esperado na Simulação
$3\sigma_{PROC}(\%)$	1,18	1,18
$3\sigma_{MIS}(\%)$	0,3	0,29
$3\sigma_{INICIAL}(\%)$	1,214	1,21
$3\sigma_{FINAL}(\%)$	0,0909	0,0454
$TC_{MAX}(ppm/^{\circ}C)$	17,8	17,43

V.3 - CIRCUITO FORNECIDO PELO ALGORITMO

As simulações apresentadas a seguir correspondem àquelas obtidas do circuito esquemático que emprega os parâmetros fornecidos pelo algoritmo de otimização e estes são comparados ao previsto pelos valores computados, encontrados nas Tabela III.6.

V.3.1 - COMPORTAMENTO EM RELAÇÃO À TEMPERATURA

A primeira simulação foi realizada para obter o comportamento da tensão de referência em função da temperatura, o que é facilmente feito com uma simulação de varredura DC da temperatura. O resultado pode ser visto na Fig. V.1 (a), onde a curva tracejada refere-se à simulação e a contínua ao cálculo teórico realizado pelo algoritmo através dos modelos descritos no Capítulo III.

A Fig. V.1 (b) apresenta o erro entre as curvas de simulação do esquemático e a calculada pelo algoritmo. A diferença é linear em função da temperatura e apresenta um erro máximo de $0,22\text{ mV}$ em baixas temperaturas, uma diferença provavelmente provocada pelo modelo empregado para o transistor bipolar.

Das curvas da Fig. V.1 (a) é possível extrair a tensão de referência na temperatura de $27^{\circ}C$, e o coeficiente de temperatura (TC), dado por (II.30). Estes parâmetros encontram-se na Tabela V.2.

Tabela V.2: Tabela com algumas características referentes ao circuito fornecido pelo algoritmo.

Parâmetro	Calculado	Simulado
$V_{REF}(27^{\circ}C)$ (V)	1.2000	1,2002
TC (ppm/ $^{\circ}C$)	12,74	13,41

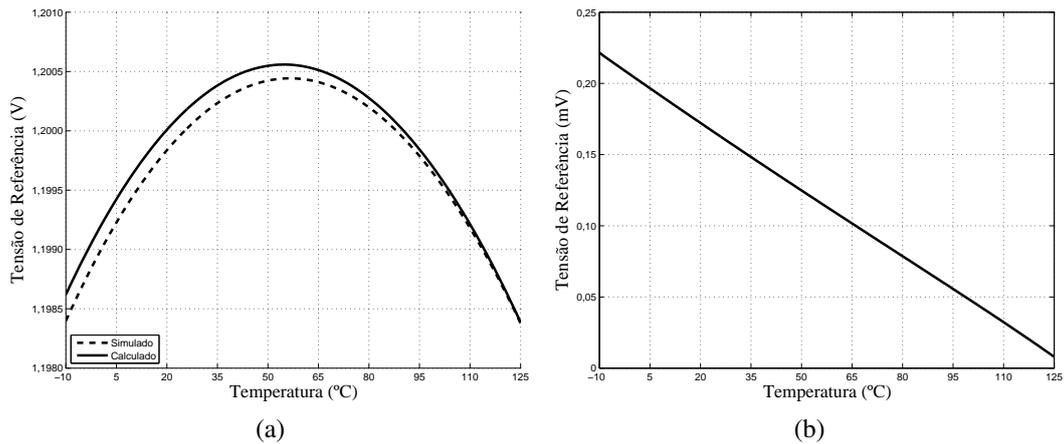


Figura V.1: Comportamento do Circuito Fornecido pelo algoritmo em função da temperatura. (a) Tensão de referência em função da temperatura. (b) Erro entre o valor da tensão de referência do circuito simulado e a tensão calculada pelo algoritmo.

V.3.2 - REGIME TRANSITÓRIO

Foram realizadas simulações em regime transitório, visando verificar o comportamento da referência de tensão ao iniciar-se o circuito. O método de teste consistiu em utilizar a tensão de alimentação como um degrau de tensão aproximado, que vai de 0 a 10 V em 10 ns. A simulação foi realizada sem utilizar o circuito de *start-up*, cujo resultado encontra-se na Fig. V.2 (a), verificando que o circuito permanece no estado inicial, como discutido no Capítulo II. Posteriormente, realizou-se o teste com o circuito de *start-up*, cujo resultado foi o esperado, ou seja, o circuito assume o estado ligado sem apresentar um grande *overshoot*, como pode ser visto na Fig. V.2 (b).

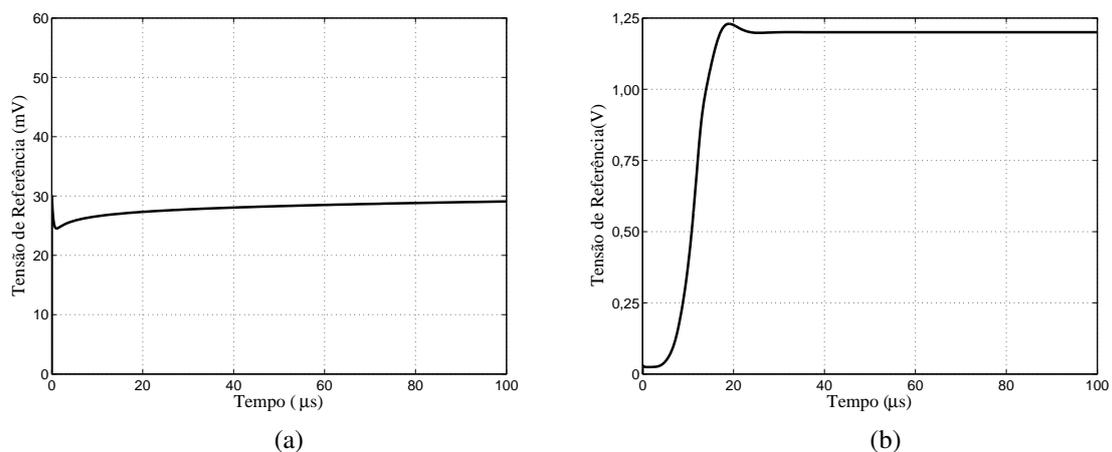


Figura V.2: Análise da tensão de referência em função do tempo no circuito fornecido pelo algoritmo. (a) Sem circuito de *start-up*. (b) Com circuito de *start-up*.

V.3.3 - COMPORTAMENTO EM FUNÇÃO DA TENSÃO DE ALIMENTAÇÃO

Uma simulação de varredura DC da fonte de alimentação foi realizada para verificar a sensibilidade da referência de tensão em relação à sua tensão de alimentação, o resultado é apresentado na Fig. V.3, onde é possível notar que a partir de 1,3 V o circuito passa a funcionar, mas só passa a apresentar alta rejeição após aproximadamente 1,6 V, próximo ao ponto de operação mínimo de projeto.

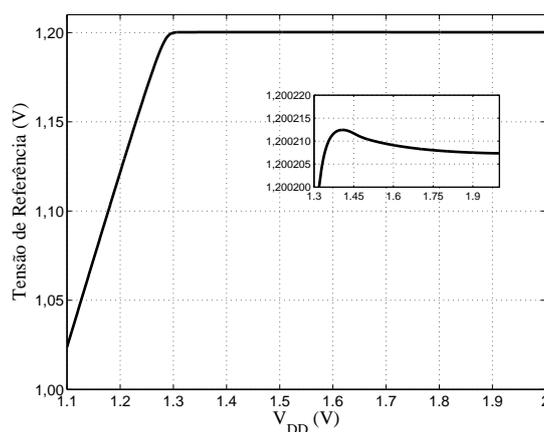


Figura V.3: Comportamento do circuito fornecido pelo algoritmo em função da tensão de alimentação.

Através de uma simulação DC empregando $V_{DD} = 1,62V$ pôde-se obter a corrente através do resistor R_1 , I_{R_1} , e a corrente Total do circuito, I_{TOTAL} , que são comparadas as correntes calculadas pelo algoritmo na Tabela V.3 e demonstram uma boa aproximação do modelo de equações e parâmetros empregados.

Tabela V.3: Tabela contendo a corrente sobre o resistor R_1 e a corrente total consumida pelo circuito.

Parâmetro	Calculado	Simulado
I_{R_1} (μA)	1,663	1,662
I_{TOTAL} (μA)	9,163	9,159

V.3.4 - TAXA DE REJEIÇÃO DA FONTE DE ALIMENTAÇÃO (PSRR)

Para avaliar o PSRR foi empregada uma varredura AC da fonte de tensão de alimentação e graficada a curva dada por (II.36), cujos resultados podem ser vistos na Fig. V.4

para o caso do circuito sem carga capacitiva na saída e o caso com uma carga de $1,47 \text{ pF}$ na saída. Destes gráficos podem ser estimados o PSRR DC, apresentados nas Tabelas V.4 e V.5 juntamente com os resultados obtidos por simulações de Monte Carlo com 1000 iterações. Adicionalmente, foi avaliado o PSRR em 60 Hz , 120 Hz e 100 kHz , pois ao utilizar-se uma fonte de alimentação ligada à rede elétrica brasileira uma das duas primeiras frequências será a que mais contaminará o circuito de *bandgap*, dependendo da retificação empregada na fonte de alimentação, e a última frequência representa uma frequência de chaveamento. Em ambos os casos o circuito possui um alto PSRR.

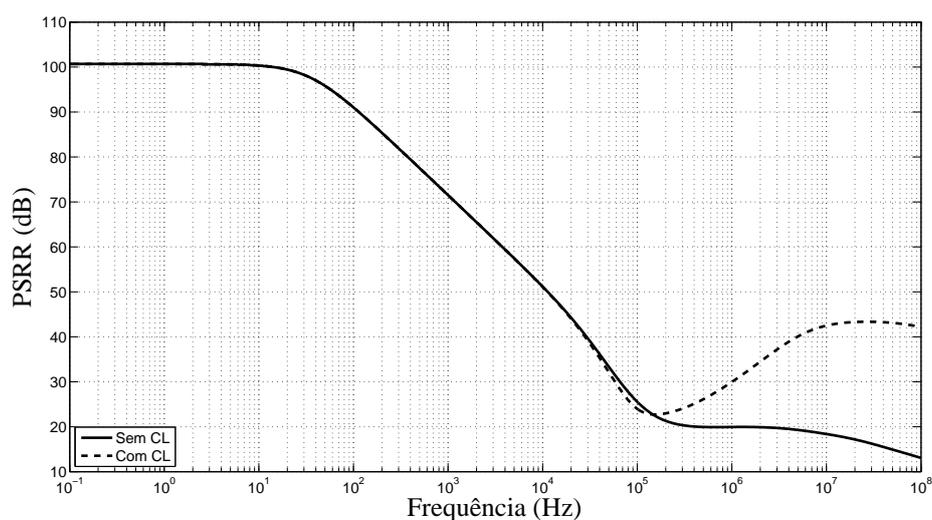


Figura V.4: Taxa de rejeição da fonte de alimentação (PSRR) para o circuito fornecido pelo algoritmo.

Tabela V.4: PSRR em várias frequências do circuito fornecido pelo algoritmo para o caso sem carga capacitiva.

Parâmetro	Nominal	Monte Carlo	
		Média	3σ
PSRR DC (dB)	100,7	94,66	27,87
PSRR@60 Hz (dB)	94,7	90,46	12,29
PSRR@120 Hz (dB)	89,59	87,34	7,2
PSRR@100 kHz (dB)	25,54	25,55	1,65

V.3.5 - ESTABILIDADE

Para comprovar a eficácia do método aplicado para compensar a margem de fase do circuito deste trabalho foi realizada uma simulação de estabilidade, abrindo a malha do circuito da mesma forma que nos cálculos apresentados no Apêndice C. As respostas de

Tabela V.5: PSRR em várias frequências do circuito fornecido pelo algoritmo no caso em que a saída possui uma carga capacitiva de 1,47 pF.

Parâmetro	Nominal	Monte Carlo	
		Média	3σ
PSRR DC (dB)	100,7	94,7	28,30
PSRR@60 Hz (dB)	94,7	90,46	12,29
PSRR@120 Hz (dB)	89,59	87,34	7,2
PSRR@100 kHz (dB)	23,98	24	1,52

ganho e fase simuladas e as calculadas pelas expressões do Apêndice C empregando as duas possíveis ramificações de (III.126) encontram-se na Fig. V.5. O método I consiste na combinação *SELECT_POLO* e *SELECT_ZERO* igual a 0 e 1, respectivamente, enquanto o método II emprega a combinação 1 e 0, respectivamente. É possível observar que até uma frequência de aproximadamente 300 kHz as duas aproximações são boas, mas a obtida pelo Método II aproxima melhor a resposta de fase, tendo sido empregada neste projeto.

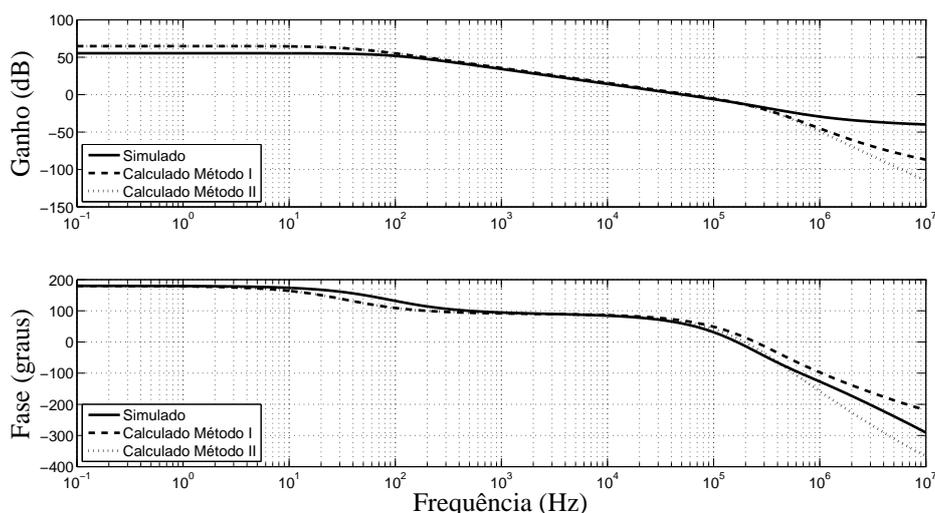


Figura V.5: Resposta em frequência do ganho de malha aberta do circuito fornecido pelo algoritmo.

A margem de fase especificada e obtida pela simulação pode ser vista na Tabela V.6 e representa uma boa aproximação.

Tabela V.6: Tabela contendo a margem de fase calculada e simulada no circuito esquemático fornecido pelo algoritmo.

Parâmetro	Calculado	Simulado
MF	60°	58,67°

V.3.6 - RUÍDO

O ruído na saída do circuito também foi computado e pode ser visto na Fig. V.6. O Valor do ruído RMS computado de 0,1 a 10 Hz foi de $8,32 \mu V_{RMS}$.

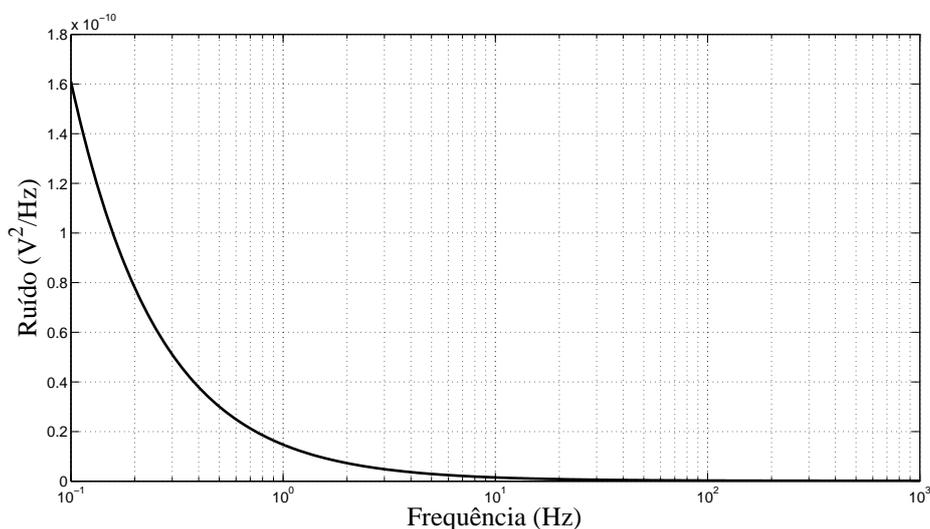


Figura V.6: Resposta em frequência do ruído.

Tabela V.7: Ruído RMS na saída do circuito esquemático final e extraído.

Parâmetro	Simulado
Ruído	$8,32 \mu V_{RMS}$

V.3.7 - SIMULAÇÃO DE MONTE CARLO

Para verificar a robustez do projeto empregando as equações utilizadas neste trabalho foram realizadas 1000 iterações da simulação de Monte Carlo, que resultaram nas distribuições estatísticas da tensão de referência e de seu coeficiente de temperatura apresentadas nos histogramas da Fig. V.7 no caso em que se considera descasamento e processo em conjunto. Os resultados para a média e o valor 3σ destes parâmetros podem ser visualizados na Tabela V.8 não só para o caso total, mas também considerando-se descasamento e processo de forma separada.

Na Tabela V.8 também são colocados os resultados esperados da simulação apresentados na Tabela V.1 para fins de comparação. É possível notar que as porcentagens dos desvios padrões nos casos total e somente processo apresentaram um erro de aproximadamente 0,03%, um erro pequeno capaz de ser compensado pela tolerância especificada de

0,15 %, e que o desvio padrão de descasamento apresentou uma variação muito menor, 0,006 %.

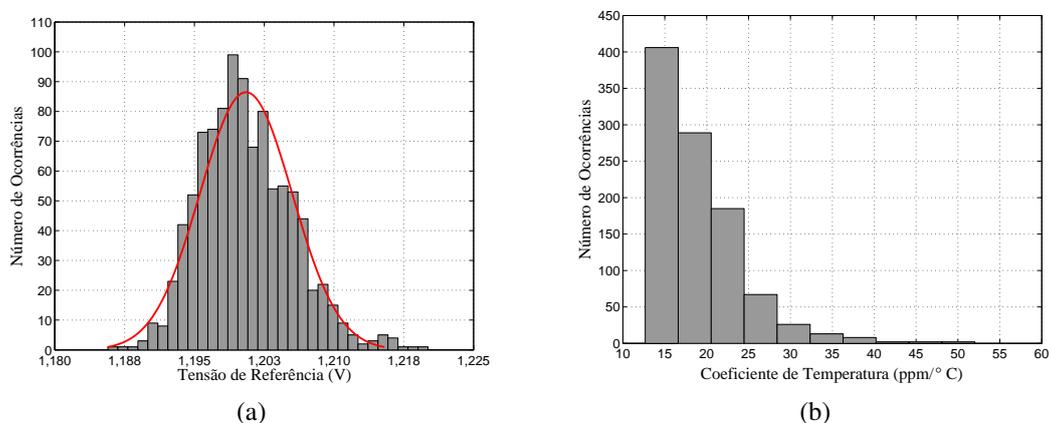


Figura V.7: Análise de Monte Carlo para o circuito fornecido pelo algoritmo. (a) Histograma do valor da tensão de referência na temperatura de 27°C . (b) Histograma do coeficiente de temperatura.

Tabela V.8: Resultados da simulação de Monte Carlo para o circuito fornecido pelo algoritmo.

Condição	Parâmetros	Média	3σ	Porcentagem	Esperado
Total	$V_{REF}(27^{\circ}\text{C})$	1,20055 V	14,88 mV	1,239 %	1,210 %
	$TC (ppm/^{\circ}\text{C})$	18,98	15,89	83,7 %	-
Processo	$V_{REF}(27^{\circ}\text{C})$	1,2006 V	14,47 mV	1,205 %	1,18 %
	$TC (ppm/^{\circ}\text{C})$	18,77	15,75	83,9 %	-
Descasamento	$V_{REF}(27^{\circ}\text{C})$	1,2001 V	3,56 mV	0,296 %	0,29 %
	$TC (ppm/^{\circ}\text{C})$	13,88	2,79	20,1 %	-

Para ver o que ocorre às curvas da tensão de referência em função da temperatura quando ocorre descasamento e variações de processo basta observar o resultado da simulação de Monte Carlo realizada apresentado na Fig. V.8. São apresentadas também em preto as curvas de 3σ .

V.4 - CIRCUITO FINAL COM CALIBRAÇÃO

Nesta seção são apresentados os resultados obtidos para o circuito final, aquele em que o mecanismo de calibração, composto por uma rede resistiva e chaves analógicas, é incluído. As simulações de caráter nominal como comportamento em relação à temperatura, resposta transitória e PSRR são realizadas empregando o código de calibração 01111, que em teoria iguala o circuito àquele fornecido pelo algoritmo. Simulações de

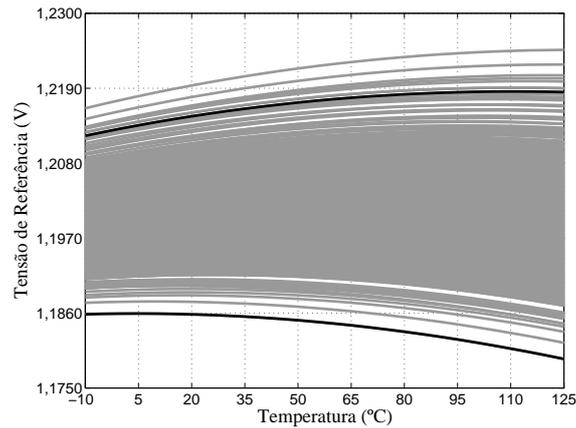


Figura V.8: Comportamento do Circuito Fornecido pelo algoritmo em função da temperatura de 1000 iterações de Monte Carlo, considerando a variação total (descasamento + processo).

Monte Carlo no tempo também são realizadas para atestar o funcionamento do mecanismo de calibração.

Daqui em diante as simulações referentes ao circuito antes da confecção do *layout* será referenciado como "esquemático", enquanto as simulações referente ao circuito extraído do *layout* desenvolvido será referenciado como "extraído".

V.4.1 - COMPORTAMENTO EM RELAÇÃO À TEMPERATURA

O comportamento em relação à temperatura foi obtido por uma simulação de varredura DC tendo a temperatura como parâmetro. Os resultados para os circuitos esquemático e extraído são apresentados na Fig. V.9.

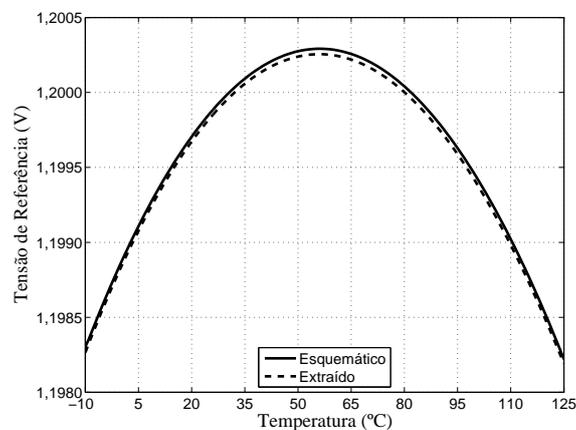


Figura V.9: Comportamento do Circuito Final na Condição nominal com código de Calibração "01111".

De acordo com a Fig. V.9 os dois resultados são muito próximos e as diferenças tem como responsáveis os elementos parasitas pertencentes à implementação do *layout*.

Na Tabela V.9 encontram-se alguns parâmetros de caracterização dos dois circuitos, que apresentam diferenças bem pequenas. O valor da tensão de referência diferencia-se do valor calculado pelo algoritmo devido à implementação da calibração.

Tabela V.9: Tabela com algumas características referentes ao circuito fornecido pelo algoritmo.

Parâmetro	Esquemático	Extraído
$V_{REF}(27^{\circ}C)$ (V)	1,19991	1,19988
TC (ppm/ $^{\circ}C$)	12,79	12,75

V.4.2 - REGIME TRANSITÓRIO

A Fig. V.10 (b) contém os resultados obtidos das simulações transitórias. Primeiro, na Fig. V.10 (a) o circuito esquemático foi testado sem o circuito de *start-up*, onde verificou-se que a tensão de referência não convergiu para seu valor nominal. Em seguida, foram realizadas simulações para os circuitos esquemático e extraído com o circuito de *start-up* e, como esperado, o circuito passa a atingir a tensão de referência adequada após algumas dezenas de μs , como pode ser observado na Fig. V.10 (b). A diferença de tempo de subida nos dois casos deve-se ao elevado número de capacitâncias parasitas não presentes no circuito esquemático, o que deixa o circuito extraído mais lento.

Devido à dificuldade em simular o circuito extraído sem o circuito de *start-up* apenas o resultado para o circuito esquemático é apresentado neste caso.

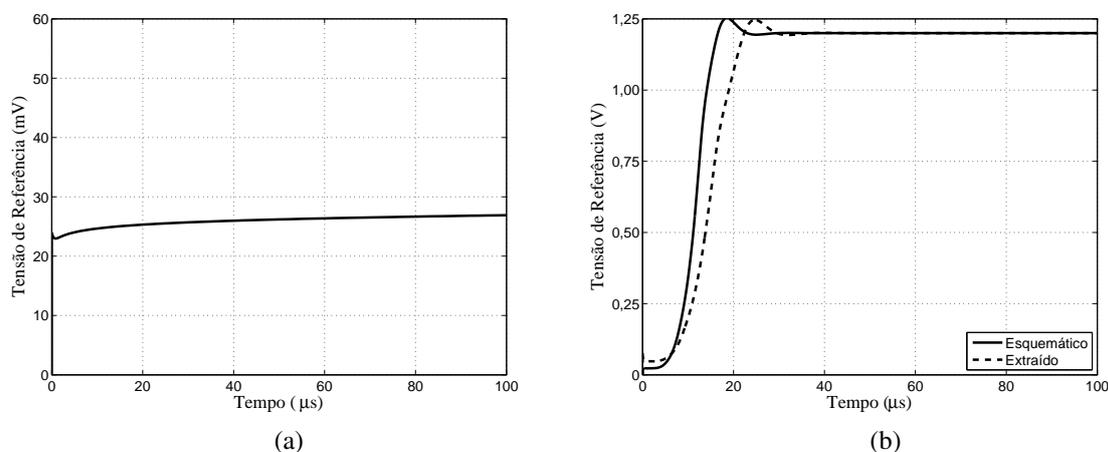


Figura V.10: Análise da tensão de referência em função do tempo no circuito final na condição nominal. (a) Sem circuito de *start-up*. (b) Com circuito de *start-up*.

V.4.3 - COMPORTAMENTO EM FUNÇÃO DA TENSÃO DE ALIMENTAÇÃO

O método utilizado para obter o gráfico da tensão de referência em função de sua tensão de alimentação é o mesmo apresentado na Seção V.3.3, e os resultados obtidos por este procedimento para os circuitos esquemático e extraído encontram-se na Fig. V.11. Nota-se que estes circuitos possuem um *overshoot* bem mais elevado que o do circuito fornecido pelo algoritmo, cujo resultado foi apresentado na Fig. V.3. No entanto, a partir de $V_{DD} \approx 1,54V$ o circuito pode ser considerado operando em seu valor nominal e a rejeição da fonte de alimentação torna-se muito mais elevada.

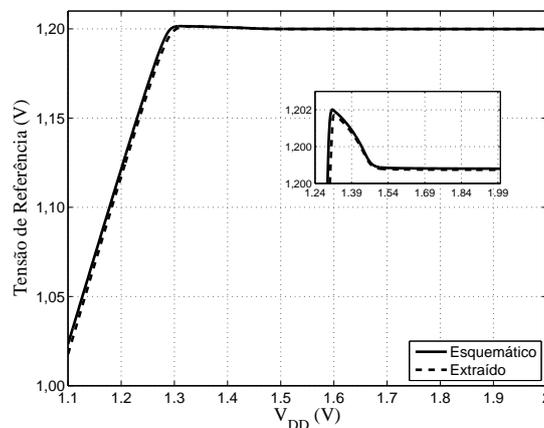


Figura V.11: Comportamento do circuito final em função da tensão de alimentação na condição nominal.

Através de uma simulação DC empregando $V_{DD} = 1,62V$ pôde-se obter a corrente através do resistor R_1 , I_{R_1} , e a corrente total do circuito, I_{TOTAL} , apresentados na Tabela V.10, cujos valores encontram-se em pleno acordo com os apresentados na Tabela V.3 para o circuito fornecido pelo algoritmo. Note, que no circuito extraído a corrente pelo resistor R_1 não pode ser obtida uma vez que os pontos de teste ficam restritos à tensão de referência e à alimentação do circuito, como apresentado anteriormente na Fig. IV.1 (b).

Tabela V.10: Tabela contendo a corrente sobre o resistor R_1 e a corrente total consumida pelo circuito final.

Parâmetro	Esquemático	Extraído
I_{R_1} (μA)	1,661	-
I_{TOTAL} (μA)	9,156	9,139

V.4.4 - TAXA DE REJEIÇÃO DA FONTE DE ALIMENTAÇÃO (PSRR)

O PSRR foi obtido através de uma varredura AC realizada da mesma forma que na Seção V.3.4. Os resultados podem ser vistos na Fig. V.12 para o caso do circuito sem carga capacitiva na saída e para o caso com uma carga de $1,47\text{ pF}$. Destes gráficos é avaliado o PSRR DC, apresentado na Tabela V.4 e V.5 juntamente com os resultados obtidos por simulações de Monte Carlo com 1000 iterações. Adicionalmente, foi avaliado o PSRR em 60 Hz , 120 Hz e 100 kHz . Em ambos os casos o circuito possui um alto PSRR, com excessão da alta frequência.

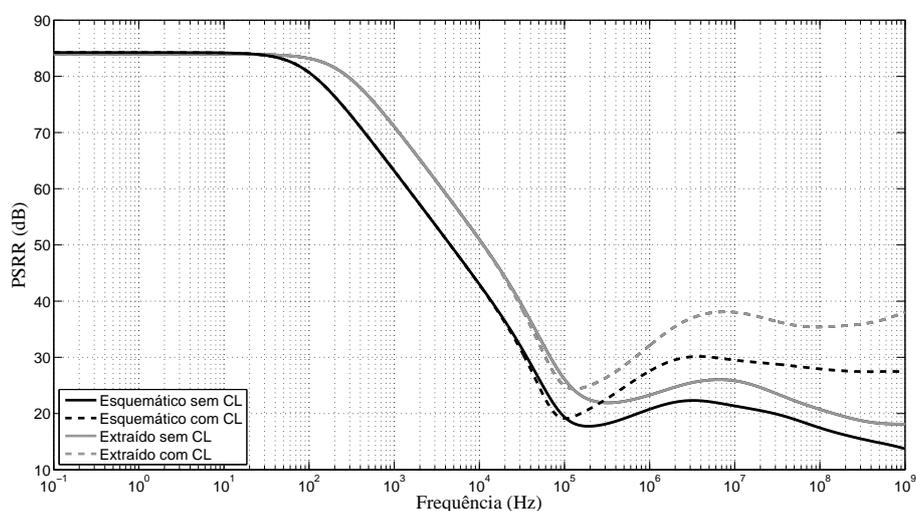


Figura V.12: Taxa de rejeição da fonte de alimentação (PSRR) para o circuito final.

Tabela V.11: PSRR do circuito final em várias frequências para o caso sem carga capacitiva.

Circuito	Parâmetro	Nominal	Monte Carlo	
			Média	3σ
Esquemático	PSRR DC (dB)	81,94	82,28	9,15
	PSRR@60 Hz (dB)	81,77	82,02	7,89
	PSRR@120 Hz (dB)	81,31	81,41	6,54
	PSRR@100 kHz (dB)	26,34	26,52	1,68
Extraído	PSRR DC (dB)	84,23	84,72	11,46
	PSRR@60 Hz (dB)	82,6	82,53	5,91
	PSRR@120 Hz (dB)	79,73	79,56	2,85
	PSRR@100 kHz (dB)	19,38	19,39	1,41

Tabela V.12: PSRR do circuito final em várias frequências no caso em que a saída possui uma carga de $1,47 \text{ pF}$.

Circuito	Parâmetro	Nominal	Monte Carlo	
			Média	3σ
Esquemático	PSRR DC (dB)	83,92	84,4	10,84
	PSRR@60 Hz (dB)	83,64	83,92	8,805
	PSRR@120 Hz (dB)	82,89	82,94	6,69
	PSRR@100 kHz (dB)	25,26	25,26	1,34
Extraído	PSRR DC (dB)	84,21	84,69	11,4
	PSRR@60 Hz (dB)	82,58	82,52	5,89
	PSRR@120 Hz (dB)	79,73	79,55	2,84
	PSRR@100 kHz (dB)	19,37	19,39	0,81

V.4.5 - ESTABILIDADE

A estabilidade do circuito esquemático foi analisada da mesma forma descrita na Seção V.3.5, mas para o circuito extraído esta simulação não pôde ser realizada devido à dificuldade de acesso aos nós internos do *layout*, como mencionado na Seção V.4.3. As respostas de ganho e fase simuladas e as calculadas pelas expressões do Apêndice C empregando as duas possíveis ramificações de (III.126) encontram-se na Fig. V.13. O método I consiste na combinação *SELECT_POLO* e *SELECT_ZERO* igual a 0 e 1, respectivamente, enquanto o método II emprega a combinação 1 e 0, respectivamente. É possível observar que até uma frequência de aproximadamente 300 kHz as duas aproximações são boas, mas a obtida pelo Método II aproxima melhor a resposta de fase, tendo sido empregada neste projeto.

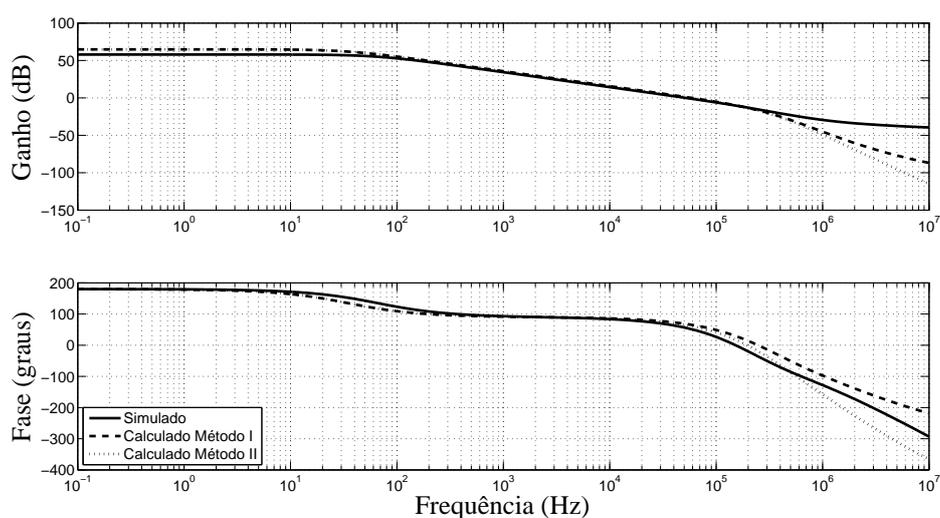


Figura V.13: Resposta em frequência do Ganho de Malha aberta do circuito fornecido pelo algoritmo.

A margem de fase especificada e obtida pela simulação pode ser vista na Tabela V.13 e encontra-se de acordo com os resultados obtidos para o circuito esquemático fornecido pelo algoritmo.

Tabela V.13: Tabela contendo o valor da margem de fase do circuito esquemático final.

Parâmetro	Esquemático
MF	55,77°

V.4.6 - RUÍDO

O ruído na saída dos circuitos final e extraído foram computados e podem ser vistos na Fig. V.14. O Valor do ruído RMS computado de 0,1 a 10 Hz foi de $8,340 \mu V_{RMS}$ para o circuito esquemático e $8,341 \mu V_{RMS}$ para o circuito extraído, apresentando pouca diferença em relação à simulação do circuito fornecido pelo algoritmo.

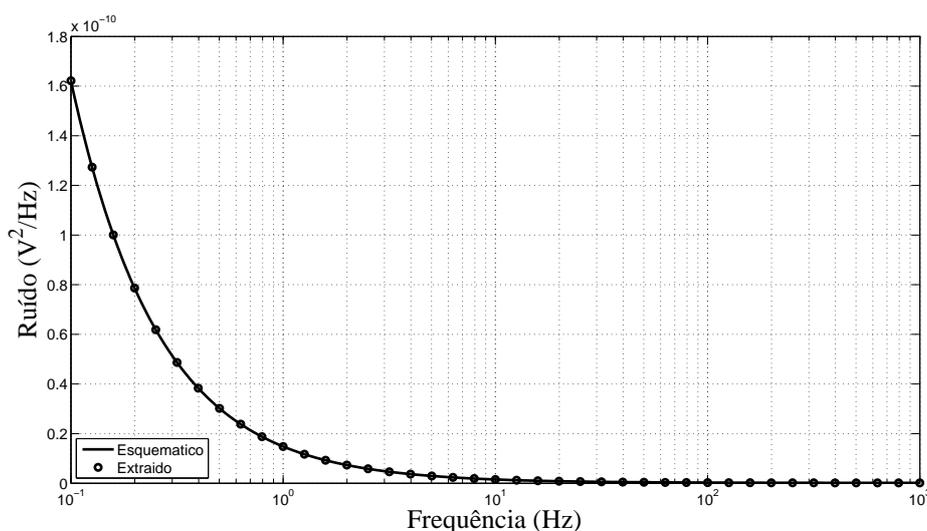


Figura V.14: Resposta em frequência do ruído.

Tabela V.14: Ruído RMS na saída do circuito esquemático final e extraído.

Parâmetro	Esquemático	Extraído
Ruído (μV_{RMS})	8,340	8,341

V.4.7 - SIMULAÇÃO DE MONTE CARLO

Uma simulação de Monte Carlo com 1000 iterações do estado nominal foi realizada para os circuitos esquemático e extraído de forma a comparar o resultado obtido para o circuito esquemático gerado pelo algoritmo. Foi analisada apenas a situação total, que considera descasamento e variações de processo, dos parâmetros $V_{REF}(27^{\circ}C)$ e TC e seus histogramas podem ser vistos nas Figs. V.15 e V.16, respectivamente.

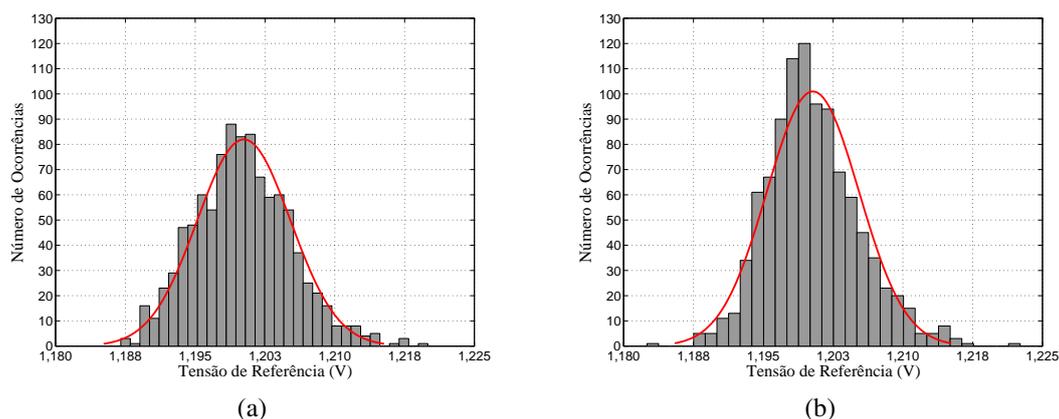


Figura V.15: Análise de Monte Carlo para o circuito final na condição nominal, foram realizadas 1000 iterações. (a) Histograma do valor da tensão de referência na temperatura de $27^{\circ}C$. (b) .

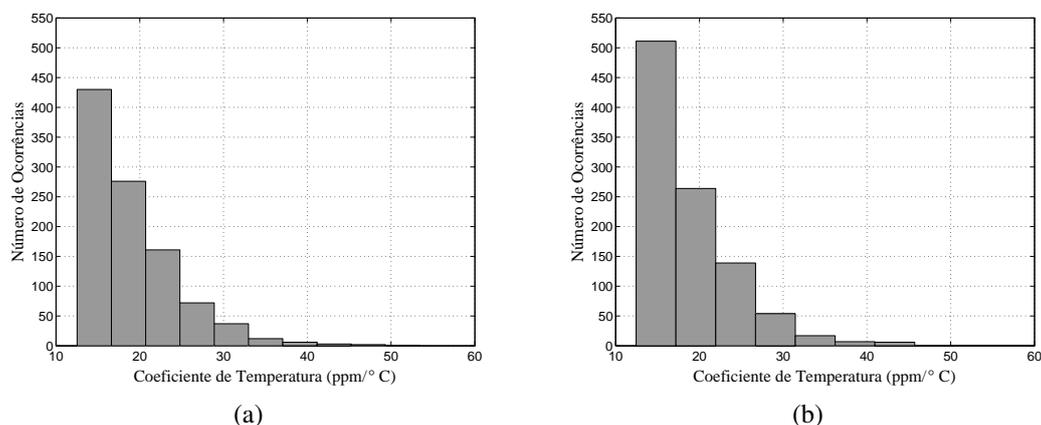


Figura V.16: Análise de Monte Carlo para o circuito final na condição nominal. (a) Histograma do valor da tensão de referência na temperatura de $27^{\circ}C$. (b) .

Os resultados contendo média e o valor de 3σ encontram-se na Tabela V.15. Se o valor percentual de 3σ for comparado ao valor da Tabela V.8, correspondente ao circuito fornecido pelo algoritmo, será percebida um aumento de 0,016% no circuito esquemático e um aumento de 0,002 % no circuito extraído , diferenças que encontram-se numa faixa desprezível. O TC também sofre um aumento, mas não é relevante neste ponto do trabalho

uma vez que no projeto nada foi assumido em relação à este parâmetro antes da execução da calibração. A curva em função da temperatura de todas as iterações é apresentada para fins de comparação na Fig. V.26 em conjunto com as obtidas após a calibração.

Tabela V.15: Resultados da simulação de Monte Carlo para o circuito final.

Circuito	Parâmetros	Média	3σ	Porcentagem
Esquemático	$V_{REF}(27^{\circ}C)$	1,20023 V	15,06 mV	1,255 %
	$TC (ppm/^{\circ}C)$	18,93	16,73	88,34 %
Extraído	$V_{REF}(27^{\circ}C)$	1,20033 V	14,85 mV	1,237 %
	$TC (ppm/^{\circ}C)$	18,69	17,12	91,60 %

V.4.8 - TESTE DO MECANISMO DE CALIBRAÇÃO

Os resultados obtidos até aqui não levam em consideração o funcionamento da rede resistiva de calibração. Esta seção aborda o teste deste dispositivo, de forma a verificar sua efetividade em realizar a redução da imprecisão da tensão de referência para no máximo $0,0909\%V_{REF_{NOM}}$ em $27^{\circ}C$, conforme descrito na Tabela V.1.

O teste consiste em avaliar a imprecisão do circuito de *bandgap* através de simulações de Monte Carlo, e verificar se o circuito de calibração é capaz de produzir em todos os casos (iteraões) a tensão de referência na nova faixa de precisão especificada. Para isto, é necessário testar todas as combinações binárias das chaves analógicas e verificar, dentre estas, aquela cujo valor de tensão associado encontra-se ou mais se aproxima da faixa desejada. Para realizar isto, é necessária a utilização de um circuito auxiliar de teste, abordado na seção a seguir.

V.4.8.1 - CIRCUITO DE TESTE

O teste dos códigos binários e as comparações entre os valores de tensão resultantes devem ser feitos por um circuito auxiliar, que aproveita a organização dos códigos binários de calibração para que não seja necessário o teste de todas as combinações possíveis. Os códigos estão organizados em ordem crescente, de forma que o menor valor da tensão de referência está associado ao código binário 00000, para qual todas as chaves analógicas estão em curto-circuito, e a maior tensão de referência está associada ao código 11111, em que todas as chaves encontram-se em circuito aberto. Supondo uma simulação no domínio do tempo, se o circuito de *bandgap* for inicializado com o menor valor da tensão de referência (00000) e, à medida que o tempo passar, esta tensão for gradativamente elevada (código aumente), para algum código binário a tensão de referência

cruzará o valor de tensão limiar $V_{LIM IAR} \approx 1,1996$ V, dada pela combinação de (III.106) e (III.107). Neste momento, o circuito de teste deve fixar o código binário, pois este é aquele capaz de levar a tensão de referência para a faixa requerida. Portanto, o circuito de teste consiste basicamente de um contador crescente, um comparador e uma tensão de limiar para comparação, como mostrado na Fig. V.17.

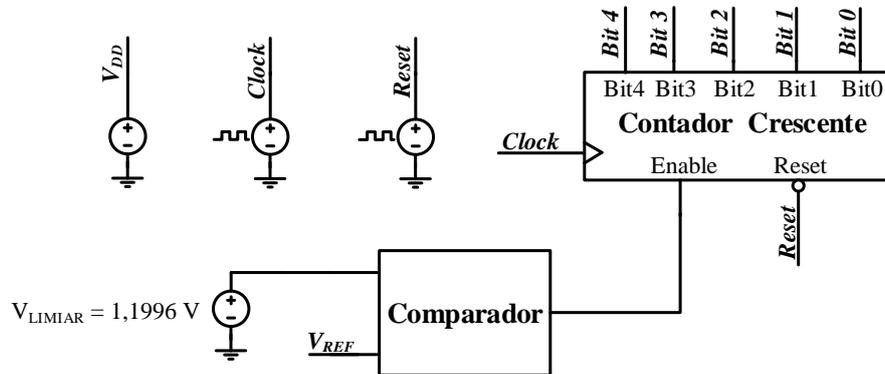


Figura V.17: Esquema básico do circuito utilizado no teste do mecanismo de calibração.

Como pode ser visto na Fig. V.17, é necessária a utilização de um sinal de *reset*, de forma a garantir que o primeiro código a ser testado seja efetivamente 00000. É necessário também um sinal com forma de onda quadrada, denominado *clock* na Fig. V.18, que ditará o intervalo de tempo entre os testes de dois códigos binários consecutivos, de forma que a cada transição de subida o contador decresce sua contagem para alterar os resistores de calibração. Este intervalo de tempo deve ser suficiente para que a tensão atinja o regime permanente. Com esse objetivo foi empregado um período de $50 \mu s$.

As transições de código só ocorrerão enquanto a tensão de referência de *bandgap* V_{REF} for menor do que a tensão de limiar $V_{LIM IAR}$, pois esta situação faz com que a saída do comparador esteja com um nível lógico alto, mantendo o contador habilitado. Quando a tensão V_{REF} se torna igual ou superior à $V_{LIM IAR}$, a saída do comparador vai para um nível lógico baixo, fixando o último código testado e desabilitando a contagem. Este último código é o que ajusta V_{REF} , de forma que o circuito de calibração é efetivo se este valor estiver dentro da nova faixa de imprecisão especificada para todas as iterações da simulação de Monte Carlo. Adicionalmente, o valor de 3σ da distribuição também pode ser avaliado e um bom indicativo é que este esteja abaixo da imprecisão requerida, embora a distribuição final possa não ser gaussiana.

O contador síncrono mostrado na Fig. V.18 foi projetado a partir da tabela verdade de um contador decrescente empregando o mapa de Karnaugh [36]. Para transformá-lo em um contador crescente as saídas NOT dos flip-flops passam a ser empregadas.

É importante observar que a função *enable* é implementada por uma função lógica AND entre os sinais *enable* e *clock*, para que o contador seja desabilitado se o sinal de *enable* for mantido em nível lógico baixo. Este esquema apresenta um problema quando

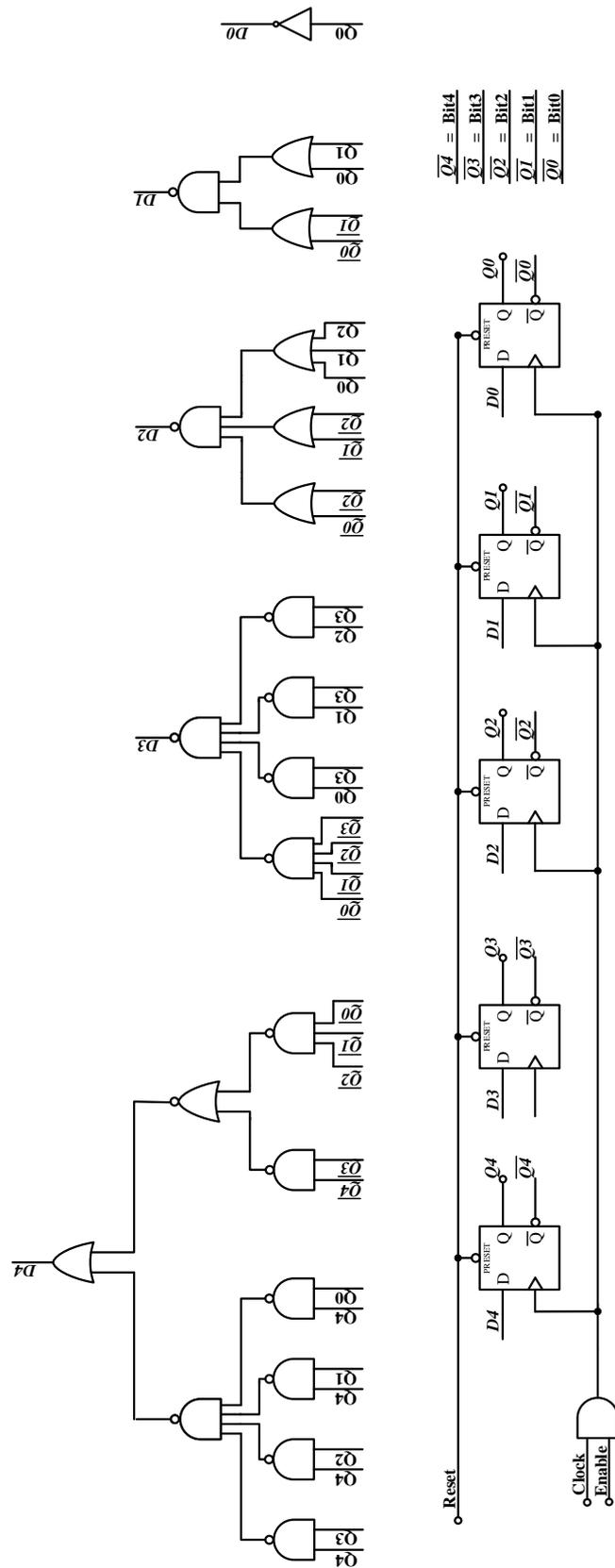


Figura V.18: Circuito digital do contador decrescente com *enable* e *preset*.

utilizado em conjunto com o comparador, pois os efeitos capacitivos do circuito de *band-gap* podem fazer com que após o chaveamento dos resistores de calibração a tensão de referência aumente subitamente e decresça rapidamente, como mostrado na Fig. V.19, passando duas vezes pela tensão de limiar. Assim, o contador será desabilitado erroneamente após a primeira passagem pelo limiar, e na segunda passagem ele será reabilitado fazendo com que a contagem prossiga sem que a tensão de referência associada ao código anterior tenha sido testada de fato. Este detalhe é capaz de provocar saltos na contagem e erros no procedimento de teste. Portanto, foi adicionado ao esquema da Fig. V.17 um *flip-flop* tipo *D* após o comparador, responsável por manter o contador habilitado durante todo o período de teste de um código ($50 \mu s$).

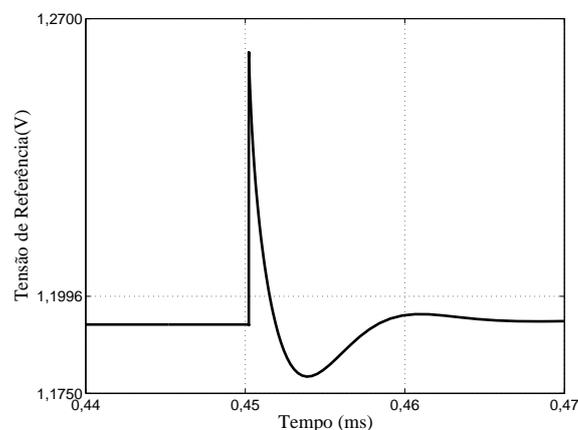


Figura V.19: Dois cruzamentos pela tensão de limiar devido aos efeitos capacitivos.

O circuito completo empregado no teste é apresentado na Fig. V.20, onde pode ser visto o *flip-flop* tipo *D* e o comparador, que foi implementado por uma fonte de tensão controlada por tensão, com elevado ganho e saída limitada entre $0 V$ e V_{DD} . Também foram adicionados ao esquema duas fontes de tensão de forma de onda quadrada, denominadas *S1* e *S2*. A fonte *S1* é utilizada como sinal de *clock* do *flip-flop D* e é igual ao sinal de *clock* do contador atrasado em um período, pois neste período os dois se encontram sob a ação da função *preset*. A fonte *S2* tem a finalidade de desabilitar o *flip-flop* tipo *D* após dado um tempo suficientemente grande ($2^{N_{BITS}} \times 50 \mu s$) para encontrar a combinação binária correta. Isto é necessário, pois deseja-se saber também o comportamento do circuito calibrado em função da temperatura e, como é necessário inicialmente realizar o ajuste da tensão de referência, esta informação deve ser obtida pela simulação transitória, após este ajuste, através de uma opção do simulador que permite a mudança da temperatura de simulação a partir de determinado tempo informado. Como esta mudança de temperatura terá um efeito transitório na tensão de referência, o que faria o circuito de teste voltar a realizar a contagem para a procura pelo melhor código, o contador precisa ser desabilitado. Desta forma, após o período de tempo de $32 \times 50 \mu s$, o *flip-flop* tipo *D* é desabilitado de forma a não permitir que o contador volte a realizar a contagem.

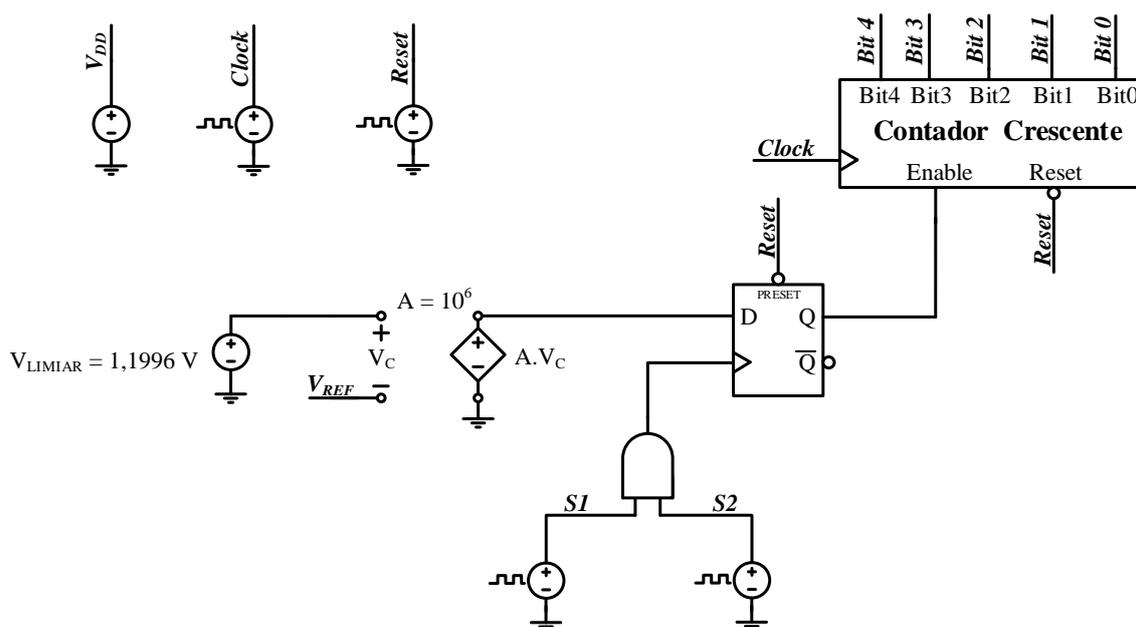


Figura V.20: Circuito empregado no teste do mecanismo de calibração.

O circuito de teste da Fig. V.20 pôde ser avaliado no circuito extraído, onde o valor final da tensão de referência V_{REF} convergiu para o valor nominal apresentado na Tabela V.9. O gráfico mostrando o ajuste é apresentado na Fig. V.21. Neste teste foram empregados os sinais indicados na Fig. V.22 para o controle do circuito de teste.

V.4.8.2 - RESULTADOS DA SIMULAÇÃO DE MONTE CARLO

Com a metodologia de avaliação do circuito de calibração apresentada, nesta seção são descritos os resultados do teste realizado através da simulação de Monte Carlo. Na Fig. V.23 é mostrado o resultado no domínio do tempo de 20 iterações de Monte Carlo, de forma que se pode observar a redução progressiva do espalhamento das curvas obtidas, o que indica a redução da imprecisão. Foram graficadas apenas 20 curvas devido ao elevado número de pontos nesta simulação, o que dificulta a obtenção de mais curvas no simulador.

Após observar o comportamento do circuito, resta saber se a redução da imprecisão por ele fornecida é capaz de cumprir a especificação do projeto. Para isto, foram realizadas 999 iterações da simulação de Monte Carlo, que foi o máximo de simulações possível devido ao longo período requerido pelas simulações. Os histogramas obtidos para a tensão de referência e seu coeficiente de temperatura, obtidos na condição de variação total (descasamento + processo), são apresentados, respectivamente, nas Figs. V.24 e V.25,

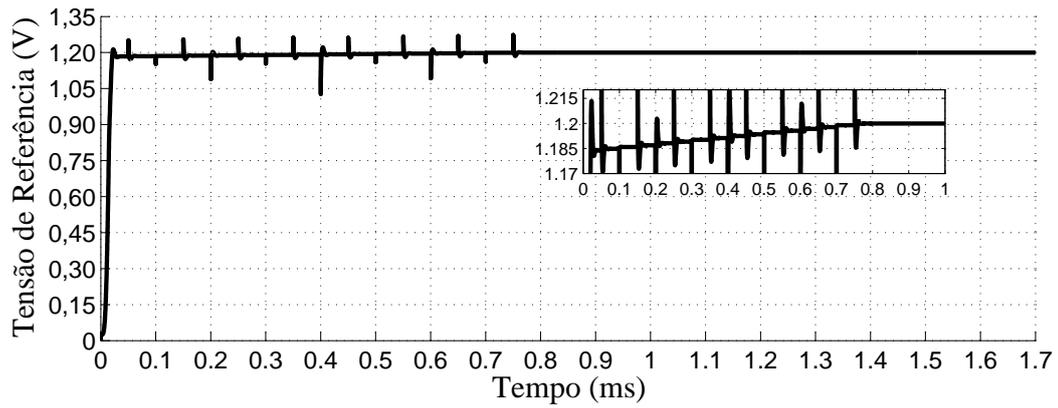


Figura V.21: Teste dos resistores de calibração no circuito esquemático com calibração.

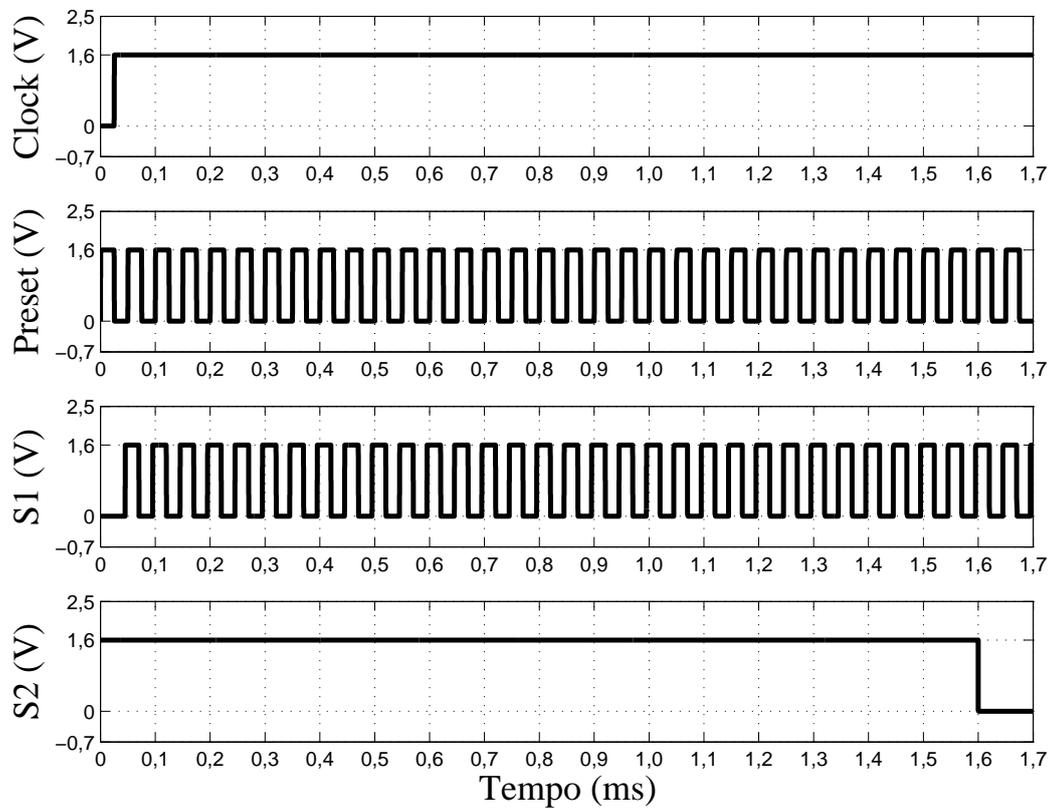


Figura V.22: Sinais para o circuito de teste: *clock*, *preset*, *S1* e *S2*.

para os circuitos esquemático e extraído.

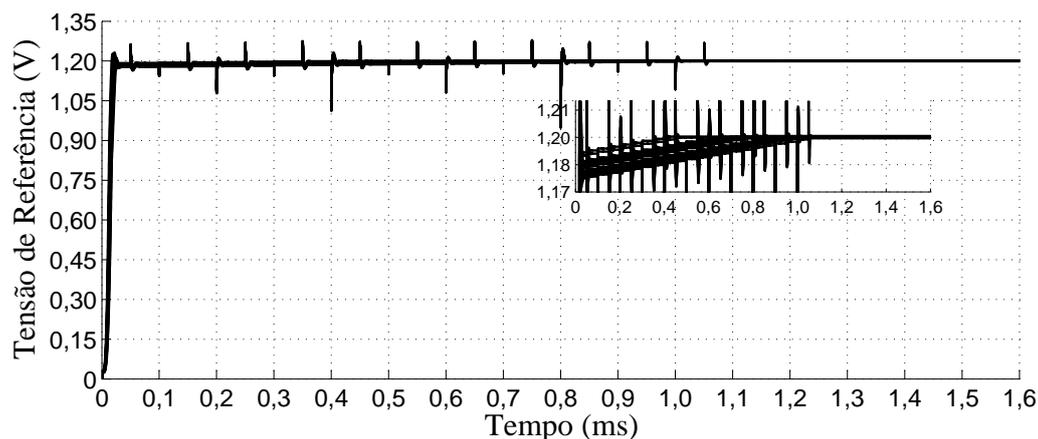


Figura V.23: Gráfico ilustrando a redução progressiva do espalhamento da tensão de referência.

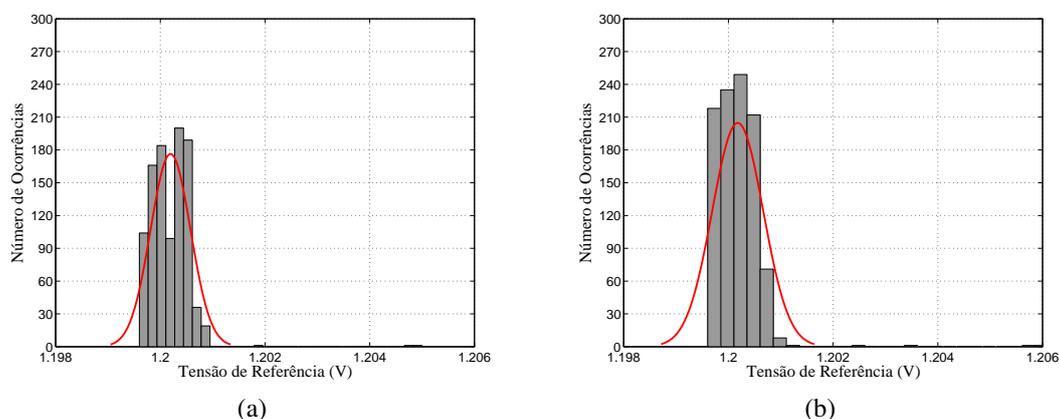


Figura V.24: Histogramas da tensão de referência na temperatura de 27°C obtida por simulação de Monte Carlo com 999 iterações visando a avaliação da redução de imprecisão. (a) Circuito esquemático. (b) Circuito extraído.

Os resultados extraídos do histograma encontram-se na Tabela V.16 onde é possível observar que a porcentagem de 3σ da tensão de referência do circuito esquemático extrapola um pouco a especificação máxima de $0,0909\%$ e o 3σ do circuito extraído à ultrapassa por $0,0264\%$, no entanto, a distribuição obtida não é gaussiana, como pode ser observado nos histogramas, e o objetivo principal é que todas as amostras calibradas possuam a tensão de referência inferior à $1,2006\text{ V}$ ($(1-0,0454)\%$) conforme projetado, ou, na pior das hipóteses, abaixo de $1,2012\text{ V}$ ($(1-0,0909)\%$) conforme especificado. Desta forma, uma análise mais detalhada precisa ser realizada.

A análise é feita através da Tabela V.17, onde os números N1 e N2 correspondem ao número de amostras que ultrapassam, respectivamente, o valor projetado máximo ($V_{REF} = 1,20064\text{ V}$, $TC = 17,43\text{ ppm}/^{\circ}\text{C}$), e o valor especificado máximo ($V_{REF} = 1,20119\text{ V}$, $TC = 17,8\text{ ppm}/^{\circ}\text{C}$), cujos valores são obtidos a partir da Tabela V.1. Tomando apenas

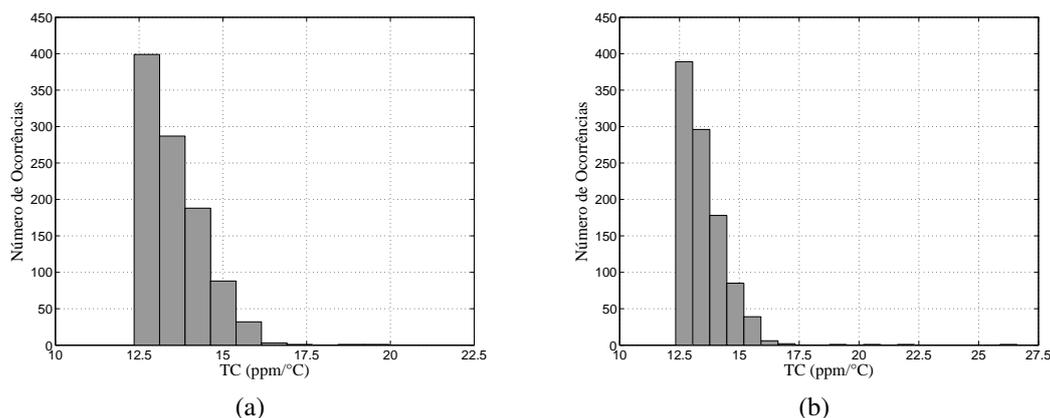


Figura V.25: Histogramas do coeficiente de temperatura obtido por simulação de Monte Carlo com 999 iterações visando saber a influência da calibração neste parâmetro. (a) Circuito do esquemático. (b) Circuito extraído.

Tabela V.16: Resultados da simulação de Monte Carlo para o circuito final após a calibração.

Circuito	Parâmetros	Média	3σ	Porcentagem
Esquemático	$V_{REF}(27^{\circ}C)$	1,20020 V	1,145 mV	0,0954 %
	$TC (ppm/^{\circ}C)$	13,54	2,69	19,85 %
Extraído	$V_{REF}(27^{\circ}C)$	1,20017 V	1,462 mV	0,1218 %
	$TC (ppm/^{\circ}C)$	13,49	3,04	22,56 %

o circuito extraído, nota-se que para a tensão de referência 58 amostras (5,8 %) ultrapassam o valor de projeto e apenas 5 amostras (0,5%) extrapolam o valor especificado, logo a especificação é satisfeita em 99,5 % dos casos. Adicionalmente, na Tabela V.17 são apresentados os valores máximos da tensão de referência considerando todas as amostras (coluna valor máximo) e retirando as 5 amostras contabilizadas em N2 da análise (coluna Valor Máximo sem N2), onde percebe-se uma grande diferença entre eles, 6,5 mV. A mesma análise é realizada para o TC, onde é revelado que as 4 amostras fora da especificação de TC pertencem ao conjunto de 5 amostras fora da especificação da tensão de referência. A observação dos resultados da simulação no domínio do tempo revela que estas 5 amostras não foram calibradas, uma vez que seu valor inicial (código "00000") já ultrapassava V_{LIMAR} . As curvas de V_{REF} em função da temperatura, antes e após a calibração podem ser vistas na Fig. V.26, onde também foram graficadas em preto as curvas correspondentes aos limites de 3σ e percebe-se que o circuito não calibrado também possui pontos que ultrapassam este valor. Percebe-se ainda a grande redução no espalhamento das curvas após a calibração, com exceção dos 5 pontos.

Até agora considerou-se a imprecisão da tensão de referência em $27^{\circ}C$ e do TC de forma separada, no entanto, o melhor é considerar toda a faixa de temperatura no cálculo da imprecisão de forma a considerar os dois parâmetros em um único, o que pode ser realizado utilizando o método da caixa (*box-method*) discutido no Capítulo II. Estes re-

Tabela V.17: Análise detalhada dos pontos que fogem das especificações.

Circuito	Parâmetros	N1	N2	Valor Máximo	Valor Máximo sem N2
Esquemático	$V_{REF}(27^{\circ}C)$	58	3	1,2050 V	1,2009 V
	TC	2	2	19,96 ppm/ $^{\circ}C$	17,03 ppm/ $^{\circ}C$
Extraído	$V_{REF}(27^{\circ}C)$	66	5	1,2076 V	1,2011 V
	TC	4	4	26,60 ppm/ $^{\circ}C$	16,95 ppm/ $^{\circ}C$

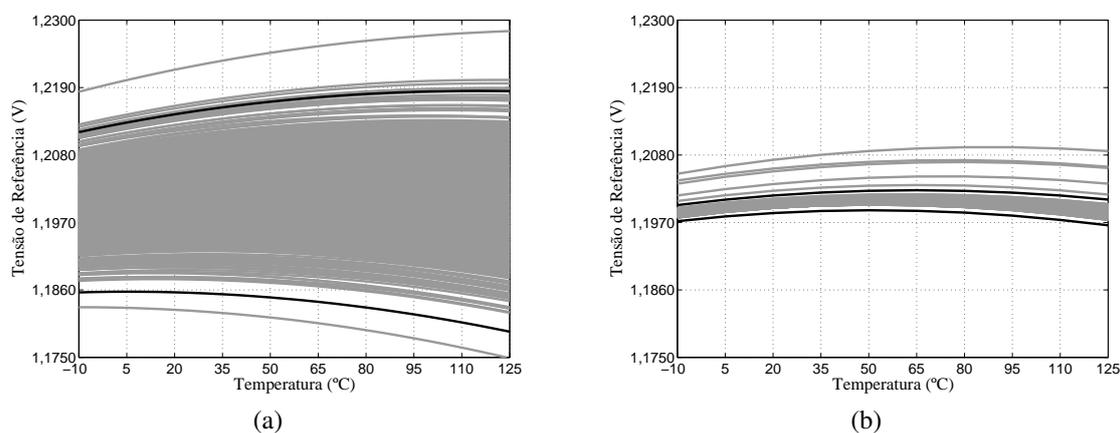


Figura V.26: Curvas de V_{REF} vs. T correspondentes às iterações de Monte Carlo para o circuito final antes e após a calibração. (a) Curvas de V_{REF} vs. T antes da calibração. (b) Curvas de V_{REF} vs. T após a calibração.

sultados encontram-se na Tabela V.18, considerando como limites as curvas de 3σ obtidas empregando os valores da Tabela V.16.

Tabela V.18: Imprecisão da tensão de referência entre $-10^{\circ}C$ e $125^{\circ}C$ empregando o método da caixa (*box-method*).

Circuito	Média	Imprecisão (3σ)	Porcentagem
Extraído	1,19939 V	2,858 mV	0,238 %

V.5 - COMPARAÇÃO COM OUTROS TRABALHOS

Esta seção apresenta através da Tabela V.19 um resumo das principais características simuladas para o circuito extraído do *layout*, desenvolvido neste trabalho, comparadas a outros trabalhos encontrados na literatura. Existe uma grande dificuldade em fazer comparações entre circuitos de referência de tensão, pois o parâmetro de imprecisão de V_{REF} é calculado de distintas formas em cada trabalho ou nem é calculado. Em geral, maior importância é dada à redução do parâmetro de TC e sua divulgação, quando na verdade

um baixo coeficiente de temperatura não necessariamente produz uma boa precisão do valor nominal, como é o caso de [10] e [11], cujos resultados encontram-se na Tabela V.19 e as imprecisões apresentadas foram estimadas pelo método da caixa através das curvas máxima e mínima fornecidas de V_{REF} vs. T encontradas nestes trabalhos. Outro fato relevante é que muitas vezes os trabalhos possuem metas diferentes, como baixa imprecisão, baixo TC ou baixíssimo consumo de potência e isto faz com que alguns parâmetros possuam grandes diferenças tornando a comparação inviável. Desta forma, procurou-se, na medida do possível, selecionar projetos que possuem uma linha de pesquisa próxima a deste trabalho para realizar a comparação.

Tabela V.19: Tabela comparativa das características do circuito extraído deste trabalho com outros trabalhos encontrados na literatura.

Parâmetro	Este Trabalho *	[18] †	[13] †	[10] †	[11] †
Tecnologia (μm)	0,18	0,35	0,16	0,18	0,13
Tensão de Alimentação (V)	$1,8 \pm 10\%$	2,93 a 3,3	$1,8 \pm 10\%$	1,2	1,2
Corrente de Alimentação (μA)	9,139	9,3	55	36	120
Área Ativa (mm^2)	0,035703	0,097	0,12	0,036	0,063
V_{REF} (V)	1,20017	1,2204	1,0875	0,767	0,735
Imprecisão antes de Calibrar (%)	1,237	0,65	-	-	-
Imprecisão depois de Calibrar (%)	0,0909	0,204	-	-	-
V_{REF} (V) (<i>Box-Method</i>)	1,19939	-	1,0875	0,7688	0,7294
Imprecisão antes de Calibrar (%) (<i>Box-Method</i>)	1,64	0,734	0,75	0,976	1,799
Imprecisão depois de Calibrar (%) (<i>Box-Method</i>)	0,238	0,31	0,15	0,943	N.A.
Número de Amostras	999	36	61	8	8
Número de Bits	5	4	9	13	N.A.
Faixa de Temperatura ($^{\circ}C$)	-10 até 125	-10 até 100	-40 até 125	-40 até 120	-40 até 120
TC ($ppm/^{\circ}C$)	12,34 a 16,95	10,47 a 24,71	5 a 12	3,4 a 6,9	4,2 a 17,4
PSRR (dB)	> 73,56 @ DC	57,38 a 77,38 @ DC	74 @ DC	-	30 @ 100kHz
Ruído (μV_{RMS})	8,341	-	6,1	-	-

*Dados obtidos por simulações do circuito extraído do *layout*. †Dados obtidos de medições do circuito fabricado.

Este trabalho empregou um processo de $0,18\mu m$, cujo comprimento de canal é similar ao das referências empregadas à exceção de [18], que foi escolhido por seguir a mesma linha de pesquisa deste trabalho. Sua tensão de alimentação está de acordo com a tecnologia empregada, uma vez que, diferente de [10] e [11], não possui o foco de baixa tensão de alimentação. Mesmo assim, seu consumo de corrente é pelo menos 4 vezes menor que [13], [10] e [11], o que o torna mais eficiente em termos de consumo de potência. Sua área efetiva é da mesma ordem da empregada em [10] e bem menor que os outros, o que em conjunto com a imprecisão após calibrar de 0,238%, calculada pelo método da caixa, comprova a eficácia deste trabalho, mesmo com uma faixa de temperatura menor. Esta imprecisão é bem inferior à apresentada em [10] e em [11] ainda que estes trabalhos empreguem métodos de compensação de curvatura, o que permite alcançar coeficientes de temperatura reduzidos como apresentado na Tabela V.19. Adicionalmente, apesar do coeficiente de temperatura em [10] ser bem inferior ao deste trabalho, são necessários 13 bits para garantir este desempenho, enquanto o trabalho aqui apresentado emprega 5

bits, e, embora [11] não empregue calibração, sua ausência faz com que os coeficientes de temperatura das amostras apresentem uma grande variação entre si. O resultado de 0,15% em [13] é obtido pela combinação do emprego de uma técnica de compensação da curvatura, calibração em uma única temperatura utilizando 9 bits (embora o artigo mencione que apenas 6 bits seriam suficientes) e a técnica *chopper*, que possui o objetivo de eliminar o *offset* de seu amplificador operacional, maior fonte de erros de um circuito de referência que o utiliza, o que possui um nível de complexidade do circuito maior do que o apresentado nesta dissertação.

Embora os resultados apresentados correspondam apenas às simulações e as referências apresentem resultados experimentais, isto já é capaz de mensurar a eficiência do projeto realizado e sua posição na literatura recente.

CAPÍTULO VI

CONCLUSÕES

VI.1 - CONCLUSÕES GERAIS

Este trabalho tratou do projeto de um circuito de referência de tensão de *bandgap* através do desenvolvimento de um algoritmo que permite um projeto de esforço mínimo, que respeite essencialmente especificações de tensão de alimentação mínima (V_{DDMIN}), de imprecisão na temperatura de $27^{\circ}C$ ($3\sigma_{VREF}$) e variação máxima do coeficiente de temperatura ΔTC_{MAX} realizando um procedimento de calibração e que resulta no emprego de uma área mínima em silício.

Uma topologia de circuito de tensão de referência que faz uso de um amplificador operacional e possui a soma dos componentes PTAT e CTAT por modo de tensão foi empregada. Suas equações de polarização, de variação com a temperatura, de sua imprecisão devido à descasamento e processo, dos erros associados à calibração em uma única temperatura e de sua estabilidade foram estudadas e detalhadas. Além disto, para que fosse possível realizar um algoritmo de projeto capaz de fornecer o circuito que respeitasse os parâmetros especificados, foi preciso utilizar modelos de dispositivos que apresentassem baixo nível de complexidade, mas resultassem em resultados suficientemente acurados.

Desta forma, o estudo possibilitou o projeto de um circuito de teste com especificações iniciais de tensão de alimentação mínima de $1,62V$, imprecisão final máxima à temperatura de $27^{\circ}C$ após a calibração de 1% e máximo coeficiente de temperatura de $18,23 ppm/^{\circ}C$ em uma faixa de temperatura de $-10^{\circ}C$ à $125^{\circ}C$, empregando uma calibração de 5 bits em uma única temperatura.

O *layout* do circuito obtido foi confeccionado e apresentou uma área de $0,035703 mm^2$, menor em relação aos trabalhos consultados [13], [10], [11], com áreas $0,12 mm^2$, $0,036 mm^2$ e $0,063 mm^2$, respectivamente, como exposto na Tabela V.19. O circuito foi extraído do *layout* e uma simulação de Monte Carlo com 999 iterações foi realizada

para atestar o cumprimento das especificações. O mesmo foi polarizado com uma tensão de $1,62V$ e consome uma corrente total de $9,139 \mu A$, que comparado com os trabalhos citados acima apresenta menor consumo de corrente ($55\mu A$, $36\mu A$ e $120\mu A$). Nesta condição, a simulação de Monte Carlo obteve como resultado uma imprecisão final em $27^\circ C$, após a calibração, menor que $0,0909\%$ e um máximo coeficiente de temperatura de $16,95 ppm/^\circ C$ em $99,5\%$ das amostras. Tais resultados são satisfatórios frente aos parâmetros especificados e demonstram a eficiência do algoritmo proposto.

VI.2 - TRABALHOS FUTUROS

O circuito apresentado neste trabalho foi fabricado em duas rodadas (*batches*) distintas, 20 *chips* por rodada, 2 amostras por *chip* de forma que se possa avaliar o resultado efetivo do projeto. A próxima etapa incluirá a confecção de um circuito de teste e realização das medidas dos circuitos fabricados de forma a verificar seu desempenho.

Este trabalho não realiza compensação de curvatura como os outros, logo seria interessante expandir a discussão para esta área realizando um estudo similar ao aqui discutido para a topologia de circuito descrita em [9], que permite a implementação de compensação de temperatura de forma mais fácil uma vez que a soma dos componentes PTAT e CTAT não é realizada através de tensão e sim corrente. Esta topologia é empregada em [10] e [11] encontrados na Tabela V.19.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] T, C., TAM, W. *CMOS Voltage References: An Analytical and Practical Perspective*. Wiley, 2013.
- [2] WIDLAR, R. J. “New Developments in IC Voltage Regulators”, *Solid-State Circuits, IEEE Journal of*, v. 6, pp. 2–7, Feb. 1971.
- [3] KUIJK, K. “A precision reference voltage source”, *Solid-State Circuits, IEEE Journal of*, v. 8, n. 3, pp. 222–226, June 1973.
- [4] BROKAW, A. “A simple three-terminal IC bandgap reference”. In: *Solid-State Circuits Conference. Digest of Technical Papers. 1974 IEEE International*, v. XVII, pp. 188–189, Feb 1974.
- [5] TSIVIDIS, Y., ULMER, R. “A CMOS voltage reference”, *Solid-State Circuits, IEEE Journal of*, v. 13, n. 6, pp. 774–778, Dec 1978.
- [6] BANBA, H., SHIGA, H., UMEZAWA, A., et al. “A CMOS bandgap reference circuit with sub-1-V operation”, *Solid-State Circuits, IEEE Journal of*, v. 34, n. 5, pp. 670–674, May 1999.
- [7] ANDREOU, C., KOUDOUNAS, S., GEORGIYOU, J. “A Novel Wide-Temperature-Range, 3.9 ppm/°C CMOS Bandgap Reference Circuit”, *Solid-State Circuits, IEEE Journal of*, v. 47, n. 2, pp. 574–581, Feb 2012.
- [8] SONG, B.-S., GRAY, P. “A precision curvature-compensated CMOS bandgap reference”, *Solid-State Circuits, IEEE Journal of*, v. 18, n. 6, pp. 634–643, 1983.
- [9] MALCOVATI, P., MALOBERTI, F., FIOCCHI, C., et al. “Curvature-compensated BiCMOS bandgap with 1-V supply voltage”, *Solid-State Circuits, IEEE Journal of*, v. 36, n. 7, pp. 1076–1081, Jul 2001.
- [10] MA, B., YU, F. “A Novel 1.2-V 4.5-ppm/°C Curvature-Compensated CMOS Bandgap Reference”, *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 61, n. 4, pp. 1026–1035, April 2014.

- [11] DUAN, Q., ROH, J. “A 1.2-V 4.2- Curvature-Compensated CMOS Bandgap Reference”, *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 62, n. 3, pp. 662–670, March 2015.
- [12] GIUSTOLISI, G., PALUMBO, G., GAIBOTTI, M., et al. “Statistical analysis of CMOS current reference”. In: *Circuit Theory and Design, 2005. Proceedings of the 2005 European Conference on*, v. 3, pp. III/341–III/344 vol. 3, Aug 2005.
- [13] GE, G., ZHANG, C., HOOGZAAD, G., et al. “A Single-Trim CMOS Bandgap Reference With a 3σ Inaccuracy of 0.15% From -40°C to 125°C ”, *Solid-State Circuits, IEEE Journal of*, v. 46, n. 11, pp. 2693–2701, 2011.
- [14] PELGROM, M. J. M., DUINMAIJER, A. C. J., WELBERS, A. P. G. “Matching properties of MOS transistors”, *Solid-State Circuits, IEEE Journal of*, v. 24, n. 5, pp. 1433–1439, 1989.
- [15] PERRY, R., LEWIS, S., BROKAW, A., et al. “A 1.4 V Supply CMOS Fractional Bandgap Reference”, *Solid-State Circuits, IEEE Journal of*, v. 42, n. 10, pp. 2180–2186, 2007.
- [16] GREGOIRE, B. “Optimum area allocation for minimum mismatch [IC device area optimization]”. In: *Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004*, pp. 643–646, Oct 2004.
- [17] TAJALLI, A., CHAHARDORI, M., KHODAVERDI, A. “An area and power optimization technique for CMOS bandgap voltage references”, *Analog Integrated Circuits and Signal Processing*, v. 62, n. 2, pp. 131–140, 2010.
- [18] DE ANDRADE, A. B. *Projeto de Circuito Integrado de Referência de Tensão em Tecnologia 0,35 μm CMOS*. monografia de graduação, Universidade Federal do Rio de Janeiro, 2013.
- [19] RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [20] REZENDE, S. *Materiais e Dispositivos Eletrônicos*. Editora Livraria da Física, 2004.
- [21] TSIVIDIS, Y. “Accurate analysis of temperature effects in I/SUB c/V/SUB BE/ characteristics with application to bandgap reference sources”, *Solid-State Circuits, IEEE Journal of*, v. 15, n. 6, pp. 1076–1084, 1980.
- [22] GRAY, P., HURST, P., LEWIS, S., et al. *Analysis and Design of Analog Integrated Circuits*. Wiley, 2001.

-
- [23] GUPTA, V. *An accurate, trimless, high PSRR, low-voltage, CMOS bandgap reference IC*. Tese de Mestrado, 2007.
- [24] INMETRO. *Vocabulário Internacional de Metrologia: Conceitos Fundamentais e Gerais e Termos Associados (VIM 2012)*, 2012.
- [25] JCGM. *Evaluation of measurement data - Guide to the expression of uncertainty in measurement (GUM)*, 2008.
- [26] ENZ, C., VITTOZ, E. *Charge-based MOS transistor modeling: the EKV model for low-power and RF IC design*. John Wiley, 2006.
- [27] BINKLEY, D. *Tradeoffs and Optimization in Analog CMOS Design*. Wiley, 2008.
- [28] SHICHMAN, H., HODGES, D. “Modeling and simulation of insulated-gate field-effect transistor switching circuits”, *Solid-State Circuits, IEEE Journal of*, v. 3, n. 3, pp. 285–289, 1968.
- [29] WANG, G., MEIJER, G. C. “The temperature characteristics of bipolar transistors fabricated in CMOS technology”, *Sensors & Actuators: A. Physical*, v. 87, n. 1-2, pp. 81–89, 2000.
- [30] MOK, P., LEUNG, K. N. “Design considerations of recent advanced low-voltage low-temperature-coefficient CMOS bandgap voltage reference”. In: *Custom Integrated Circuits Conference, 2004. Proceedings of the IEEE 2004*, pp. 635–642, 2004.
- [31] CARUSONE, T., JOHNS, D., MARTIN, K. *Analog Integrated Circuit Design*. Analog Integrated Circuit Design. Wiley, 2011.
- [32] KINGET, P. “Device mismatch and tradeoffs in the design of analog circuits”, *Solid-State Circuits, IEEE Journal of*, v. 40, n. 6, pp. 1212–1224, 2005.
- [33] ZIRGER, A. “Random Offset in CMOS IC Design”, Apresentação de Slides, National Semiconductor, Oct. 2007.
- [34] CABRAL, P. “Erros e Incertezas nas Medições”, Apostila, Instituto Eletrotécnico Português, Instituto Superior de Engenharia do Porto, June 2004.
- [35] SAINT, C., SAINT, J. *IC Mask Design: Essential Layout Techniques*. McGraw-Hill professional engineering. McGraw-Hill, 2002. ISBN: 9780071500937.
- [36] CAPUANO, F., IDOETA, I. *Elementos de eletrônica digital*. Livros Erica, 2000.
- [37] CROON, J., SANSEN, W., MAES, H. *Matching Properties of Deep Sub-Micron MOS Transistors*. Springer US, 2006.

-
- [38] BUCHER, M., LALLEMENT, C., ENZ, C. “An efficient parameter extraction methodology for the EKV MOST model”. In: *Microelectronic Test Structures, 1996. ICMTS 1996. Proceedings. 1996 IEEE International Conference on*, pp. 145–150, 1996.
- [39] BHATTACHARYYA, A. *Compact MOSFET Models for VLSI Design*. Wiley, 2009.
- [40] ENZ, C. C., KRUMMENACHER, F., VITTOZ, E. A. “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications”, *Analog Integrated Circuits and Signal Processing*, v. 8, n. 1, pp. 83–114.

APÊNDICE A

PROPAGAÇÃO DE ERROS E INCERTEZAS APLICADA À MICROELETRÔNICA

A.1 - DESCRIÇÃO

Este apêndice descreve o método de propagação de erros e incertezas, aplicada a dispositivos microeletrônicos como uma forma de estimar e limitar os efeitos de descasamento, ocorrido entre dispositivos iguais na pastilha de silício.

As bases para esta análise residem nas equações de Pelgrom [14] e na fórmula para propagação de incertezas [32–34], ambas discutidas a seguir.

A.2 - FÓRMULA GERAL PARA PROPAGAÇÃO DE INCERTEZAS

A fórmula utilizada para propagar erros e incertezas é, na verdade, resultado de uma aproximação da série de Taylor [34], sendo assim válida para erros pequenos, o que é útil na aplicação de redução de descasamento entre componentes, onde busca-se reduzi-los.

Para introduzir a ideia, vamos trabalhar com uma função $f(X, Y)$, onde X e Y são variáveis aleatórias que possuem uma distribuição estatística, ou seja, uma incerteza, ou desvio padrão, σ_X e σ_Y associada. Desta forma, a função $f(X, Y)$ também terá uma distribuição estatística, uma vez que é formada de operações envolvendo X e Y . A fórmula de propagação de erros é capaz de expressar a incerteza $\sigma_{f(X, Y)}$, independentemente das

operações existentes na função.

Para a função de duas variáveis exemplificada, supondo que X e Y sejam descorrelacionadas, a fórmula será

$$\sigma_{f(X,Y)}^2 = \left(\frac{\partial f(X,Y)}{\partial X} \Big|_{X=\bar{X}} \cdot \sigma_X \right)^2 + \left(\frac{\partial f(X,Y)}{\partial Y} \Big|_{Y=\bar{Y}} \cdot \sigma_Y \right)^2, \quad (\text{A.1})$$

onde \bar{X} e \bar{Y} são os valores médios de X e Y , respectivamente.

A equação (A.1) pode ser expandida também para um número N de variáveis, que sejam correlacionadas, pela equação

$$\sigma_{f(\mathbf{X})}^2 = \sum_{i=1}^N \left(\frac{\partial f(\mathbf{X})}{\partial X_i} \Big|_{\mathbf{X}=\bar{\mathbf{X}}} \cdot \sigma_{X_i} \right)^2 + \sum_{i=1}^{N-1} \sum_{j=i+1}^N \left(\frac{\partial f(\mathbf{X})}{\partial X_i} \frac{\partial f(\mathbf{X})}{\partial X_j} \right) \Big|_{\mathbf{X}=\bar{\mathbf{X}}} \cdot \sigma_{X_i} \cdot \sigma_{X_j} \cdot R_{X_i X_j}, \quad (\text{A.2})$$

onde $R_{X_i X_j}$ é o coeficiente de correlação entre as variáveis X_i e X_j , \mathbf{X} refere-se ao conjunto de variáveis X_i e $\bar{\mathbf{X}}$ corresponde a seus valores médios.

A equação (A.2) é conhecida como a lei de propagação de incertezas [34]. No entanto, costuma-se assumir que as variáveis aleatórias sejam descorrelacionadas, sendo mais interessante considerar a equação

$$\sigma_{f(\mathbf{X})}^2 = \sum_{i=1}^N \left(\frac{\partial f(\mathbf{X})}{\partial X_i} \Big|_{\mathbf{X}=\bar{\mathbf{X}}} \cdot \sigma_{X_i} \right)^2. \quad (\text{A.3})$$

Pode-se observar que (A.3) é a generalização da (A.1), e esta é a que será utilizada neste trabalho.

A.3 - AS EQUAÇÕES DE PELGROM

As equações de Pelgrom [14] são equações que fornecem as incertezas bases para trabalhar com descasamento de dispositivos. Elas expressam descasamento entre transistores MOS, resistores, capacitores e transistores bipolares, onde os parâmetros necessários são fornecidos pelo fabricante. Para um parâmetro genérico P , a equação de Pelgrom é dada por

$$\sigma_{\Delta P}^2 = \frac{A_P^2}{WL} + S_P^2 D^2, \quad (\text{A.4})$$

onde, ΔP é a diferença do parâmetro P de dois dispositivos que possuem as mesmas dimensões nominais, representando seu descasamento, A_P é o termo referente ao descasamento do parâmetro P , fornecido pelo fabricante, WL é a área do canal do dispositivo, D é a distância entre os dispositivos e S_P é o termo correspondente à distância entre os dispositivos. Assim, é possível notar que quanto mais próximos os componentes e maior

suas áreas, maior será o casamento entre eles. No entanto, o efeito da distância não é considerado pelo simulador e, para distâncias menores que 1 mm [32] ou emprego de técnicas de *layout* como *cross-quad*, interdigitação e centroide-comum, seu efeito é de pouca influência, de forma que o produto $S_p^2 D^2$ pode ser desprezado.

As equações de Pelgrom que serão consideradas neste trabalho são:

$$\sigma_{\Delta V_{T0}}^2 = \frac{A_{V_{T0}}^2}{WL} \quad (\text{A.5})$$

$$\left(\frac{\sigma_{\Delta \beta_{MOS}}}{\beta_{MOS}} \right)^2 = \frac{A_{\beta}^2}{WL}, \quad (\text{A.6})$$

onde

$$\beta_{MOS} = \mu C_{ox} \frac{W}{L}, \quad (\text{A.7})$$

com μ igual à mobilidade dos portadores majoritários, C_{ox} igual à capacitância do óxido por unidade de área, W igual à largura do canal e L igual ao comprimento de canal do transistor MOS. Para a resistência dos resistores a equação é

$$\left(\frac{\sigma_{\Delta R}}{R} \right)^2 = \frac{A_R^2}{WL} \quad (\text{A.8})$$

e para os parâmetros referentes ao transistor bipolar I_S e $\beta = I_C/I_B$

$$\left(\frac{\sigma_{\Delta I_S}}{I_S} \right)^2 = \frac{A_{I_S}^2}{WL} \quad (\text{A.9})$$

$$\left(\frac{\sigma_{\Delta \beta}}{\beta} \right)^2 = \frac{A_{\beta}^2}{WL}, \quad (\text{A.10})$$

onde especificamente neste projeto (A.10) não foi considerado.

A.4 - PROPAGAÇÃO DE INCERTEZAS APLICADA A TRANSISTORES MOS

Para conhecer o efeito do casamento entre dois transistores é preciso utilizar uma expressão que relacione seus principais parâmetros. Para manter a validade dos resultados para a região de saturação de todos os níveis de inversão se emprega a função do modelo EKV [26]

$$I_D = I_{SPEC} f \left(\frac{V_G - V_{T0}}{n_{MOS}} - V_S \right), \quad (\text{A.11})$$

onde $F\left(\frac{V_G - V_{T0}}{n_{MOS}} - V_S\right)$ é uma função como a interpolada (III.7) e

$$I_{SPEC} = 2n_{MOS}U_T^2\beta_{MOS}. \quad (A.12)$$

A equação (A.11) relaciona as variáveis de interesse I_D , para o uso de espelhos de corrente, e V_G , no caso de se estar trabalhando com um par diferencial na ausência de efeito de corpo. Desta forma, o descasamento entre dois transistores iguais é refletido em um erro destes dois componentes, sendo a fonte de erro proveniente das variáveis dependentes do processo V_{T0} e β_{MOS} , que possuem variâncias dadas por (A.5) e (A.6), respectivamente.

Desta forma, considerando que V_{T0} e β_{MOS} sejam descorrelacionadas (A.3) pode ser aplicada, obtendo-se as expressões gerais:

$$\left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 = \left(\frac{gm}{I_D}\sigma_{\Delta V_{T0}}\right)^2 + \left(\frac{\sigma_{\Delta\beta_{MOS}}}{\beta_{MOS}}\right)^2 + \left(\frac{gm}{I_D}\sigma_{\Delta V_G}\right)^2, \quad (A.13)$$

$$\sigma_{\Delta V_G}^2 = \sigma_{\Delta V_{T0}}^2 + \left(\frac{I_D}{gm}\frac{\sigma_{\Delta\beta_{MOS}}}{\beta_{MOS}}\right)^2 + \left(\frac{\sigma_{\Delta I_D}}{gm}\right)^2, \quad (A.14)$$

onde gm é a transcondutância do transistor. Estas equações podem ser utilizadas em dois casos particulares:

- Transistores como espelhos de corrente;
- Transistores como par diferencial

A.4.1 - ESPELHO DE CORRENTE

Quando os transistores estão numa configuração de espelho de corrente, suas tensões entre *gate* e *source* V_{GS} são iguais, como pode ser visto na Fig. A.1, onde nominalmente $I_{D2} = I_{D1} = I_D$.

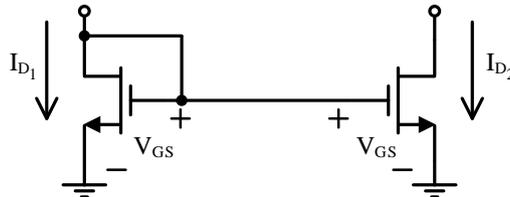


Figura A.1: Transistores como espelhos de corrente.

Desta forma, o desvio padrão de $\sigma_{\Delta V_G}$ é zero e o erro relativo de corrente $(I_{D2} - I_{D1})/I_D$

entre os dois transistores, dado por (A.13), torna-se

$$\left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 = \left(\frac{gm}{I_D} \sigma_{\Delta V_{T0}}\right)^2 + \left(\frac{\sigma_{\Delta \beta_{MOS}}}{\beta_{MOS}}\right)^2. \quad (A.15)$$

Se as equações de Pelgrom forem aplicadas, teremos

$$\left(\frac{\sigma_{\Delta I_D}}{I_D}\right)^2 = \frac{1}{WL} \left[\left(\frac{gm}{I_D} A_{V_{T0}}\right)^2 + A_{\beta_{MOS}}^2 \right], \quad (A.16)$$

onde não é considerado o efeito de corpo.

A equação (A.16) é importante, mas a variância refere-se à diferença ΔI_D entre as correntes de dreno dos dois transistores e, em muitos casos, é necessária a variância do valor absoluto. Assim, valendo-se do fato de $\Delta I_D = I_{D2} - I_{D1}$ e, considerando-as descorrelacionadas, obtém-se

$$\sigma_{I_{D1}}^2 = \sigma_{I_{D2}}^2 = \frac{\sigma_{\Delta I_D}^2}{2}. \quad (A.17)$$

A.4.2 - PAR DIFERENCIAL

Se os transistores estiverem em uma configuração de par diferencial, como mostrado na Fig. A.2, a expressão para a variância de ΔV_G , a tensão de *offset* de entrada, é dada por (A.14) e repetida aqui:

$$\sigma_{V_{os}}^2 = \sigma_{\Delta V_G}^2 = \sigma_{\Delta V_{T0}}^2 + \left(\frac{I_D}{gm} \frac{\sigma_{\Delta \beta_{MOS}}}{\beta_{MOS}}\right)^2 + \left(\frac{\sigma_{\Delta I_D}}{gm}\right)^2, \quad (A.18)$$

onde $\sigma_{\Delta I_D}$ é o descasamento de corrente de dreno proveniente de uma carga ativa por exemplo.

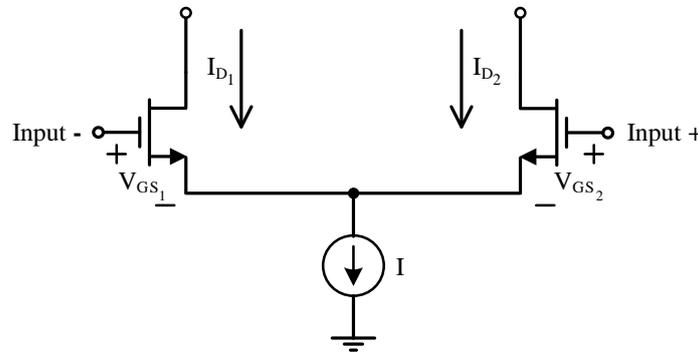


Figura A.2: Par Diferencial.

Se as equações de Pelgrom forem utilizadas, a Eq. (A.18) torna-se

$$\sigma_{V_{OS}}^2 = \sigma_{\Delta V_{GS}}^2 = \frac{1}{WL} \left[A_{V_{T0}}^2 + \left(\frac{I_D}{gm} A_{\beta_{MOS}} \right)^2 \right] + \left(\frac{I_D}{gm} \frac{\sigma_{\Delta I_D}}{I_D} \right)^2. \quad (\text{A.19})$$

As Eqs. (A.16) e (A.19) obtidas são válidas para todas as regiões de operação do transistor MOS [32], e podem, portanto, ser aplicadas a vários tipos de projetos, tendo sido amplamente utilizadas neste.

Na maioria das tecnologias, desprezar o termo A_β das expressões consiste em um boa aproximação [32], uma vez que $A_\beta \ll A_{V_{T0}} gm/I_D$. No entanto optou-se neste projeto por considerá-lo, de forma a obter resultados mais acurados.

A.4.3 - CONSIDERAÇÃO DO EFEITO DE CORPO

Embora o simulador não considere a variação dos parâmetros referentes ao efeito de corpo em sua simulação de Monte Carlo, neste projeto optou-se por considerá-lo devido ao par diferencial estar sujeito a ele. O efeito de corpo atua alterando o valor de V_{T0} , normalmente expresso pela equação [27]

$$V_T = V_{T0} + \gamma(\sqrt{2\phi_F + V_S} - \sqrt{2\phi_F}), \quad (\text{A.20})$$

e seu descasamento dado por

$$\sigma_{\Delta V_T} = \frac{1}{\sqrt{WL}} \left(A_{V_{T0}} + A_\gamma(\sqrt{2\phi_F + V_S} - \sqrt{2\phi_F}) \right), \quad (\text{A.21})$$

onde ϕ_F é o potencial de Fermi e γ é o parâmetro de processo relativo ao efeito de corpo que sofre descasamento. O parâmetro de descasamento A_γ em geral não é especificado no manual do fabricante, o que impossibilita sua utilização. No entanto, no modelo EKV, de forma aproximada [27]

$$V_T = V_{T0} + (n_{MOS} - 1)V_S, \quad (\text{A.22})$$

e o descasamento de V_T é dado por

$$\sigma_{\Delta V_T} = \frac{A_{V_{T0}}}{\sqrt{WL}} \left(1 + \frac{V_S}{2\phi_0} \right), \quad (\text{A.23})$$

onde $\phi_0 \approx 2\phi_F + 4U_T$ na inversão forte. A grande vantagem desta equação é que ela dispensa o conhecimento do descasamento do parâmetro γ . No entanto, os experimentos

realizados por Croon em [37] sugerem que

$$\sigma_{\Delta V_T} = \frac{A_{V_{T0}}}{\sqrt{WL}} \left(1 + \frac{V_S}{\phi_0} \right)^\alpha, \quad (\text{A.24})$$

onde $\alpha \approx 0,33$ para transistores com comprimento de canal longo.

De forma a avaliar (A.23) e (A.24) em relação a (A.21) foram utilizados os dados de um processo $0,7\mu m$ [27] aproximados: $2\phi_F = 0,8V$ e $\gamma = 0,72V^{1/2}$ e também $A_\gamma = 6,5 \times 10^{-3}\mu m$ para um transistor nmos. Os três modelos podem ser comparados na Fig. A.3 juntamente com a aproximação de (A.24)

$$\sigma_{\Delta V_T} = \frac{A_{V_{T0}}}{\sqrt{WL}} \left(1 + \alpha \frac{V_S}{\phi_0} \right), \quad (\text{A.25})$$

onde se nota que (A.23) é uma particularidade de (A.25) com $\alpha = 0,5$.

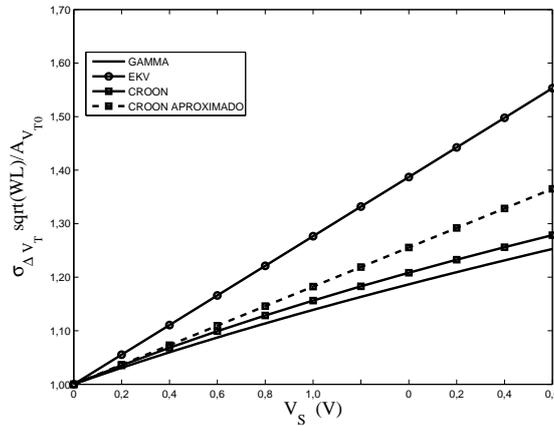


Figura A.3: Comparação de Modelos de $\sigma_{\Delta V_T}$ com efeito de corpo considerado.

Como é possível observar em A.3, o modelo proposto por Croon [37] é mais acurado que aquele do modelo EKV, no entanto, o expoente α torna o algoritmo, que emprega cálculo simbólico, mais lento. Desta forma, optou-se por empregar a aproximação (A.25), que fornece um bom resultado se comparado ao modelo EKV.

A constante ϕ_0 pode ser extraída através do uso da equação de n_{MOS} [38]

$$n_{MOS} = 1 + \frac{\gamma}{2\sqrt{\phi_0 + V_P}}, \quad (\text{A.26})$$

que é empregado como uma constante no modelo mais simplificado, apesar da dependência de V_P .

A.5 - PROPAGAÇÃO DE INCERTEZAS APLICADA A RESISTORES

A equação de Pelgrom aplicada aos resistores fornece o descasamento de resistências $\Delta R = R_2 - R_1$. No entanto, é mais interessante obter o desvio padrão absoluto de cada uma delas. Desta forma, conhecendo a variância da diferença, é possível obter um equivalente dado por

$$\sigma_{R_1}^2 = \sigma_{R_2}^2 = \frac{\sigma_{\Delta R}^2}{2}. \quad (\text{A.27})$$

Outra relação importante é o caso em que se realiza um resistor R_1 como a associação em série de N resistores unitários R . Como a variância de R_1 será a soma das variâncias de R , obtém-se

$$\sigma_{R_1}^2 = N \sigma_R^2. \quad (\text{A.28})$$

A.6 - PROPAGAÇÃO DE INCERTEZAS APLICADA A BJTS

O descasamento dos transistores bipolares afeta basicamente os parâmetros β e I_S , que assumindo uma corrente constante resulta em um descasamento de V_{EB} , cuja equação é

$$V_{EB} = U_T \ln \left(\frac{\beta}{(\beta + 1) I_S} \right), \quad (\text{A.29})$$

onde aplicada (III.79) resulta em

$$\sigma_{\Delta V_{EB}}^2 = \left(\frac{U_T}{\beta + 1} \right)^2 \left(\frac{\sigma_\beta}{\beta} \right)^2 + U_T^2 \left(\frac{\sigma_{I_S}}{I_S} \right)^2, \quad (\text{A.30})$$

onde, neste projeto o termo referente à β é inexistente e o referente à I_S é dado por

$$\sigma_{\Delta V_{EB}}^2 = U_T^2 \left[\frac{A_{I_S}^2}{W_{BJT} L_{BJT}} + \left(\frac{A_{I_{SW}}}{W_{BJT}} \right)^2 \right]. \quad (\text{A.31})$$

A.7 - APLICAÇÃO AO CIRCUITO DE REFERÊNCIA DE BANDGAP DESTE TRABALHO

Como visto anteriormente, a elevação da área dos componentes resulta em um maior casamento entre eles, o que reduz a imprecisão da tensão de referência. No entanto, um aumento generalizado destas áreas para garantir determinado nível de precisão pode conduzir a um circuito com uma área total desnecessariamente grande. Por isto, uma otimização é necessária e para tal é preciso conhecer a contribuição de cada dispositivo na imprecisão da tensão de referência. Para isto, as equações de Pelgrom são aplicadas as varias partes do circuito, necessitando-se avaliar apenas os principais descasamentos do circuito da Fig. II.10, que foram identificados como:

1. Descasamento dos transistores bipolares ($\sigma_{V_{BJT}}$);
2. Descasamento do espelho de corrente composto por $M1$ e $M2$ ($\sigma_{V_{M1,2}}$);
3. Descasamento dos resistores R_1 e R_2 (σ_{V_R});
4. Descasamento dos transistores do amplificador operacional ($\sigma_{V_{OPAMP}}$), caracterizados como um *offset* de entrada ($\sigma_{V_{OS}}$).

Desta maneira, (III.79), considerando que todos estes erros sejam descorrelacionados, assume a forma da restrição Como descrito no Capítulo III, a imprecisão da tensão de referência é fornecida pela relação

$$\sigma_{V_{REF}}^2 = \sigma_{V_{PROC}}^2 + \sigma_{V_{BJT}}^2 + \sigma_{V_{M1,2}}^2 + \sigma_{V_R}^2 + \sigma_{V_{OPAMP}}^2,$$

onde os termos $\sigma_{V_{BJT}}^2$, $\sigma_{V_{M1,2}}^2$, $\sigma_{V_R}^2$ e $\sigma_{V_{OPAMP}}^2$ são obtidos através das equações apresentadas nas seções anteriores deste apêndice e principalmente por (A.3). Estes termos se referem aos seguintes blocos do circuito, respectivamente:

1. Descasamento dos transistores bipolares ($\sigma_{V_{BJT}}$);
2. Descasamento do espelho de corrente composto por $M1$ e $M2$ ($\sigma_{V_{M1,2}}$);
3. Descasamento dos resistores R_1 e R_2 (σ_{V_R});
4. Descasamento dos transistores do amplificador operacional ($\sigma_{V_{OPAMP}}$), caracterizados como um *offset* de entrada ($\sigma_{V_{OS}}$).

Nas seções abaixo serão apresentados os cálculos relativos a estas imprecisões, que resultam nas expressões mostradas na Seção III.5.3.

O circuito empregado é novamente ilustrado na Fig. A.4, agora acrescentado de algumas variáveis.

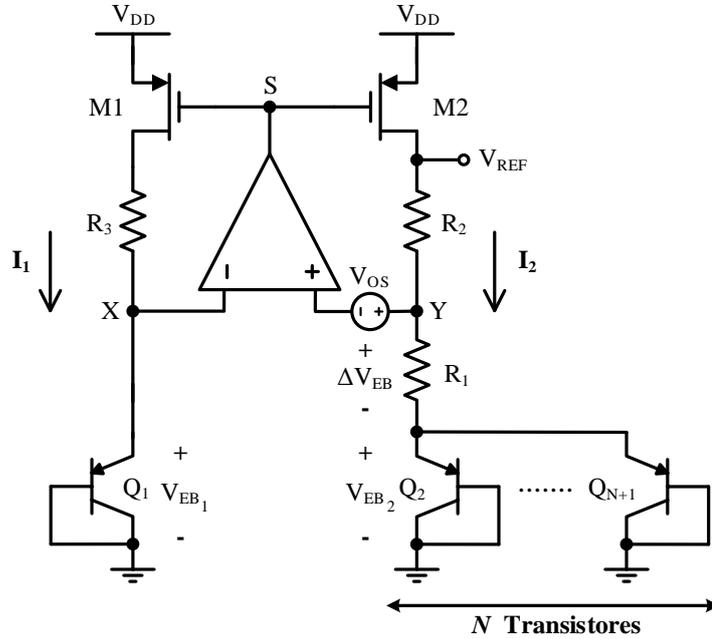


Figura A.4: Circuito do projeto incluindo a tensão de *offset* de entrada do AmpOp e representação das correntes I_1 e I_2 descasadas.

A.7.1 - DESCASAMENTO DOS TRANSISTORES

BIPOLARES ($\sigma_{V_{BJT}}$)

O efeito do descasamento dos BJTS pode ser obtido observando a equação da tensão de referência

$$V_{REF} = V_{EB_2} + \left(\frac{R_2}{R_1} + 1 \right) (V_{EB_1} - V_{EB_2}), \quad (A.32)$$

onde supondo V_{EB_1} e V_{EB_2} decorrelacionados pode-se aplicar (A.3), deste modo, é possível obter

$$\sigma_{V_{BJT}}^2 = \sigma_{V_{EB_2}}^2 + \left(\sigma_{V_{EB_1}}^2 + \sigma_{V_{EB_2}}^2 \right) \left(\frac{R_2}{R_1} + 1 \right)^2, \quad (A.33)$$

com

$$\sigma_{V_{EB_1}}^2 = \frac{U_T^2}{2} \left[\frac{A_{IS}^2}{W_{BJT} L_{BJT}} + \left(\frac{A_{ISW}}{W_{BJT}} \right)^2 \right], \quad (\text{A.34})$$

$$\sigma_{V_{EB_2}}^2 = \frac{U_T^2}{2} \left[\frac{A_{IS}^2}{N W_{BJT} L_{BJT}} + \left(\frac{A_{ISW}}{W_{BJT}} \right)^2 \right]. \quad (\text{A.35})$$

A.7.2 - DESCASAMENTO DO ESPELHO DE CORRENTE

$M1 - M2$

O descasamento entre os transistores $M1$ e $M2$ resulta em uma diferença nas correntes I_1 e I_2 apresentadas na Fig. A.4, o que causa um erro tanto na tensão V_{EB_2} , referente ao transistor composto por Q_2, Q_3, \dots, Q_{N+1} , quanto na diferença de tensão ΔV_{EB} . Para realizar a análise, primeiro é necessário encontrar a relação entre estas correntes e a tensão de referência V_{REF} , que será

$$V_{REF} = U_T \ln \left(\frac{1}{N} \frac{I_2}{I_S} \right) + \left(\frac{R_2}{R_1} + 1 \right) U_T \ln \left(N \frac{I_1}{I_2} \right), \quad (\text{A.36})$$

que pode ser reescrita como

$$V_{REF} = U_T \ln \left(\frac{U_T}{N I_S} \ln \left(N \frac{I_1}{I_2} \right) \right) + \left(\frac{R_2}{R_1} + 1 \right) U_T \ln \left(N \frac{I_1}{I_2} \right), \quad (\text{A.37})$$

onde, supondo que I_1 e I_2 são descorrelacionadas, pode-se aplicar (A.3) lembrando que $I_1 = M I_2$, obtendo

$$\sigma_{V_{REF}}^2 = \sigma_{V_{M1,2}}^2 = U_T^2 \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1 \right)^2 \left(\frac{\sigma_{I_1}}{\bar{I}_1} \right)^2 + \left(\frac{\sigma_{I_2}}{\bar{I}_2} \right)^2, \quad (\text{A.38})$$

onde, \bar{I}_1 e \bar{I}_2 são os valores médios destas correntes, iguais a I_D . Assim, o emprego de (A.16) e (A.17) resulta em:

$$\sigma_{V_{M1,2}}^2 = \frac{U_T^2}{2 W_2 L_2} \left(1 + \frac{1}{M} \right) \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1 \right)^2 \left[A_{\beta_P}^2 + \left(\frac{g m_2}{I_2} A_{V_{T0P}} \right)^2 \right]. \quad (\text{A.39})$$

A.7.3 - DESCASAMENTO ENTRE R_1 E R_2

O descasamento das resistências de R_1 e R_2 provoca um erro na tensão de referência, assim como o erro do valor absoluto de R_1 através da alteração da corrente I_2 . Para avaliar

o erro provocado, encontra-se a relação entre as resistências e a tensão de referência:

$$V_{REF} = U_T \ln \left(\frac{U_T \ln(MN)}{R_1} \frac{1}{MNI_S} \right) + \left(\frac{R_2}{R_1} + 1 \right) U_T \ln(MN). \quad (A.40)$$

Supondo as resistências R_1 e R_2 descorrelacionadas, a variância de R_2 pode ser expressa pelo uso de (A.28):

$$\sigma_{R_2}^2 = r \sigma_{R_1}^2, \quad (A.41)$$

onde $r = R_2/R_1$. Assim, o emprego de (A.3)) conduz a

$$\sigma_{V_{REF}}^2 = \sigma_{V_R}^2 = \frac{U_T^2 A_R^2}{2(WL)_{R_1}} [(1 + r \ln(MN))^2 + r \ln^2(MN)]. \quad (A.42)$$

A.7.4 - EFEITO DO AMPLIFICADOR OPERACIONAL

Os descasamentos no par diferencial e na carga ativa do AmpOp, da Fig. A.5, são responsáveis pela geração de um *offset* de entrada que aparecerá na tensão de referência com um ganho. Desta maneira, são dois passos a serem seguidos para encontrar o efeito do *offset* de entrada na tensão de referência: o primeiro é encontrar a expressão para o *offset* e o segundo avaliar seu efeito na saída do circuito de referência.

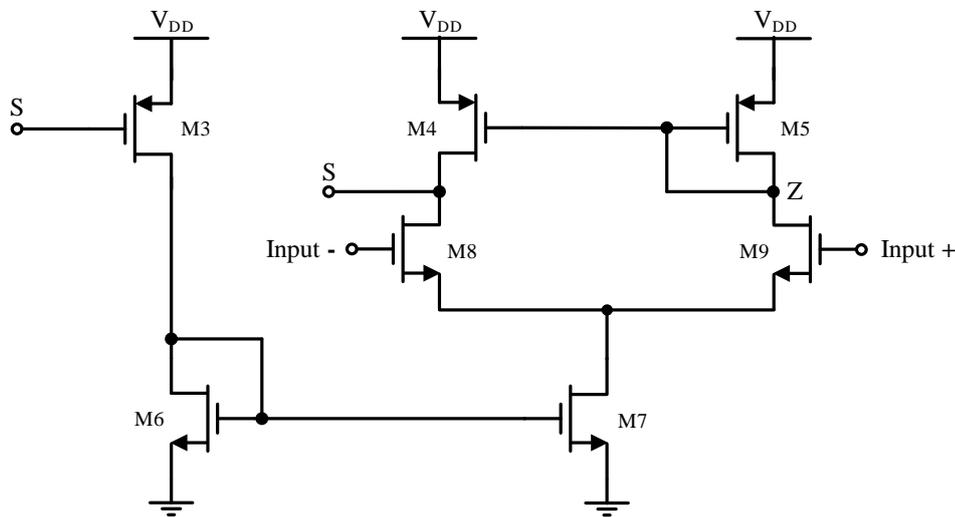


Figura A.5: Amplificador Operacional.

A expressão para a tensão de *offset* é dada pelo descasamento do par diferencial ($M8$ e $M9$) que já leva em consideração o descasamento das cargas ativas (transistores $M4$ e $M5$), e é expressa por (A.19), onde no terceiro termo, (A.16) é substituída pela fórmula correspondente ao descasamento da carga ativa. Desta forma, o *offset* devido ao descasa-

mento é dado por

$$\begin{aligned} \sigma_{V_{OS}}^2 = & \frac{1}{W_{8,9}L_{8,9}} \left[A_{V_{TN}}^2 + \left(\frac{I_{8,9}}{gm_{8,9}} A_{\beta_n} \right)^2 \right] \\ & + \frac{1}{W_{4,5}L_{4,5}} \left(\frac{I_{8,9}}{gm_{8,9}} \right)^2 \left[A_{\beta_P}^2 + \left(\frac{gm_{4,5}}{I_{4,5}} A_{V_{TOP}} \right)^2 \right], \end{aligned} \quad (\text{A.43})$$

onde $A_{V_{TN}}$ é empregado devido ao efeito de corpo existente no par diferencial. A expressão apresentada finaliza o primeiro passo. O passo seguinte é realizado através da análise do circuito da Fig. A.4, o que permite encontrar a expressão da tensão de referência

$$V_{REF} = U_T \ln \left(\frac{U_T \ln(MN) + V_{OS}}{R_1} \frac{1}{MN I_S} \right) + \left(\frac{R_2}{R_1} + 1 \right) (U_T \ln(MN) + V_{OS}), \quad (\text{A.44})$$

em que, se (A.3) for aplicada, resultará na equação final

$$\sigma_{V_{REF}}^2 = \sigma_{V_{AMPOP}}^2 = \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1 \right)^2 \sigma_{V_{OS}}^2. \quad (\text{A.45})$$

Desta forma, a análise dos descasamentos do circuito é concluída, podendo iniciar-se a fase de otimização encontrada no Capítulo III.

APÊNDICE B

ERRO DO COEFICIENTE DE TEMPERATURA APÓS A CALIBRAÇÃO

B.1 - DESCRIÇÃO

Este apêndice trata do erro de Coeficiente de Temperatura devido a calibração. Este erro ocorre, pois erros que não são PTAT são corrigidos pelo ajuste da razão de resistências R_2/R_1 , cujo resultado é PTAT, desta maneira, embora o valor à temperatura ambiente seja acertado o TC não o é. Ainda que todos estes erros fossem PTAT, a incapacidade de corrigir completamente a tensão de referência à temperatura ambiente impede que o coeficiente de temperatura possua erro nulo em relação à seu valor nominal.

Os principais erros no circuito deste projeto são

1. Descasamento do espelho de corrente M1-M2;
2. *Offset* do AmpOp;
3. Calibração incompleta. Estes são aproximadamente mensurados nas seções seguintes.

B.2 - MÉTODO DE ANÁLISE

Para realizar esta análise é necessário obter a expressão para a tensão de referência ideal $V_{REF_{IDEAL}}(T)$, sem erros, e a fórmula da tensão de referência compensada $V_{REF_{COMP}}(T)$, onde é inserido o erro a ser analisado e o fator de compensação referente à calibração dos resistores ΔC_R de forma que se possa encontrar o erro entre as duas funções

em função da temperatura

$$V_{ERRO}(T) = V_{REF_{COMP}}(T) - V_{REF_{IDEAL}}(T), \quad (B.1)$$

e a partir deste

$$TC_{ERRO} = \frac{V_{ERRO}(T_{MAX})}{V_{REF}(T_{REF})(T_{MAX} - T_{MIN})} \quad (B.2)$$

B.3 - ESPELHO DE CORRENTE M1-M2

Os erro do espelho M1-M2 é expresso pela razão $I_1(T)/I_2(T)$, onde os transistores por definição estão operando na saturação da inversão forte, e suas expressões são dadas por

$$I_1(T) = \frac{\beta_{MOS_1}(T_0)}{2n_{MOS}} \left(\frac{T}{T_{REF}} \right)^\gamma (V_{GS}(T) - V_{T0_1})^2 \quad (B.3)$$

$$I_2(T) = \frac{\beta_{MOS_2}(T_0)}{2n_{MOS}} \left(\frac{T}{T_{REF}} \right)^\gamma (V_{GS}(T) - V_{T0_2})^2, \quad (B.4)$$

onde a dependência de $\beta_{n_{MOS}}$ com a temperatura já foi explicitada pelo emprego de (III.51), e

$$V_{GS}(T) = V_{T0_2}(T) + \sqrt{\frac{2n_{MOS}I_2(T_{REF})}{\beta_{MOS_2}}} \left(\frac{T}{T_{REF}} \right)^{\frac{1-\gamma}{2}}, \quad (B.5)$$

encontrada a partir de (III.52), onde $V_{T0}(T)$ pode ser modelado simplificadaamente por [11]

$$V_{T0}(T) = V_{T0}(T_{REF}) + TC_{MOS_1}(T - T_{REF}). \quad (B.6)$$

O emprego das expressões apresentadas fornece

$$\frac{I_1}{I_2}(T) = \frac{\beta_{MOS_1}(T_{REF})}{\beta_{MOS_2}(T_{REF})} \left(1 + \frac{\Delta V_{T0}}{b_2} \left(\frac{T_{REF}}{T} \right)^{\frac{1-\gamma}{2}} \right)^2, \quad (B.7)$$

onde $\Delta V_{T0} = V_{T0_2} - V_{T0_1}$ e

$$b_2 = \sqrt{\frac{2n_{MOS}I_2(T_{REF})}{\beta_{MOS_2}}}. \quad (B.8)$$

Para encontrar o erro causado pelo descasamento das correntes, basta empregar o

método descrito na Seção B.2, onde

$$V_{REFIDEAL}(T) = U_T \ln \left(\frac{U_T \ln(MN)}{N I_S R_1(T)} \right) + C_R U_T \ln(MN) \quad (B.9)$$

$$V_{REFCOMP}(T) = U_T \ln \left(\frac{U_T \ln \left(\frac{I_1(T) N}{I_2(T) N} \right)}{N I_S R_1(T)} \right) + (C_R + \Delta C_R) U_T \ln \left(\frac{I_1(T) N}{I_2(T) N} \right), \quad (B.10)$$

com $C_R = 1 + R_2/R_1$. Igualar estas duas equações em $T = T_{REF}$ permite obter a constante de calibração

$$\Delta C_R = \frac{C_R \ln(MN) + \ln(\ln(MN)) - \ln \left(\ln \left(\frac{I_1(T_{REF}) N}{I_2(T_{REF}) N} \right) \right)}{\ln \left(\frac{I_1(T_{REF}) N}{I_2(T_{REF}) N} \right)} - C_R, \quad (B.11)$$

que após substituída na função (B.10) pode ser empregada para encontrar

$$V_{ERRO}(T) = U_T \left[\left(C_R \ln(MN) + \ln(\ln(MN)) - \ln \left(\ln \left(\frac{I_1(T_{REF}) N}{I_2(T_{REF}) N} \right) \right) \right) \frac{\ln \left(\frac{I_1(T) N}{I_2(T) N} \right)}{\ln \left(\frac{I_1(T_{REF}) N}{I_2(T_{REF}) N} \right)} - \left(C_R \ln(MN) + \ln(\ln(MN)) - \ln \left(\ln \left(\frac{I_1(T) N}{I_2(T) N} \right) \right) \right) \right], \quad (B.12)$$

que por sua vez pode ser aproximada por

$$V_{ERRO}(T) = U_T \left[\frac{C_R \ln(MN) + 1}{\ln(MN) + \frac{1}{M} \frac{I_1(T_{REF})}{I_2(T_{REF})} - 1} \left(\frac{1}{M} \frac{I_1(T)}{I_2(T)} - \frac{1}{M} \frac{I_1(T_{REF})}{I_2(T_{REF})} \right) \right]. \quad (B.13)$$

O erro no coeficiente de temperatura vai depender da variação da razão $I_1(T)/I_2(T)$, que por sua vez depende do descasamento de V_{T0} , β e até de $I_2(T_{REF})$ como pode ser visto em (B.7) e (B.8). No entanto, ao aplicar a fórmula (A.3) à (B.13), o efeito do descasamento de β_{MOS_1} , β_{MOS_2} e $I_2(T_{REF})$ mostra-se nulo, e, desta forma, fornece o seguinte resultado

$$\sigma_{TC_{VM1,2}} = \frac{2}{b_2} U_{T_{MAX}} \sigma_{\Delta V_{T0}} \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1 \right) \left(\left(\frac{T_{REF}}{T_{MAX}} \right)^{\frac{1-\gamma}{2}} - 1 \right) \quad (B.14)$$

$$\times \frac{1}{V_{REF}(T_{REF}) (T_{MAX} - T_{MIN})}, \quad (B.15)$$

onde

$$\sigma_{\Delta V_{T0}}^2 = \frac{1}{2} \left(1 + \frac{1}{M} \right) \frac{A_{V_{T0}}^2}{WL}. \quad (B.16)$$

O erro é avaliado em T_{MAX} , pois o maior desvio possível é obtido para valores típicos de desvio ΔV_{T0} . Um gráfico comparando $V_{REFIDEAL}$ e $V_{REFCOMP}$ quando $\Delta V_{T0} = 5mV$ é

apresentado na Fig. B.1

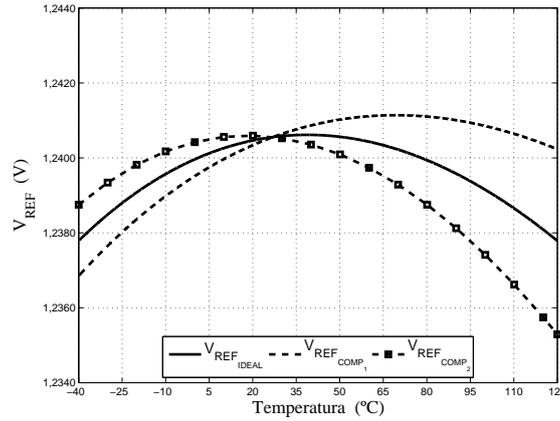


Figura B.1: Comparação de $V_{REF_{IDEAL}}$, com $V_{REF_{COMP_1}}$, para $\Delta V_{T0} = 5mV$, e $V_{REF_{COMP_2}}$, para $\Delta V_{T0} = -5mV$ considerado.

B.4 - Offset DO AMPOP

As observações realizadas no Capítulo III acerca do projeto do par diferencial permitem inferir que este estará polarizado em inversão fraca ou moderada. Neste caso, com o emprego das equações de inversão fraca obtidas de (III.11)

$$V_{G_8} = V_{T0_8}(T) + n_{MOS_N} V_S + n_{MOS_N} U_T \ln \left(\frac{I_4(T)}{I_{SPEC_8}(T)} \right), \quad (B.17)$$

$$V_{G_9} = V_{T0_9}(T) + n_{MOS_N} V_S + n_{MOS_N} U_T \ln \left(\frac{I_5(T)}{I_{SPEC_9}(T)} \right), \quad (B.18)$$

onde I_{SPEC} inclui $\beta_{n_{MOS_N}}$, é possível demonstrar que o *offset* obtido pode ser considerado constante com a temperatura.

O *offset* do par diferencial é dado por

$$V_{G_8} - V_{G_9} = \Delta V_{T0_{8,9}} + n_{MOS_N} U_T \ln \left(\frac{I_{SPEC_9}(T)}{I_{SPEC_8}(T)} \right) + n_{MOS_N} U_T \ln \left(\frac{I_4(T)}{I_5(T)} \right), \quad (B.19)$$

onde $I_4(T)/I_5(T)$ é a razão das correntes nos transistores M4 e M5 e é dada de forma equivalente a (B.7), assim

$$V_{OS} = V_{G_8} - V_{G_9} = \Delta V_{T0_{8,9}} + 2n_{MOS_N} \frac{U_{T_{REF}}}{T_{REF}} \frac{T}{b_4} \frac{\Delta V_{T0_{4,5}}}{T} \left(\frac{T_{REF}}{T} \right)^{\frac{1-\gamma}{2}} + n_{MOS_N} U_T \ln \left(\frac{\mu_9(T_{REF}) \mu_4(T_{REF})}{\mu_8(T_{REF}) \mu_5(T_{REF})} \right), \quad (B.20)$$

onde o $(1 - \gamma)/2$ é próximo de 1, uma vez que $\gamma = -1, 1$ para os transistores PMOS. Isto permite extrapolar o *offset* por

$$V_{OS} = \Delta V_{T0_{8,9}} + 2n_{MOS_N} U_{T_{REF}} \frac{\Delta V_{T0_{4,5}}}{b_4} + n_{MOS_N} U_T \ln \left(\frac{\mu_9(T_{REF}) \mu_4(T_{REF})}{\mu_8(T_{REF}) \mu_5(T_{REF})} \right), \quad (B.21)$$

desta maneira, é possível notar que os dois primeiros termos são independentes da temperatura, enquanto o último é PTAT. No entanto, como discutido na Seção A.4.2 a parte do descasamento de $\beta(\mu)$ é muito menor do que a de V_{T0} , o que torna a tensão de *offset* aproximadamente constante com a temperatura.

Para mensurar o efeito no TC após a calibração é preciso definir

$$V_{REF_{IDEAL}}(T) = U_T \ln \left(\frac{U_T \ln(MN)}{N I_S R_1(T)} \right) + C_R U_T \ln(MN) \quad (B.22)$$

$$V_{REF_{COMP}}(T) = U_T \ln \left(\frac{U_T \ln(MN) + V_{OS}}{N I_S R_1(T)} \right) + (C_R + \Delta C_R)(U_T \ln(MN) + V_{OS}), \quad (B.23)$$

onde fazendo $V_{REF_{COMP}}(T_{REF}) = V_{REF_{IDEAL}}(T_{REF})$ é possível encontrar aproximadamente

$$\Delta C_R = -V_{OS} \left(\frac{1}{\ln(MN) + C_R} \right) \frac{1}{V_{OS} + U_{T_{REF}} \ln(MN)}, \quad (B.24)$$

que substituída em (B.23) permite encontrar

$$V_{ERRO}(T) = V_{OS} \left(\frac{1}{\ln(MN)} + C_R \right) \left(1 - \frac{V_{OS} + U_T \ln(MN)}{V_{OS} + U_{T_{REF}} \ln(MN)} \right). \quad (B.25)$$

A aplicação de (A.3) à (B.25) fornece

$$\sigma_{TC_{V_{OPAMP}}} = \left(\frac{1}{\ln(MN)} + \frac{R_2}{R_1} + 1 \right) \sigma_{V_{OS}} \left(\frac{T_{MAX}}{T_{REF}} - 1 \right) \frac{1}{V_{REF}(T_{REF}) (T_{MAX} - T_{MIN})}, \quad (B.26)$$

avaliada em T_{MAX} , onde $\sigma_{V_{OS}}$ é dada por (A.43). Na realidade esta expressão é uma aproximação quando $\sigma_{V_{OS}}$ assume valores pequenos, como pode ser visto na Fig. B.2 para $V_{OS} = 1mV$. Para valores grandes de *offset* (B.26) deixa de valer.

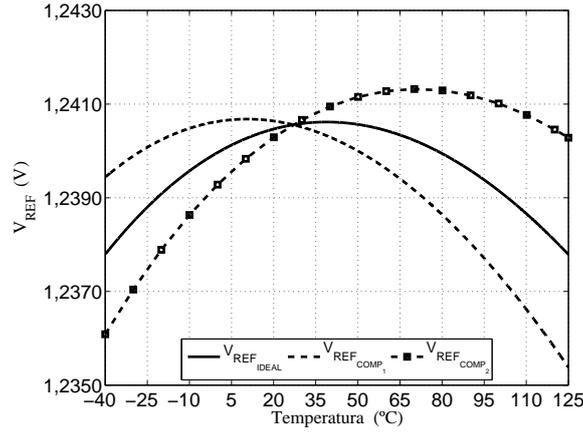


Figura B.2: Comparação de $V_{REF_{IDEAL}}$, com $V_{REF_{COMP_1}}$, quando $V_{OS} = 1mV$, e $V_{REF_{COMP_2}}$, quando $V_{OS} = -1mV$ considerado.

B.5 - CALIBRAÇÃO INCOMPLETA

A situação em que a calibração não é totalmente realizada pode ser expressa da seguinte forma:

$$V_{REF_{IDEAL}}(T) = V_{EB_2} + C_R U_T \ln(MN) \quad (B.27)$$

$$V_{REF_{COMP}}(T) = V_{EB_2} + (C_R + \Delta C_R) U_T \ln(MN) + BT, \quad (B.28)$$

onde BT refere-se ao erro PTAT, que se fosse todo compensado resultaria em um erro de TC nulo. No entanto, na compensação incompleta

$$V_{REF_{COMP}} - V_{REF_{IDEAL}} = \xi \frac{V_{MIN}}{2}, \quad (B.29)$$

como descrito na Seção III.6.1, onde ξ foi incluído de forma a considerar apenas a calibração especificada. Da solução desta equação é obtido

$$\Delta C_R = \frac{\xi \frac{V_{MIN}}{2} - B T_{REF}}{U_{T_{REF}} \ln(MN)}, \quad (B.30)$$

que substituído em (B.23) permite encontrar

$$V_{ERRO}(T) = \frac{T}{T_{REF}} \xi \frac{V_{MIN}}{2} - B(T - T_{REF}), \quad (B.31)$$

Como B é um coeficiente variável, dependente do termo a ser compensado, que pode assumir valores positivos ou negativos e é a priori desconhecido, uma boa aproximação é

utilizar apenas o termo dependente de V_{MIN}

$$V_{ERRO}(T) \approx \frac{T}{T_{REF}} \xi \frac{V_{MIN}}{2} - B(T - T_{REF}), \quad (B.32)$$

que pode ser por sua vez empregado subtraído do erro em $T = 300K$ para fornecer uma estimativa do erro de TC dado por

$$\sigma_{TC_{V_{IMCOMPLETA}}} = \xi \frac{V_{MIN}}{2} \left(\frac{T_{MAX}}{T_{REF}} - 1 \right) \frac{1}{V_{REF}(T_{REF})(T_{MAX} - T_{MIN})}, \quad (B.33)$$

O efeito deste erro para um V_{MIN} correspondente a uma imprecisão desejada de 0,2% pode ser visto na Fig. B.3.

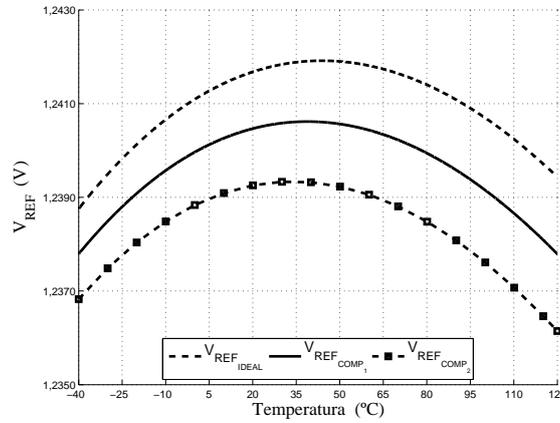


Figura B.3: Comparação de $V_{REF_{IDEAL}}$, com $V_{REF_{COMP1}}$, quando $V_{MIN} > 0V$, e $V_{REF_{COMP2}}$, quando $V_{MIN} < 0V$ considerado.

B.6 - ERRO TOTAL DE TC

O erro total de TC pode ser encontrado admitindo que os erros estudados anteriormente são descorrelacionados, desta maneira

$$\sigma_{TC}^2 = \sigma_{TC_{V_{M1,2}}}^2 + \sigma_{TC_{V_{OPAMP}}}^2 + \sigma_{TC_{V_{IMCOMPLETA}}}^2, \quad (B.34)$$

que pode ser empregado na especificação de um ΔTC_{MAX} para uso no problema de otimização.

ESTABILIDADE DO CIRCUITO EMPREGADO

C.1 - DESCRIÇÃO

Este apêndice aborda a estabilidade do circuito de *bandgap* empregado. As capacitâncias parasitas dos transistores M1 e M2 juntamente com a resposta em frequência do AmpOp e a realimentação de sua polarização, constituída pelos transistores M1, M2, M3, M6 e M7, podem fazer com que o BGR se torne instável, como ocorreu nas primeiras simulações realizadas neste projeto. A instabilidade pode ser evitada pelo controle das dimensões dos dispositivos para controle dos polos e zeros ou/e pela inclusão de um capacitor de compensação. De forma a manter a área do circuito implementado otimizada, o controle dos principais polos e zeros da malha fechada do circuito também foi incluído na otimização.

A seguir será apresentado um modelo de pequenos sinais e a análise em malha aberta do circuito de BGR.

C.2 - MODELO DE PEQUENOS SINAIS

Primeiramente, é necessário possuir um modelo de pequenos sinais capaz de caracterizar bem o transistor para solução do problema. Para isto recorre-se novamente ao modelo EKV [26, 39, 40], de onde pode ser derivado o esquema apresentado na Fig. C.1 (a). Em comparação aos modelos tradicionalmente estudados, este possui duas transcapacitâncias, C_m e C_{ms} , e uma transcondutância $gm_s = n_{MOS} gm$.

Aproximações na região de saturação direta da inversão fraca e forte dos valores

das capacitâncias e trans-capacitâncias são encontradas nas tabelas C.1 e C.2, respectivamente, e podem ser empregadas para tentar fazer uma maior simplificação do esquema C.1 (a). Para isto, compara-se C_{gb} e C_{sb} à C_{gs} , uma vez que estas capacitâncias ou não interferirão ou aparecerão somadas à última nas possíveis configurações de amplificador, com exceção da dreno-comum, que não é empregada no circuito em questão. Como n_{MOS} está sempre próximo de 1, o capacitor C_{sb} será sempre uma parte de C_{gs} , geralmente menor que 30%, logo C_{sb} é desprezado do esquema. Embora C_{gb} seja pequeno, em inversão fraca ele frequentemente será comparável à C_{gs} , pois $IC \sim 0,1$, e desta forma C_{gb} não pode ser desprezado. Adicionalmente, como na maioria dos casos não existe efeito de corpo e n_{MOS} é próximo da unidade, pode-se também aproximar g_{m_s} por g_m e C_{m_s} por C_m . Assim, o modelo de pequenos sinais empregado neste trabalho foi simplificado ao esquema apresentado na Fig. C.1 (b), onde r_0 é expresso por

$$r_0 = \frac{1}{\lambda I_D} \approx \frac{C_1 L + C_2}{I_D}, \quad (C.1)$$

e as constantes C_1 e C_2 são diferentes para inversão forte e fraca.

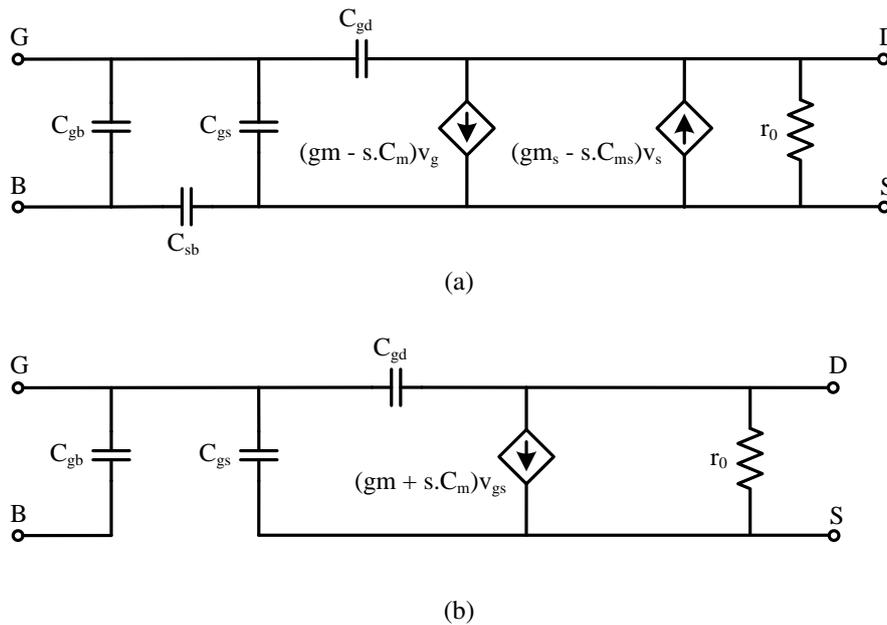


Figura C.1: Modelo de pequenos sinais no EKV. (a) Modelo de pequenos sinais. (b) Modelo de pequenos sinais simplificado.

C.3 - ANÁLISE DA ESTABILIDADE

A análise de estabilidade consiste em avaliar o ganho de malha aberta βA do circuito considerando o modelo de pequenos sinais. Para tal o circuito da Fig. C.2 é empregado,

Tabela C.1: Capacitâncias no modelo EKV para transistores em saturação direta.

Capacitância	Inversão Fraca	Inversão Forte
$C_{gs}/(C_{ox} W L)$	IC	$\frac{2}{3}$
C_{gd}/C_{ox}	$W L_{OV}$	
$C_{gb}/(C_{ox} W L)$	$\frac{n_{MOS}-1}{n_{MOS}}$	$\frac{n_{MOS}-1}{3n_{MOS}}$
$C_{sb}/(C_{ox} W L)$	$(n_{MOS} - 1) C_{gs}/(C_{ox} W L)$	

Tabela C.2: Trans-capacitâncias no modelo EKV para transistores em saturação direta.

Transcapacitância	Inversão Fraca	Inversão Forte
$C_m/(C_{ox} W L)$	$\frac{IC}{3}$	$\frac{4}{15}$
$C_{ms}/(C_{ox} W L)$	$n_{MOS} \frac{IC}{3}$	$n_{MOS} \frac{4}{15}$

onde é considerado que a variação de tensão e as capacitâncias dos transistores bipolares são muito pequenas e estes são desprezados.

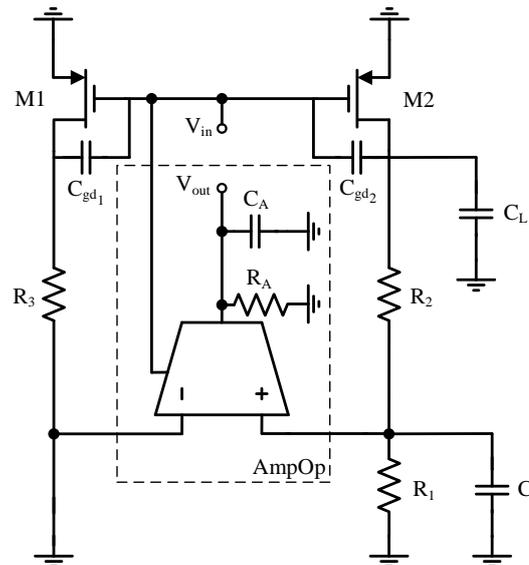


Figura C.2: Circuito para análise da estabilidade.

Os capacitores C_A e C_I são uma combinação de capacitâncias apresentadas posteriormente e C_L é uma capacitância que representa a carga capacitiva do circuito, neste caso a capacitância de entrada do *buffer* utilizado para teste.

Note que a realimentação da polarização foi explicitada e interrompida uma vez que ela afeta a estabilidade. Desta maneira, o ganho da malha passa a ser

$$G(s) = \beta(s)A_1(s) + A_2(s), \tag{C.2}$$

onde $A_1(s)$ é a função de transferência do AmpOp, $\beta(s)$ é a função de transferência da realimentação principal e $A_2(s)$ é a função de transferência da realimentação de polarização para a saída V_{out} .

O problema da função de transferência $G(s)$ é dividido no cálculo das três funções individuais, onde se encontram o ganho DC, os zeros e os polos aproximados.

C.3.1 - GANHO A_1 DO AMPLIFICADOR OPERACIONAL

O circuito completo do amplificador operacional é apresentado na Fig. C.3, onde

$$C_A = C_C + (C_{gs1} + C_{gb1}) + (C_{gs2} + C_{gb2}) + (C_{gs3} + C_{gb3}) + C_{gd1}(1 + gm_1 R_3) + C_{gd2}(1 + gm_2(R_1 + R_2)),$$

$$C_E = 2(C_{gs4,5} + C_{gb4,5}),$$

$$R_A = r_{08,9} // r_{04,5}$$

considerando o efeito Miller do circuito externo e $r_{04,5} // r_{08,9} \gg 1/gm_{4,5}$.

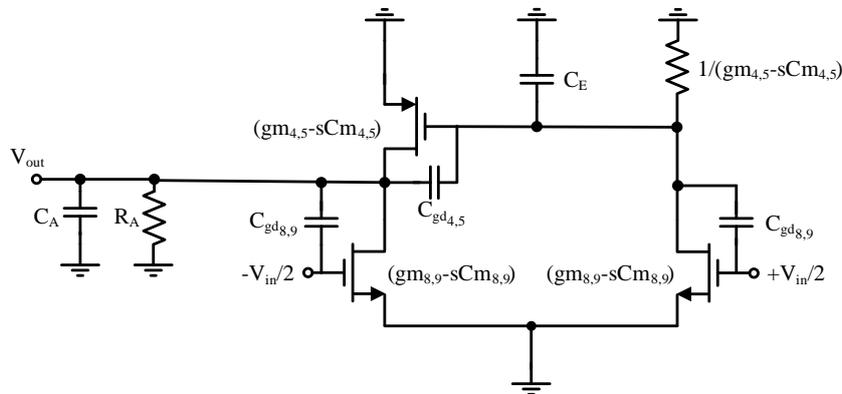


Figura C.3: Circuito empregado para obter o ganho $A_1(s)$.

A partir do circuito apresentado se pode escrever o sistema nodal e calcular o ganho V_{out}/V_{in} facilmente através do uso do *software* Matlab ou outro *software* matemático. Este cálculo permite determinar o ganho DC

$$A_1(0) = gm_{8,9} R_A, \tag{C.3}$$

e os zeros

$$Z_1 = + \frac{gm_{8,9}}{C_{gd_{8,9}} + C_{m_{8,9}}}, \quad (C.4)$$

$$Z_2 = - 2 \frac{gm_{4,5}}{C_E + C_{gd_{8,9}} - 2C_{m_{4,5}}}. \quad (C.5)$$

No entanto, as expressões dos polos ficam demasiadamente complexas e uma melhor solução é calcular simplificadamente os polos associados a cada nó através das constantes RC . Para realizar isto desprezam-se as trans-capacitâncias C_m , uma vez que são pequenas se comparadas às capacitâncias dos nós e afetam pouco os polos, o que já não é verdade no caso dos zeros. Considera-se também o efeito Miller das capacitâncias C_{gd} , redefinindo C_A e C_E como

$$\begin{aligned} C'_A &= C_C + (C_{gs_1} + C_{gb_1}) + (C_{gs_2} + C_{gb_2}) + (C_{gs_3} + C_{gb_3}) + C_{gd_1}(1 + gm_1 R_3) + C_{gd_{8,9}} \\ &\quad + C_{gd_2}(1 + gm_2(R_1 + R_2)), \\ C'_E &= 2(C_{gs_{4,5}} + C_{gb_{4,5}}) + C_{gd_{8,9}}, \end{aligned} \quad (C.6)$$

e os polos do amplificador tornam-se

$$P_1 = - \frac{1}{C'_A R_A}, \quad (C.7)$$

$$P_2 = - \frac{gm_{4,5}}{C'_E}. \quad (C.8)$$

Desta maneira, a função de transferência é expressa como

$$A_1(s) = gm_{8,9} R_A \frac{(s - Z_1)(s - Z_2)}{(s - P_1)(s - P_2)}. \quad (C.9)$$

C.3.2 - GANHO β DA REALIMENTAÇÃO

O transistor M1 e o resistor R_3 podem ser eliminados para realizar o cálculo da função de transferência da rede beta. Assim, o circuito a ser utilizado no cálculo é apresentado na Fig. C.4, onde C_I é dado por

$$C_I = C_{gs_{8,9}} + C_{gb_{8,9}} + C_{gd_{8,9}} \left(1 + \frac{gm_{8,9}}{gm_{4,5}} \right).$$

O cálculo do ganho DC, dos polos e zeros da rede beta seguem o mesmo princípio

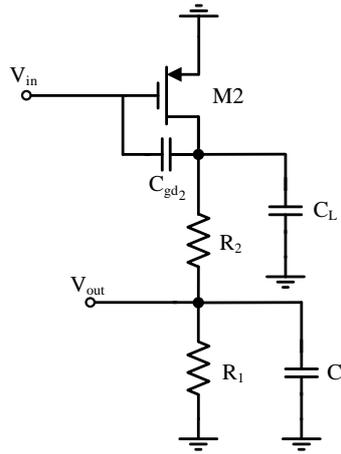


Figura C.4: Circuito da rede beta utilizada no cômputo de $\beta(s)$.

mostrado para o ganho do amplificador. Assim,

$$\beta(0) = -gm_2 R_1, \tag{C.10}$$

$$Z_3 = + \frac{gm_2}{C_{gd2} + Cm_2}, \tag{C.11}$$

$$P_3 = - \frac{1}{(R_2 + R_1)(C_L + C_{gd2}(1 + (gm_2(R_1 + R_2))^{-1}))}, \tag{C.12}$$

$$P_4 = - \frac{1}{R_1 C_1}, \tag{C.13}$$

e a função de transferência dada por

$$\beta(s) = -gm_2 R_1 \frac{(s - Z_3)}{(s - P_3)(s - P_4)}. \tag{C.14}$$

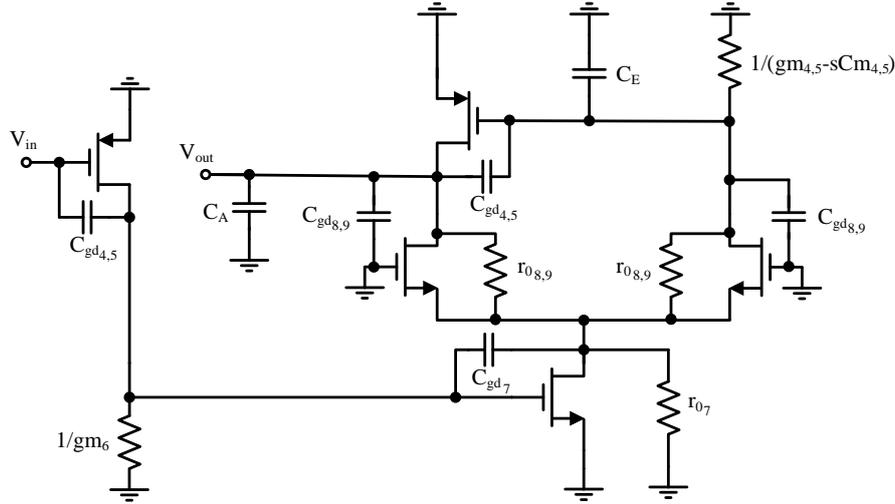
C.3.3 - GANHO A_2 DO AMPLIFICADOR OPERACIONAL

O circuito de pequenos sinais correspondente à realimentação provocada pela auto-polarização do AmpOp é apresentado na Fig. C.5.

As expressões dos zeros encontrados pela solução das equações nodais do circuito ficam muito complexas devido à presença de C_{gd7} , por isto, foi considerado que este capacitor é um múltiplo de $C_{gd4,5}$ e o efeito de C_{m6} e C_{m7} foram desprezados. Desta maneira, seguindo o método apresentado anteriormente o ganho DC de $A_2(s)$ é

$$A_2(0) \approx \frac{gm_7}{2gm_6} \left(1 + \frac{r_{08,9}}{r_{04,5}} \right)^{-1} \sim 1, \tag{C.15}$$

uma vez que $gm_7 = 2gm_6$ e $r_{08,9} \gg r_{04,5}$, pois o comprimento de canal do par diferencial


 Figura C.5: Circuito empregado para obter o ganho $A_2(s)$.

é bem menor que o do espelho de corrente M1-M2, devido à suas regiões de operação. Da mesma maneira os zeros são

$$Z_4 = -\frac{1}{r_{0,8,9}(C_{gd4,5} + C_{gd8,9})}, \quad (C.16)$$

$$Z_5 = +\frac{gm_7}{C_{gd7}}, \quad (C.17)$$

$$Z_6 \approx +\frac{gm_{8,9}}{C_{m8,9}} \approx Z_1, \quad (C.18)$$

$$Z_7 = +\frac{gm_{4,5}}{C_{gd4,5} + C_{m4,5}} = Z_3, \quad (C.19)$$

tendo em mente que $C_{gd3} = C_{gd4,5}$, e os polos são dados por

$$P_5 = -\frac{1}{4 gm_{8,9} C_{gs8,9}}, \quad (C.20)$$

$$P_6 = -\frac{1}{gm_6(C_{gd4,5} + C_{gd7})}, \quad (C.21)$$

$$P_7 = -\frac{1}{C_A' R_A} = P_1, \quad (C.22)$$

$$P_8 = -\frac{gm_{4,5}}{C_E'} = P_2, \quad (C.23)$$

onde P_6 foi desconsiderado por ser bem maior que os outros. Assim, a expressão geral de $A_2(s)$ é

$$A_2(s) = \frac{(s - Z_1)(s - Z_3)(s - Z_4)(s - Z_5)}{(s - P_1)(s - P_2)(s - P_5)}, \quad (C.24)$$

e (C.2) pode ser escrita como

$$G(s) = -gm_{8,9}gm_2R_AR_1 \frac{(s-Z_1)(s-Z_3)}{(s-P_1)(s-P_2)(s-P_3)(s-P_4)(s-P_5)} \quad (C.25)$$

$$\times \left((s-Z_2)(s-P_5) - \frac{(s-Z_4)(s-Z_5)(s-P_3)(s-P_4)}{gm_{8,9}gm_2R_AR_1} \right), \quad (C.26)$$

a partir de (C.9),(C.24) e (C.14). É necessário computar o termo entre parênteses em (C.26) para obter os zeros resultantes, o que não é uma opção boa a ser implementada no algoritmo devido à complexidade. Mas após uma observação da equação é possível notar que o segundo termo entre parênteses encontra-se dividido pelo ganho $\beta(0)A_1(0)$, que em geral é maior que 500. Uma opção é desprezar este termo, o que significa que a realimentação da polarização do amplificador é ignorada. Este método produz um bom resultado aproximado, mas há uma segunda opção para tentar considerar o efeito dos zeros desprezados, que é desprezando o termo entre parênteses. Desta maneira, se durante a simulação do circuito a MF não for satisfatória empregando uma forma, pode-se tentar com a outra.

O objetivo de conhecer os polos e zeros aproximados é poder estimar a margem de fase para ser possível especificá-la no projeto. Desta forma,

$$MF = \pi - \sum \tan^{-1} \left(\frac{\omega_0}{P_E} \right) - \sum \tan^{-1} \left(\frac{\omega_0}{Z_D} \right) + \sum \tan^{-1} \left(\frac{\omega_0}{Z_E} \right), \quad (C.27)$$

onde P_E , Z_D e Z_E são respectivamente, os módulos dos polos do lado esquerdo, zeros do lado direito e zeros do lado esquerdo, e ω_0 é a frequência em que o ganho é 0 dB. Esta frequência pode ser encontrada, notando que P_1 será o polo dominante e admitindo que não existe nenhum outro polo ou zero entre sua frequência e à de 0 dB, assim

$$\omega_0 = \beta(0)A_1(0)P_1, \quad (C.28)$$

que junto à (C.27) fornece a restrição

$$MF_{ESPEC} < \left(\frac{\pi}{180^\circ} \right) 90^\circ - \sum_{i=2}^4 \tan^{-1} \left(\frac{A_0 P_1}{P_i} \right) - SELECT_POLO \tan^{-1} \left(\frac{A_0 P_1}{P_5} \right) \\ - \sum_{i=1,3} \tan^{-1} \left(\frac{A_0 P_1}{Z_i} \right) + SELECT_ZERO \tan^{-1} \left(\frac{A_0 P_1}{Z_2} \right), \quad (C.29)$$

onde MF_{ESPEC} é a margem de fase especificada em graus e $SELECT_POLO$ e $SELECT_ZERO$, assumem os valores 0 ou 1, de acordo com o método descrito anteriormente.