



## CARACTERIZAÇÃO DE TRANSISTORES CMOS EM TEMPERATURA CRIOGÊNICA A 77K

Germano de Souza Fonseca

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Antonio Carneiro de Mesquita Filho

Rio de Janeiro  
Março de 2015

CARACTERIZAÇÃO DE TRANSISTORES CMOS EM TEMPERATURA  
CRIOGÊNICA A 77K

Germano de Souza Fonseca

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO  
LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE)  
DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS  
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM  
CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

---

Prof. Antonio Carneiro de Mesquita Filho, Dr.d'Etat

---

Prof. Leonardo Bruno de Sá, D.Sc.

---

Prof. Lester de Abreu Faria, D.Sc.

RIO DE JANEIRO, RJ – BRASIL  
MARÇO DE 2015

Fonseca, Germano de Souza

Caracterização de Transistores CMOS em Temperatura Criogênica a 77K/Germano de Souza Fonseca. – Rio de Janeiro: UFRJ/COPPE, 2015.

XX, 85 p.: il.; 29, 7cm.

Orientador: Antonio Carneiro de Mesquita Filho

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2015.

Referências Bibliográficas: p. 57 – 64.

1. microeletrônica. 2. transistores MOS. 3. operação criogênica. I. Mesquita Filho, Antonio Carneiro de. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

# Agradecimentos

Primeiramente, gostaria de agradecer a meus pais, Cesar e Eliete, por tudo. Sem eles essa caminhada não seria possível.

Ao professor Mesquita pelas horas de seu “ócio criativo” dedicadas à orientação deste aluno desorientado. Mas principalmente pela amizade, paciência e ensinamentos passados. Estes, acima de tudo, foram ensinamentos para a vida.

Ao Major Leonardo Bruno de Sá pela oportunidade dada para fazer este trabalho e pelo apoio prestado.

Ao Centro Tecnológico do Exército pela disponibilidade dos laboratórios e materiais e pelo auxílio nos experimentos realizados.

À professora Carla Liberal Pagliari pelas orientações e ajuda desde a graduação.

Ao Instituto Militar de Engenharia e ao técnico Victor pela ajuda com a LPKF na confecção de placas de circuito impresso.

Aos meus amigos Leonardo Pinho e Diogo Pinheiro e a meu primo Enrico Fonseca pela amizade, os momentos de descontração, companheirismo, incentivos, por acreditarem nas minhas idéias e, principalmente, pelos ouvidos “emprestados”.

Ao companheiro da COPPE/UFRJ, Eduardo Lopes, que junto enfrentou as dificuldades desse curso. E aos companheiros de laboratório Ricardo França, Leandro Dornelles e Felipe Senra, pelas trocas de experiências e bate-papo nas horas de almoço.

E, finalmente, à Daniele Cristina pela assessoria administrativa prestada. Sem sua ajuda o “SIGA” já teria me desligado deste curso.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

## CARACTERIZAÇÃO DE TRANSISTORES CMOS EM TEMPERATURA CRIOGÊNICA A 77K

Germano de Souza Fonseca

Março/2015

Orientador: Antonio Carneiro de Mesquita Filho

Programa: Engenharia Elétrica

Os circuitos destinados à operação em temperaturas criogênicas, tais como os sistemas de visão termal refrigerados, requerem modelos de simulação abrangendo faixas de temperaturas de operação além das definidas pelas normas militares para circuitos de propósito geral. A caracterização dos componentes de circuitos CMOS, transistores, em 77K é investigada neste trabalho. Os efeitos não lineares específicos da operação em temperaturas criogênicas e as modificações induzidas nos modelos utilizados em temperaturas convencionais são estudados. A dependência com a temperatura dos efeitos de canal curto e estreito comumente observados também é estudada. Na extração de parâmetros é utilizado o modelo EKV2.6. Os procedimentos para extração dos principais parâmetros do modelo, *tensão de limiar*, *efeito de corpo*, *potencial de Fermi* e *fator de transcondutância*, que permitam estender a simulação à temperatura de 77K são apresentados e discutidos. Os principais parâmetros do modelo foram extraídos em temperatura ambiente e criogênica nas estruturas de teste, utilizando os procedimentos propostos na literatura. Os resultados obtidos no melhor dos casos apresentaram um desvio da ordem de 1%, como no caso da *tensão de limiar*. A partir dos parâmetros extraídos foi possível calcular a espessura do óxido de porta com desvio de 4%.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

## CHARACTERIZATION OF CMOS TRANSISTORS AT CRYOGENIC TEMPERATURES AT 77K

Germano de Souza Fonseca

March/2015

Advisor: Antonio Carneiro de Mesquita Filho

Department: Electrical Engineering

The circuits intended to operate at cryogenic temperatures, such as cooled thermal vision systems, require simulation models that include temperatures beyond the military standards for general purpose circuits. The characterization of CMOS circuits components, transistors, at 77K is investigated in this work. The specific non-linear effects of the operation at cryogenic temperatures and the induced modifications in the models appropriate to the military standards temperature ranges are studied. Also, the temperature dependency of the short and narrow channel effects are studied. The model used in the parameter extraction is EKV2.6. The extraction procedures of the main parameters, *threshold voltage*, *body effect*, *Fermi potential* and *transconductance factor*, that allow the extension of the simulations to the cryogenic temperatures, are presented and discussed. The main model parameters are extracted at cryogenic and military standards temperature range in a set of test structures, based on the procedures proposed in the literature. The results showed at the best case a deviation of 1%, as in the case of *threshold voltage*. From the extracted parameters was possible to calculate the gate oxide thickness with deviation of 4%.

# Sumário

<b>Lista de Figuras</b>	<b>ix</b>
<b>Lista de Tabelas</b>	<b>xiii</b>
<b>Lista de Símbolos</b>	<b>xiv</b>
<b>Lista de Abreviaturas</b>	<b>xix</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Objetivo do Trabalho . . . . .	3
1.2 Estrutura da Dissertação . . . . .	3
<b>2 Operação e Modelo de Transistores MOS em Temperaturas Criogênicas</b>	<b>5</b>
2.1 Estrutura Básica de um Transistor MOS . . . . .	7
2.2 Modelo EKV2.6 . . . . .	7
2.2.1 Tensão de Limiar . . . . .	10
2.2.2 Tensão de <i>Pinch-off</i> . . . . .	12
2.2.3 Corrente de Dreno . . . . .	13
2.2.4 Transcondutância . . . . .	14
2.2.5 Mobilidade . . . . .	15
2.2.6 Inclinação de Sub-limiar . . . . .	19
2.3 Ruído . . . . .	20
2.3.1 Ruído de Baixa Frequência . . . . .	20
2.4 Efeitos Não Lineares em Temperaturas Criogênicas . . . . .	22
2.4.1 Efeito <i>Kink</i> . . . . .	22
2.4.2 Transcondutância Negativa . . . . .	25
2.5 Efeitos de Canal Curto . . . . .	26
2.5.1 Compartilhamento de Cargas . . . . .	26
2.5.2 Redução de Barreira Induzida pelo Dreno . . . . .	27
2.5.3 <i>Punchthrough</i> . . . . .	29
2.5.4 Efeito de Canal Curto Reverso . . . . .	30
2.5.5 Corrente de Fuga de Dreno Induzida pela Porta . . . . .	32

<b>3</b>	<b>Extração de Parâmetros do Modelo EKV em 77K</b>	<b>34</b>
3.1	Estruturas de teste em tecnologia 0,35 $\mu\text{m}$ . . . . .	37
3.1.1	Matriz de transistores . . . . .	37
3.2	Extração dos Parâmetros . . . . .	39
3.2.1	Tensão de Limiar $V_{T0}$ . . . . .	43
3.2.2	Efeito de Corpo $\gamma$ e Potencial de Fermi do Substrato $\Phi_F$ . . . . .	44
3.2.3	Fator de Transcondutância $k'$ . . . . .	45
3.2.4	Fator de ponderação entre as cargas $\eta$ . . . . .	46
3.2.5	Fator de inclinação $n_0$ . . . . .	47
3.3	Casamento entre Transistores Operando em 77K . . . . .	48
<b>4</b>	<b>Resultados</b>	<b>49</b>
<b>5</b>	<b>Conclusões</b>	<b>55</b>
5.1	Trabalhos Futuros . . . . .	55
	<b>Referências Bibliográficas</b>	<b>57</b>
<b>A</b>	<b>Gráficos das Medidas Efetuadas</b>	<b>65</b>
A.1	Método da Inversão Moderada . . . . .	65
A.2	Transcondutância . . . . .	70
A.3	Característica do Transistor . . . . .	76
A.4	Capacitância de Porta . . . . .	79
<b>B</b>	<b>Descrição do CI com as Estruturas de Teste</b>	<b>80</b>
B.1	Relação dos transistores disponíveis no CI do <i>run</i> A35C6_7 . . . . .	80
B.2	Terminais do CI APS II - <i>run</i> A35C6_7 . . . . .	81

# Lista de Figuras

2.1	Estrutura Básica dos Transistores MOS. (a) Transistor NMOS. (b) Transistor PMOS. . . . .	7
2.2	Nível de Fermi para o Silício em função da temperatura e da concentração de impurezas e banda proibida em função da temperatura (adaptado de [25]).	9
2.3	Concentração de portadores em função da temperatura para uma amostra de Silício com concentração de impurezas de $10^{15} \text{ cm}^{-3}$ (adaptado de [25]).	9
2.4	Concentração intrínseca de portadores do Silício (Si) e do Arseneto de Gálio (GaAs) em função da temperatura (adaptado de [25]). . . . .	10
2.5	Variação da tensão de limiar para diferentes métodos de extração para medidas realizadas em 77K em função do comprimento da porta. [ $\Delta V_{T0} = V_{T0} - V_{T0}(L = 20\mu\text{m})$ ](adaptado de [3]) . . . . .	11
2.6	Variação da Tensão de Limiar $V_{T0}$ com a temperatura (adaptado de [2]). . . . .	12
2.7	Curva da mobilidade dos portadores em função campo elétrico transversal efetivo indicando, qualitativamente, as regiões onde cada tipo de mecanismo predomina (adaptado de [34]). . . . .	16
2.8	Representação da DEP do ruído <i>flicker</i> total na região linear, normalizada pelo quadrado da corrente de dreno, pelo coeficiente de inversão. Estão destacadas em tracejado as diversas contribuições para o ruído (adaptado de [30]). . . . .	21
2.9	Efeito <i>Kink</i> (adaptado de [2]). . . . .	23
2.10	Transistor com LDD. (a) NMOS. (b) PMOS. . . . .	23
2.11	Curvas experimentais da transcondutância $g_m$ . (a) Curva padrão da transcondutância para um transistor com $L = 0,6\mu\text{m}$ $W = 10\mu\text{m}$ em 300K e 77K. (b) Transcondutância normalizada, pela transcondutância máxima sem LKE, modificada pelo LKE para um transistor com $L = W = 10\mu\text{m}$ em 4.2K e em 300K com resistor de $10\text{G}\Omega$ conectado ao substrato (adaptado de [50]). . . . .	24
2.12	Esquemático das ligações do transistor NMOS para a reprodução do LKE em temperatura ambiente. . . . .	25

2.13	Compartilhamento de cargas sob o canal entre o terminal de porta e os terminais de dreno e fonte (adaptado de [25]). . . . .	26
2.14	Regiões de depleção de dreno e fonte para o efeito de <i>punchthrough</i> . (a) <i>Punchthrough</i> de superfície. (b) <i>Punchthrough</i> de substrato (adaptado de [10]). . . . .	29
2.15	Efeito do <i>punchthrough</i> na curva $I_D \times V_G$ para vários comprimentos de canal $L$ (adaptado de [25]). . . . .	30
2.16	Curva típica $\log I_D \times V_G$ para um transistor de $W = 50\mu m$ e $L = 0,9\mu m$ nas temperaturas de 300K, 250K, 200K, 150K e 100K (adaptado de [29]).	30
2.17	Característica de $\Delta V_{T0}(L)$ a partir do modelo da equação (2.47) com parâmetros $N_{sub} = 10^{17} cm^{-3}$ , $N_0 = 2 \times 10^{17} cm^{-3}$ , $y_0 = 0,2\mu m$ e $\beta = 2$ para $T = 300K$ (adaptado de [54]). . . . .	31
3.1	Diagrama em blocos de extração de parâmetros CC do modelo EKV2.6 (adaptado de [58]). . . . .	36
3.2	Esquemático da matriz de transistores do CI projetado por ROCHA JÚNIOR [27], onde o pino 36 corresponde a $V_{dd}$ . . . . .	37
3.3	Leiaute do CI utilizado para testes projetado por ROCHA JÚNIOR [27]. . . . .	38
3.4	Leiaute da matriz de transistores do CI projetado por ROCHA JÚNIOR [27]. . . . .	39
3.5	Curva típica da capacitância de porta $C_{GG}$ normalizada pela capacitância do óxido $C_{OX}$ em função do potencial de porta $V_G$ (adaptado de [30]). . . . .	40
3.6	Curva da capacitância de porta $C_{GG}$ em função do potencial de porta $V_G$ para um transistor com $L = 25\mu m$ e $W = 25\mu m$ . (a) Observa-se a influência da proteção ESD do <i>pad</i> , na faixa de tensões negativas. (b) Excluída a faixa de valores de $V_G$ correspondente a condução direta do diodo de proteção e ainda sob influência das capacitâncias parasitas. . . . .	41
3.7	Esquemáticos para determinação da curva $V_P \times V_G$ do método da inversão moderada. (a) Transistor tipo N. (b) Transistor tipo P. . . . .	42
3.8	Esquemáticos para determinação da corrente específica através da curva $I_D \times V_S$ . (a) Transistor tipo N. (b) Transistor tipo P. . . . .	42
3.9	Curva $\sqrt{I_D} \times V_S$ e $I_S \times V_S$ típica para um transistor NMOS de grande geometria. . . . .	43
3.10	Curva típica de $V_P \times V_G$ destacando-se o valor de $V_{T0} = 0,4326V$ . . . . .	44
3.11	Curva $I_D \times V_G$ para o método da corrente constante (adaptado de [26]). . . . .	45
3.12	Esquemáticos para extração da curva $I_D \times V_G$ na região linear. (a) Transistor tipo N. (b) Transistor tipo P. . . . .	46
3.13	Característica $dC_{GG}/dV_{GB}$ e o parâmetro $n_0$ (adaptado de [57]). . . . .	47
3.14	Influência de $n_0$ na característica $I_{DS} \times V_{GS}$ (adaptado de [57]). . . . .	48

4.1	Curva simulada da capacitância de porta $C_{GG}$ na temperatura de 290K em função do potencial de porta $V_G$ , para um transistor com $L = 25\mu m$ e $W = 25\mu m$ sem influência de parasitas. . . . .	52
A.1	Curva $\sqrt{I_D} \times V_S$ e $I_S \times V_S$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K com $V_G = 2,5V$ e o valor de $I_S$ extraídos da curva. . .	65
A.2	Curva $\sqrt{I_D} \times V_S$ e $I_S \times V_S$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K com $V_G = 2,5V$ e o valor de $I_S$ extraídos da curva. . .	66
A.3	Curva $\sqrt{I_D} \times V_S$ e $I_S \times V_S$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K com $V_G = 0,8V$ e o valor de $I_S$ extraídos da curva. . .	66
A.4	Curva $\sqrt{I_D} \times V_S$ e $I_S \times V_S$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K com $V_G = 0,8V$ e o valor de $I_S$ extraídos da curva. . .	67
A.5	Curva $V_P \times V_G$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K com $I_B = 89nA$ e os valores de $V_{T0}$ , $\gamma$ , $\Phi_F$ e $n_0$ extraídos da curva. . .	67
A.6	Curva $V_P \times V_G$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K com $I_B = 34nA$ e os valores de $V_{T0}$ , $\gamma$ , $\Phi_F$ e $n_0$ extraídos da curva. . .	68
A.7	Curva $V_P \times V_G$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K com $I_B = 26,74nA$ e os valores de $V_{T0}$ , $\gamma$ , $\Phi_F$ e $n_0$ extraídos da curva. . .	68
A.8	Curva $V_P \times V_G$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K com $I_B = 2,5nA$ e os valores de $V_{T0}$ , $\gamma$ , $\Phi_F$ e $n_0$ extraídos da curva. . .	69
A.9	Curva $g_m \times V_G$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K com $V_D = 50mV$ e $V_D = 100mV$ e os valores de $k'$ extraídos de cada curva. . . . .	70
A.10	Curva $g_m \times V_G$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K com $V_D = 50mV$ e $V_D = 100mV$ e os valores de $k'$ extraídos de cada curva. . . . .	71
A.11	Curva $g_m \times V_G$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K com $V_D = -50mV$ e $V_D = -100mV$ e os valores de $k'$ extraídos de cada curva. . . . .	71
A.12	Curva $g_m \times V_G$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K com $V_D = -50mV$ e $V_D = -100mV$ e os valores de $k'$ extraídos de cada curva. . . . .	72
A.13	Curva com a comparação entre $g_m \times V_G$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K e 77K com $V_D = 50mV$ e $V_{BS} = 0$ . . . . .	72
A.14	Curva com a comparação entre $g_m \times V_G$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K e 77K com $V_D = -50mV$ e $V_{BS} = 0$ . . . . .	73
A.15	Curva $G_{DS} \times V_D$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K. . . . .	73

A.16	Curva $G_{DS} \times V_D$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K. . . . .	74
A.17	Curva $G_{DS} \times V_D$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K. . . . .	74
A.18	Curva $G_{DS} \times V_D$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K. . . . .	75
A.19	Característica $I_D \times V_D$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K. . . . .	76
A.20	Característica $I_D \times V_D$ para o transistor NMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K. . . . .	77
A.21	Característica $I_D \times V_D$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 290K. . . . .	77
A.22	Característica $I_D \times V_D$ para o transistor PMOS com $L = 25\mu m$ e $W = 25\mu m$ em 77K. . . . .	78
A.23	Curva da capacitância de porta $C_{GG}$ em 290K em função do potencial de porta $V_G$ para um transistor com $L = 25\mu m$ e $W = 25\mu m$ , excluída a faixa de valores de $V_G$ correspondente a condução direta do diodo de proteção e ainda sob influência das capacitâncias parasitas. . . . .	79
B.1	Diagrama de pinagem geral do CI APS II no encapsulamento PLCC de 68 pinos. . . . .	85

# Lista de Tabelas

3.1	Parâmetros do modelo EKV2.6 . . . . .	35
3.2	Parâmetros do modelo EKV2.6 para efeitos de segunda ordem . . . . .	35
4.1	Valores das correntes específicas extraídos para os transistores de grandes dimensões, previstos no Método da Inversão Moderada. . . . .	49
4.2	Valores dos parâmetros do modelo EKV extraídos para um transistor NMOS na temperatura de 290K. . . . .	50
4.3	Valores dos parâmetros do modelo EKV extraídos para um transistor PMOS na temperatura de 290K. . . . .	50
4.4	Valores dos parâmetros do modelo EKV extraídos para um transistor NMOS na temperatura de 77K. . . . .	51
4.5	Valores dos parâmetros do modelo EKV extraídos para um transistor PMOS na temperatura de 77K. . . . .	51
4.6	Valores medidos e calculados para o <i>fator de inclinação</i> $n_0$ a partir dos valores extraídos do <i>efeito de corpo</i> $\gamma$ e do <i>potencial de Fermi</i> $\Phi_F$ , pelo Método da Inversão Moderada. . . . .	53
B.1	Relação dos transistores disponíveis no CI e suas dimensões. . . . .	80
B.2	Relação dos sinais do CI APS II . . . . .	81

# Lista de Símbolos

$C'_{OX}$	Capacitância do óxido por unidade de área [ $F/m^2$ ], p. 8
$C_{BC}$	Capacitância do substrato para o canal [ $F$ ], p. 46
$C_D$	Capacitância de depleção [ $F$ ], p. 28
$C_{GB}$	Capacitância da porta para o substrato [ $F$ ], p. 46
$C_{GC}$	Capacitância da porta para o canal [ $F$ ], p. 46
$C_{OX}$	Capacitância do óxido [ $F$ ], p. 28
$E_{Si}$	Campo elétrico transversal à superfície do substrato [ $V/m$ ], p. 32
$E_{\perp}$	Campo elétrico efetivo transversal ao canal efetivo [ $V/m$ ], p. 7
$E_{\parallel}$	Campo elétrico longitudinal [ $V/m$ ], p. 7
$E_{g0}$	Energia da banda proibida em 0K (extrapolação) [ $eV$ ], p. 12
$E_g$	Energia da banda proibida [ $eV$ ], p. 10
$IC$	Coefficiente de inversão, p. 14
$I_B$	Corrente de polarização ( <i>bias current</i> ) [ $A$ ], p. 43
$I_S$	Corrente específica ( <i>specific current</i> ) [ $A$ ], p. 13
$L_0$	Comprimento característico [ $m$ ], p. 27
$L_K$	Comprimento característico do RSCE [ $m$ ], p. 31
$L_{eff}$	Comprimento efetivo do canal [ $m$ ], p. 26
$L_m$	Comprimento do canal na máscara [ $m$ ], p. 44
$M_C$	Número de mínimos equivalentes na banda de condução, p. 10
$N_0$	Concentração de impurezas dopantes em excesso [ $m^{-3}$ ], p. 32

$N_{sub,eff}$	Concentração efetiva de portadores no canal [ $m^{-3}$ ], p. 32
$N_{sub,long}$	Concentração de portadores para um transistor de canal longo [ $m^{-3}$ ], p. 32
$N_{sub}$	Concentração de portadores no substrato [ $m^{-3}$ ], p. 8
$Q'_0$	Pico da densidade de carga nas extremidades de dreno e fonte [ $C/m^2$ ], p. 31
$Q'_I$	Densidade de carga na camada de inversão [ $C/m^2$ ], p. 8
$Q'_{dsc}(N_{sub,eff})$	Densidade de impurezas na região de depleção considerando o efeito de compartilhamento de cargas usando a concentração efetiva de portadores no canal [ $C/m^2$ ], p. 32
$Q'_B$	Densidade de cargas que delimitam a região de depleção [ $C/m^2$ ], p. 16
$Q_B$	Cargas controladas pela porta que delimitam a região de depleção [ $C$ ], p. 27
$S$	Inclinação Sub-limiar [ $mV/década$ ], p. 19
$S_{\Delta I_{nD}^2}$	DEP da flutuação total da corrente de dreno normalizada, p. 21
$T$	Temperatura absoluta [ $K$ ], p. 8
$T_{OX}$	Espessura do óxido de porta [ $m$ ], p. 7
$U_T$	Potencial térmico [ $V$ ], p. 8
$V_B$	Potencial aplicado ao terminal do substrato [ $V$ ], p. 7
$V_D$	Potencial aplicado ao terminal do dreno [ $V$ ], p. 7
$V_{FB}$	Potencial de <i>flat-band</i> [ $V$ ], p. 8
$V_G$	Potencial aplicado ao terminal da porta [ $V$ ], p. 7
$V_S$	Potencial aplicado ao terminal da fonte [ $V$ ], p. 7
$V_{T0}$	Tensão de limiar de um transistor grande [ $V$ ], p. 10
$V_{ch}(x)$	Potencial do canal [ $V$ ], p. 8
$W$	Largura do canal [ $m$ ], p. 13
$W_D$	Largura da região de depleção de dreno [ $m$ ], p. 26

$W_S$	Largura da região de depleção de fonte [ $m$ ], p. 26
$W_{eff}$	Largura efetiva do canal, p. 45
$W_m$	Largura do canal na máscara [ $m$ ], p. 44
$\Phi_F$	Potencial de Fermi do substrato [ $V$ ], p. 8
$\Psi$	Potencial de superfície [ $V$ ], p. 8
$\Psi_0$	Potencial de superfície no início da inversão forte ( $\Psi_0 \cong 2\Phi_F$ ) [ $V$ ], p. 8
$\Psi_P$	Potencial de superfície de <i>pinch-off</i> [ $V$ ], p. 12
$\Psi_{bi}$	Potencial de junção das junções dreno-canal e fonte-canal [ $V$ ], p. 27
$\eta$	Fator de ponderação entre a densidade de cargas da camada de inversão e a densidade de cargas que delimitam a região de depleção, p. 17
$\eta_D$	Parâmetro do efeito DIBL no comprimento característico, p. 27
$\eta_L$	Coeficiente para canal curto, p. 27
$\eta_W$	Coeficiente para canal estreito, p. 27
$\gamma$	Efeito de corpo [ $V^{-1/2}$ ], p. 8
$\hbar$	Constante de Planck normalizada ( $1,05457168 \times 10^{-34} J \cdot s$ ) [ $J \cdot s$ ], p. 32
$\mu$	Mobilidade dos portadores [ $m^2 V^{-1} s^{-1}$ ], p. 13
$\mu_C$	Mobilidade considerando a influência do espalhamento Coulomb [ $m^2 V^{-1} s^{-1}$ ], p. 18
$\mu_{ph}$	Mobilidade considerando a influência do espalhamento pelos fônons acústicos [ $m^2 V^{-1} s^{-1}$ ], p. 18
$\mu_{sr}$	Mobilidade considerando a influência do espalhamento de rugosidade de superfície [ $m^2 V^{-1} s^{-1}$ ], p. 18
$\phi$	Barreira de potencial entre dreno e fonte, p. 29
$\phi_n$	Potencial quasi-Fermi dos portadores que formam o canal [ $V$ ], p. 8

$\sigma$	Parâmetro DIBL, p. 28
$\sigma_0$	Parâmetro de ajuste do parâmetro DIBL, p. 28
$\epsilon_{OX}$	Permissividade do óxido de silício [ $F/m$ ], p. 8
$\epsilon_{Si}$	Permissividade do silício [ $F/m$ ], p. 8
$g_{ds0}$	Condutância de dreno-fonte sem o efeito DIBL [ $S$ ], p. 28
$g_{ds}$	Condutância de dreno-fonte (potencial de fonte como referência) [ $S$ ], p. 15
$g_{md}$	Condutância de dreno (potencial de substrato como referência) [ $S$ ], p. 14
$g_{mg}$	Transcondutância de porta (potencial de substrato como referência) [ $S$ ], p. 14
$g_{ms}$	Transcondutância de fonte (potencial de substrato como referência) [ $S$ ], p. 14
$g_m$	Transcondutância de porta ou Transcondutância (potencial de fonte como referência) [ $S$ ], p. 15
$i_f$	Corrente direta normalizada, p. 13
$i_r$	Corrente reversa normalizada, p. 13
$k$	Constante de Boltzmann ( $1,3806503 \times 10^{-23} \frac{J}{K}$ ) [ $J/K$ ], p. 8
$k'$	Fator de transcondutância, p. 35
$m^*$	Massa efetiva [ $kg$ ], p. 32
$m_0$	Massa do elétron em repouso [ $kg$ ], p. 10
$m_{de}$	Massa efetiva das densidades de estados de elétrons [ $kg$ ], p. 10
$m_{dh}$	Massa efetiva das densidades de estados de buracos [ $kg$ ], p. 10
$n$	Fator de inclinação, p. 13
$n_i$	Concentração intrínseca de portadores no silício [ $m^{-3}$ ], p. 8
$n_q$	Fator de inclinação da região de inversão, p. 8
$q$	Carga elementar ( $1,60217653 \times 10^{-19} C$ ) [ $C$ ], p. 8

$q_d$	Densidade de carga na região de inversão do dreno [ $C/m^2$ ], p. 13
$q_s$	Densidade de carga na região de inversão da fonte [ $C/m^2$ ], p. 13
$t_{Dm}$	Espessura máxima da camada de depleção para um transistor de canal longo [ $m$ ], p. 26
$t_D$	Espessura da região de depleção de dreno [ $m$ ], p. 26
$t_S$	Espessura da região de depleção de fonte [ $m$ ], p. 26
$x_i$	Profundidade da camada de inversão [ $m$ ], p. 46
$x_j$	Profundidade da junção [ $m$ ], p. 42

# Lista de Abreviaturas

ACM	<i>Advanced Compact MOSFET</i> , p. 5
AMS	<i>Austria Micro Systems</i> , p. 3
APS	<i>Active Pixel Sensor</i> , p. 37
BSIM	<i>Berkeley Short-channel IGFET Model</i> , p. 5
CC	Corrente Contínua, p. 34
CMOS	<i>Complementary Metal Oxide Semiconductor</i> , p. 3
DEP	Densidade Espectral de Potência, p. 20
DIBL	<i>Drain Induced Barrier Lowering</i> , p. 6
EPFL	<i>École Polytechnique Fédérale de Lausanne</i> , p. 7
ESD	<i>Eletrostatic Discharge</i> , p. 39
EVB	<i>Electron Valence Band tunneling</i> , p. 25
GIDL	<i>Gate Induced Drain Leakage</i> , p. 6
HDL	<i>Hardware Description Language</i> , p. 34
HiSIM	<i>Hiroshima University Starc IGFET Model</i> , p. 5
IC-CAP	<i>Integrated Circuit Characterization and Analysis Program</i> , p. 6
IV	Infravermelho, p. 1
LDD	<i>Lightly Doped Drain</i> , p. 22
LKE	<i>Linear Kink Effect</i> , p. 2
MOS	<i>Metal Oxide Semiconductor</i> , p. 3
NMOS	<i>N-channel MOS</i> , p. 7

PMOS	<i>P-channel MOS</i> , p. 7
PSP	<i>Pennsylvania State University and Philips research</i> , p. 5
RF	Radiofrequência, p. 1
RSCE	<i>Reverse Short Channel Effect</i> , p. 6
SET	<i>Single Electron Transistors</i> , p. 2
SMU	<i>Source Measurement Unit</i> , p. 43
SOI	<i>Silicon-on-Insulator</i> , p. 22
SQUID	<i>Superconducting Quantum Interference Devices</i> , p. 1
UV	Ultravioleta, p. 1

# Capítulo 1

## Introdução

Em alguns casos, equipamentos eletrônicos são projetados para operarem em condições de baixas temperaturas. Algumas vezes isto se deve a uma propriedade intrínseca do ambiente e não pode ser evitado. Em outros casos é uma escolha de projeto para obter alguma vantagem em relação à operação em temperatura ambiente [1]. Exemplos de aplicações envolvendo a operação em ambientes de baixas temperaturas são encontrados principalmente na indústria aeroespacial, o que inclui os satélites em qualquer tipo de órbita, mas principalmente satélites de exploração e astronomia de espaço profundo. Outros exemplos de aplicações em baixas temperaturas são:

- os detectores usados na física de partículas;
- os circuitos de radiofrequência (RF) para ressonância magnética;
- dispositivos supercondutores de interferência quântica (*Superconducting Quantum Interference Devices*, SQUID);
- indústria bélica;
- equipamentos médicos; e
- astronomia: radiotelescópios e detectores diversos de radiações, geralmente nas faixas de comprimento de onda do ultravioleta (UV) e infravermelho (IV).

Além da astronomia, a faixa espectral do infravermelho tem um grande número de aplicações na indústria envolvendo as áreas de segurança, imageamento e rastreamento [2]. Nos últimos anos, pesquisadores têm se dedicado ao desenvolvimento de sensores de alta complexidade ( $10^6$  pixels) operando tipicamente na faixa de 77-200K [3–7].

É importante citar que recentemente renovou-se o interesse na operação dos dispositivos em baixa temperatura (faixa criogênica) devido às tecnologias emergentes, tais como:

computação quântica, nano-eletrônica (por exemplo em [8], *Single Electron Transistors*, SET) e spintrônica [1].

Deve ser observado que a operação de componentes em ambientes de baixa temperatura ocorre fora da faixa padrão de interesse da indústria bélica e aeroespacial, isto é, abaixo de  $-55^{\circ}\text{C}$ . Geralmente, a faixa criogênica é dividida em três regiões, de acordo com suas aplicações [1]: nitrogênio líquido 77K; hélio líquido 4,2K; e a faixa de mK. Uma outra divisão comumente encontrada é: faixa criogênica moderada, com temperaturas acima de 50K e abaixo de 200K; e criogênica profunda, abaixo de 30K.

Na primeira classificação, a faixa de mK é de grande interesse da astrofísica e da física de partículas, a do hélio líquido é utilizada nas pesquisas para satélites de comunicações e a do nitrogênio líquido possui um potencial uso comercial devido às vantagens destacadas por CLAEYS e SIMOEN [1]:

- redução de ruído;
- relativa imunidade a *latch-up*, devido à redução do ganho dos transistores bipolares parasitas;
- redução na capacitância de junção;
- aumento da mobilidade e da velocidade de saturação dos portadores;
- redução das correntes de fuga, ocasionando menor consumo de energia;
- aumento da condutividade térmica; e
- redução nas tensões de operação.

É importante, entretanto, citar as desvantagens:

- deve-se levar em conta os aspectos da interface entre a eletrônica “quente” e “fria”;
- necessidade de sistema de resfriamento apropriado;
- indisponibilidade de modelos e bibliotecas para simuladores e dispositivos; e
- anomalias não-lineares advindas de efeitos como congelamento dos portadores, *kink*, histerese, efeito *kink* linear (*Linear Kink Effect*, LKE) [8] e efeitos de resistência em série [9].

Diante dessas vantagens mencionadas, conclui-se que essa faixa de temperatura é uma alternativa interessante para se aumentar a densidade de integração, já que a imunidade a *latch-up* permite transistores mais próximos, e também, a redução das correntes de fuga e o aumento da condutividade térmica reduzem os problemas advindos do aquecimento. Lembrando que com o resfriamento do circuito vem o inconveniente e o custo do sistema de resfriamento e deve-se avaliar se o ganho compensa isto.

Essa área da eletrônica já foi foco de pesquisas, principalmente na década de 1980, devido ao entusiasmo com os computadores criogênicos ou criocomputadores e, posteriormente, às aplicações comerciais e espaciais, como o desenvolvimento de detectores de infravermelho em meados da década de 1990. Pode-se observar que neste período houve um grande número de publicações nessa área, particularmente relacionados à utilização da tecnologia de semicondutor metal-óxido (*Metal Oxide Semiconductor*, MOS) e ao avanço dos detectores de infravermelho [2]. Muita ênfase foi dada a este último, principalmente devido a sua versatilidade, podendo ser aplicado em: imageamento termal para ambiente sem iluminação, detecção de desgaste em peças e estruturas e na área médica (diagnóstico de doenças). Devido à vantagem econômica do nitrogênio líquido sobre o hélio líquido, a indústria e os pesquisadores mantiveram seu foco na operação dos dispositivos em 77K.

## 1.1 Objetivo do Trabalho

Este trabalho tem como objetivo investigar o comportamento de transistores semicondutor-metal-óxido complementar (*Complementary Metal-Oxide-Semiconductor*, CMOS) na tecnologia de 0,35 $\mu\text{m}$  da AMS (*Austria Micro Systems*) em 77K, temperatura do nitrogênio líquido. Esta temperatura não é abrangida pelos modelos de simulação.

## 1.2 Estrutura da Dissertação

Na introdução desta dissertação foi apresentada a motivação para o estudo da eletrônica criogênica. Esta dissertação possui 4 capítulos, além desta introdução, sintetizados abaixo.

O capítulo 2 descreve, de forma sucinta, a operação e o modelo de transistores MOS em temperaturas criogênicas. Para isso, são descritos os principais parâmetros do modelo EKV2.6, os efeitos não lineares específicos da operação em temperaturas criogênicas e os efeitos de canal curto comumente observados em temperatura ambiente, bem como sua dependência com a temperatura.

O capítulo 3 trata da extração dos principais parâmetros do modelo em temperaturas criogênicas. Para isso, são descritos os procedimentos necessários à extração de cada parâmetro. Nesse capítulo, também é descrita a tecnologia caracterizada, assim como, as estruturas de teste utilizadas e suas limitações.

No capítulo 4 são apresentados e discutidos os resultados obtidos na caracterização e os efeitos observados de forma qualitativa.

O capítulo 5 apresenta as conclusões deste trabalho, bem como, as sugestões para trabalhos futuros.

## Capítulo 2

# Operação e Modelo de Transistores MOS em Temperaturas Criogênicas

Os modelos utilizados pela indústria, principalmente em projetos analógicos e de RF, são compostos por equações que buscam representar com precisão e baixo custo computacional o comportamento dos dispositivos. São conhecidos como modelos físicos compactos, pois se baseiam em parâmetros com significado físico [10]. Devido aos avanços nas tecnologias, os modelos devem estar em constante aperfeiçoamento para que continuem atendendo às necessidades dos projetistas. Basicamente, são divididos em três tipos [10]:

- os que se baseiam na tensão de limiar, como por exemplo os modelos BSIM3V3 [11] (*Berkeley Short-channel IGFET Model*), BSIM4V4.7 [12] e BSIM6 [13];
- os que têm como referência primária a carga na região de inversão do canal, dentre eles o modelo EKV (Enz-Krummenacher-Vittoz) [14] e o modelo ACM [15] (*Advanced Compact MOSFET*); e
- os baseados no potencial de superfície, como o modelo HiSIM2 [16] (*Hiroshima University Starc Igfet Model*) e o modelo PSP (*Pennsylvania State University and Philips research*) [17].

O modelo do transistor é importante tanto no projeto analógico quanto no projeto de sistemas digitais, uma vez que os transistores são as células básicas de ambos os projetos. Os principais modelos utilizados foram desenvolvidos para representar a operação dos dispositivos na faixa de temperatura de  $-55^{\circ}\text{C}$  a  $125^{\circ}\text{C}$ , que corresponde às especificações da norma MIL-STD-810G do Departamento de Defesa dos EUA, para operação de equipamentos de uso militar. Ao longo dos anos, diversos trabalhos vêm sendo feitos para estender os atuais modelos à faixa de operação criogênica, através da inclusão de modelos de transporte mais sofisticados. Porém, até o momento, não se dispõe de um modelo de simulação avançado que inclua esta faixa de temperatura [3, 18].

Os modelos avançados possuem em média 90 parâmetros, como pode ser visto em [13, 19]. A extração manual destes parâmetros se torna inviável, sendo necessária a utilização de um sistema automatizado para a extração. O programa padrão utilizado pela indústria para esse fim é o IC-CAP (*Integrated Circuit Characterization and Analysis Program*) da Keysight[20, 21]. Entretanto, o modelo EKV2.6 consegue representar as características corrente-tensão e capacitância-tensão a partir de um conjunto de equações com 18 parâmetros [22]. Esta vantagem permite que sua extração seja realizada em laboratório sem auxílio do IC-CAP. Por este motivo, neste trabalho serão explorados alguns parâmetros do modelo EKV essenciais ao projeto de circuitos e que são afetados pela temperatura.

Os modelos avançados consideram diversos efeitos não-lineares relacionados com as dimensões do canal e a não-uniformidade do campo elétrico nas regiões de dreno e fonte. Estes efeitos são importantes para o projeto e simulação de circuitos, sendo alguns deles sensíveis à temperatura. Com a redução da temperatura de operação, surgem efeitos específicos não observados na temperatura ambiente. Os seguintes efeitos serão discutidos neste capítulo:

- congelamento dos portadores:
  - efeito *kink*; e
  - efeito *kink* linear.
- transcondutância negativa;
- efeitos de canal curto:
  - compartilhamento de carga;
  - redução de barreira induzida pelo dreno (*Drain Induced Barrier Lowering*, DIBL);
  - *punchthrough*;
  - efeito de canal curto reverso (*Reverse Short Channel Effect*, RSCE); e
  - corrente de fuga de dreno induzida pela porta (*Gate Induced Drain Leakage*, GIDL).
- correntes de fuga parasitas:
  - corrente de substrato por ionização por impacto.

## 2.1 Estrutura Básica de um Transistor MOS

A estrutura básica de um transistor MOS está esquematizada na Figura 2.1. Nela estão destacados os componentes básicos de um transistor NMOS (MOS de canal N, *N-channel MOS*) e PMOS (MOS de canal P, *P-channel MOS*), Figuras 2.1a e 2.1b, respectivamente.  $V_B$  é o potencial aplicado ao terminal do substrato,  $V_D$  é o potencial aplicado ao terminal do dreno,  $V_G$  é o potencial aplicado ao terminal da porta,  $V_S$  é o potencial aplicado ao terminal da fonte e  $T_{OX}$  é a espessura do óxido de porta.

O campo elétrico efetivo transversal ao canal  $E_{\perp}$  é originado pela diferença de potencial entre a porta e o substrato, ao passo que o campo longitudinal  $E_{\parallel}$  tem sua origem na diferença de potencial entre as regiões de dreno e fonte do dispositivo.

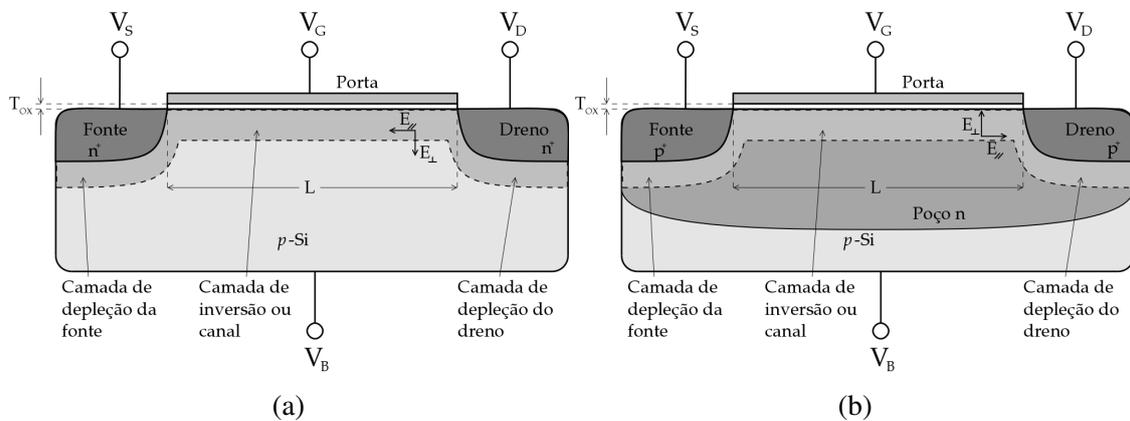


Figura 2.1: Estrutura Básica dos Transistores MOS. (a) Transistor NMOS. (b) Transistor PMOS.

## 2.2 Modelo EKV2.6

Desenvolvido na Escola Politécnica Federal de Lausanne (*École Polytechnique Fédérale de Lausanne*, EPFL), o modelo EKV representa o comportamento dos transistores MOS, inclusive operando em baixos níveis de tensão e corrente [14, 23]. O modelo tem sido validado por projetistas de circuitos integrados em diversas tecnologias de fabricação CMOS [23]. O principal atributo do modelo é a manutenção da continuidade nas equações de operação em pequenos e grandes sinais, desde a região de inversão fraca até a inversão forte [23].

O modelo EKV2.6 tem sido utilizado em pesquisas na área de eletrônica criogênica [24] e tem como vantagem um pequeno número de parâmetros. No modelo EKV, todas as tensões têm como referência o potencial de substrato. A densidade de carga na camada

de inversão  $Q'_I$  é calculada pela equação de Poisson e é relacionada ao potencial de porta  $V_G$  pela Lei de Gauss, resultando na equação [14]:

$$Q'_I = -C'_{OX} \cdot (V_G - V_{FB} - \Psi_S - \gamma \sqrt{\Psi_S}) \quad (2.1)$$

Onde  $C'_{OX} = \epsilon_{OX}/T_{OX}$  é a capacitância do óxido por unidade de área,  $\epsilon_{OX}$  é a permissividade do óxido de silício,  $V_{FB}$  é o potencial de *flat-band*,  $\Psi_S$  é o potencial de superfície e  $\gamma$  é o efeito de corpo para transistores de geometria grande dado pela equação:

$$\gamma = \sqrt{2q\epsilon_{Si}N_{sub}}/C'_{OX} \quad (2.2)$$

Nesta equação  $q$  é a carga elementar,  $\epsilon_{Si}$  é a permissividade do silício e  $N_{sub}$  é a concentração de portadores no substrato. Segundo MORSHED *et al.* [12], considera-se que um transistor possui geometria grande, ou seja, não sofre influência dos efeitos de canal curto ou estreito, quando sua largura e comprimento de canal forem maiores que  $10\mu m$ .

Quando o potencial de porta  $V_G$  é mantido constante na equação (2.1),  $Q'_I$  é uma função da forma  $a \cdot x + b \cdot \sqrt{x} + c$ , onde  $a$ ,  $b$  e  $c$  são constantes. Esta expressão é linear. Define-se o fator de inclinação da região de inversão como [19]:

$$n_q \triangleq \frac{\partial(Q'_I/C'_{OX})}{\partial\Psi_S} = 1 + \frac{\gamma}{2\sqrt{\Psi_S}} \quad (2.3)$$

No caso particular da região de inversão forte,  $\Psi_S$  é aproximado pela constante  $\Psi_0 + V_{ch}(x)$ , onde  $\Psi_0 \cong 2\Phi_F$  é o potencial de superfície no início da inversão forte e  $V_{ch}(x)$  é o potencial do canal em função da posição e é dado pela diferença  $V_{ch}(x) = \phi_n - \Phi_F$  [19]. Nesta expressão,  $\phi_n$  é o potencial quasi-Fermi dos portadores que formam o canal e  $\Phi_F$  é o potencial de Fermi do substrato [14].  $\Phi_F$  é calculado por:

$$\Phi_F = U_T \cdot \ln\left(\frac{N_{sub}}{n_i}\right) \quad (2.4)$$

Onde  $U_T = kT/q$  é o potencial térmico,  $n_i$  é a concentração intrínseca de portadores no silício,  $T$  é a temperatura absoluta e  $k$  é a constante de Boltzmann. Substituindo-se  $\Psi_S$  na equação (2.1), tem-se:

$$Q'_I = -C'_{OX} \cdot (V_G - V_{FB} - \Psi_0 - V_{ch}(x) - \gamma \sqrt{\Psi_0 + V_{ch}(x)}) \quad (2.5)$$

Uma análise mais detalhada do nível de Fermi e do equacionamento da concentração de portadores é feita em [25]. A Figura 2.2 mostra o nível de Fermi para o Silício em

função da temperatura. Nesta figura, está destacada (linhas contínuas pontilhadas) a dependência da energia da banda proibida com a temperatura. Na Figura 2.3 é mostrada a relação da concentração de portadores com a temperatura, que é constante na faixa extrínseca e é dominada pela concentração intrínseca de portadores na região denominada faixa intrínseca.

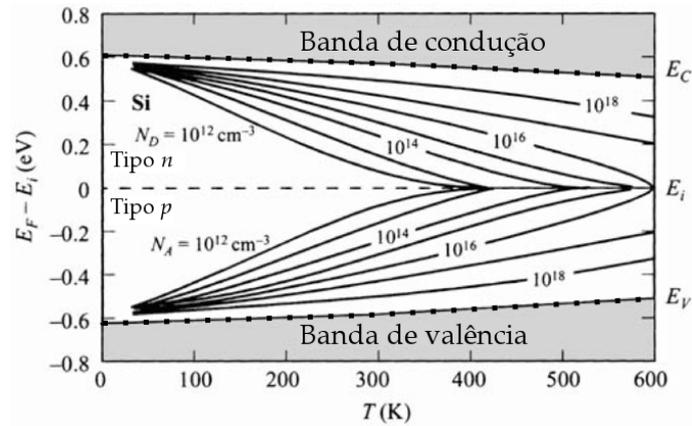


Figura 2.2: Nível de Fermi para o Silício em função da temperatura e da concentração de impurezas e banda proibida em função da temperatura (adaptado de [25]).

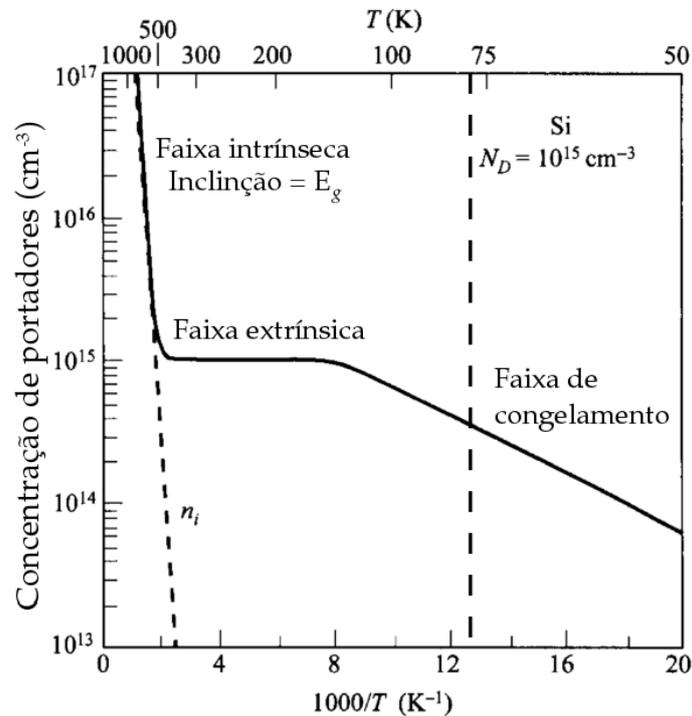


Figura 2.3: Concentração de portadores em função da temperatura para uma amostra de Silício com concentração de impurezas de  $10^{15} \text{ cm}^{-3}$  (adaptado de [25]).

Segundo SZE e NG [25], a concentração intrínseca de portadores  $n_i$  é dada por:

$$n_i = 4,9 \times 10^{15} \left( \frac{m_{de} m_{dh}}{m_0^2} \right)^{3/4} M_C^{1/2} T^{3/2} \exp\left(-\frac{E_g}{2kT}\right), \quad (2.6)$$

com  $m_{de}$  é a massa efetiva das densidades de estados de elétrons,  $m_{dh}$  é a massa efetiva das densidades de estados de buracos,  $m_0$  é a massa do elétron em repouso,  $M_C$  é o número de mínimos equivalentes na banda de condução e  $E_g$  é a energia da banda proibida. Na equação (2.6) explicita a dependência de  $n_i$  com a temperatura, onde observa-se que esta é dominada pelo termo exponencial, como é mostrado na Figura 2.4.

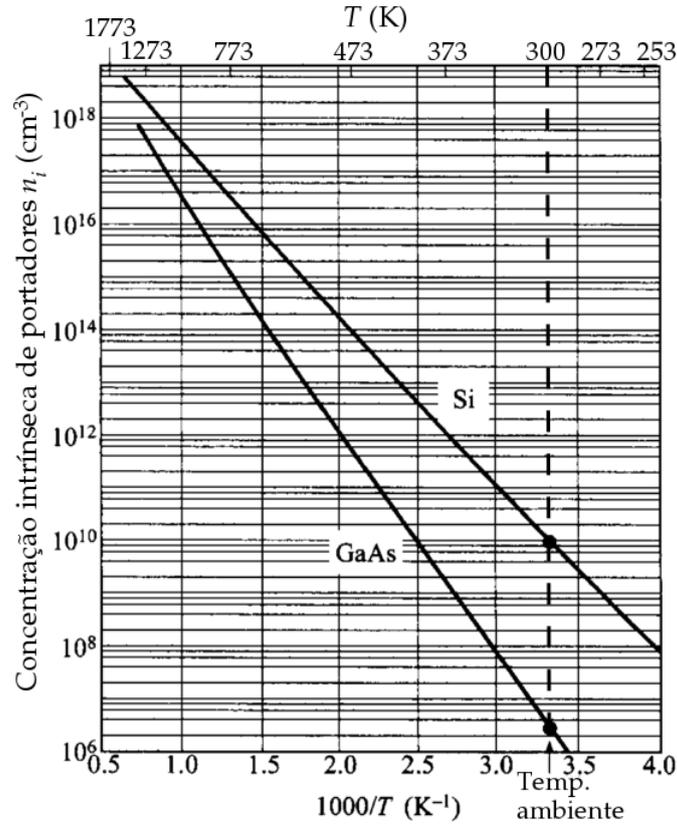


Figura 2.4: Concentração intrínseca de portadores do Silício (Si) e do Arseneto de Gálio (GaAs) em função da temperatura (adaptado de [25]).

Os efeitos de segunda ordem que surgem com a redução da geometria do transistor, serão abordados na Seção 2.5.

### 2.2.1 Tensão de Limiar

A tensão de limiar (*threshold*,  $V_{T0}$ ) é um parâmetro fundamental na caracterização e projeto de circuitos CMOS [26]. É definida no modelo EKV como o potencial de porta  $V_G$  tal que  $Q'_f = 0$  para o canal em equilíbrio ( $V_{ch} = 0V$ ) [14]. Aplicando a definição na equação (2.5) chega-se à equação:

$$V_{T0} \triangleq V_G|_{V_{ch}=0, Q'_f=0} = V_{FB} + \Psi_0 + \gamma \sqrt{\Psi_0} \quad (2.7)$$

Apesar de não haver uma transição bem definida entre a região de inversão forte e a região de inversão fraca, a tensão de limiar pode ser entendida como o valor do potencial  $V_G$  no qual ocorre essa transição entre as regiões. Diversos métodos e vários circuitos para extração automática foram propostos para se obter a tensão de limiar  $V_{T0}$  [26]. Encontra-se um resumo e descrição dessas abordagens em [26] com suas vantagens e desvantagens. Em [23] é detalhado como extrair a tensão de limiar através da medida da tensão de *pinch-off* (utilizado em [27]), definida na Seção 2.2.2.

Os critérios adotados pelos diversos métodos propostos na literatura [26] para a extração da tensão de limiar  $V_{T0}$  fornecem resultados equivalentes nas faixas de temperatura normais. Esses mesmos métodos apresentam variações significativas em temperaturas criogênicas, como é mostrado na Figura 2.5. Na comparação feita por MARTIN *et al.* [3] para medidas efetuadas em transistores com diversos comprimentos de canal em 77K, o método da corrente constante mostrou-se mais robusto, sendo o único que permite a extração correta da tensão de limiar no caso do transistor estar em inversão fraca, como é mostrado na Figura 2.5 extraída de [3].

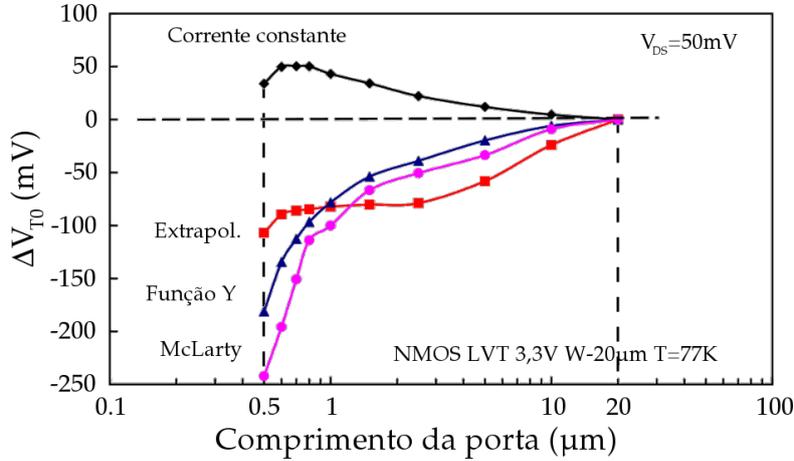


Figura 2.5: Variação da tensão de limiar para diferentes métodos de extração para medidas realizadas em 77K em função do comprimento da porta. [ $\Delta V_{T0} = V_{T0} - V_{T0}(L = 20\mu m)$ ](adaptado de [3])

SZE e NG [25] analisaram a dependência da tensão de limiar com a temperatura obtendo as seguintes expressões:

$$\frac{dV_{T0}}{dT} = \frac{d\Psi_0}{dT} \left( 2 + \frac{1}{C_{OX}} \sqrt{\frac{\epsilon_{Si} q N_A}{\Psi_0}} \right) \quad (2.8)$$

$$\frac{d\Psi_0}{dT} \approx \frac{1}{T} \left( \Psi_0 - \frac{E_{g0}}{2q} \right) \quad (2.9)$$

Onde  $E_{g0}$  é a energia da banda proibida quando  $T=0K$  (extrapolação). Das equações (2.8) e (2.9) tem-se que a tensão de limiar aumenta com a redução da temperatura. Entretanto, os resultados obtidos por GUTIERREZ-D. *et al.* [2], ZHAO e LIU [28], BALESTRA e GHIBAUDO [29], Figura 2.6, mostram que há um aumento maior que o esperado nas temperaturas em que ocorre o congelamento de portadores, que será discutido na Seção 2.4.

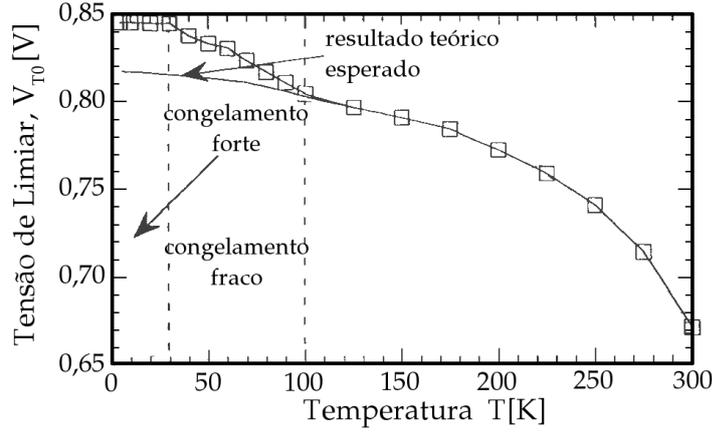


Figura 2.6: Variação da Tensão de Limiar  $V_{T0}$  com a temperatura (adaptado de [2]).

## 2.2.2 Tensão de *Pinch-off*

O potencial de superfície de *pinch-off*  $\Psi_P$  é definido como o potencial do canal para o qual a densidade de cargas na camada de inversão do canal é nula [14]. Aplicando esta definição na equação (2.1) vemos que  $\Psi_P$  é função do potencial de porta  $V_G$ , segundo a equação:

$$\Psi_P \triangleq \Psi_S|_{Q_I=0} = V_G - V_{FB} + \gamma \cdot \left[ \frac{\gamma}{2} - \sqrt{\frac{\gamma^2}{4} + V_G - V_{FB}} \right] \quad (2.10)$$

Com isso define-se a tensão de *pinch-off* como sendo a diferença entre o potencial de superfície de *pinch-off* e  $\Psi_0$  [19]. Através de sua medida tem-se um eficiente método para se obter os parâmetros  $V_{T0}$ ,  $\gamma$  e  $\Psi_0$  do modelo EKV [23] em temperatura ambiente, o que mostra a sua importância. Além disso, para transistores de canal longo, o seu conceito é usado para explicar a saturação da corrente entre dreno e fonte. Através da definição da tensão de *pinch-off* e da equação (2.7), relaciona-se a tensão de *pinch-off*  $V_P$ ,  $V_{T0}$  e  $V_G$ , na saturação [23]:

$$V_P = V'_G - \Psi_0 - \gamma \cdot \left[ \sqrt{V'_G + \left(\frac{\gamma}{2}\right)^2} - \frac{\gamma}{2} \right] \quad (2.11)$$

$$V'_G = V_G - V_{T0} + \Psi_0 + \gamma \cdot \sqrt{\Psi_0} \quad (2.12)$$

Com base no conceito da tensão de *pinch-off* e no fator de inclinação da região de inversão, define-se o fator de inclinação  $n$  como a derivada parcial do potencial de porta em relação à tensão de *pinch-off*  $V_P$  [14]. As equações (2.11) e (2.12) relacionam diretamente  $V_P$  e  $V_G$  e assim tem-se:

$$n \triangleq \frac{\partial V_G}{\partial V_P} = 1 + \frac{\gamma}{2 \cdot \sqrt{\Psi_0 + V_P}} \quad (2.13)$$

ENZ *et al.* [14] utilizam a relação de  $V_P$  com  $V_G$  dada pelas equações (2.11) e (2.12) para expressar  $n$  diretamente em função de  $V_G$  como sendo:

$$\frac{1}{n} = \frac{\partial V_P}{\partial V_G} = 1 - \frac{\gamma}{2 \cdot \sqrt{V_G - V_{T0} + \left(\frac{\gamma}{2} + \sqrt{\Psi_0}\right)^2}} \quad (2.14)$$

### 2.2.3 Corrente de Dreno

No modelo EKV a corrente de dreno é definida a partir da equação de transporte da corrente:

$$I_D = \mu \cdot W \cdot \left( -Q'_I \cdot \frac{\partial \Psi_S}{\partial x} + U_T \cdot \frac{\partial Q'_I}{\partial x} \right) \quad (2.15)$$

Onde  $W$  é a largura do canal e  $\mu$  é a mobilidade dos portadores. Integrando a equação (2.15) em função das densidades das cargas da região de inversão no dreno  $q_d$  e fonte  $q_s$ , obtém-se:

$$I_D = 2 \cdot n_q \cdot U_T^2 \cdot \mu \cdot C'_{OX} \frac{W}{L} \left[ q_s^2 + q_s - (q_D^2 + q_D) \right] \quad (2.16)$$

Onde  $n_q$  é o fator de linearização das cargas de inversão definido em (2.3). No caso particular em que as cargas de inversão são nulas, Seção 2.2.2, tem-se que o potencial de superfície é o potencial de *pinch-off* e  $n_q = n$ , que é o fator de inclinação.

A equação (2.16) pode ser dividida em corrente direta normalizada  $i_f = q_s^2 + q_s$ , constituída pelas cargas da fonte, e reversa normalizada  $i_r = q_D^2 + q_D$ , composta pelas cargas do dreno. Da equação (2.16) extraímos o fator de normalização conhecido como corrente específica  $I_S$  dada por:

$$I_S = 2 \cdot n_q \cdot \beta \cdot U_T^2, \quad \text{com} \quad \beta = \mu \cdot C'_{OX} \frac{W}{L} \quad (2.17)$$

Para facilitar a comparação entre dispositivos diferentes, usa-se a corrente de dreno normalizada pela corrente específica. Esta é a definição do coeficiente de inversão ou nível de inversão  $IC \equiv I_D/I_S$  [30–33]. Apesar de não haver uma transição bem definida entre os níveis de inversão, considera-se como inversão fraca dispositivos operando com  $IC \ll 0, 1$ , inversão moderada  $0, 1 < IC < 10$  e inversão forte  $IC \gg 10$  [32].

Relaciona-se a corrente de dreno com o potencial dos terminais através das equações que ligam a densidade de carga com o potencial aplicado:

$$v_P - v_S = 2q_S + \ln(q_S) \quad (2.18a)$$

$$v_P - v_D = 2q_D + \ln(q_D) \quad (2.18b)$$

Onde  $v_{ch}(x)$  é o potencial do canal em função da posição, normalizado pelo potencial térmico  $U_T$ ,  $v_D$  é o potencial de dreno normalizado por  $U_T$ ,  $v_S$  é o potencial de fonte normalizado por  $U_T$  e  $v_P$  é a tensão de *pinch-off* normalizada por  $U_T$  [33]. Para se expressar a carga em função da tensão é necessária uma aproximação, pois as equações (2.18a) e (2.18b) não são inversíveis [19].

## 2.2.4 Transcondutância

No modelo EKV, onde todas as tensões têm como referência o potencial do substrato, a variação da corrente de dreno é dada por [14]:

$$\Delta I_D = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_S, V_D} \cdot \Delta V_G + \left. \frac{\partial I_D}{\partial V_S} \right|_{V_G, V_D} \cdot \Delta V_S + \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G, V_S} \cdot \Delta V_D \quad (2.19)$$

Define-se a transcondutância de porta  $g_{mg}$ , transcondutância de fonte  $g_{ms}$  e condutância de dreno  $g_{md}$  como se segue [22]:

$$g_{mg} \triangleq \left. \frac{\partial I_D}{\partial V_G} \right|_{V_S, V_D} \quad (2.20a)$$

$$g_{ms} \triangleq - \left. \frac{\partial I_D}{\partial V_S} \right|_{V_G, V_D} \quad (2.20b)$$

$$g_{md} \triangleq \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G, V_S} \quad (2.20c)$$

Quando se assume o potencial de fonte como referência para as tensões, define-se a transcondutância de substrato como:

$$g_{mb} \triangleq \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS}} = g_{ms} - g_{mg} - g_{md} \quad (2.21)$$

As demais condutâncias são definidas da mesma forma na mesma condição [14]. Entretanto, neste caso onde o potencial de fonte é usado como referência, a transcondutância de porta  $g_{mg}$  é chamada simplesmente transcondutância  $g_m$  e a condutância de dreno  $g_{md}$  passa a ser chamada de condutância de dreno-fonte  $g_{ds}$  [10].

## 2.2.5 Mobilidade

A mobilidade dos portadores na camada de inversão, ou mobilidade de superfície, é influenciada por diversos mecanismos físicos que dependem da intensidade do campo elétrico ao longo do canal. Este campo corresponde à resultante dos campos transversal  $E_{\perp}$  e longitudinal  $E_{\parallel}$  decorrentes dos potenciais aplicados aos terminais do dispositivo. Os principais mecanismos de interesse para a modelagem dos transistores CMOS são:

- o espalhamento por impurezas ionizadas ou espalhamento Coulomb (*Coulomb scattering*);
- o espalhamento por interações com a malha cristalina ou espalhamento por fônons (*phonon scattering*);
- o espalhamento por rugosidade da superfície (*surface roughness scattering*) e
- a saturação da velocidade.

O espalhamento por impurezas ionizadas, também chamado de espalhamento Coulomb, consiste na alteração da trajetória dos portadores provocada pelas interações coulombianas entre as impurezas ionizadas e os portadores [34].

O espalhamento por interações com a malha cristalina decorre da alteração do diagrama de bandas de energia pela vibração dos átomos da malha [34]. Essa vibração é quantizada em fônons, onde os de menor energia são denominados fônons acústicos e predominam nesse tipo de espalhamento.

As irregularidades na superfície entre o substrato de silício e o óxido de porta que atuam como pontos de espalhamento originam o chamado espalhamento por rugosidade de superfície. Como mostrado na Figura 2.7, este espalhamento é mais pronunciado em campos elétricos transversais de alta intensidade, pois a aceleração dos portadores em direção

à superfície aumenta a probabilidade de desvio na trajetória. A mobilidade resultante do efeito dos diversos mecanismos de espalhamento independentes é calculada através da regra de Matthiessen. Porém, os modelos físicos desses mecanismos são complexos produzindo expressões para a mobilidade de alto custo computacional na simulação de circuitos [34].

O efeito de cada tipo de mecanismo de espalhamento na mobilidade dos portadores em função do campo elétrico transversal  $E_{\perp}$  é mostrado qualitativamente e esquematicamente na Figura 2.7.

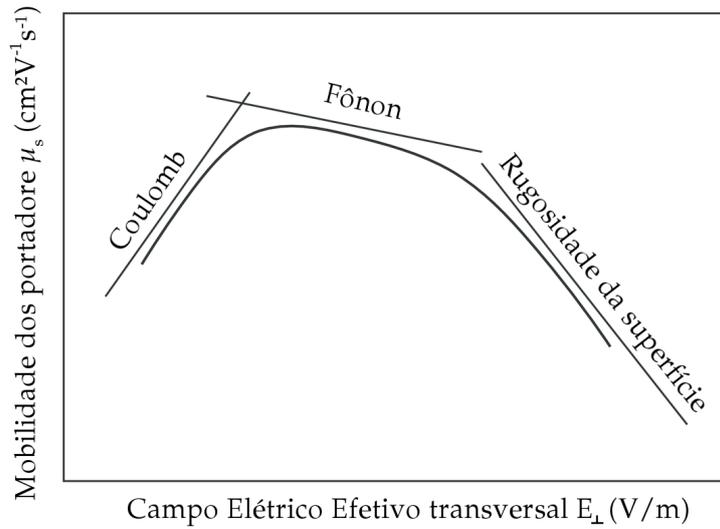


Figura 2.7: Curva da mobilidade dos portadores em função campo elétrico transversal efetivo indicando, qualitativamente, as regiões onde cada tipo de mecanismo predomina (adaptado de [34]).

No modelo EKV inicial, os efeitos do campo elétrico transversal  $E_{\perp}$  na mobilidade foram modelados pela equação simplificada da mobilidade efetiva [14]:

$$\mu_{eff} \triangleq \frac{\mu_n}{1 + \theta \cdot V_P} \quad (2.22)$$

Já no modelo EKV2.6 é utilizada a equação [22]:

$$\mu_{eff} = \frac{\mu_n}{1 + \frac{E_{\perp}}{E_0}}, \quad (2.23)$$

onde

$$E_{\perp} = \frac{1}{\epsilon_{Si}}(Q'_B + \eta Q'_I), \quad (2.24)$$

$Q'_B$  é a densidade de cargas que delimitam a região de depleção,  $-1 \leq \alpha \leq -2$ ,  $\eta$  é um fator de ponderação entre a densidade de cargas da camada de inversão  $Q'_I$  e a densidade

de cargas que delimitam a região de depleção. Segundo SABNIS e CLEMENS [35],  $\eta$  é dado por:

$$\eta = \frac{1}{q} \int_x^{x_i} n(y) dy, \quad (2.25)$$

onde  $n(y)$  é a densidade de portadores na camada de inversão ao longo do eixo transversal,  $x_i$  é a profundidade da camada de inversão e  $0 < x < x_i$ . Da equação (2.25) tem-se que  $\eta$  depende do processo de fabricação e deve ser extraído para a tecnologia utilizada. Para os processos de fabricação mais comuns assume-se que  $\eta = 1/2$  para elétrons e  $\eta = 1/3$  para buracos.

A equação (2.23) pode ser reescrita substituindo  $E_{\perp}$ :

$$\mu_{eff} = \frac{\mu_n}{1 + \frac{C'_{OX}}{E_0 \epsilon_{Si}} \cdot U_T \cdot |q_B + \eta q_I|}, \quad (2.26)$$

onde é utilizada a densidade de carga específica  $Q'_S$  como fator de normalização de  $Q'_B$  e  $Q'_I$ :

$$Q'_S \triangleq -2 \cdot n_q \cdot U_T \cdot C'_{OX} \quad (2.27)$$

Para manter a compatibilidade com as versões anteriores, o modelo EKV2.6 permite escolher a simplificação da equação (2.22) [22]. Nela há uma dependência implícita da mobilidade com  $V_G$  através de  $V_P$  explicitada na equação (2.11). Ou seja, com o aumento de  $V_G$ , e conseqüentemente do campo elétrico transversal, há uma redução na mobilidade. Esta redução da mobilidade é justificada pela mudança do tipo de espalhamento dominante, como é mostrado na Figura 2.7, associada à dependência desses mecanismos com o campo transversal.

Na faixa de temperaturas especificadas nas normas militares, a modelagem dos efeitos desses mecanismos de espalhamento é consideravelmente simplificada, como nas equações (2.22) e (2.23). Os modelos de transistor mais comuns (BSIM, EKV, PSP, &c.) não possuem uma modelagem mais precisa desses espalhamentos [24], que seria necessária em temperaturas criogênicas. MARTIN *et al.* [24] sugerem utilizar o modelo baseado em cargas proposto em [36], onde a mobilidade é modelada considerando esses mecanismos de espalhamento. O modelo sugerido representa o comportamento dos transistores de canal longo de forma mais precisa, mesmo em temperaturas criogênicas. Essa alteração foi posteriormente incluída no modelo EKV3.0 e combina os efeitos de espalhamento citados

através da regra de Matthiessen [19]:

$$\frac{1}{\mu} = \frac{1}{\mu_C} + \frac{1}{\mu_{sr}} + \frac{1}{\mu_{ph}} \quad (2.28)$$

Onde  $\mu_C$  é a mobilidade considerando a influência do espalhamento Coulomb,  $\mu_{sr}$  é a mobilidade considerando a influência do espalhamento de rugosidade de superfície e  $\mu_{ph}$  é a mobilidade considerando a influência do espalhamento pelos fônons acústicos. Deve ser observado que a regra de Matthiessen assume que os espalhamentos Coulomb e por fônons acústicos são independentes, apesar de não serem [2]. Mesmo assim assume-se que a regra é válida [34]. Cada termo da equação (2.28) é relacionado com o campo elétrico pelas expressões:

$$\frac{1}{\mu_C} \propto [E_{\perp}]^{\alpha} \quad (2.29a)$$

$$\frac{1}{\mu_{sr}} \propto [E_{\perp}]^2 \quad (2.29b)$$

$$\frac{1}{\mu_{ph}} \propto [E_{\perp}]^{1/3} \quad (2.29c)$$

Na modelagem da dependência da mobilidade efetiva com a temperatura deve ser feita uma análise por partes, devido aos vários mecanismos envolvidos. Segundo BUCHER *et al.* [19], o espalhamento por rugosidade da superfície é muito pouco dependente da temperatura, pois está relacionado com a regularidade superficial da estrutura cristalina. Este mecanismo predomina quando há campos elétricos transversais de grande intensidade [19], como é mostrado na Figura 2.7. Segundo SZE e NG [25], a mobilidade considerando o espalhamento Coulomb é proporcional à temperatura elevado à potência 3/2, isto é:

$$\mu_C \propto T^{3/2} \quad (2.30)$$

Com a redução da temperatura há uma diminuição da energia térmica dos portadores, que se tornam mais suscetíveis às deflexões provocadas pelas interações coulombianas [25]. O aumento no espalhamento Coulomb com a redução da temperatura aparece implicitamente na mobilidade. Este mecanismo domina quando o transistor opera na faixa de inversão fraca a moderada com campo elétrico transversal de baixa intensidade [34].

O espalhamento por interações com a malha cristalina pode ocorrer através da emissão ou absorção de fônons acústicos ou ópticos, de acordo com a sua frequência [34]. No caso de campos elétricos longitudinais muito intensos, ou seja, maiores que  $10^6 \text{ V/m}$ , a interação com os fônons ópticos prevalece dando origem aos efeitos de portadores quentes, ao contrário do que é mostrado na Figura 2.7, onde há a presença de campos longitudinais

menores que  $10^6 V/m$ , predominando o espalhamento pelos fônons acústicos. Quando se considera apenas o efeito do espalhamento por fônons acústicos sobre a mobilidade, a dependência com a temperatura é dada por [25]:

$$\mu_{ph} \propto T^{-3/2} \quad (2.31)$$

Assumindo que a equação (2.31) é válida para a faixa criogênica, em particular 77K, observamos que o efeito do espalhamento por fônons acústicos diminui, ou seja, no limite a assíntota correspondente a este efeito na Figura 2.7 deixa de ser restritiva. De fato a literatura mostra um aumento na mobilidade com a redução da temperatura para transistores operando sob a influência do espalhamento por fônons, como pode ser visto em [1, 3, 8, 37–40].

Os efeitos de espalhamento citados determinam o comportamento da mobilidade para os transistores de canal longo. Porém, com a redução do comprimento do canal, o campo elétrico longitudinal  $E_{//}$  aumenta e com ele a energia dos portadores, que dessa forma, não estão mais em equilíbrio térmico com a malha cristalina. Por isso, são denominados portadores quentes (*hot carriers*) [41]. Este efeito ocasiona um comportamento não ôhmico da corrente [42], devido à interação com fônons ópticos. Como consequência do efeito dos portadores quentes a velocidade de deriva deixa de ser função linear do campo elétrico longitudinal, reduzindo a tensão de saturação,  $V_{Dsat}$ . Neste caso, a saturação da corrente no canal se deve principalmente à saturação da velocidade dos portadores e não mais ao *pinch-off* [25]. Como a mobilidade está relacionada com a velocidade de deriva, ela passa a ser limitada principalmente pelo efeito dos portadores quentes nos dispositivos de canal curto. Uma discussão mais detalhada do efeito da saturação da velocidade em dispositivos de canais curtos encontra-se em [10]. O equacionamento deste efeito no modelo EKV é detalhado por BAZIGOS [43].

### 2.2.6 Inclinação de Sub-limiar

A operação dos transistores na região de sub-limiar é importante nos circuitos de baixa potência [2]. Neste contexto, a inclinação de sub-limiar (*subthreshold slope*)  $S$  é um parâmetro essencial. Esta é definida como a variação de  $V_G$  necessária para que a corrente decresça uma ordem de grandeza, na operação em inversão fraca [10]. A inclinação de sub-limiar é caracterizada, neste caso, pelo inverso da inclinação da curva  $\log I_D \times V_G$  e medida em  $mV/década$ , segundo a equação [10]:

$$S \triangleq \frac{dV_G}{d(\log I_D)} \quad (2.32)$$

O parâmetro  $S$  é utilizado para verificar a presença de efeitos de canal curto nos transistores [10].

## 2.3 Ruído

Todos os componentes passivos e ativos de um circuito geram ruído. Para facilitar a modelagem, o ruído é geralmente dividido em ruído de baixa frequência, até dezenas de kilohertz [44], e de alta frequência. O ruído de baixa frequência é o que tem sido mais intensivamente estudado devido à sua relação com a redução das dimensões dos circuitos integrados e sua influência na eficiência de diversas aplicações, como circuitos de RF [45]. As duas principais componentes do ruído de baixa frequência no canal do transistor MOS são: o ruído térmico e o ruído *flicker*. Nesta seção será apresentada apenas o equacionamento do ruído de baixa frequência no modelo EKV2.6 devido a sua importância nos circuitos analógicos [44], principalmente nos circuitos integrados de leitura para detectores de infravermelho [3].

### 2.3.1 Ruído de Baixa Frequência

Nos transistores CMOS operando em temperatura ambiente, o ruído de baixa frequência é dominado pelo ruído *flicker* [30], também conhecido como ruído  $1/f$ . Esta denominação vem do fato deste ruído ser caracterizado por uma densidade espectral de potência (DEP) proporcional ao inverso da frequência. Esse tipo de ruído já foi estudado de forma abrangente em temperatura ambiente devido à sua importância no projeto de circuitos eletrônicos analógicos de baixo ruído [32, 46] e de sensores de imagem infravermelho de alto desempenho [3]. As duas principais hipóteses para a origem do ruído *flicker* usadas na formulação do modelo EKV2.6 são:

- Modelo McWhorter: flutuação no número de portadores na camada de inversão, decorrente da captura dos portadores no canal pelas armadilhas no óxido próximo à interface com o canal e a sua liberação (*trapping/detrapping*) [47];
- Modelo Hooge: flutuação na mobilidade dos portadores no canal, devido a variações nos mecanismos de espalhamento, em particular flutuações nos números de fônons [48].

O modelo EKV2.6 também considera as contribuições do ruído *flicker* das resistências de dreno e fonte para o ruído total. Neste caso, o ruído *flicker* total será dado pela expressão [30]:

$$\frac{S_{\Delta I_{nD}^2}}{I_D^2} = \frac{S_{\Delta I_{nD}^2}}{I_D^2} \Big|_{\Delta N} + \frac{S_{\Delta I_{nD}^2}}{I_D^2} \Big|_{\Delta \mu} + \frac{S_{\Delta I_{nD}^2}}{I_D^2} \Big|_{\Delta R} \quad (2.33)$$

Onde  $S_{\Delta I_{nD}^2}$  é a DEP da flutuação total da corrente de dreno normalizada,  $\Delta N$  indica a contribuição do modelo de McWerther,  $\Delta\mu$  indica a contribuição do modelo de Hooge e  $\Delta R$  a do ruído das resistências.

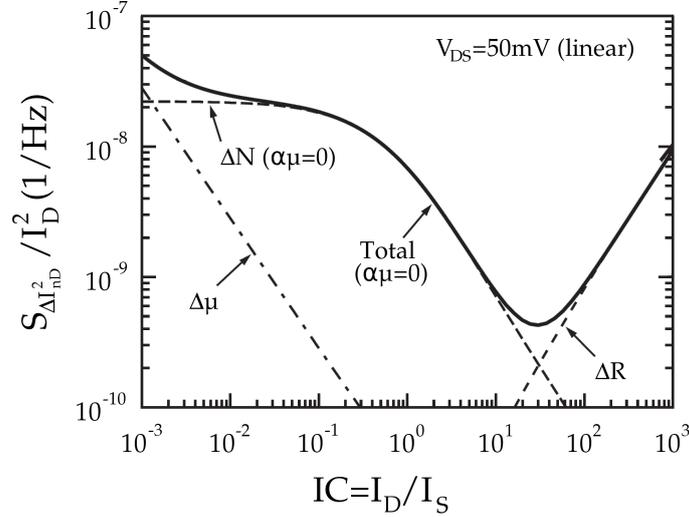


Figura 2.8: Representação da DEP do ruído *flicker* total na região linear, normalizada pelo quadrado da corrente de dreno, pelo coeficiente de inversão. Estão destacadas em tracejado as diversas contribuições para o ruído (adaptado de [30]).

Na Figura 2.8 o ruído *flicker* total corresponde à curva contínua. As contribuições da flutuação no número dos portadores na camada de inversão ( $\Delta N$ ), da flutuação na mobilidade dos portadores no canal ( $\Delta\mu$ ) e das resistências de dreno e fonte ( $\Delta R$ ) são representadas em tracejado, como indicado pela equação (2.33). Neste gráfico, observa-se que o ruído das resistências predomina na região de inversão forte ( $IC \gg 10$ ). Na região de inversão moderada ( $0, 1 < IC < 10$ ) prevalece o ruído *flicker* devido a variação no número de portadores na camada de inversão. Na região de inversão fraca ( $IC \ll 0, 1$ ) há uma maior influência do ruído decorrente da flutuação na mobilidade.

O modelo EKV2.6 a expressão para o ruído *flicker* é dada por:

$$S_{I_D}(f) = \frac{K_F g_m^2}{W_{eff} L_{eff} C'_{OX} f^{A_F}} \quad (2.34)$$

Onde  $A_F$ , e  $K_F$  são parâmetros de ajuste do modelo EKV2.6 para o ruído *flicker* [22], sendo  $K_F$  dependente do processo de fabricação [8]. Segundo BHATTACHARYYA [34]  $K_F$  é praticamente insensível à polarização. A equação (2.34) é baseada em experimentos realizados em temperaturas criogênicas e ambiente.

Com a redução da temperatura há aumento no número de armadilhas, o que intensifica o ruído *flicker* na região de inversão moderada, devido ao efeito das armadilhas na flutuação

do número de portadores. Esse aumento já foi constatado por MARTIN *et al.* [3] em seus experimentos. O efeito da redução da temperatura no número de armadilhas será discutido em maiores detalhes na Seção 2.4.

## 2.4 Efeitos Não Lineares em Temperaturas Criogênicas

Diversos efeitos não lineares afetam o comportamento dos dispositivos CMOS. Alguns são específicos da operação em temperaturas criogênicas, outros estão relacionados à geometria dos dispositivos. Nesta seção serão analisados os principais efeitos específicos da operação de transistores CMOS em 77K discutidos na literatura.

Em temperaturas criogênicas há uma redução na energia das impurezas, aumentando a concentração de impurezas parcialmente ionizadas que agem como armadilhas para os portadores. Estas armadilhas reduzem o número de portadores que são excitados para a banda de condução [2]. Este fenômeno é denominado de congelamento de portadores e a temperatura para a qual ele ocorre depende do processo de fabricação. O efeito *kink* e o efeito *kink* linear, que serão discutidos nesta seção, estão relacionados com o congelamento dos portadores.

### 2.4.1 Efeito *Kink*

O efeito *Kink* é um exemplo de efeito específico da operação em temperaturas criogênicas. Este efeito foi observado primeiramente nos dispositivos fabricados na tecnologia Silício-sobre-Isolante (*Silicon-on-Insulator*, SOI) operando em temperatura ambiente. Nas tecnologias CMOS convencionais, este efeito ocorre quando se opera em temperaturas abaixo do congelamento forte de portadores ( $T \leq 30K$ ). O efeito *Kink* é caracterizado pelo aumento abrupto da corrente de dreno provocado por um pequeno aumento na tensão dreno-fonte, como é mostrado Figura 2.9 [2].

Tem sua origem na amplificação do efeito de ionização por impacto promovida pelo congelamento dos portadores [8]. Nas temperaturas onde há o congelamento ocorre um aumento da resistência do substrato que impede o escoamento da carga gerada pela ionização, através do terminal de terra do substrato [8]. As cargas acumuladas contribuem para o aumento do potencial de substrato  $V_B$ , reduzindo a tensão de limiar efetiva. Uma maneira de atenuar o efeito *kink* é utilizar estruturas de dreno levemente dopado (*Lightly Doped Drain*, LDD), que reduzem as cargas geradas por ionização por impacto [1]. Segundo SIMOEN e DIERICKX [49] o efeito *Kink* está relacionado com o aumento do ruído de baixa frequência.

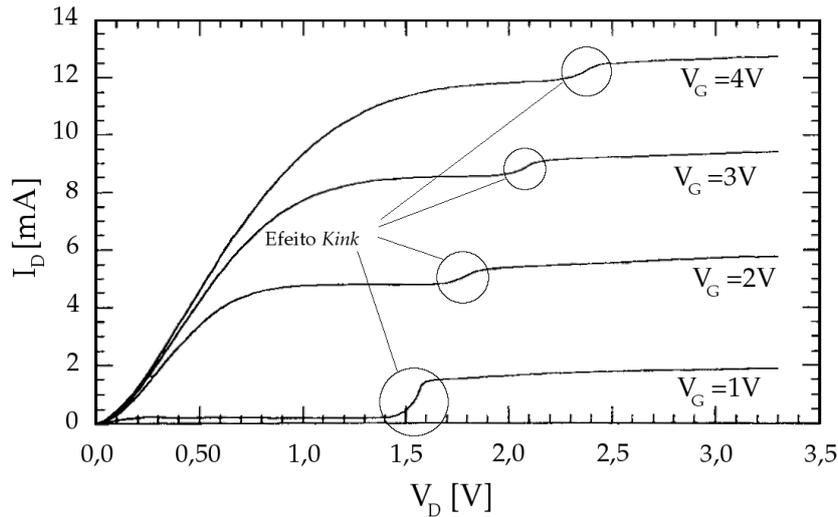


Figura 2.9: Efeito *Kink* (adaptado de [2]).

### Dreno Levemente Dopado

As estruturas conhecidas como LDD são regiões adjacentes ao dreno e à fonte, com menor concentração de impurezas, como é mostrado na Figura 2.10. Esse recurso é utilizado em tecnologias CMOS acima de  $130nm$  ou tecnologias específicas para alta potência com o objetivo de reduzir os efeitos de portadores quentes [10]. Essa redução se deve à diminuição do campo elétrico máximo no canal, pela extensão das regiões de dreno e fonte no canal obtidas pelo acréscimo do LDD. Este recurso pode implicar em um aumento significativo na resistência de dreno-fonte [10].

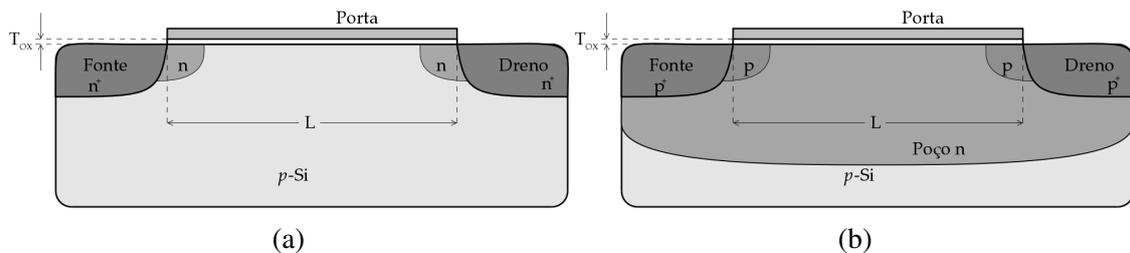


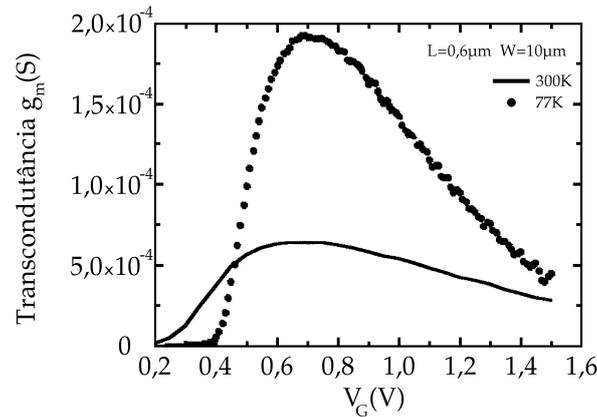
Figura 2.10: Transistor com LDD. (a) NMOS. (b) PMOS.

A literatura ([1, 8, 9]) mostra que essas estruturas têm influência em alguns efeitos não lineares descritos nesta seção e depende das características do processo de fabricação. Os efeitos observados nesta tecnologia serão detalhados no Capítulo 4.

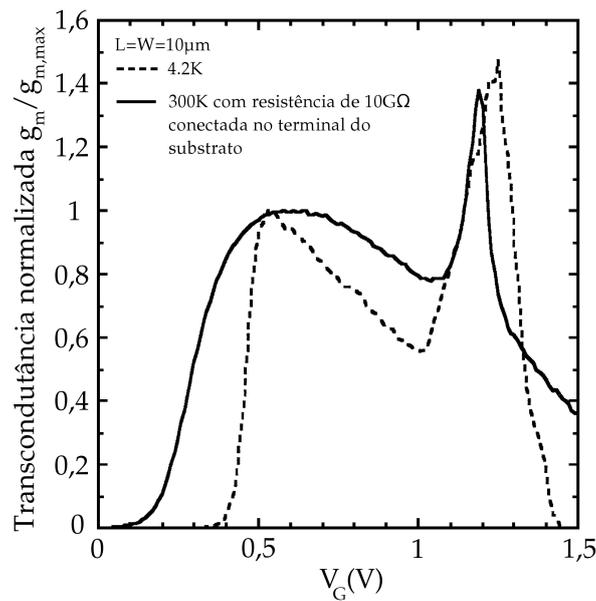
### Efeito *Kink* Linear

Além do efeito *kink* descrito acima, foi observado uma variante deste denominada efeito *kink* linear (LKE). O LKE produz um segundo pico na transcondutância, uma elevação na corrente de dreno e um aumento do ruído de baixa frequência. A título de

comparação a curva padrão da transcondutância  $g_m$ , descrita pela equação (2.20a) da Seção 2.2.4, é mostrada na Figura 2.11a [50]. A curva modificada pelo LKE é mostrada na Figura 2.11b. Este efeito ocorre em temperaturas criogênicas e pode ser reproduzido, qualitativamente, em temperatura ambiente através da utilização de um resistor de alto valor (da ordem de  $10G\Omega$ ) conectado em série com substrato [50], como é mostrado na Figura 2.12.



(a)



(b)

Figura 2.11: Curvas experimentais da transcondutância  $g_m$ . (a) Curva padrão da transcondutância para um transistor com  $L = 0,6\mu\text{m}$   $W = 10\mu\text{m}$  em  $300\text{K}$  e  $77\text{K}$ . (b) Transcondutância normalizada, pela transcondutância máxima sem LKE, modificada pelo LKE para um transistor com  $L = W = 10\mu\text{m}$  em  $4,2\text{K}$  e em  $300\text{K}$  com resistor de  $10G\Omega$  conectado ao substrato (adaptado de [50]).

Analogamente ao efeito *kink*, o LKE tem origem no acúmulo de cargas, só que neste caso as cargas são provenientes da corrente de porta produzida por tunelamento, que é

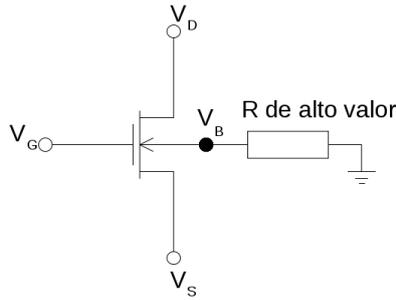


Figura 2.12: Esquemático das ligações do transistor NMOS para a reprodução do LKE em temperatura ambiente.

mais comum em tecnologias de porta ultra-fina. Segundo MERCHA *et al.* [50], o mecanismo responsável pela corrente de porta é o tunelamento de elétrons na banda de valência (*Electron Valence Band tunneling*, EVB). O acúmulo de cargas decorrente do congelamento de cargas já descrito leva a uma polarização do substrato, diminuindo a tensão de limiar efetiva (tensão de limiar subtraída do potencial do substrato). Este efeito se assemelha ao efeito *kink*. Porém o campo elétrico relevante, neste caso, é o transversal ao canal, que gera o EVB. No primeiro caso o campo relevante é o campo longitudinal que ioniza as impurezas por impacto dos portadores.

Não há consenso sobre a origem do excesso de ruído associado ao efeito *kink* linear, entretanto, a literatura [50] mostra que o ruído deixa de ter um comportamento  $1/f$  e passa a ser Lorentziano assumindo que isto é ocasionado por um ruído *shot* filtrado pela impedância gerada no substrato pelo congelamento.

## 2.4.2 Transcondutância Negativa

O fenômeno da transcondutância negativa foi notado inicialmente por FANG e HOWARD [51]. Ele está relacionado aos efeitos provocados por um campo elétrico forte na mobilidade efetiva dos portadores na região de inversão do canal, quando o dispositivo opera na região ôhmica. À medida que  $V_G$  aumenta, há um aumento do campo elétrico transversal que implica uma mudança do mecanismo de espalhamento dominante [52], como descrito na Seção 2.2.5. Com esta mudança, há uma redução na mobilidade efetiva dos portadores. Por outro lado, o aumento da concentração de portadores na camada de inversão, e o conseqüente aumento de corrente, não são suficientes para compensar a redução na mobilidade [3]. Dessa forma, há uma redução na corrente efetiva de dreno para um aumento de  $V_G$ , o que se traduz em uma transcondutância negativa na equação (2.20a).

## 2.5 Efeitos de Canal Curto

A redução do comprimento do canal gera efeitos relacionados com o aumento do campo elétrico efetivo no canal e com a interação entre os potenciais de dreno e fonte e as cargas no canal. Os seguintes fenômenos, que afetam os transistores de canal curto e são relevantes para o projeto de circuitos integrados, serão discutidos nesta seção:

- compartilhamento de cargas;
- redução de barreira induzida pelo dreno (DIBL);
- *punchthrough*;
- efeito de canal curto reverso (RSCE); e
- corrente de fuga de dreno induzida pela porta (GIDL).

### 2.5.1 Compartilhamento de Cargas

O compartilhamento de cargas nos transistores de canal curto ocorre devido à proximidade das regiões de depleção de dreno e fonte nas extremidades do canal [10]. Isto permite que o campo elétrico proveniente destas regiões passe a influenciar as cargas na região de depleção abaixo do canal, concorrendo com a porta no controle dessas cargas, como é mostrado na Figura 2.13 [25]. Na Figura 2.13,  $t_D$  e  $t_S$  são as espessuras da região de depleção de dreno e fonte, respectivamente,  $t_{Dm}$  é a espessura máxima da camada de depleção para um transistor de canal longo,  $L_{eff}$  é o comprimento efetivo do canal e  $W_D$  e  $W_S$  são as larguras da região de depleção de dreno e fonte, respectivamente.

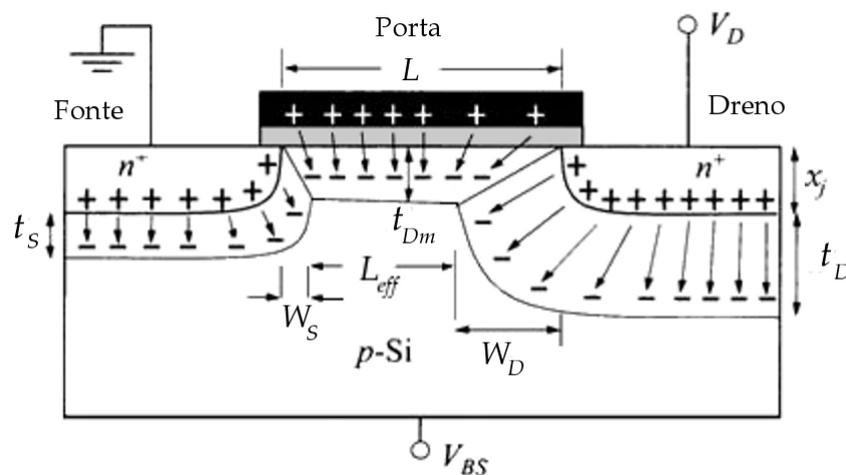


Figura 2.13: Compartilhamento de cargas sob o canal entre o terminal de porta e os terminais de dreno e fonte (adaptado de [25]).

Com o efeito do compartilhamento, há uma redução nas cargas controladas pela porta e que delimitam a região de depleção  $Q_B$ , como é mostrado na Figura 2.13. Na equação (2.7), que define  $V_{T0}$ , o termo  $\gamma \sqrt{\Psi_0}$  representa a carga  $Q_B$ . Assim, a redução de  $Q_B$  acarreta uma diminuição na tensão de limiar  $V_{T0}$ . O efeito do compartilhamento de cargas é modelado tornando o efeito de corpo  $\gamma$  dependente dos potenciais de dreno e fonte e do comprimento do canal:

$$\gamma' = \gamma - \frac{\varepsilon_{Si}}{C'_{OX}} \cdot \left[ \frac{\eta_L}{L_{eff}} \cdot \left( \sqrt{V'_S} + \sqrt{V'_D} \right) - \frac{3 \cdot \eta_W}{W_{eff}} \cdot \sqrt{V_P + \Psi_0} \right] \quad (2.35)$$

onde  $\eta_L$  é o coeficiente para canal curto e  $\eta_W$  é o coeficiente para canal estreito. Como resultado do efeito de compartilhamento de cargas a tensão de limiar é reduzida com a diminuição do comprimento do canal.

Devido à dependência das espessuras das regiões de depleção de dreno e fonte com a temperatura, o compartilhamento de cargas também dependerá da temperatura [42]. Como assinalado por GHIBAUDO e BALESTRA [42], esta dependência é pequena e não é relevante.

## 2.5.2 Redução de Barreira Induzida pelo Dreno

Este efeito ocorre em dispositivos de canal curto, devido à aproximação das camadas de depleção do dreno e fonte que naturalmente decorre da redução do comprimento do canal. Analogamente ao que acontece no compartilhamento de cargas, o campo elétrico proveniente do dreno penetra a região da fonte, reduzindo a barreira de potencial [10]. Com isso, a tensão de limiar é reduzida e se torna função de  $V_{DS}$ . Em [10] a variação na tensão de limiar é aproximada por:

$$\Delta V_{T,DIBL} \approx -[3(\Psi_{bi} - \Psi_0) + V_{DS}]e^{-L/L_0} \quad (2.36)$$

Onde  $\Psi_{bi}$  é o potencial de junção das junções dreno-canal e fonte-canal e  $L_0$  é o comprimento característico. No modelo EKV  $L_0$  é dado pela expressão [19]:

$$L_0 = \eta_D \cdot \sqrt{\frac{\varepsilon_{Si} \cdot \gamma}{q \cdot N_{sub}} \sqrt{\Psi_0}}, \quad \eta_D \cong 1 \quad (2.37)$$

Nesta equação  $\eta_D$  é o parâmetro do efeito DIBL no comprimento característico. A modelagem correta do efeito DIBL, bem como dos outros efeitos de canal curto, aumenta consideravelmente o custo computacional para os simuladores. Por isso, é utilizado por GUTIERREZ-D. *et al.* [2] um modelo empírico simplificado para esta variação dado pela equação:

$$V_{T,DIBL} = V_{T0} - \sigma V_{DS} \quad (2.38a)$$

$$\sigma = \frac{\partial V_{T,DIBL}}{\partial V_{DS}} \quad (2.38b)$$

Onde  $\sigma$  é o parâmetro DIBL, que possui diversas definições [2]. Seguem algumas definições de  $\sigma$  como descrito em [2]:

$$\sigma \triangleq \left( \frac{\sigma_0 \mathcal{E}_{Si}}{C_{OX} L_{eff}^n} \right) \quad (2.39)$$

$$\sigma \triangleq \left[ \frac{\sigma_0 \mathcal{E}_{Si}}{L_{eff}(C_{OX} + C_D)} \right] \quad (2.40)$$

$$\sigma \triangleq \left( \frac{6T_{OX}}{W_{Dm}} \right) e^{-(\pi L_{eff}/4W_{Dm})} \quad (2.41)$$

Onde  $n$  varia de 1 a 3 em (2.39),  $\sigma_0$  é um parâmetro de ajuste,  $C_{OX}$  é a capacitância do óxido e  $C_D$  é a capacitância de depleção. Na equação (2.40) há uma dependência com o potencial de substrato, já que  $C_D$  é função do potencial do substrato.

Este efeito tem sido bastante estudado, inclusive na operação em temperaturas criogênicas, devido à sua importância para as novas tecnologias [42]. Um método proposto por FIKRY *et al.* [53] que evita a influência de outros efeitos na extração do parâmetro  $\sigma$ , utiliza o fato da corrente de dreno ser função do potencial de dreno e de porta, desde a inversão fraca até a forte. Da derivada da corrente de dreno  $I_D$  em relação à tensão dreno-fonte  $V_{DS}$ , considerando o efeito DIBL, obtém-se a condutância de saída  $g_{ds}$  em função da transcondutância  $g_m$  e de  $\sigma$ :

$$g_{ds} = g_{ds0} + \sigma g_m \quad (2.42)$$

Nessa expressão  $g_{ds0}$  é a condutância de dreno-fonte sem o efeito DIBL.

Na saturação, a expressão (2.42) é simplificada para:

$$g_{ds,sat} = \sigma g_{m,sat} \quad (2.43a)$$

$$\sigma = \frac{g_{ds,sat}}{g_{m,sat}} \quad (2.43b)$$

Nesta equação o valor de  $\sigma$  é obtido a partir da relação  $g_{dsat}/g_{msat}$ , que é o mínimo da curva  $g_{ds}/g_m$  em função de  $V_D$ , para um dado  $V_G$ .

Como pode ser observado das equações (2.39) a (2.41), não há uma dependência direta de  $\sigma$  com a temperatura. E, de fato, experimentos realizados e relatados por FIKRY *et al.* [53] mostram que este efeito é praticamente insensível a temperatura.

### 2.5.3 *Punchthrough*

Este fenômeno ocorre no caso extremo em que, na Figura 2.13,  $L \leq t_D + t_S$  [25]. Neste caso, devido à proximidade entre as regiões de dreno e fonte, há um forte efeito DIBL que reduz a barreira de potencial na fonte. Com isso, os portadores majoritários da fonte são injetados diretamente na região de depleção do dreno e acelerados pelo campo elétrico, gerando uma corrente de fuga. Quando  $L \approx t_D + t_S$ , este efeito é denominado *punchthrough* de superfície, pois a corrente circula na superfície mesmo que a porta não induza a formação do canal [10]. Devido à redução na concentração de impurezas do substrato abaixo das junções de dreno e fonte, há um aumento na região de depleção neste local, Figura 2.14b. Assim sendo  $L < t_D + t_S$ , o que acarreta uma corrente de fuga através do substrato, sendo denominado *punchthrough* de substrato [25].

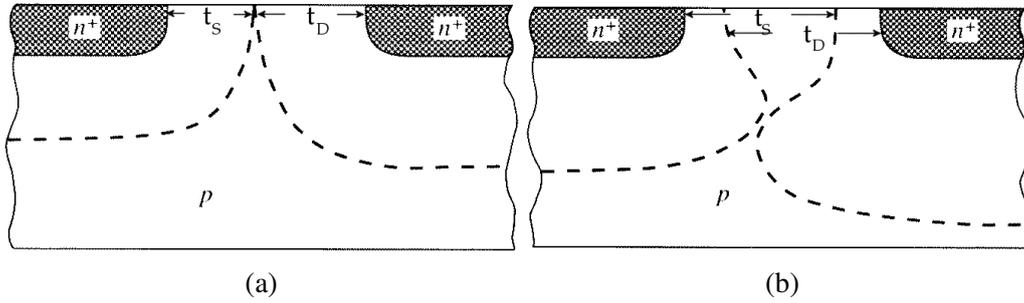


Figura 2.14: Regiões de depleção de dreno e fonte para o efeito de *punchthrough*. (a) *Punchthrough* de superfície. (b) *Punchthrough* de substrato (adaptado de [10]).

Apesar dos autores separarem o efeito *punchthrough* em duas componentes de corrente, uma de superfície e outra de substrato, a modelagem é feita considerando o efeito em conjunto das duas componentes na inclinação sub-limiar  $S$  da curva  $\log I_D \times V_G$ , equação (2.32). O efeito *punchthrough* aumenta significativamente  $S$ , ou seja, diminuindo a inclinação da curva  $\log I_D \times V_G$ , como é mostrado na Figura 2.15 extraída de [25]. Adicionalmente, o efeito de *punchthrough* reduz a eficiência do potencial de porta no controle da corrente de dreno.

Devido à importância deste efeito, a sua relação com a temperatura já foi investigada e é representada pela equação [42]:

$$I_D \propto \exp\left(-\frac{\phi - V_B}{kT}\right) \quad (2.44)$$

Onde  $V_B$  é o potencial do substrato e  $\phi$  é a barreira de potencial entre dreno e fonte. Nesta equação observa-se que este efeito pode ser evitado, ou reduzido, seja com o aumento do potencial de substrato, seja com a redução da temperatura, como é mostrado na

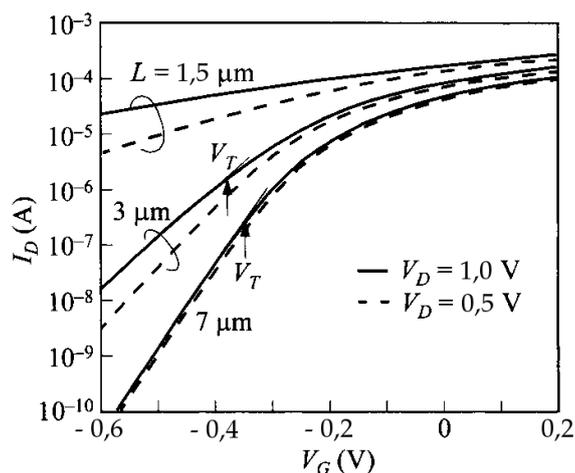


Figura 2.15: Efeito do *punchthrough* na curva  $I_D \times V_G$  para vários comprimentos de canal  $L$  (adaptado de [25]).

Figura 2.16. Neste último caso, a redução na energia dos portadores na região de depleção impede que eles ultrapassem a barreira de potencial entre dreno e fonte.

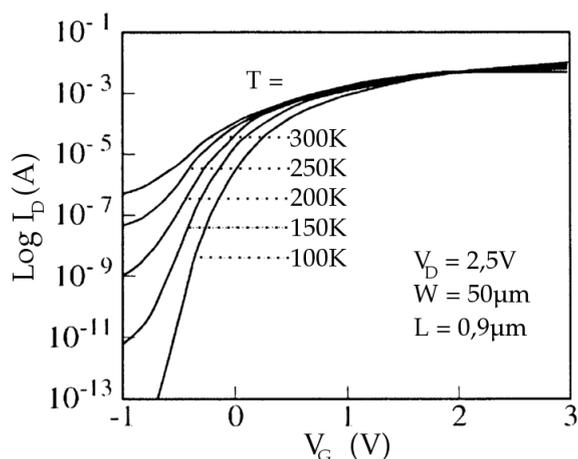


Figura 2.16: Curva típica  $\log I_D \times V_G$  para um transistor de  $W = 50\mu m$  e  $L = 0,9\mu m$  nas temperaturas de 300K, 250K, 200K, 150K e 100K (adaptado de [29]).

### 2.5.4 Efeito de Canal Curto Reverso

O efeito de canal curto reverso (RSCE) é um comportamento anômalo na característica da tensão de limiar, curva  $\Delta V_{T0} \times L$ , decorrente da inclusão das estruturas LDD na tecnologia CMOS [2]. A inclusão das etapas necessárias à implementação do LDD geram não uniformidades na concentração de impurezas ao longo do canal, produzindo um excesso de impurezas nas extremidades. Esta não uniformidade é que produz o efeito RSCE [41]. Devido ao compartilhamento de cargas, descrito na Seção 2.5.1, uma redução do comprimento do canal produz uma queda da tensão de limiar. Por sua vez, o RSCE é caracterizado por um aumento inicial da tensão de limiar, quando se reduz o compri-

mento do canal. Este comportamento é mostrado na Figura 2.17. A modelagem do efeito RSCE é feita no modelo EKV2.6 conforme a equação [34]:

$$\Delta V_{RSCE} = \frac{2Q'_0}{C'_{OX}} \cdot \frac{1}{\left[1 + \frac{1}{2} \cdot \left(\xi + \sqrt{\xi^2 + C_\varepsilon}\right)\right]^2}, \quad (2.45)$$

onde  $Q'_0$  é o pico da densidade de carga nas extremidades de dreno e fonte,  $C_\varepsilon = 4(22 \times 10^{-3})^2$ ,  $L_K$  é o comprimento característico do RSCE, ou seja, a extensão da não uniformidade ao longo do canal, e:

$$\xi = C_A \cdot \left(10 \frac{L_{eff}}{L_K} - 1\right) \quad (2.46)$$

com  $C_A = 0,028$ .

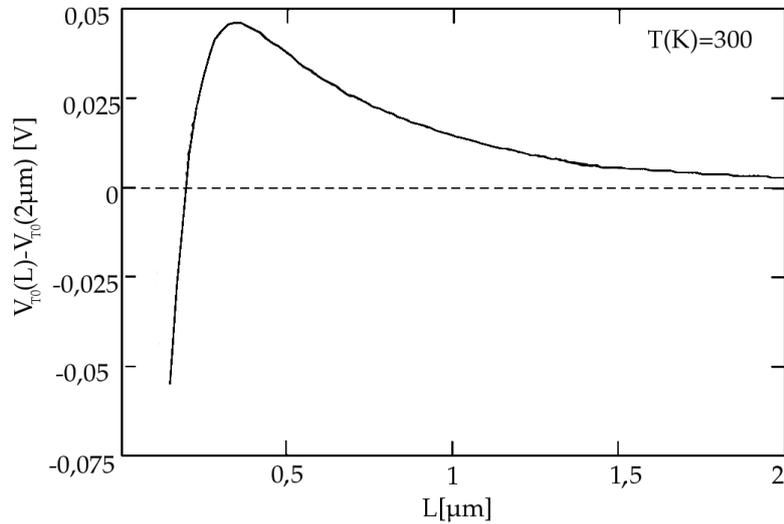


Figura 2.17: Característica de  $\Delta V_{T0}(L)$  a partir do modelo da equação (2.47) com parâmetros  $N_{sub} = 10^{17} cm^{-3}$ ,  $N_0 = 2 \times 10^{17} cm^{-3}$ ,  $y_0 = 0,2 \mu m$  e  $\beta = 2$  para  $T = 300K$  (adaptado de [54]).

As simulações e medidas realizadas por SZELAG *et al.* [54] comprovam a interpretação de que a não uniformidade na concentração de impurezas provoca o efeito RSCE.

A influência da temperatura no efeito RSCE não é representada na equação (2.45), tampouco no modelo proposto por ARORA [41]. Porém, há uma redução significativa do efeito RSCE com a temperatura, o que a equação (2.45) e o modelo proposto por ARORA [41] não explicam. A dependência deste fenômeno aparece no modelo proposto

por SZELAG *et al.* [54]:

$$V_{T0}(N_{sub,eff}) = V_{FB} + 2 \cdot \Phi_F(N_{sub,eff}) + \frac{Q'_{dsc}(N_{sub,eff})}{C'_{OX}} \quad (2.47)$$

$$N_{sub,eff}(L) = N_{sub,long} + 2 \frac{N_0 L_K}{L} \left[ 1 - \exp \left[ - \left( \frac{L}{L_K} \right)^\beta \right] \right] \quad (2.48)$$

Onde  $N_{sub,eff}$  é a concentração efetiva de portadores no canal,  $N_{sub,long}$  é a concentração de portadores para um transistor de canal longo ( $N_{sub}$ ),  $\beta$  é um expoente ajustável,  $N_0$  é a concentração de impurezas dopantes em excesso e  $Q'_{dsc}(N_{sub,eff})$  é a densidade de cargas que delimitam a região de depleção calculada considerando o efeito de compartilhamento de cargas usando a concentração efetiva de portadores no canal.

Na equação (2.47), a relação com a temperatura ocorre implicitamente através do potencial de Fermi, que é menos sensível à concentração de impurezas em temperaturas criogênicas [54].

### 2.5.5 Corrente de Fuga de Dreno Induzida pela Porta

Este fenômeno é caracterizado por um aumento na corrente de fuga da junção dreno-substrato, devido ao campo elétrico criado pela superposição entre dreno e porta [10]. Esta corrente de fuga persiste nos transistores mesmo com  $V_G = 0$ . Isto é um obstáculo para o projeto de circuitos integradores de corrente para imageadores CMOS, tanto para o espectro visível quanto para o infravermelho, devido às pequenas correntes a serem integradas [3]. Segundo SZE e NG [25] essa superposição forma um diodo controlado pela porta, onde a corrente é explicada pelo mecanismo de avalanche. Entretanto, TSIVIDIS e MCANDREW [10] justificam essa corrente pelo mecanismo de tunelamento de banda para banda, que é comprovado pelas medidas de CHEN *et al.* [55]. Com base na teoria de tunelamento, CHEN *et al.* [55] propõem como modelo para a corrente GIDL:

$$I_{GIDL} = A E_{Si} \exp \left[ - \frac{\pi \sqrt{m^*} E_g^{3/2}}{2 \sqrt{2} q \hbar E_{Si}} \right] = A E_{Si} \exp(-B/E_{Si}) , \quad (2.49)$$

onde  $A$  é uma constante para uma dada temperatura e proporcional ao quadrado de  $E_g$  [29],  $m^*$  é a massa efetiva,  $\hbar$  é a constante de Planck normalizada e  $E_{Si}$  é o campo elétrico transversal à superfície do substrato:

$$E_{Si} \simeq \frac{V_{DG} - 1,2}{\frac{\epsilon_{Si}}{\epsilon_{ox}} T_{OX}} \quad (2.50)$$

Sendo  $1,2V$  a mínima flexão no diagrama de bandas de energia necessária para que possa ocorrer o tunelamento [55]. Segundo TSIVIDIS e MCANDREW [10], o tunelamento de banda para banda é a principal causa da corrente GIDL. Este fenômeno recebe outras contribuições como tunelamento assistido por armadilha e avalanche por ionização por impacto [10].

Nota-se na equação (2.49) que não há uma relação explícita da corrente GIDL com a temperatura. A dependência é implícita através da fraca dependência de  $E_g$  com a temperatura. De fato, os resultados fornecidos pela equação (2.49) estão de acordo com as medidas feitas por CHEN *et al.* [55] para a faixa de 298K a 423K. Entretanto, experimentos realizados e relatados em [3, 29] mostram que para temperaturas criogênicas é necessária uma melhor modelagem deste fenômeno. Apesar da pequena dependência esperada, há uma redução de aproximadamente uma ordem de grandeza na corrente GIDL com a temperatura. Esta alteração é notada no coeficiente  $A$ , como destacado por BALESTRA e GHIBAUDO [29].

De acordo com GUTIERREZ-D. *et al.* [2] essa relação com a temperatura mostra que, na verdade, o mecanismo dominante é o tunelamento assistido por armadilha, porque na faixa de temperatura criogênica há uma redução nos níveis de energia das armadilhas, o que reduz a corrente gerada por esse mecanismo. Uma descrição detalhada desta modelagem é encontrada em [56].

## Capítulo 3

# Extração de Parâmetros do Modelo

## EKV em 77K

No projeto de circuitos integrados a precisão dos modelos dos componentes é essencial. Apesar das aplicações da eletrônica criogênica em muitos sistemas, como assinalado anteriormente, muitos fabricantes (*foundries*) de circuitos CMOS não fornecem seu conjunto de parâmetros de simulação e *Design Kit* para temperaturas abaixo da faixa especificada nas normas militares [3, 24, 57]. Sendo necessário extrair esses parâmetros e gerar uma biblioteca do modelo para o simulador. Em geral, a extração de parâmetros requer estruturas de teste especificamente projetadas para a faixa de temperatura de interesse. GRABINSKI [58] sugere um diagrama em blocos para extração dos principais parâmetros do modelo EKV2.6, onde inicialmente é feita a caracterização CC (corrente contínua) e posteriormente a extração dos parâmetros de ruído [3] e de casamento (*matching*), necessários nas simulações de Monte Carlo. Uma descrição mais detalhada dos procedimentos para extração dos parâmetros do modelo EKV2.6 é feita por GRABINSKI [58].

Por questão de compatibilidade entre simuladores e padronização das linguagem de descrição de hardware (*Hardware Description Language*, HDL) convencionou-se utilizar a codificação ASCII para os dados de entrada. Isto implica uma diferença entre os símbolos utilizados na formulação do modelo EKV2.6 e os parâmetros do modelo em ASCII, como é mostrado na Tabela 3.1.

Tabela 3.1: Parâmetros do modelo EKV2.6

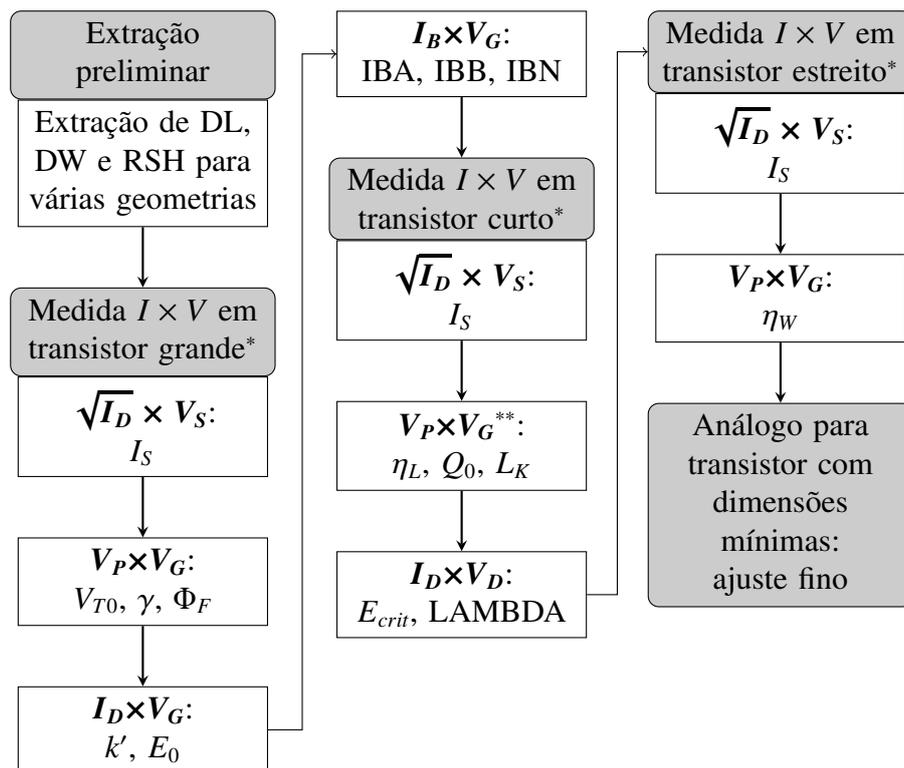
Parâmetro	Acrônimo	Descrição
$V_{T0}$	VT0	Tensão de limiar de um transistor grande*
$\gamma$	GAMMA	Efeito de corpo
$\Psi_0$ **	PHI	Dobro do potencial de Fermi do substrato
$k'$	KP	Fator de transcondutância
$C'_{OX}$	COX	Capacitância do óxido por unidade de área
$x_j$	XJ	Profundidade da junção

\*Como citado na Seção 2.2, um transistor é considerado com geometria grande quando suas dimensões são maiores que  $10\mu m$ [12];

\*\*Cabe ressaltar que na versão 3.0 do modelo EKV o parâmetro PHI, que correspondia a  $\Psi_0 = 2\Phi_F$ , foi substituído por PHIF, que é o potencial de Fermi do substrato  $\Phi_F$ .

Tabela 3.2: Parâmetros do modelo EKV2.6 para efeitos de segunda ordem

Parâmetro	Acrônimo	Descrição
-	DW	Profundidade da junção
-	DL	Profundidade da junção
$E_0$	E0	Campo elétrico característico para a redução de mobilidade
$E_{crit}$	UCRIT	Campo elétrico crítico longitudinal
-	LAMBDA	Coefficiente de comprimento de depleção (modulação de comprimento de canal)
$\eta_L$	LETA	Coefficiente para efeito de canal curto
$\eta_W$	WETA	Coefficiente para efeito de canal estreito
$Q_0$	Q0	Pico de densidade de carga para o RSCE
$L_K$	LK	Comprimento característico para o RSCE
-	IBA	Primeiro coeficiente de ionização por impacto
-	IBB	Segundo coeficiente de ionização por impacto
-	IBN	Fator de tensão de saturação para ionização por impacto



\*Como citado na Seção 2.2, um transistor é considerado com geometria grande quando suas dimensões são maiores que  $10\mu m$ [12].

\*\*Seqüência de medidas para transistores com comprimento de canal diferente.

Figura 3.1: Diagrama em blocos de extração de parâmetros CC do modelo EKV2.6 (adaptado de [58]).

### 3.1 Estruturas de teste em tecnologia 0,35 $\mu\text{m}$

Estruturas de teste para a extração de parâmetros de modelo de simulação, para a operação nas faixas de temperatura definidas nas normas militares, foram projetadas por DE LIMA [59] e ROCHA JÚNIOR [27] e fabricadas em tecnologia AMS CMOS 0,35 $\mu\text{m}$  C35B4C3 [60, 61]. Os circuitos fabricados contendo estas estruturas foram utilizados neste trabalho para a extração de parâmetros de modelo dos transistores MOS em 77K. Por esse motivo, parâmetros ou comportamentos específicos da operação em 77K não puderam ser determinados. O processo (C35B4C3) consiste numa tecnologia CMOS convencional com duplo poço, possui quatro camadas de metal e duas de polissilício, uma camada de polissilício de alta de resistência e utiliza estruturas de LDD.

#### 3.1.1 Matriz de transistores

Nos circuitos de sensor de pixel ativo (*Active Pixel Sensor*, APS) fabricados nas dissertações de DE LIMA [59] e ROCHA JÚNIOR [27] foi inserida uma matriz composta por 28 transistores, agrupados eletricamente em 4 linhas de 7 transistores, como mostrado no esquemático da Figura 3.2, com a geometria necessária para atender às condições definidas pela metodologia de extração do modelo EKV1.0 em temperatura ambiente [14, 23]. A máscara do projeto do APS de ROCHA JÚNIOR [27] é mostrada na Figura 3.3 onde está destacada a matriz de transistores.

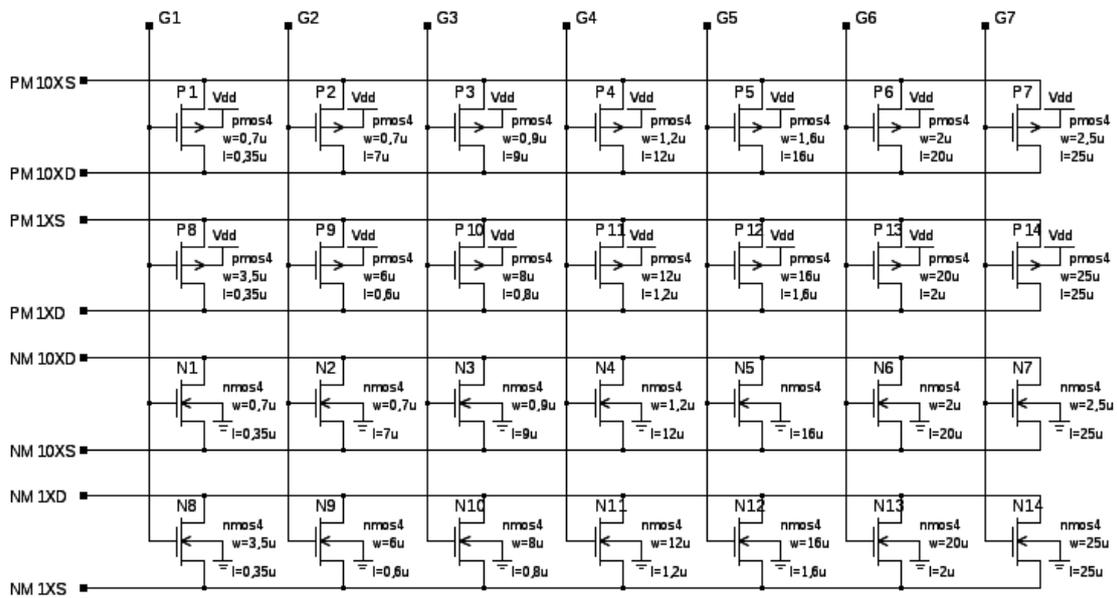


Figura 3.2: Esquemático da matriz de transistores do CI projetado por ROCHA JÚNIOR [27], onde o pino 36 corresponde a *Vdd*.

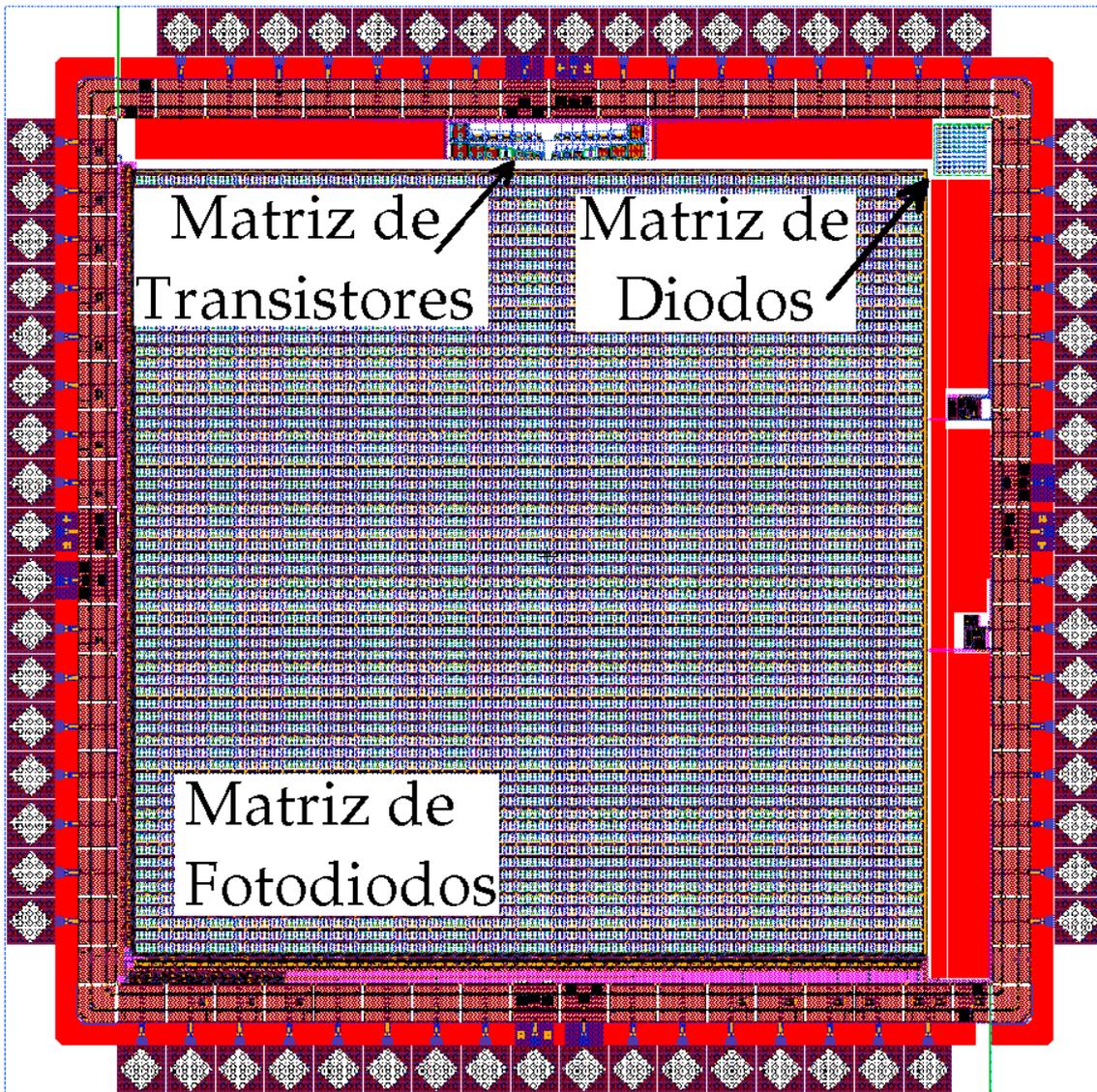


Figura 3.3: Leiaute do CI utilizado para testes projetado por ROCHA JÚNIOR [27].

A matriz possui duas linhas compostas por transistores PMOS e duas por transistores NMOS, como mostrado nas Figuras 3.2 e 3.4, sendo que uma linha de cada tipo de transistor é composta por transistores interdigitados (com dez *fingers*). As dimensões dos transistores estão indicadas na Tabela B.1 do Apêndice B. A posição de cada transistor e as interconexões elétricas destes são mostradas no esquemático da Figura 3.2. Na máscara de fabricação, os blocos correspondentes aos transistores P e N foram colocados lado a lado para se obter uma razão de aspecto da matriz compatível com o espaço disponível. Pode ser observado na figura, que os drenos dos transistores de uma linha estão interligados no mesmo barramento para economia de *pads*. Da mesma forma foi feito com as fontes. No esquemático, as dimensões dos transistores P1 a P7 e N1 a N7 representam os valores de cada *finger*.

Os terminais de porta dos transistores de cada coluna são interligados, sendo chamados de G1 a G7. Com essa configuração é possível caracterizar um transistor de cada vez havendo, porém, interferência entre as capacitâncias e as correntes de fuga dos transistores. Dentre outras limitações desse tipo de topologia, estas interferências impedem a obtenção de parâmetros relativos aos efeitos específicos da operação em 77K, como citado acima. É importante notar que os terminais de porta possuem diodos de proteção contra descargas eletrostáticas (*Electrostatic Discharge*, ESD) nos *pads*. Esta proteção evita que a tensão no terminal ultrapasse o limite de isolamento do dielétrico, danificando permanentemente o óxido de porta. Este diodo não é necessário nos demais terminais (dreno e fonte).

Os pinos do CI utilizado estão listados na Tabela B.2 e na Figura B.1 ambas no Apêndice B onde encontra-se o diagrama de pinagem geral do circuito.

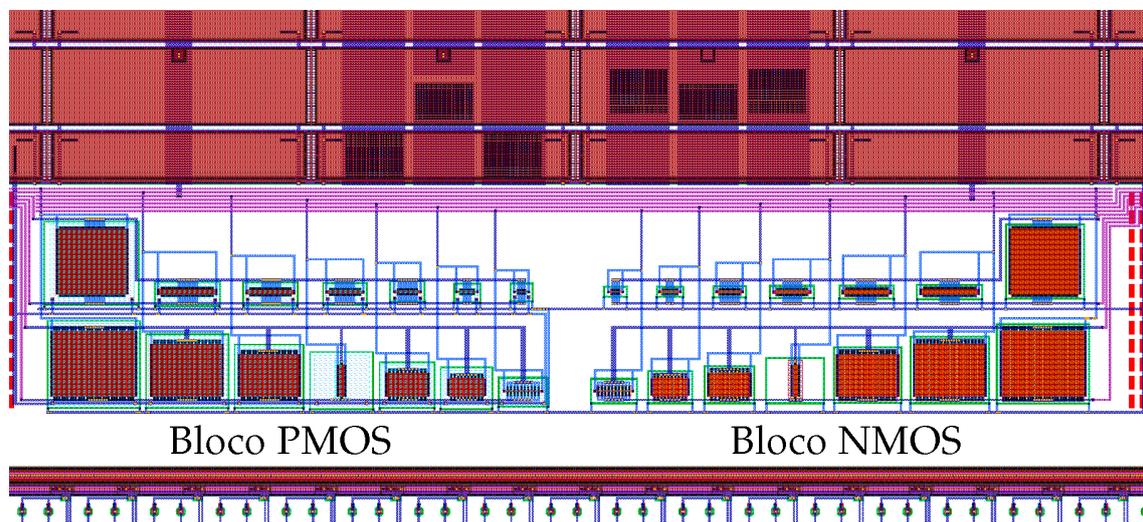


Figura 3.4: Leiaute da matriz de transistores do CI projetado por ROCHA JÚNIOR [27].

Como dito anteriormente, o CI projetado por ROCHA JÚNIOR [27] foi fabricado pela AMS na tecnologia de  $0,35\mu\text{m}$  C35B4C3, sendo produzido no *run* A35C6\_7 no ano de 2006. Este processo de fabricação utiliza intrinsecamente LDD nos drenos e fontes, pois como citado na Seção 2.4.1, é padrão o seu emprego em tecnologias CMOS acima de  $130\text{nm}$ .

## 3.2 Extração dos Parâmetros

Nesta seção, o procedimento de extração será descrito. A ordem em que os parâmetros serão extraídos é mostrada no diagrama em blocos da Figura 3.1. Os principais parâmetros do modelo EKV2.6 são:

- Tensão de Limiar,  $V_{T0}$ ;
- Efeito de Corpo,  $\gamma$ ;
- Potencial de Fermi do substrato,  $\Phi_F$ ; e
- Fator de transcondutância,  $k'$ .

O modelo EKV2.6 possui fatores que são calculados a partir de outros parâmetros, apesar de também poderem ser extraídos, como:

- Fator de ponderação entre as cargas,  $\eta$ ; e
- Fator de inclinação quando o potencial no canal é zero,  $n_0$ .

Nas Seções 2.2.1, 2.5.4 e 2.5.5 foi discutida a influência da temperatura na tensão de limiar, no efeito RSCE e na corrente GIDL, ou seja, nos parâmetros  $V_{T0}$ ,  $Q_0$  e AGIDL. Os experimentos de MARTIN *et al.* [57] comprovam estas variações, bem como a variação do parâmetro  $n_0$  com a temperatura.

Como foi comentado na Seção 3.1, as estruturas de teste disponíveis não permitem a extração de todos os parâmetros afetados pela operação em baixa temperatura e, assim, serão extraídos apenas os seguintes parâmetros:  $V_{T0}$ ,  $\gamma$ ,  $\Phi_F$ ,  $k'$  e  $n_0$ . No fluxograma da Figura 3.1 é recomendado iniciar o procedimento de extração dos parâmetros pelo levantamento da curva  $C_{GG} \times V_G$ . Uma curva  $C_{GG} \times V_G$  típica é mostrada na Figura 3.5. Entretanto, este tipo de medida é suscetível às capacitâncias parasitas do circuito e, es-

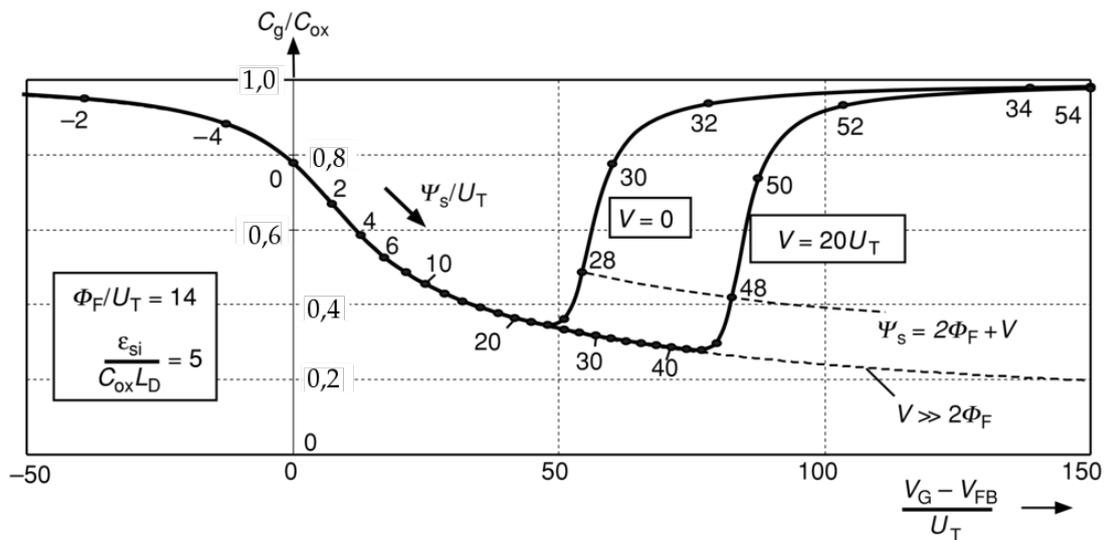


Figura 3.5: Curva típica da capacitância de porta  $C_{GG}$  normalizada pela capacitância do óxido  $C_{OX}$  em função do potencial de porta  $V_G$  (adaptado de [30]).

pecialmente, aos diodos de proteção contra ESD incluídos nos *pads*. Um exemplo da influência do diodo de proteção na medida é mostrado na Figura 3.6a. Para levantar essa curva, o equipamento foi configurado para medir a capacitância de porta  $C_{GG}$  em função do potencial de porta  $V_G$  na faixa de -2V a 2V. Observa-se na figura que, na faixa de tensões em que o diodo de proteção localizado no *pad* é polarizado diretamente, não é possível obter a medida da capacitância. Na Figura 3.6b, é mostrada a curva  $C_{GG} \times V_G$  levantada quando se exclui da faixa de valores de  $V_G$  a região de condução direta do diodo de proteção, ou seja, quando configura-se o equipamento para medir a capacitância apenas na faixa de -0,6V a 2V. Observando qualitativamente a curva da Figura 3.6b nota-se a semelhança com a curva da Figura 3.5, apesar da influência das capacitâncias parasitas do circuito e desse diodo proteção. O levantamento desse tipo de curva requer estruturas

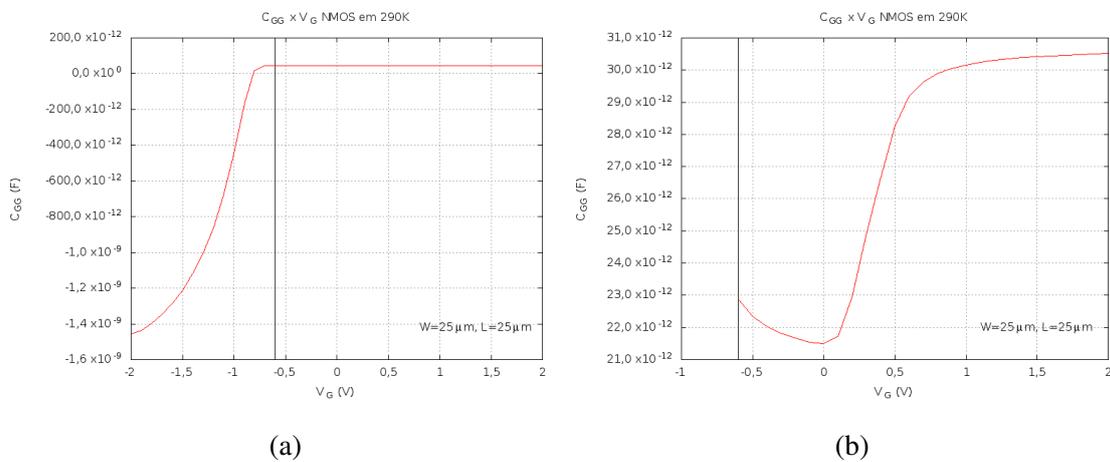


Figura 3.6: Curva da capacitância de porta  $C_{GG}$  em função do potencial de porta  $V_G$  para um transistor com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$ . (a) Observa-se a influência da proteção ESD do *pad*, na faixa de tensões negativas. (b) Excluída a faixa de valores de  $V_G$  correspondente a condução direta do diodo de proteção e ainda sob influência das capacitâncias parasitas.

específicas, tais como o uso de *pads* de prova (*probe pads*) e micro-ponteiras (*microprobes*) para evitar os *pads* convencionais. Por este motivo, BUCHER *et al.* [23] propõem procedimentos de extração de parâmetros que não dependem da medida da capacitância. O procedimento proposto é denominado de Método da Inversão Moderada e consiste na extração da curva  $V_P \times V_G$ . Um exemplo de esquemático utilizado é mostrado nas Figuras 3.7a e 3.7b, onde é possível observar que há a influência do efeito de corpo. Em todos os esquemáticos é utilizada a notação em inglês (DGSB) para os terminais. Para a extração da curva  $V_P \times V_G$ , é necessário determinar a corrente específica do transistor, definida na Seção 2.2.3, utilizando, por exemplo, os esquemáticos das Figuras 3.8a e 3.8b. O procedimento para a determinação da corrente específica consiste em determinar a máxima inclinação da característica  $\sqrt{I_D} \times V_S$ , obtida a partir da curva  $I_D \times V_S$ , quando o transistor está operando em inversão forte e na região de saturação [23]. Esta condição é atendida

quando se polariza o terminal de porta do transistor NMOS e PMOS, respectivamente, com  $V_G \geq 80\%V_{DD}$  e  $V_G \leq 20\%V_{DD}$  (aproximadamente). Os circuitos das Figuras 3.8a e 3.8b permitem levantar a curva  $I_D \times V_S$  dos transistores NMOS e PMOS, respectivamente. Um exemplo de curva para um transistor NMOS de grande geometria é mostrada na Figura 3.9. A corrente específica é calculada substituindo-se o valor da máxima inclinação na expressão obtida com base nas equações (2.16) e (2.17):

$$\frac{d\sqrt{I_D}}{dV_S} = \frac{\sqrt{I_S}}{2 \cdot U_T} \quad (3.1)$$

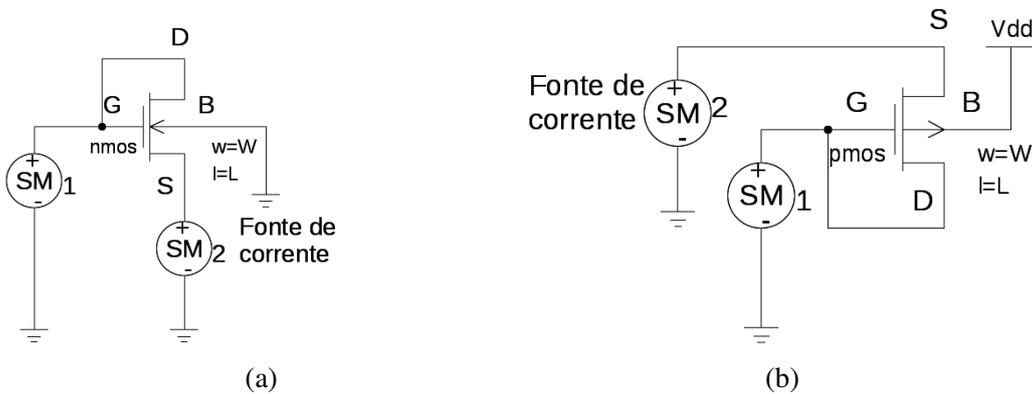


Figura 3.7: Esquemáticos para determinação da curva  $V_p \times V_G$  do método da inversão moderada. (a) Transistor tipo N. (b) Transistor tipo P.

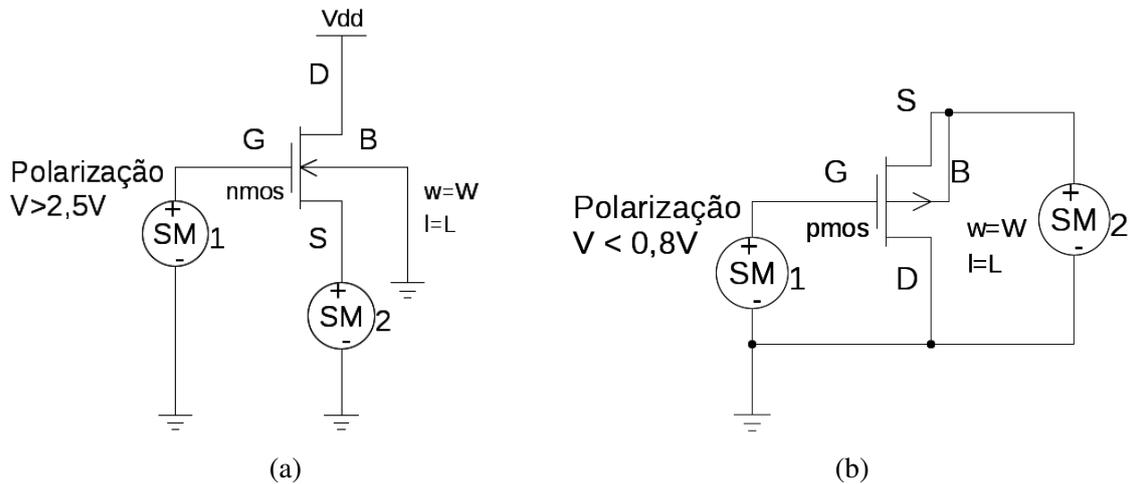


Figura 3.8: Esquemáticos para determinação da corrente específica através da curva  $I_D \times V_S$ . (a) Transistor tipo N. (b) Transistor tipo P.

O Método da Inversão Moderada assume o conhecimento preliminar de alguns parâmetros, tais como a capacitância de óxido  $C_{OX}$  e a profundidade da junção  $x_j$ , que por sua vez, dependem da medida da capacitância [23].

Nas Figuras 3.7a a 3.12b o equipamento representado pelo símbolo *SM* é chamado de *Source-Meter* e é composto por unidades de fonte de tensão/corrente com medida de tensão/corrente programáveis, conhecidas como *Source Measurement Unit* (SMU). Em particular nas Figuras 3.7a e 3.7b o equipamento *SM1* correspondente a  $V_G$  é programado como uma fonte de tensão executando uma rampa crescente de 0V a 3,3V. O *SM2* é programado como uma fonte de corrente constante que mede o potencial no terminal de fonte  $V_S$  (valor  $V_P$ ), com corrente de polarização (*bias current*)  $I_B$  igual a metade da corrente específica. Para a correta polarização do transistor NMOS,  $I_B$  deve ser negativa na Figura 3.7a. É importante lembrar que para um transistor PMOS o referencial se encontra no poço que está conectado a  $V_{DD}$ , como é mostrado na Figura 3.7b, logo é necessário aplicar esta alteração nos eixos do gráfico  $V_P \times V_G$ . Nas Figuras 3.8a e 3.8b, *SM1* é programado como uma fonte de tensão constante, com tensão de polarização maior que 2,5V (aproximadamente 80%  $V_{DD}$ ) e menor que 0,8V (aproximadamente 20%  $V_{DD}$ ), respectivamente. A fonte de tensão *SM2*, correspondente a  $V_S$ , é programada para executar uma rampa crescente de tensão de 0V a 3,3V e medir a corrente  $I_D$ .

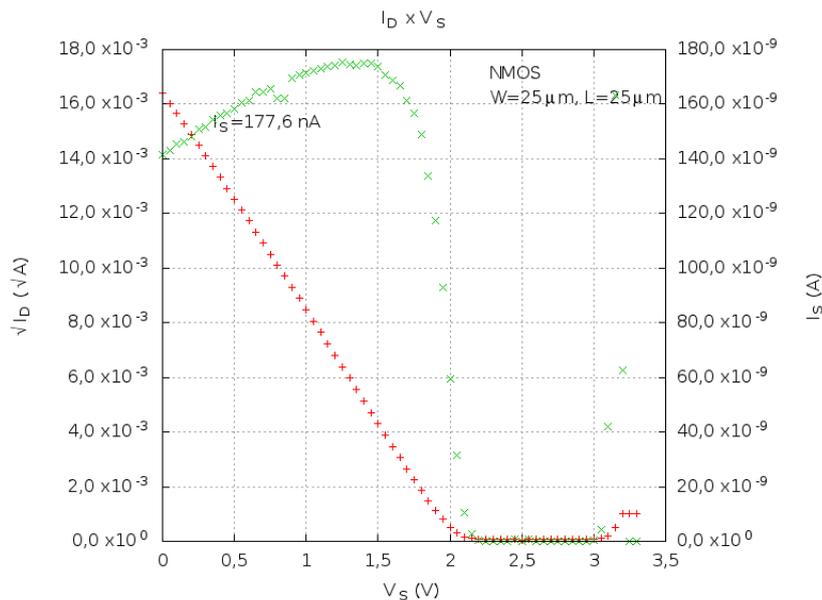


Figura 3.9: Curva  $\sqrt{I_D} \times V_S$  e  $I_S \times V_S$  típica para um transistor NMOS de grande geometria.

### 3.2.1 Tensão de Limiar $V_{T0}$

Para a extração da tensão de limiar será utilizado o Método da Inversão Moderada. Este é o procedimento comumente utilizado para a extração da tensão de limiar no modelo EKV2.6, já descrito anteriormente. Neste método a tensão de limiar é obtida como sendo o valor de  $V_G$  na curva  $V_P \times V_G$  para o qual  $V_P = 0V$ , como mostrado na Figura 3.10. Como métodos alternativos para a extração da tensão de limiar  $V_{T0}$  em 77K pode ser citado o

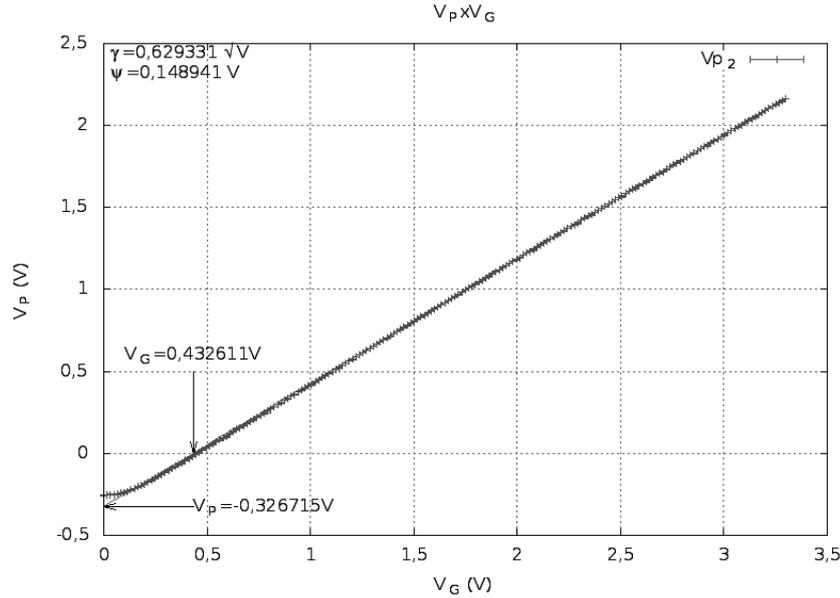


Figura 3.10: Curva típica de  $V_P \times V_G$  destacando-se o valor de  $V_{T0} = 0,4326V$ .

Método da Corrente Contínua, descrito por ORTIZ-CONDE *et al.* [26]. Como já citado na Seção 2.2.1, as medidas realizadas por MARTIN *et al.* [3] mostram que este método é menos sensível que os métodos discutidos em [26] aos efeitos da baixa da temperatura na operação do dispositivo. O Método da Corrente Constante consiste na polarização do transistor com  $V_D < 100mV$  e varia-se a tensão de porta, resultando na curva  $I_D \times V_G$ , como é mostrado nos esquemáticos das Figuras 3.12a e 3.12b. Com isso, o valor de  $V_{T0}$  será o valor de  $V_G$  que corresponde a uma corrente constante arbitrária  $I_D$ , como mostrada na Figura 3.11. Em geral, o valor  $(W_m/L_m) \times 10^{-7}A$  é adotado para  $I_D$ , onde  $W_m$  e  $L_m$  são, respectivamente, a largura e o comprimento do canal na máscara. BAZIGOS *et al.* [62] propõem utilizar um critério de corrente ajustável para melhorar a precisão desse método, como mostram seus resultados.

### 3.2.2 Efeito de Corpo $\gamma$ e Potencial de Fermi do Substrato $\Phi_F$

Os parâmetros  $\gamma$  e  $\Phi_F$  também são extraídos utilizando-se o Método da Inversão Moderada. Lembrando que o fluxograma da Figura 3.1 recomenda que estes parâmetros sejam extraídos primeiramente para um transistor de geometria grande, de maneira que não haja influência dos efeitos de segunda ordem. Isto permite que seja feito um ajuste dos pontos obtidos para a curva  $V_P \times V_G$  pelas equações (2.11) e (2.12), que não consideram os efeitos de segunda ordem.

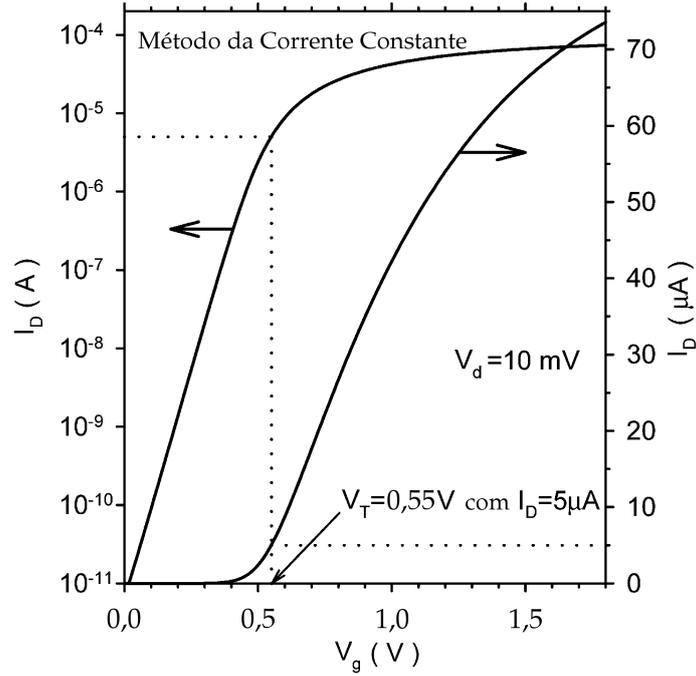


Figura 3.11: Curva  $I_D \times V_G$  para o método da corrente constante (adaptado de [26]).

### 3.2.3 Fator de Transcondutância $k'$

O parâmetro  $k'$  é obtido a partir da análise  $I_D \times V_G$  ou  $g_m \times V_G$ , para um transistor de grande geometria [43]. Neste caso, medidas realizadas por CHALKIADAKI [63] comprovam que o parâmetro  $k'$  é pouco sensível à região de operação (linear ou saturação). Neste trabalho, a extração desse parâmetro será efetuada na região linear, mantendo a tensão entre o terminal de dreno e fonte do transistor entre 50mV e 100mV [27]. As Figuras 3.12a e 3.12b mostram exemplos de esquemáticos utilizados. Neles o terminal da fonte foi ligado ao terminal do substrato para evitar o efeito de corpo. O equipamento SM2 é configurado como fonte de tensão executando uma rampa crescente de 0V a 3,3V. Como é utilizado um transistor de grande geometria, considera-se  $\frac{W_{eff}}{L_{eff}} \approx \frac{W}{L}$ , onde  $W_{eff}$  e  $L_{eff}$  são a largura e o comprimento efetivos do canal, respectivamente. O parâmetro  $k'$  é extraído no ponto de máxima inclinação da curva  $I_D \times V_G$ . Para isso, utiliza-se a derivada da equação:

$$I_D = k' \cdot \frac{W_{eff}}{L_{eff}} \cdot V_D \cdot \left( V_G - V_{T0} - \frac{V_D}{2} \right), \quad (3.2)$$

que é uma aproximação do modelo BSIM para a operação na região linear.

Obtendo:

$$\frac{\partial I_D}{\partial V_G} = k' \cdot \frac{W}{L} \cdot V_D \quad (3.3)$$

Das equações (2.20a) e (3.3) tem-se que  $k'$  é proporcional ao máximo da curva  $g_m \times V_G$ .

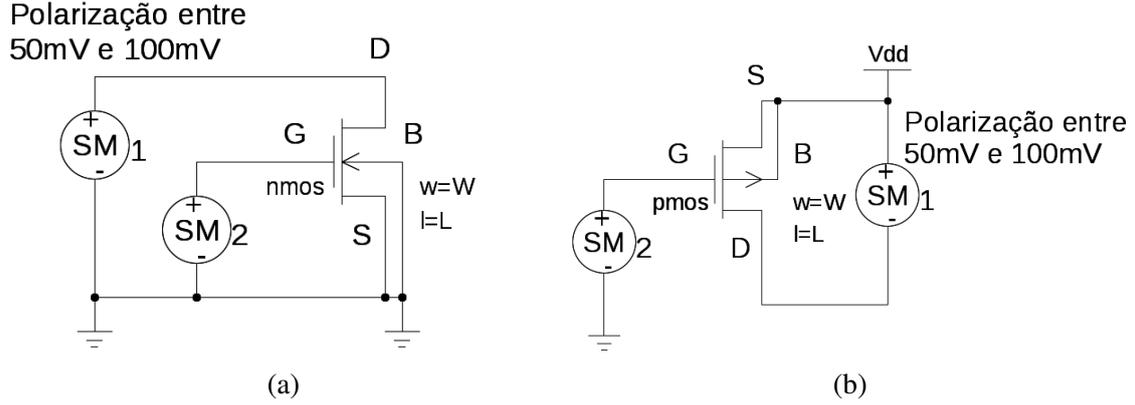


Figura 3.12: Esquemáticos para extração da curva  $I_D \times V_G$  na região linear. (a) Transistor tipo N. (b) Transistor tipo P.

### 3.2.4 Fator de ponderação entre as cargas $\eta$

Para a extração do parâmetro  $\eta$ , definido na Seção 2.2.5, EMRANI *et al.* [64] propõem utilizar a equação:

$$\eta = \frac{\left[ \frac{\partial \mu / \partial V_G | V_B}{\partial \mu / \partial V_B | V_G} \right] C_D - C_{GB}}{C_{GC} - \left[ \frac{\partial \mu / \partial V_G | V_B}{\partial \mu / \partial V_B | V_G} \right] C_{BC}} \quad (3.4)$$

Onde  $C_{GB}$  é a capacitância da porta para o substrato,  $C_{GC}$  é a capacitância da porta para o canal e  $C_{BC}$  é a capacitância do substrato para o canal, que são medidas através da técnica *split C-V*. A equação (3.4) simplifica quando o transistor opera na inversão forte [64], onde  $C_{GC} \approx C_{OX}$ ,  $C_{BC} \approx -C_D$  e  $C_{GB} \approx 0F$ , o que acarreta:

$$\eta = \frac{R}{1 + R}, \quad (3.5)$$

$$R = \frac{C_D}{C_{OX}} \cdot \frac{\partial \mu / \partial V_G | V_B}{\partial \mu / \partial V_B | V_G} \quad (3.6)$$

Neste caso, utiliza-se a curva  $I_D \times V_G$ , extraída a partir dos esquemáticos das Figuras 3.12a e 3.12b, para obter a mobilidade efetiva em função do potencial de porta,  $\mu(V_G)$ . A variação da mobilidade com o potencial  $V_B$  é obtida a partir da curva  $I_D \times V_G$  extraída para valores de  $V_B \neq 0V$ . A relação entre  $C_D$  e  $C_{OX}$  é obtida através da medida da variação de  $V_{T0}$  com  $V_B$  [65]:

$$\Delta V_{T0} / \Delta V_B = -C_D / C_{OX} \quad (3.7)$$

É importante destacar que a equação (2.25) que define o parâmetro  $\eta$  mostra uma dependência implícita com os potenciais de porta  $V_G$  e de substrato  $V_B$ , de fato, variações em  $V_G$  ou  $V_B$  alteram a profundidade da camada de inversão  $x_i$ .

### 3.2.5 Fator de inclinação $n_0$

O parâmetro  $n_0$  no modelo EKV3.0 é definido em função do fator de inclinação  $n$  quando o potencial no canal é zero, ou seja,  $V_P = 0V$  [30]. Aplicando esta condição na equação (2.13) obtém-se:

$$n_0 \triangleq n(V_P = 0) = 1 + \frac{\gamma}{2 \cdot \sqrt{\Psi_0}} \quad (3.8)$$

A extração do parâmetro  $n_0$  utiliza o Método da Inversão Moderada [23]. Para isso, extrai-se o fator de inclinação  $n$  da curva  $V_P \times V_G$  no ponto em que  $V_G = V_{T0}$ . No Método da Inversão Moderada, este ponto corresponde ao valor  $V_P = 0V$ , ou seja,  $n_0 = n|_{V_G=V_{T0}}$ .

Como alternativa ao método utilizado neste trabalho, MARTIN *et al.* [57] mostram que é possível determinar com precisão o parâmetro  $n_0$  utilizando como base as medidas de  $C_{GG} \times V_{GB}$ . No método proposto, o máximo da curva  $(dC_{GG}/dV_{GB}) \times V_{GB}$  é proporcional a  $n_0 \cdot (q/kT)$ , mostrado na Figura 3.13. Deve ser observado que este método requer a medida da capacitância que, como salientado anteriormente, é sensível a capacitâncias parasitas. Outra desvantagem deste procedimento é a necessidade do cálculo de derivada, o que leva a um resultado “ruidoso” necessitando que a curva obtida seja suavizada para que se possa localizar o máximo. MARTIN *et al.* [57] destacam que o parâmetro  $n_0$  é utilizado para minimizar os erros de simulação na inversão fraca, não afetando a simulação em inversão forte, como mostrado na Figura 3.14.

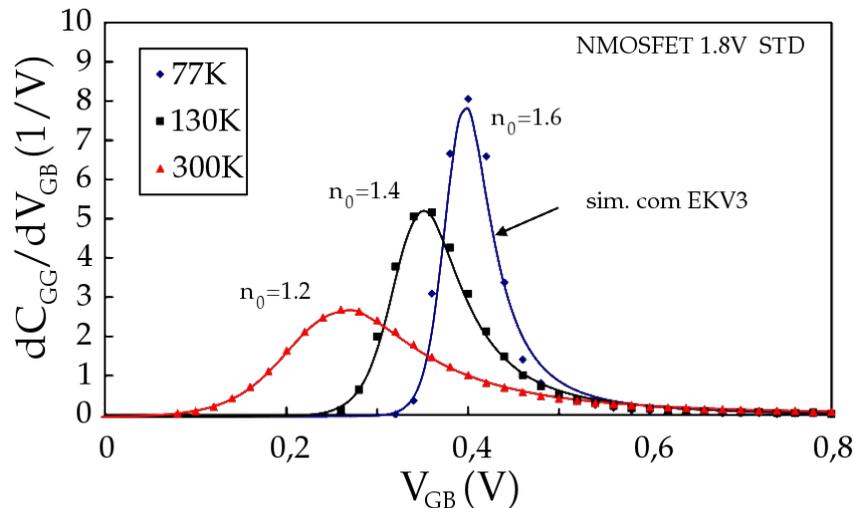


Figura 3.13: Característica  $dC_{GG}/dV_{GB}$  e o parâmetro  $n_0$  (adaptado de [57]).

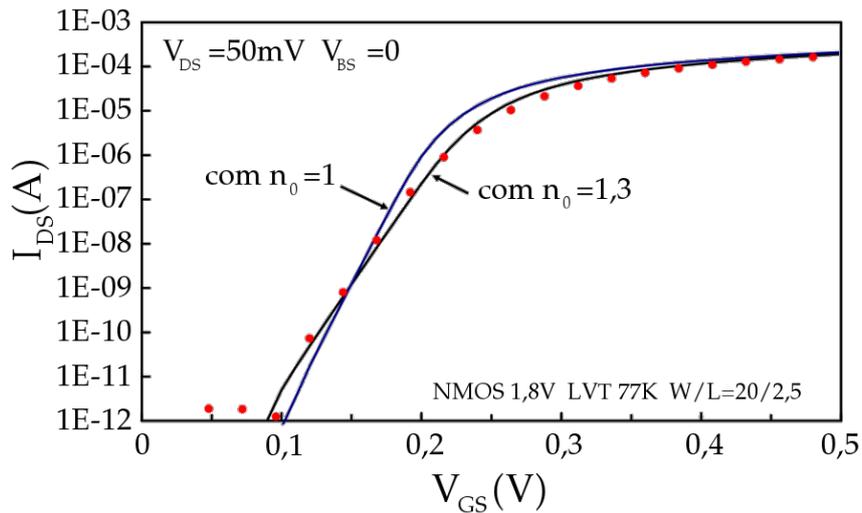


Figura 3.14: Influência de  $n_0$  na característica  $I_{DS} \times V_{GS}$  (adaptado de [57]).

### 3.3 Casamento entre Transistores Operando em 77K

O efeito da tolerância do processo de fabricação na uniformidade das características dos transistores é conhecido como casamento entre transistores (*matching*). Métodos de caracterização das propriedades de casamento são bem documentados na literatura para as faixas de temperatura definidas nas normas militares. Nas versões mais recentes do modelo EKV é possível efetuar análises estatísticas para verificar o casamento entre transistores decorrente dos gradientes do processo de fabricação [24]. Esta análise assume que não há gradiente de temperatura no CI [30]. É importante destacar que este tipo de análise é feita apenas para os parâmetros  $V_{T0}$ ,  $k'$  e  $\gamma$ . Por outro lado, estudos de casamento entre transistores operando em 77K é um assunto pouco abordado na literatura [66]. Cabe ressaltar que a influência da temperatura no casamento entre transistores é um assunto complexo devido à natureza dos efeitos específicos da operação em 77K. Isto impede a extrapolação do comportamento em temperatura ambiente para a faixa de temperaturas criogênicas. Segundo MARTIN *et al.* [24], em geral, o casamento entre transistores é prejudicado pela redução da temperatura.

A extração dos parâmetros de casamento requer estruturas de teste específicas para este fim. O estudo sobre casamento em temperaturas criogênicas, bem como, o projeto de estruturas de teste para a sua análise está fora do escopo deste trabalho, sendo citado devido a sua importância em trabalhos futuros.

# Capítulo 4

## Resultados

As curvas apresentadas no Apêndice A foram obtidas através de medidas em transistores NMOS e PMOS de grandes dimensões ( $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$ ). O Método da Inversão Moderada, descrito na Seção 3.2, foi usado nas curvas  $V_P \times V_G$  mostradas nas Figuras A.5 a A.8. Este método parte da medida da corrente específica dos transistores a serem caracterizados, como é mostrado nas Figuras A.1 a A.4 e resumidas na Tabela 4.1. Uma análise desses resultados mostra que os valores medidos confirmam a relação entre as mobilidades dos portadores majoritários nos transistores NMOS e PMOS em aproximadamente três vezes, na temperatura de 290K. Porém, em 77K onde as correntes específicas sofrem redução de 2,7 vezes e 10,9 vezes para o NMOS e o PMOS, respectivamente, a relação entre as mobilidades aumenta para treze vezes, aproximadamente. A partir da curva  $V_P \times V_G$  são obtidos os valores da *tensão de limiar*  $V_{T0}$ , do *efeito de corpo*  $\gamma$ , do *potencial de Fermi*  $\Phi_F$  e do *fator de inclinação*  $n_0$ . Para a extração do *fator de transcondutância*  $k'$  é utilizada a curva  $g_m \times V_G$ , como é mostrado nas Figuras A.9 a A.12. Os valores extraídos na temperatura de 290K estão resumidos nas Tabelas 4.2 e 4.3, já nas Tabelas 4.4 e 4.5 estão os valores extraídos na temperatura de 77K.

Tabela 4.1: Valores das correntes específicas extraídos para os transistores de grandes dimensões, previstos no Método da Inversão Moderada.

Tipo	Temperatura (K)	Valor (nA)
NMOS	290	177
NMOS	77	65,7
PMOS	290	53,5
PMOS	77	4,9

É importante destacar que todos os valores extraídos na temperatura de 290K estão dentro dos limites estabelecidos pelo fabricante para a faixa de temperaturas definida nas normas militares. No caso da *tensão de limiar* houve um desvio do valor típico de 1,3%

Tabela 4.2: Valores dos parâmetros do modelo EKV extraídos para um transistor NMOS na temperatura de 290K.

Parâmetro	Valor	Unidade
$V_{T0}$	0,454	V
$\gamma$	0,560	$\sqrt{V}$
$\Phi_F$	0,364	V
$n_0$	1,31	-
$k'$	185	$\mu A/V^2$

Tabela 4.3: Valores dos parâmetros do modelo EKV extraídos para um transistor PMOS na temperatura de 290K.

Parâmetro	Valor	Unidade
$V_{T0}$	-0,685	V
$\gamma$	-0,448	$\sqrt{V}$
$\Phi_F$	0,345	V
$n_0$	1,31	-
$k'$	60,1	$\mu A/V^2$

para o NMOS e 0,7% para o PMOS. Para o *efeito de corpo* o desvio do valor típico foi de 3,4% para o NMOS e de 12% para o PMOS. O desvio do valor típico para o *fator de transcondutância* foi de 8,8% para o NMOS e de 3,6% para o PMOS.

A dependência da *tensão de limiar* com a temperatura é discutida na Seção 2.2.1. A medida realizada mostra que o valor absoluto da *tensão de limiar*  $V_{T0}$  aumentou, confirmando o relatado na literatura. Para o transistor NMOS operando na temperatura de 77K houve um aumento de 161mV ou 35,4% em relação ao obtido na temperatura de 290K. Para o transistor PMOS o aumento foi de 312mV ou 45,7% em relação ao valor obtido na temperatura de 290K. Utilizando o Método da Corrente Constante, descrito na Seção 3.2.1, obteve-se uma *tensão de limiar* na temperatura de 290K de 459mV para o NMOS e de -759mV para o PMOS. Na temperatura de 77K os valores obtidos foram 651mV e de -1.18V para o NMOS e o PMOS, respectivamente. Apesar da diferença entre os valores obtidos para o PMOS pelos dois métodos na temperatura de 290K, o Método da Inversão Moderada forneceu um valor aproximadamente igual ao típico fornecido pelo fabricante (desvio da ordem de 1%). O Método da Corrente Constante forneceu um valor próximo à tolerância máxima do processo. É importante enfatizar que ambos os métodos mostram um aumento relevante da *tensão de limiar* com a redução da temperatura, como discutido na Seção 2.2.1.

Tabela 4.4: Valores dos parâmetros do modelo EKV extraídos para um transistor NMOS na temperatura de 77K.

Parâmetro	Valor	Unidade
$V_{T0}$	0,615	V
$\gamma$	0,596	$\sqrt{V}$
$\Phi_F$	0,61	V
$n_0$	1,30	-
$k'$	951	$\mu A/V^2$

Tabela 4.5: Valores dos parâmetros do modelo EKV extraídos para um transistor PMOS na temperatura de 77K.

Parâmetro	Valor	Unidade
$V_{T0}$	-0,997	V
$\gamma$	-0,285	$\sqrt{V}$
$\Phi_F$	0,370	V
$n_0$	1,17	-
$k'$	196	$\mu A/V^2$

A partir dos modelos BSIM3V3 fornecidos pelo fabricante para a faixa de temperaturas definidas em normas militares foram realizadas simulações para comparação com os valores extraídos. Para isso, utilizou-se como parâmetro nas simulações a temperatura de 77K, obtidendo os valores das correntes específicas para os transistores NMOS e PMOS como sendo 131nA e 31nA, respectivamente. Usando os valores simulados da corrente específica, realizou-se a simulação da extração da *tensão de limiar* que resultou em  $V_{T0} = 726mV$  para o NMOS e  $V_{T0} = -1,08V$  para o PMOS. Observa-se que o valor simulado é 18% maior que o medido para o NMOS e 8,32% maior para o PMOS.

Como o *fator de transcondutância*  $k'$  é dado por  $\mu \times C'_{OX}$  e a mobilidade aumenta com a redução da temperatura (Seção 2.2.5), espera-se um aumento correspondente no *fator de transcondutância*. Nas medidas realizadas constatou-se um aumento do *fator de transcondutância* de, aproximadamente, cinco vezes para o NMOS e de três vezes para o PMOS.

A partir do valor do *efeito de corpo*  $\gamma$  extraído para o transistor NMOS na temperatura de 290K e utilizando a equação (2.2) obtém-se o valor de  $4.739 \times 10^{-3} F/m^2$  para a capacitância do óxido por unidade de área  $C'_{OX}$ . Este valor fornece uma espessura do óxido de porta  $t_{OX} = 7.28nm$  (desvio de 4,2%) e a uma capacitância de porta  $C_{GG} = 2.962 \times 10^{-12} F$ , para a área utilizada de  $25\mu m \times 25\mu m$ . Este valor corresponde ao obtido na simulação do

transistor extraído do leiaute das estruturas de teste, como é mostrado na Figura 4.1. Nesta simulação foi utilizado o modelo do transistor fornecido pelo fabricante.

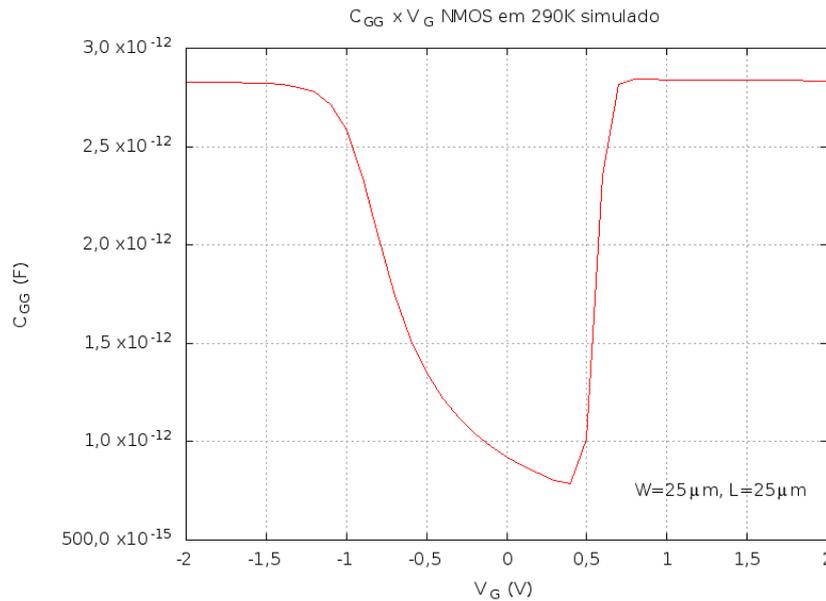


Figura 4.1: Curva simulada da capacitância de porta  $C_{GG}$  na temperatura de 290K em função do potencial de porta  $V_G$ , para um transistor com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  sem influência de parasitas.

Como observado nas Tabelas 4.2 e 4.4, o *potencial de Fermi* do transistor NMOS aumentou com a redução da temperatura. Tal comportamento está de acordo com o discutido na Seção 2.2, pois com a redução da temperatura há uma diminuição na concentração intrínseca de portadores no silício, o que eleva o *potencial de Fermi*, como é mostrado na Figura 2.2. Entretanto, o valor medido é maior que a metade da energia da banda proibida do silício, que é o valor convencional para o nível de Fermi. Para o transistor PMOS (Tabelas 4.3 e 4.5), o aumento do *potencial de Fermi* foi de 7% com a redução da temperatura para 77K, uma variação menor que os 30% previstos pela curva do potencial de Fermi em função da temperatura para a concentração de  $10^{17}\text{cm}^{-3}$  da Figura 2.2.

Com a redução da temperatura para 77K o *efeito de corpo  $\gamma$*  do transistor NMOS teve um aumento menor que 7%. No caso do transistor PMOS houve uma redução de aproximadamente 35% para o *efeito de corpo  $\gamma$* .

Utilizando a equação (2.13) e os valores obtidos para o *efeito de corpo  $\gamma$*  e *potencial de Fermi*  $\Phi_F$  calcula-se o *fator de inclinação*  $n_0$ , mostrado na Tabela 4.6, onde este valor é comparado com o medido.

Tabela 4.6: Valores medidos e calculados para o *fator de inclinação*  $n_0$  a partir dos valores extraídos do *efeito de corpo*  $\gamma$  e do *potencial de Fermi*  $\Phi_F$ , pelo Método da Inversão Moderada.

Tipo	$n_0$			Erro
	Temperatura (K)	Valor Medido	Valor Calculado	
NMOS	290	1,31	1,33	1,53%
NMOS	77	1,30	1,27	2,31%
PMOS	290	1,30	1,27	2,31%
PMOS	77	1,17	1,16	0,85%

A título de comparação são mostradas nas Figuras A.19 a A.22 as curvas características  $I_D \times V_D$  medidas nos transistores NMOS e PMOS nas temperaturas de 290K e 77K. Deve ser notado nessas curvas que com a redução da temperatura houve um aumento na corrente de dreno de aproximadamente três vezes para o transistor NMOS e de duas vezes para o PMOS.

### Congelamento dos Portadores

As curvas  $I_D \times V_D$  e  $g_{ds} \times V_D$  medidas foram utilizadas para analisar qualitativamente o comportamento geral dos transistores desta tecnologia em temperaturas criogênicas. A partir das curvas de  $g_{ds} \times V_D$ , como é mostrado nas Figuras A.15 e A.18, pode-se notar que há uma alteração no comportamento de  $g_{ds}$  quando se reduz a temperatura. Em 290K,  $g_{ds}$  decresce monotonicamente com o aumento de  $V_D$ . Na temperatura de 77K observa-se uma influência de  $V_G$  em  $g_{ds}$  para baixos valores de  $V_D$ . Como conseqüência, quando se reduz a temperatura para 77K, há um aumento da resistência em série em relação ao que ocorre na temperatura de 290K na mesma condição de  $V_D$ . O efeito é mais pronunciado para maiores tensões de porta. Este comportamento foi observado por HAFEZ *et al.* [9], que atribuiu ao congelamento dos portadores nas regiões de LDD. Efetivamente, este congelamento provoca um aumento da resistência não linear associada às estruturas LDD ( $R_{LDD}$ ). À medida que a tensão de dreno  $V_D$  aumenta, há um aumento correspondente do campo elétrico longitudinal na região de canal, suficiente para ionizar os portadores, reduzindo, assim, a resistência em série e aproximando  $g_{ds}$  do comportamento esperado. Em contrapartida, o aumento da tensão de porta  $V_G$  reduz a resistência do canal até o limite em que  $R_{LDD}$  domina a resistência série, como evidencia a equação  $g_{ds} = \frac{1}{R_{LDD} + R_{CH}} = 1/R_{DS}$ .

Entretanto, de uma maneira geral observa-se que há uma diminuição na resistência entre dreno e fonte  $R_{DS}$ , nas curvas  $g_{ds} \times V_D$ , com a diminuição da temperatura. Isto tem influência direta no ganho do transistor, que também é função da transcondutância  $g_m$ .

### **Efeito *Kink***

Apesar de ter sido observado o efeito do congelamento dos portadores, que pode ocorrer em tecnologias de 3,3V para temperaturas abaixo de 150K [57], não se tem a ocorrência de efeito *kink* nesta tecnologia, como é mostrado nas Figuras A.20 e A.22. Isto deve ser atribuído à existência de estruturas LDD, como discutido na Seção 2.4.1. A ausência deste efeito é importante, pois com ele há um aumento no ruído de baixa frequência, que pode inviabilizar o projeto do circuito.

### **Efeito *Kink* Linear (LKE)**

Com base nas curvas mostradas nas Figuras A.10 e A.12 observa-se que na tecnologia utilizada não há a ocorrência de LKE em 77K para os transistores NMOS e PMOS. Efetivamente, as curvas mostradas não apresentam o segundo pico na transcondutância que é característico deste efeito, como descrito na Seção 2.4.1. Como no efeito *kink*, a presença do LKE acarretaria um aumento do ruído de baixa frequência. A ausência do LKE nas medidas é justificada pelo fato desta tecnologia não utilizar óxido de porta ultra-fino, evitando o EVB.

### **Transcondutância Negativa**

Como é mostrado na Figura A.10, o transistor NMOS apresentou uma transcondutância negativa para  $V_G > 3V$  na região ôhmica para dois valores de  $V_D$  (50mV e 100mV). As medidas do transistor PMOS não apresentam este mesmo comportamento. Esse fenômeno já havia sido relatado por MARTIN *et al.* [3] para temperaturas abaixo de 130K, e sua justificativa para isto é que não é possível compensar a alta atenuação da mobilidade através do aumento das cargas de inversão induzido pelo aumento do campo elétrico transversal. O resultado final é uma redução da corrente de dreno, como descrito na Seção 2.4.2.

# Capítulo 5

## Conclusões

O estudo dos métodos de extração de parâmetros de modelo de transistores CMOS integrados operando em temperaturas criogênicas (77K) realizado neste trabalho forneceu um conjunto de resultados que permitem as seguintes conclusões. Os resultados apresentados no Capítulo 4 mostram que o Método da Inversão Moderada utilizado é preciso para a extração da *tensão de limiar*, com um desvio da ordem de 1% e para a espessura do óxido de porta, com um desvio de 4,2%. Os resultados também mostram alterações significativas nos parâmetros dos modelos utilizados para a faixa de temperatura padrão das normas militares. Isto significa que o projeto de circuitos integrados para a operação em temperaturas criogênicas justificam modelos e metodologia específicas de projeto. Ou seja, em outros termos, isto limita o reaproveitamento de projetos feitos para a faixa de temperaturas definidas em normas militares. Ainda no Capítulo 4, são apresentados resultados que constataam a presença de efeitos específicos da operação em temperatura criogênica, tais como o congelamento de portadores e o fenômeno da transcondutância negativa.

### 5.1 Trabalhos Futuros

Como discutido na Seção 3.1, as estruturas de teste utilizadas neste trabalho não permitem a extração de todos os parâmetros do modelo EKV. Por este motivo, é necessário projetar estruturas de teste que permitam a extração completa dos parâmetros do modelo EKV. O projeto de novas estruturas de teste deve contemplar a caracterização de efeitos específicos da operação em temperaturas criogênicas, bem como, a análise dos outros efeitos não lineares, tais como: DIBL, RSCE, *punchthrough* e GIDL, como discutido na Seções 2.4 e 2.5. Nesse projeto deve-se evitar o compartilhamento de terminais, usado para reduzir o número de terminais de saída nas estruturas de teste utilizadas. Este recurso não deve ser empregado pois acarreta um aumento considerável no número de parasitas, que dificultam a medida e caracterização dos efeitos específicos. Com as novas estrutu-

ras projetadas deve ser possível verificar a validade do modelo para outras temperaturas criogênicas, como por exemplo, 120K (temperatura de operação de detectores de IR de  $Pd_2Si$  [29]).

Como destacado na Seção 2.3.1, os parâmetros do ruído de baixa frequência são essenciais para projetos de sensores infravermelho de alto desempenho [3] e circuitos eletrônicos analógicos de baixo ruído [32, 46]. Dessa forma, como continuação desse trabalho é importante realizar a extração dos parâmetros de ruído para a operação em 77K, bem como, a validação do modelo de ruído para esta temperatura. Cabe lembrar que a medida do ruído requer especial atenção ao aterramento dos equipamentos e amostras utilizadas.

Posteriormente, é fundamental a caracterização do casamento (*matching*) entre transistores operando em temperaturas criogênicas, como destacado na Seção 3.3. Para isso deve-se projetar estruturas de teste específicas que levem em conta as variações no processo de fabricação em todas as direções do substrato.

# Referências Bibliográficas

- [1] CLAEYS, C., SIMOEN, E. “Silicon-based cryogenic electronics: From physical curiosity to quantum computing”. In: *Proceedings-Electrochemical Society*, p. 100–117. Electrochemical Society, 2003. Disponível em: <<http://books.google.com/books?hl=en&lr=&id=XZj0i3q3gAIC&oi=fnd&pg=PA100&dq=%22design+optimization+for%22+%22on+the+behavior+of+boron%22+%22supercomputers,+infrared+detectors,%22+%22and+was+operating+at+double%22+%22which+is+also+related+to+the+availability%22+%22and+the+associated%22+&ots=5i7SVhnU97&sig=LlheOMRr-IiPjfhqhl-C0-scfhY>>.
- [2] GUTIERREZ-D., E., DEEN, J., CLAEYS, C. *Low Temperature Electronics: Physics, Devices, Circuits, and Applications*. Elsevier Science, 2000. ISBN: 9780080510507. Disponível em: <[http://books.google.com.br/books?id=YiXzw-2k\\_uUC](http://books.google.com.br/books?id=YiXzw-2k_uUC)>.
- [3] MARTIN, P., ROYET, A. S., GUELLEC, F., et al. “MOSFET modeling for design of ultra-high performance infrared CMOS imagers working at cryogenic temperatures: Case of an analog/digital 0.18 $\mu$ m CMOS process”, *Solid-State Electronics*, v. 62, n. 1, pp. 115–122, ago. 2011. ISSN: 0038-1101. doi: 10.1016/j.sse.2011.01.004. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110111000165>>.
- [4] MARTIN, P., GUELLEC, F. “MOSFET modeling for simulation, design and optimization of infrared CMOS image sensors working at cryogenic temperature”. In: *Mixed Design of Integrated Circuits and Systems (MIXDES), 2011 Proceedings of the 18th International Conference*, pp. 103–106, jun. 2011.
- [5] ZHAO, H., LIU, X., XU, C. “A low power cryogenic 512  $\times$  512-pixel infrared readout integrated circuit with modified MOS device model”, *Infrared Physics & Technology*, v. 61, pp. 111–119, nov. 2013. ISSN: 1350-4495. doi: 10.1016/j.infrared.2013.03.015. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S1350449513001497>>.

- [6] SERRA-GRAELLS, F., MISISCHI, B., CASANUEVA, E., et al. “Low-Power and Compact CMOS APS Circuits for Hybrid Cryogenic Infrared Fast Imaging”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 54, n. 12, pp. 1052–1056, dez. 2007. ISSN: 1549-7747. doi: 10.1109/TCSII.2007.908873.
- [7] LIU, C., LU, W., CHEN, Z., et al. “A low power high speed ROIC design for 1024 × 1024 IRFPA with novel readout stage”. In: *IEEE International Conference on Electron Devices and Solid-State Circuits, 2008. EDSSC 2008*, pp. 1–4, dez. 2008. doi: 10.1109/EDSSC.2008.4760710.
- [8] DAS, K. *Low Temperature Microelectronics Design for Digital Readout of Single Electron Transistor Electrometry*. Tese de Doutorado, The University of New South Wales, 2013. Disponível em: <<http://unsworks.unsw.edu.au/fapi/datastream/unsworks:11588/SOURCE01>>.
- [9] HAFEZ, I. M., GHIBAUDO, G., BALESTRA, F., et al. “Impact of LDD structures on the operation of silicon MOSFETs at low temperature”, *Solid-State Electronics*, v. 38, n. 2, pp. 419–424, fev. 1995. ISSN: 0038-1101. doi: 10.1016/0038-1101(94)E0055-J. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110194E0055J>>.
- [10] TSIVIDIS, Y., MCANDREW, C. *Operation and Modeling of the MOS Transistor*. Oxford Series in Electrical and Computer Engineering. Oxford University Press, Incorporated, 2011. ISBN: 9780195170153. Disponível em: <<http://books.google.com.br/books?id=oYmYPwAACAAJ>>.
- [11] CHENG, Y., CHAN, M., HUI, K., et al. *BSIM3v3 manual*, 1996.
- [12] MORSHED, T. H., LU, D. D., YANG, W. M., et al. *BSIM4V4.7 MOSFET Model Users Manual*. University of California, Berkeley, California, 2011. Disponível em: <<http://www-device.eecs.berkeley.edu/~bsim3/bsim4.html>>.
- [13] CHAUHAN, Y., KARIM, M., VENUGOPALAN, S., et al. *BSIM6: Symmetric bulk MOSFET model*, 2012.
- [14] ENZ, C. C., KRUMMENACHER, F., VITTOZ, E. A. “An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-voltage and Low-current Applications”, *Analog Integr. Circuits Signal Process.*, v. 8, n. 1, pp. 83–114, jul. 1995. ISSN: 0925-1030. doi: 10.1007/BF01239381. Disponível em: <<http://dx.doi.org/10.1007/BF01239381>>.

- [15] GALUP-MONTORO, C., SCHNEIDER, M. C., CUNHA, A. I. A., et al. “The Advanced Compact MOSFET (ACM) Model for Circuit Analysis and Design”. In: *IEEE Custom Integrated Circuits Conference, 2007. CICC '07*, pp. 519–526, set. 2007. doi: 10.1109/CICC.2007.4405785.
- [16] MIURA-MATTAUSCH, M., MATTAUSCH, H. J., EZAKI, T. *The physics and modeling of MOSFETS: surface-potential model HiSIM*. World Scientific Publishing, 2008.
- [17] GILDENBLAT, G., LI, X., WU, W., et al. “PSP: An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation”, *IEEE Transactions on Electron Devices*, v. 53, n. 9, pp. 1979–1993, set. 2006. ISSN: 0018-9383. doi: 10.1109/TED.2005.881006.
- [18] ZHU, Z., KATHURIA, A., KRISHNA, S., et al. “Design applications of compact MOSFET model for extended temperature range (60??400k)”, *Electronics Letters*, v. 47, n. 2, pp. 141–142, jan. 2011. ISSN: 0013-5194. doi: 10.1049/el.2010.3468.
- [19] BUCHER, M., BAZIGOS, A., KRUMMENACHER, F., et al. “EKV3. 0: An advanced charge based MOS transistor model. A design-oriented MOS transistor compact model”. In: *Transistor Level Modeling for Analog/RF IC Design*, Springer, p. 67–95, 2006.
- [20] ROOT, D., FAN, S., MEYER, J. “Technology Independent Large Signal Non Quasi-Static FET Models by Direct Construction from Automatically Characterized Device Data”. In: *Microwave Conference, 1991. 21st European*, v. 2, pp. 927–932, set. 1991. doi: 10.1109/EUMA.1991.336465.
- [21] FU, W., HU, J., ZHANG, S. “Frequency-domain measurement of 60 GHz indoor channels: a measurement setup, literature data, and analysis”, *IEEE Instrumentation Measurement Magazine*, v. 16, n. 2, pp. 34–40, abr. 2013. ISSN: 1094-6969. doi: 10.1109/MIM.2013.6495679.
- [22] BUCHER, M., LALLEMENT, C., ENZ, C., et al. “The EPFL-EKV MOSFET model equations for simulation”, *Swiss Federal Institute of Technology (EPFL), Lausanne, Switzerland, Tech. Rep*, 1997. Disponível em: <<http://files.lib.sfu-kras.ru/ebibl/umkd/48/Accessories/Orcad%209%20DEMO/Document/ekv26.pdf>>.
- [23] BUCHER, M., LALLEMENT, C., ENZ, C. “An efficient parameter extraction methodology for the EKV MOST model”. In: *Microelectronic Test Structu-*

res, 1996. *ICMTS 1996. Proceedings. 1996 IEEE International Conference on*, pp. 145–150, Mar 1996. doi: 10.1109/ICMTS.1996.535636.

- [24] MARTIN, P., BUCHER, M., ENZ, C. “MOSFET modeling and parameter extraction for low temperature analog circuit design”, *Journal de Physique IV (Proceedings)*, v. 12, n. 3, pp. 51–56, maio 2002. ISSN: 1155-4339. doi: 10.1051/jp420020035. Disponível em: <<http://jp4.journaldephysique.org/articles/jp4/abs/2002/03/jp4Pr3p51/jp4Pr3p51.html>>.
- [25] SZE, S. M., NG, K. K. *Physics of Semiconductor Devices*. John Wiley & Sons, nov. 2006. ISBN: 9780470068304.
- [26] ORTIZ-CONDE, A., GARCIA SÁNCHEZ, F. J., LIOU, J. J., et al. “A review of recent MOSFET threshold voltage extraction methods”, *Microelectronics Reliability*, v. 42, n. 4, pp. 583–596, 2002. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0026271402000276>>.
- [27] ROCHA JÚNIOR, M. F. *Projeto e Caracterização de Imageadores APS Resistentes à Radiação*. Tese de Mestrado, Universidade Federal do Rio de Janeiro, 2007. Disponível em: <<http://pee.ufrj.br/teses/textocompleto/2007062202.pdf>>.
- [28] ZHAO, H., LIU, X. “Modeling of a standard 0.35  $\mu\text{m}$  CMOS technology operating from 77 K to 300 K”, *Cryogenics*, v. 59, pp. 49–59, jan. 2014. ISSN: 0011-2275. doi: 10.1016/j.cryogenics.2013.10.003. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0011227513000969>>.
- [29] Balestra, F., Ghibaudo, G. (Eds.). *Device and Circuit Cryogenic Operation for Low Temperature Electronics*. Boston, MA, Springer US, 2001. ISBN: 978-1-4419-4898-4, 978-1-4757-3318-1. Disponível em: <<http://link.springer.com/10.1007/978-1-4757-3318-1>>.
- [30] ENZ, C. C., VITTOZ, E. A. *Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design*. John Wiley & Sons, ago. 2006. ISBN: 9780470855454.
- [31] VITTOZ, E. A. “Design of Analog-digital VLSI Circuits for Telecommunications and Signal Processing”. Prentice-Hall, Inc., pp. 53–96, Upper Saddle River, NJ, USA, 1994. ISBN: 0-13-203639-8. Disponível em: <<http://dl.acm.org/citation.cfm?id=187578.187581>>.

- [32] MAVREDAKIS, N., ANTONOPOULOS, A., BUCHER, M. “Measurement and modelling of 1/f noise in 180 nm NMOS and PMOS devices”. In: *2010 5th European Conference on Circuits and Systems for Communications (ECCSC)*, pp. 86–89, nov. 2010.
- [33] BUCHER, M., DILES, G., MAKRIS, N. “Analog performance of advanced CMOS in weak, moderate, and strong inversion”. In: *Mixed Design of Integrated Circuits and Systems (MIXDES), 2010 Proceedings of the 17th International Conference*, pp. 54–57, jun. 2010.
- [34] BHATTACHARYYA, A. B. *Compact MOSFET Models for VLSI Design*. John Wiley & Sons, jul. 2009. ISBN: 9780470823439. Disponível em: <<http://books.google.com.br/books?id=huriz9ka9zwC>>.
- [35] SABNIS, A. G., CLEMENS, J. T. “Characterization of the electron mobility in the inverted  $\text{Si/SiO}_2$  surface”. In: *Electron Devices Meeting, 1979 International*, v. 25, pp. 18–21, 1979. doi: 10.1109/IEDM.1979.189528.
- [36] HUANG, C.-L., GILDENBLAT, G. “Measurements and modeling of the n-channel MOSFET inversion layer mobility and device characteristics in the temperature range 60-300 K”, *IEEE Transactions on Electron Devices*, v. 37, n. 5, pp. 1289–1300, maio 1990. ISSN: 0018-9383. doi: 10.1109/16.108191.
- [37] CLARK, W., EL-KAREH, B., PIRES, R., et al. “Low temperature CMOS—a brief review”, *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, v. 15, n. 3, pp. 397–404, jun. 1992. ISSN: 0148-6411. doi: 10.1109/33.148509.
- [38] AOKI, M., HANAMURA, S., MASUHARA, T., et al. “Performance and hot-carrier effects of small CRYO-CMOS devices”, *IEEE Transactions on Electron Devices*, v. 34, n. 1, pp. 8–18, jan. 1987. ISSN: 0018-9383. doi: 10.1109/T-ED.1987.22880.
- [39] GAENSSLEN, F., RIDEOUT, V., WALKER, E., et al. “Very small MOSFET’s for low-temperature operation”, *IEEE Transactions on Electron Devices*, v. 24, n. 3, pp. 218–229, mar. 1977. ISSN: 0018-9383. doi: 10.1109/T-ED.1977.18712.
- [40] MICHAL, V., KLISNICK, G., SOU, G., et al. “Fixed-gain CMOS differential amplifiers with no external feedback for a wide temperature range”, *Cryogenics*, v. 49, n. 11, pp. 615–619, nov. 2009. ISSN: 00112275. doi: 10.1016/j.cryogenics.2008.12.014. Disponível em: <<http://linkinghub.elsevier.com/retrieve/pii/S001122750800221X>>.

- [41] ARORA, N. *MOSFET MODELING FOR VLSI SIMULATION: Theory and Practice*. International series on advances in solid state electronics and technology. World Scientific Publishing Company, Incorporated, 2007. ISBN: 9789812707581. Disponível em: <<http://books.google.co.in/books?id=SkT2x0uvpuYC>>.
- [42] GHIBAUDO, G., BALESTRA, F. “Low temperature characterization of silicon CMOS devices”, *Microelectronics Reliability*, v. 37, n. 9, pp. 1353–1366, set. 1997. ISSN: 0026-2714. doi: 10.1016/S0026-2714(97)00007-3. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0026271497000073>>.
- [43] BAZIGOS, A. *Modelling of MOS Transistor at High Frequencies*. Tese de Doutorado, National Technical University of Athens (NTUA), Athens, 2008. Disponível em: <<http://artemis.cslab.ntua.gr/Dienst/UI/1.0/Download/artemis.ntua.ece/PD2008-0016>>.
- [44] JAKOBSON, C., BLOOM, I., NEMIROVSKY, Y. “1/f Noise in CMOS transistors for analog applications from subthreshold to saturation”, *Solid-State Electronics*, v. 42, n. 10, pp. 1807–1817, 1998. ISSN: 0038-1101. doi: 10.1016/S0038-1101(98)00162-2. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0038110198001622>>.
- [45] GHIBAUDO, G., BOUTCHACHA, T. “Electrical noise and RTS fluctuations in advanced CMOS devices”, *Microelectronics Reliability*, v. 42, n. 4–5, pp. 573–582, 2002. ISSN: 0026-2714. doi: 10.1016/S0026-2714(02)00025-2. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0026271402000252>>.
- [46] NEMIROVSKY, Y., BROUK, I., JAKOBSON, C. “1/f noise in CMOS transistors for analog applications”, *IEEE Transactions on Electron Devices*, v. 48, n. 5, pp. 921–927, maio 2001. ISSN: 0018-9383. doi: 10.1109/16.918240.
- [47] VANDAMME, L., HOOGE, F. “What Do We Certainly Know About Noise in MOSTs?” *IEEE Transactions on Electron Devices*, v. 55, n. 11, pp. 3070–3085, nov. 2008. ISSN: 0018-9383. doi: 10.1109/TED.2008.2005167.
- [48] GHIBAUDO, G. “Low-frequency noise and fluctuations in advanced CMOS devices”. v. 5113, pp. 16–28, 2003. doi: 10.1117/12.484913. Disponível em: <<http://dx.doi.org/10.1117/12.484913>>.
- [49] SIMOEN, E., DIERICKX, B. “Kink-related low-frequency noise overshoot in Si NMOSTs at liquid helium temperatures”, *Solid-State Electronics*, v. 35, n. 10,

pp. 1455–1460, out. 1992. ISSN: 0038-1101. doi: 10.1016/0038-1101(92)90083-O. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110192900830>>.

- [50] MERCHA, A., RAFI, J., SIMOEN, E., et al. ““Linear kink effect”induced by electron valence band tunneling in ultrathin gate oxide bulk and SOI MOSFETS”, *IEEE Transactions on Electron Devices*, v. 50, n. 7, pp. 1675–1682, jul. 2003. ISSN: 0018-9383. doi: 10.1109/TED.2003.814983.
- [51] FANG, F. F., HOWARD, W. E. “Negative Field-Effect Mobility on (100) Si Surfaces”, *Physical Review Letters*, v. 16, n. 18, pp. 797–799, maio 1966. doi: 10.1103/PhysRevLett.16.797. Disponível em: <<http://link.aps.org/doi/10.1103/PhysRevLett.16.797>>.
- [52] SIMOEN, E., CLAEYS, C., MARTINO, J. A. “Parameter Extraction of MOSFETs Operated at Low Temperature”, *Le Journal de Physique IV*, v. 06, n. C3, pp. C3–29–C3–42, abr. 1996. ISSN: 1155-4339. doi: 10.1051/jp4:1996305. Disponível em: <<http://jp4.journaldephysique.org/articles/jp4/abs/1996/03/jp4199606C305/jp4199606C305.html>>.
- [53] FIKRY, W., GHIBAUDO, G., DUTOIT, M. “Temperature dependence of drain-induced barrier lowering in deep submicrometre MOSFETs”, *Electronics Letters*, v. 30, n. 11, pp. 911–912, maio 1994. ISSN: 0013-5194. doi: 10.1049/el:19940577.
- [54] SZELAG, B., BALESTRA, F., GHIBAUDO, G. “Comprehensive analysis of reverse short-channel effect in silicon MOSFETs from low-temperature operation”, *IEEE Electron Device Letters*, v. 19, n. 12, pp. 511–513, dez. 1998. ISSN: 0741-3106. doi: 10.1109/55.735763.
- [55] CHEN, J., CHAN, T.-Y., CHEN, I.-C., et al. “Subbreakdown drain leakage current in MOSFET”, *IEEE Electron Device Letters*, v. 8, n. 11, pp. 515–517, nov. 1987. ISSN: 0741-3106. doi: 10.1109/EDL.1987.26713.
- [56] NATHAN, V., DAS, N. C. “Gate-induced drain leakage current in MOS devices”, *IEEE Transactions on Electron Devices*, v. 40, n. 10, pp. 1888–1890, out. 1993. ISSN: 0018-9383. doi: 10.1109/16.277353.
- [57] MARTIN, P., CAVELIER, M., FASCIO, R., et al. “EKV3 compact modeling of MOS transistors from a 0.18  $\mu\text{m}$  CMOS technology for mixed analog–digital circuit design at low temperature”, *Cryogenics*, v. 49, n. 11, pp. 595–598,

nov. 2009. ISSN: 0011-2275. doi: 10.1016/j.cryogenics.2008.12.005. Disponível em: <<http://www.sciencedirect.com/science/article/pii/S0011227508002129>>.

- [58] GRABINSKI, W. “EKV v2. 6 Parameter Extraction Tutorial”. In: *ICCAP Users’ Web Conference*, 2001.
- [59] DE LIMA, K. G. *Estruturas APS Resistentes à Radiação Para Aplicações Espaciais*. Tese de Mestrado, Universidade Federal do Rio de Janeiro, 2006. Disponível em: <<http://www.pee.ufrj.br/teses/textocompleto/2006032302.pdf>>.
- [60] AMS. *0.35  $\mu\text{m}$  CMOS C35 Process Parameters; Document Number: ENG-182; Revision:3.0*. AustriaMicroSystems AG, A 8141 Schloss Premstätten, Austria, 2004.
- [61] AMS. *0.35  $\mu\text{m}$  CMOS C35 Process Parameters; Document Number: ENG-182; Revision:7.0*. AustriaMicroSystems AG, Tobelbader Strasse 30 8141 Unterpremstätten, Austria, 07 2013.
- [62] BAZIGOS, A., BUCHER, M., ASSENMACHER, J., et al. “An Adjusted Constant-Current Method to Determine Saturated and Linear Mode Threshold Voltage of MOSFETs”, *IEEE Transactions on Electron Devices*, v. 58, n. 11, pp. 3751–3758, nov. 2011. ISSN: 0018-9383. doi: 10.1109/TED.2011.2164080.
- [63] CHALKIADAKI, M.-A. *Small and Large Signal Modeling of MOSFETs at High Frequencies*. Tese de Mestrado, Technical University of Crete, 2008.
- [64] EMRANI, A., GHIBAUDO, G., BALESTRA, F. “On the universal electric field dependence of the electron and hole effective mobility in MOS inversion layers”, *Solid-State Electronics*, v. 37, n. 1, pp. 111–113, jan. 1994. ISSN: 0038-1101. doi: 10.1016/0038-1101(94)90113-9. Disponível em: <<http://www.sciencedirect.com/science/article/pii/0038110194901139>>.
- [65] EMRANI, A., GHIBAUDO, G., BALESTRA, F. “New method for assessment of depletion charge dependence of mobility in short-channel silicon MOS transistors”, *Electronics Letters*, v. 27, n. 5, pp. 467–469, 1991. ISSN: 0013-5194. doi: 10.1049/el:19910294.
- [66] APPASWAMY, A., CHAKRABORTY, P., CRESSLER, J. “Cryogenic matching performance of 90 nm MOSFETs”. In: *Semiconductor Device Research Symposium, 2009. ISDRS '09. International*, pp. 1–2, 2009. doi: 10.1109/ISDRS.2009.5378322.

# Apêndice A

## Gráficos das Medidas Efetuadas

### A.1 Método da Inversão Moderada

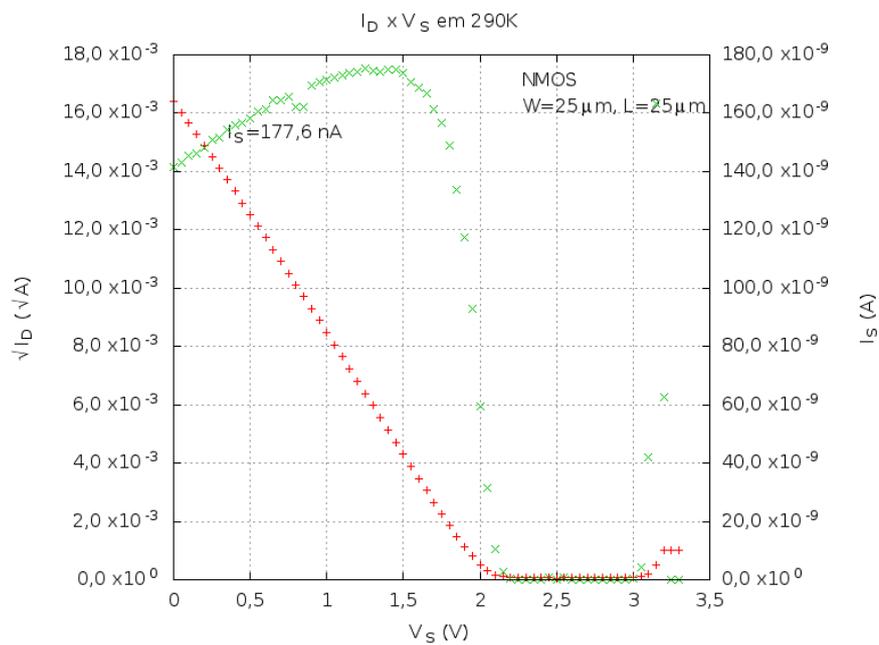


Figura A.1: Curva  $\sqrt{I_D} \times V_S$  e  $I_S \times V_S$  para o transistor NMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K com  $V_G = 2,5\text{V}$  e o valor de  $I_S$  extraídos da curva.

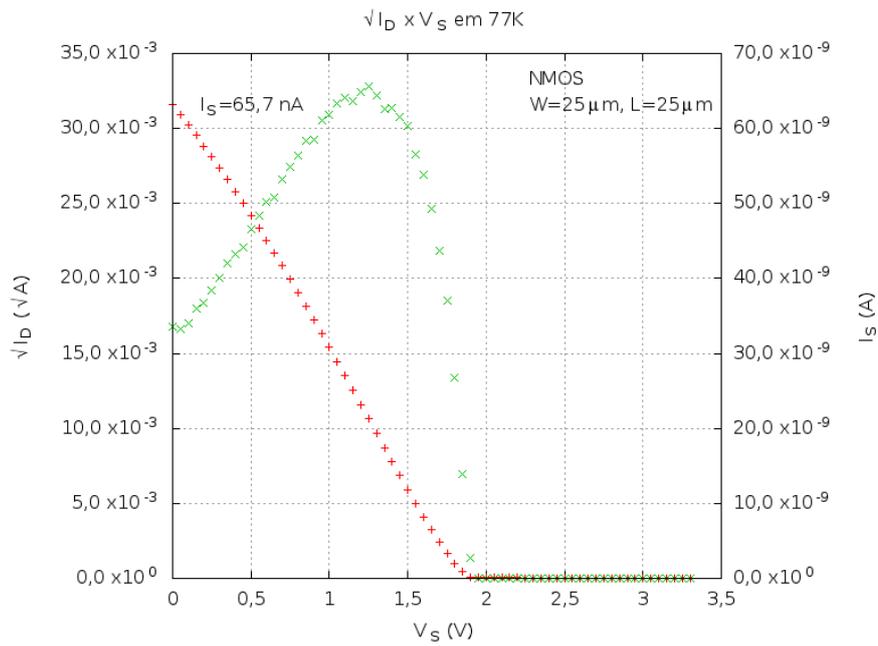


Figura A.2: Curva  $\sqrt{I_D} \times V_S$  e  $I_S \times V_S$  para o transistor NMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 77K com  $V_G = 2,5\text{V}$  e o valor de  $I_S$  extraídos da curva.

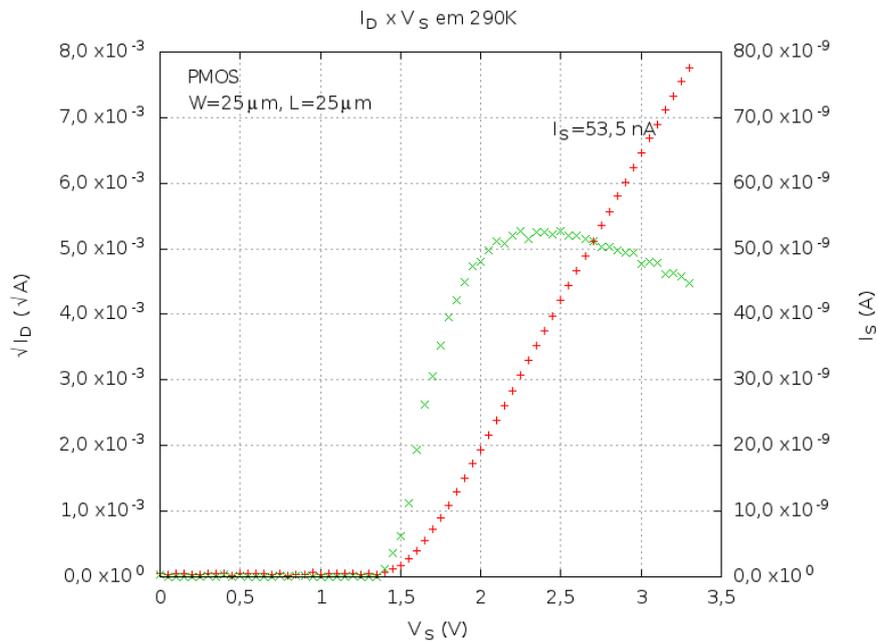


Figura A.3: Curva  $\sqrt{I_D} \times V_S$  e  $I_S \times V_S$  para o transistor PMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K com  $V_G = 0,8\text{V}$  e o valor de  $I_S$  extraídos da curva.

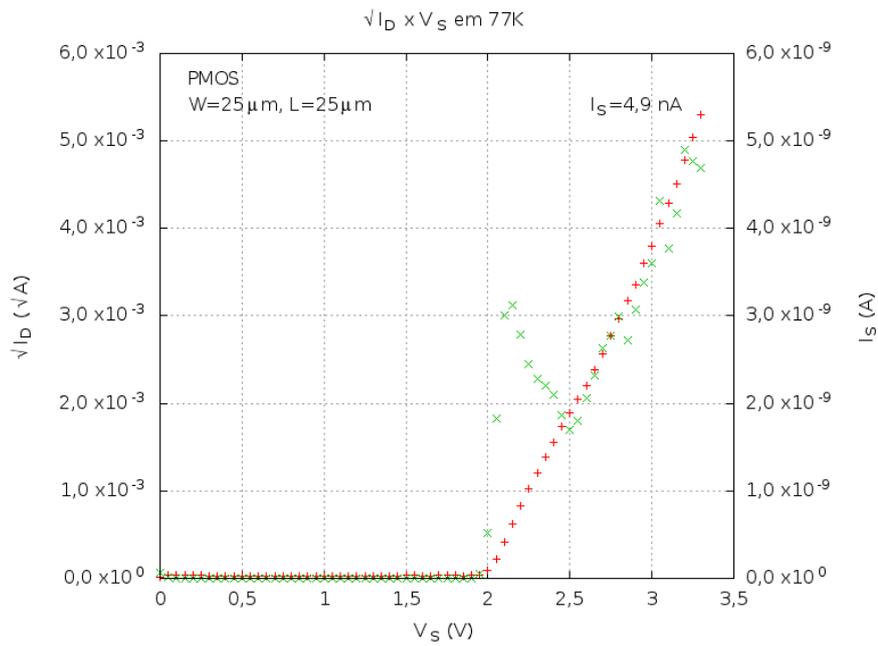


Figura A.4: Curva  $\sqrt{I_D} \times V_S$  e  $I_S \times V_S$  para o transistor PMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 77K com  $V_G = 0,8\text{V}$  e o valor de  $I_S$  extraídos da curva.

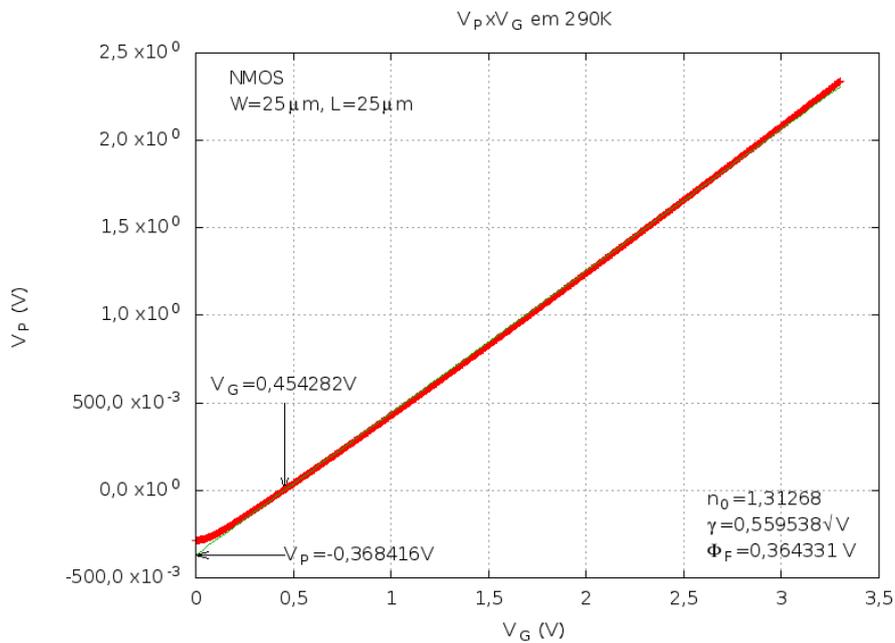


Figura A.5: Curva  $V_P \times V_G$  para o transistor NMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K com  $I_B = 89\text{nA}$  e os valores de  $V_{T0}$ ,  $\gamma$ ,  $\Phi_F$  e  $n_0$  extraídos da curva.

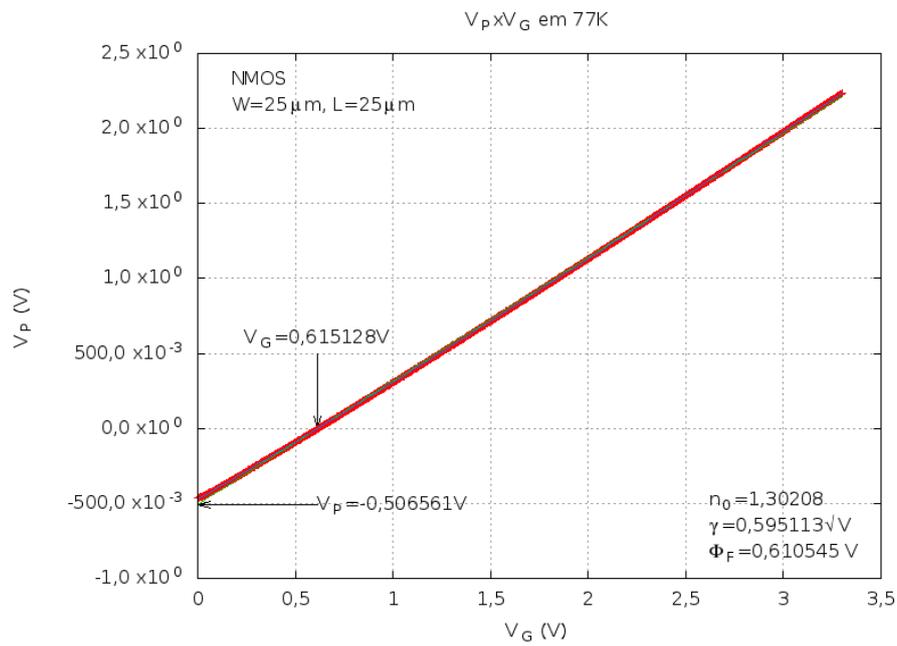


Figura A.6: Curva  $V_P \times V_G$  para o transistor NMOS com  $L = 25\mu m$  e  $W = 25\mu m$  em 77K com  $I_B = 34nA$  e os valores de  $V_{T0}$ ,  $\gamma$ ,  $\Phi_F$  e  $n_0$  extraídos da curva.

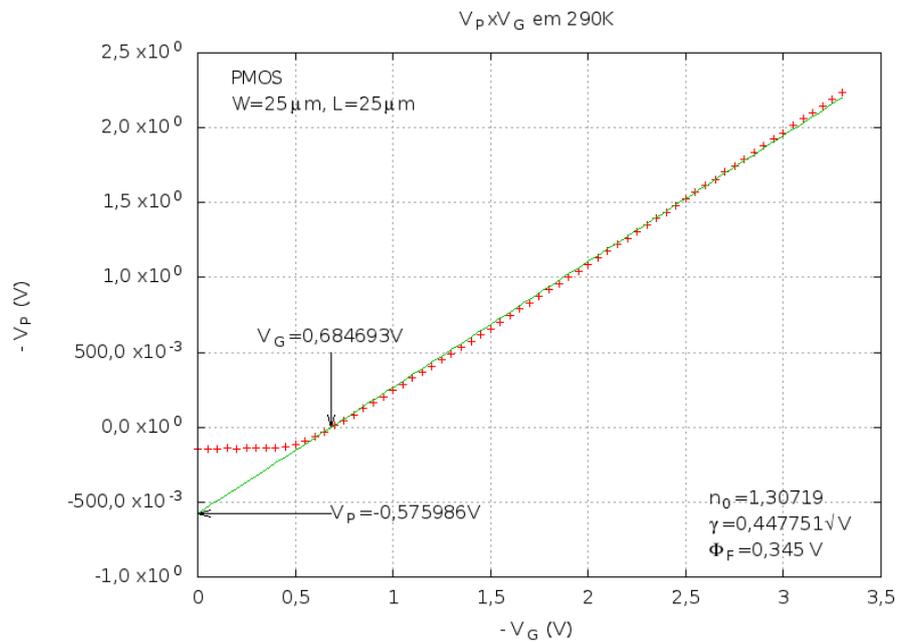


Figura A.7: Curva  $V_P \times V_G$  para o transistor PMOS com  $L = 25\mu m$  e  $W = 25\mu m$  em 290K com  $I_B = 26,74nA$  e os valores de  $V_{T0}$ ,  $\gamma$ ,  $\Phi_F$  e  $n_0$  extraídos da curva.

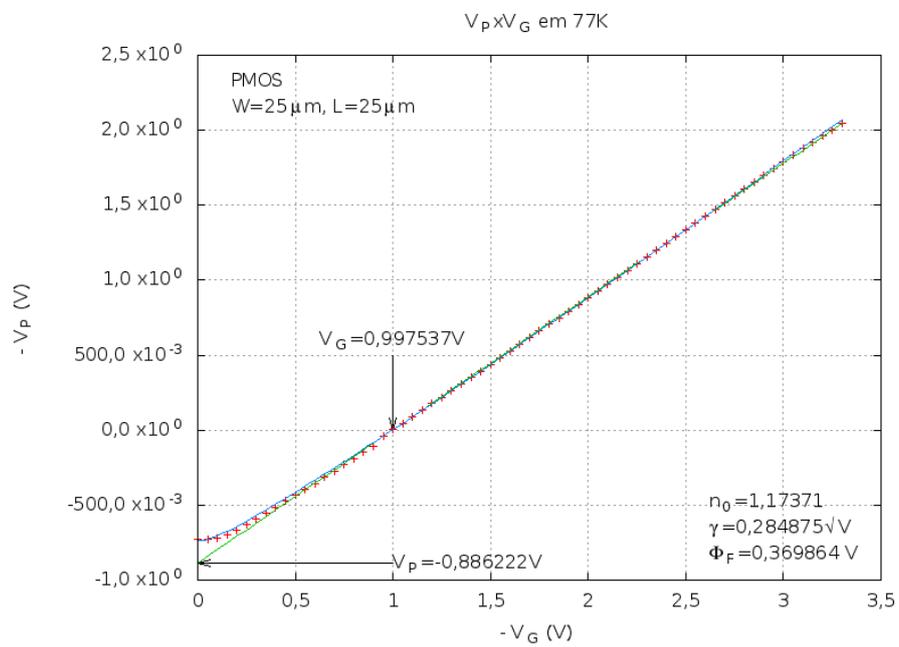


Figura A.8: Curva  $V_p \times V_G$  para o transistor PMOS com  $L = 25\mu m$  e  $W = 25\mu m$  em 77K com  $I_B = 2,5nA$  e os valores de  $V_{T0}$ ,  $\gamma$ ,  $\Phi_F$  e  $n_0$  extraídos da curva.

## A.2 Transcondutância

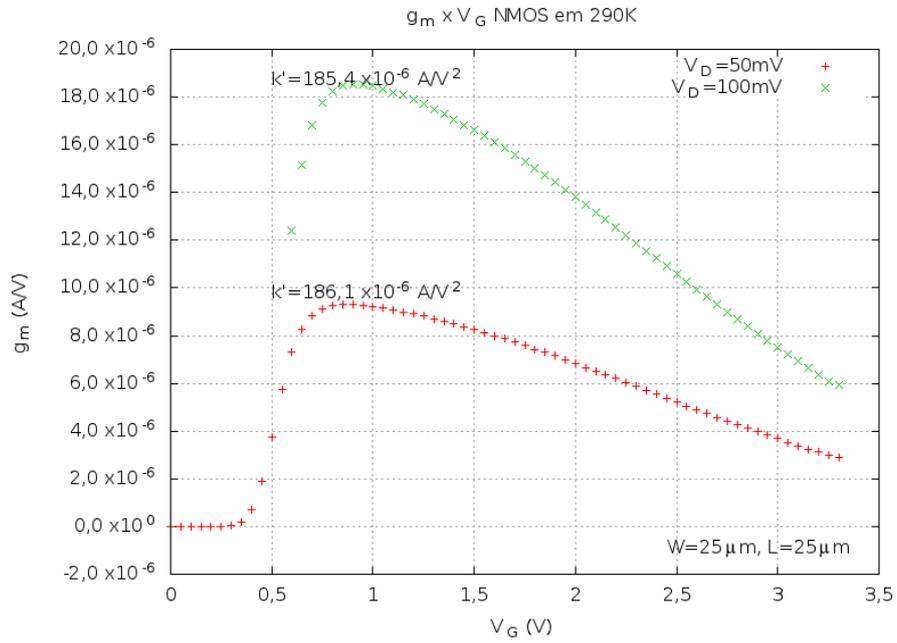


Figura A.9: Curva  $g_m \times V_G$  para o transistor NMOS com  $L = 25 \mu\text{m}$  e  $W = 25 \mu\text{m}$  em 290K com  $V_D = 50\text{mV}$  e  $V_D = 100\text{mV}$  e os valores de  $k'$  extraídos de cada curva.

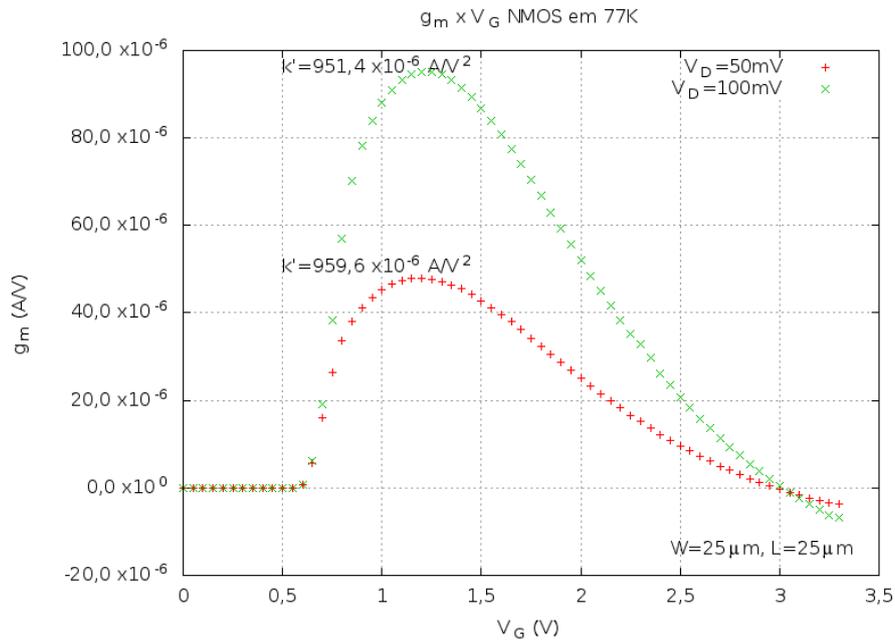


Figura A.10: Curva  $g_m \times V_G$  para o transistor NMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 77K com  $V_D = 50\text{mV}$  e  $V_D = 100\text{mV}$  e os valores de  $k'$  extraídos de cada curva.

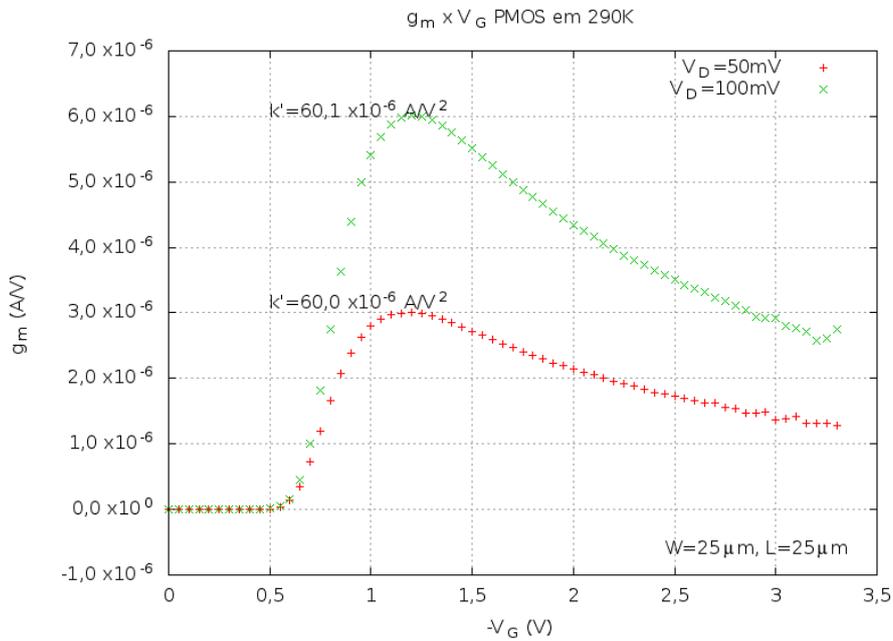


Figura A.11: Curva  $g_m \times V_G$  para o transistor PMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K com  $V_D = -50\text{mV}$  e  $V_D = -100\text{mV}$  e os valores de  $k'$  extraídos de cada curva.

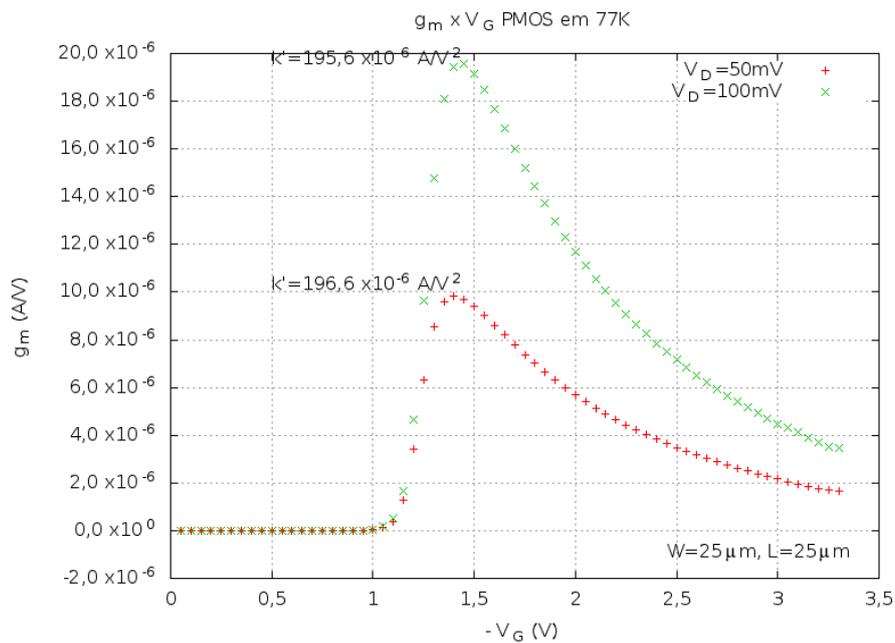


Figura A.12: Curva  $g_m \times V_G$  para o transistor PMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 77K com  $V_D = -50\text{mV}$  e  $V_D = -100\text{mV}$  e os valores de  $k'$  extraídos de cada curva.

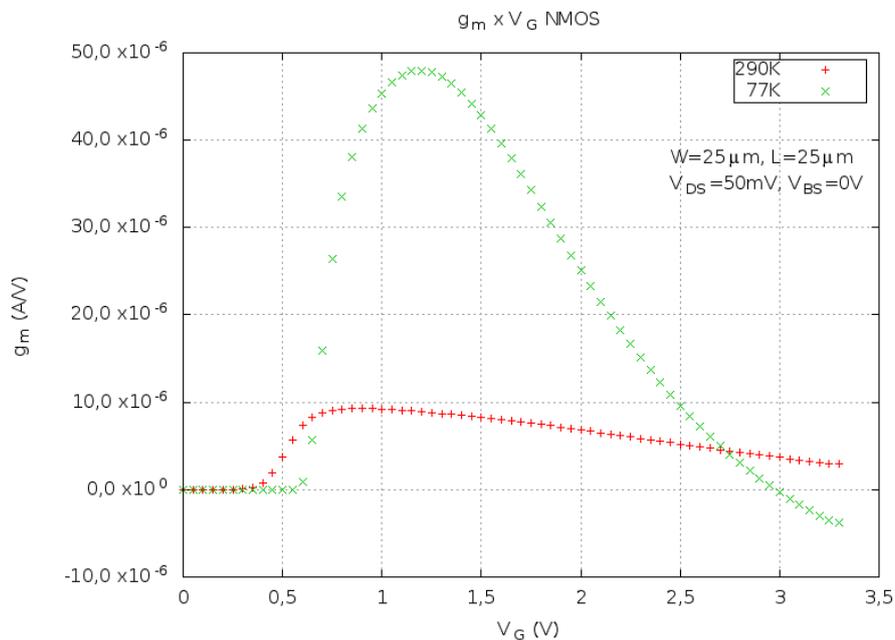


Figura A.13: Curva com a comparação entre  $g_m \times V_G$  para o transistor NMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K e 77K com  $V_D = 50\text{mV}$  e  $V_{BS} = 0$ .

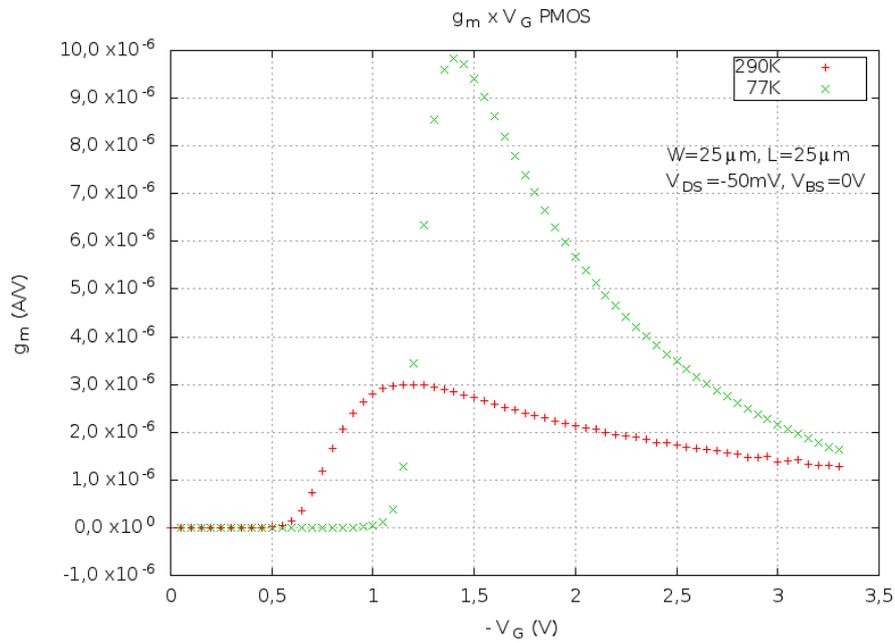


Figura A.14: Curva com a comparação entre  $g_m \times V_G$  para o transistor PMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K e 77K com  $V_D = -50\text{mV}$  e  $V_{BS} = 0$ .

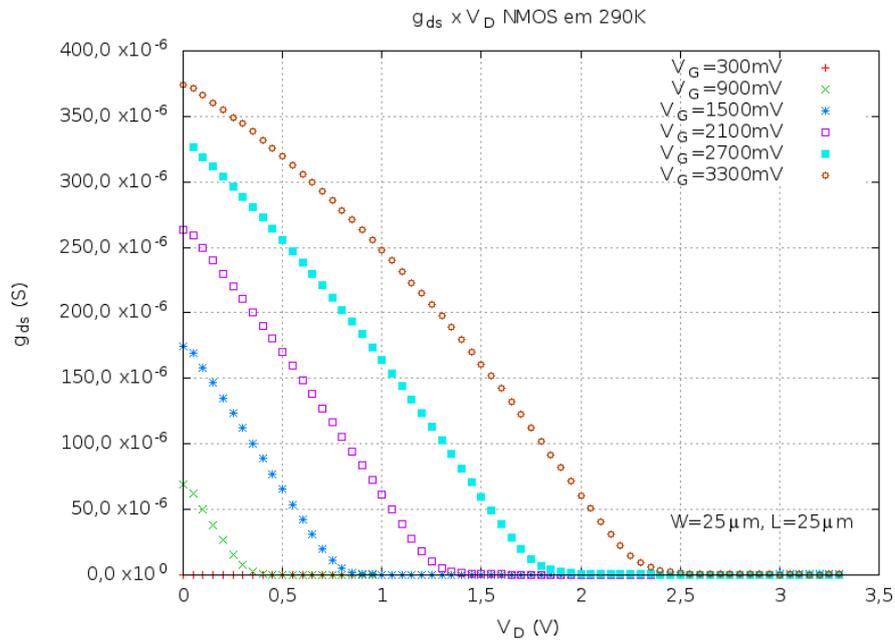


Figura A.15: Curva  $G_{DS} \times V_D$  para o transistor NMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K.

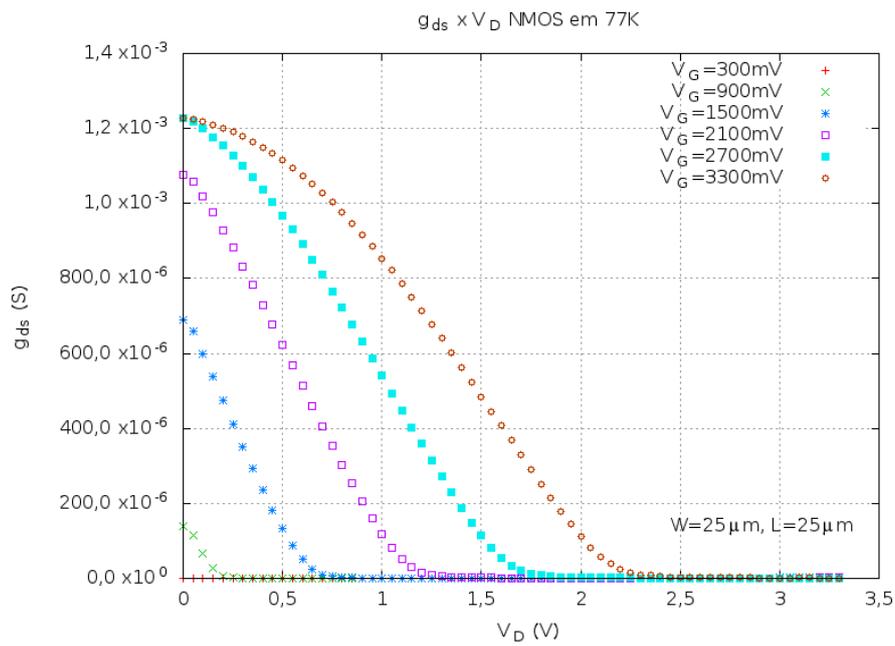


Figura A.16: Curva  $G_{DS} \times V_D$  para o transistor NMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 77K.

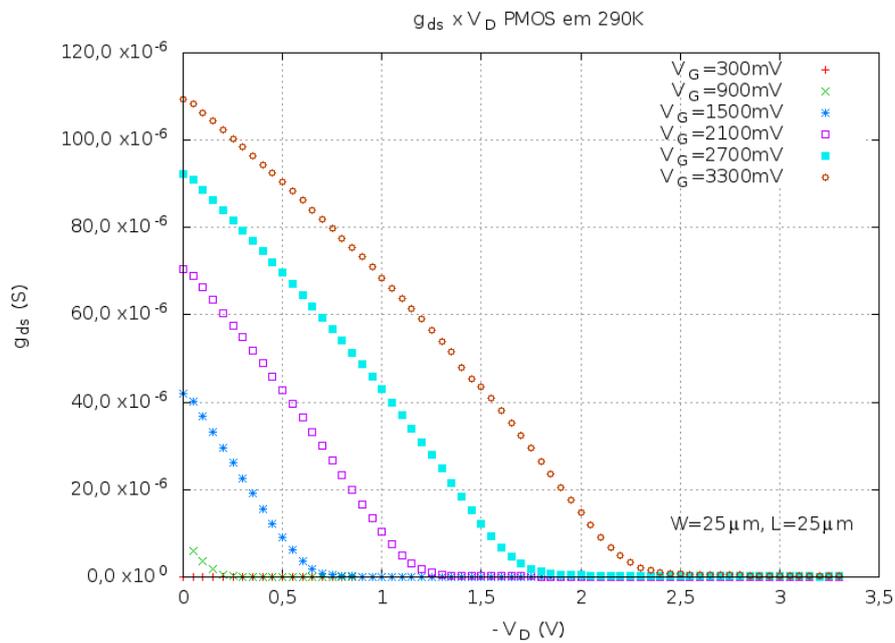


Figura A.17: Curva  $G_{DS} \times V_D$  para o transistor PMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 290K.

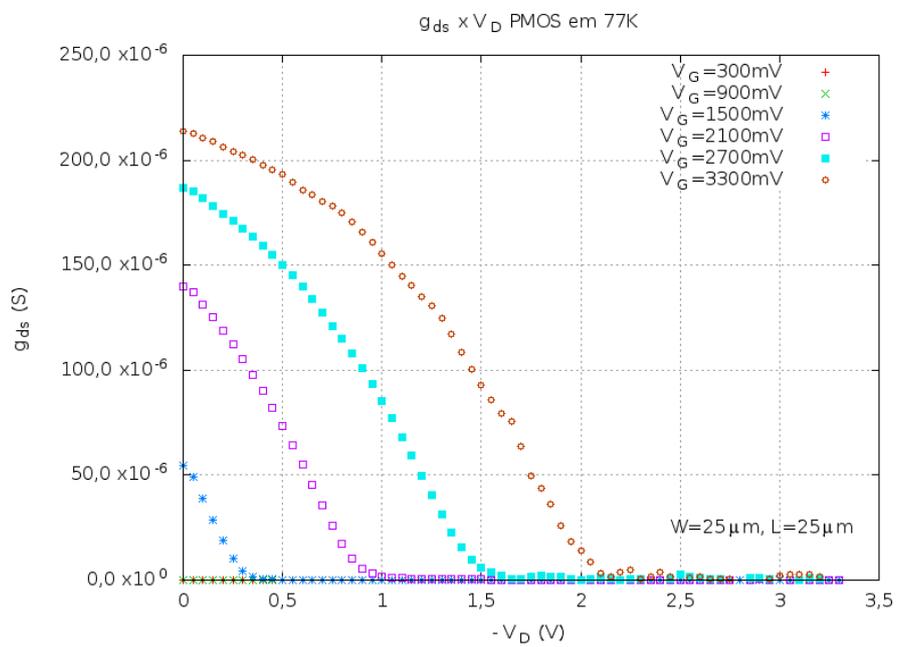


Figura A.18: Curva  $G_{DS} \times V_D$  para o transistor PMOS com  $L = 25\mu\text{m}$  e  $W = 25\mu\text{m}$  em 77K.

### A.3 Característica do Transistor

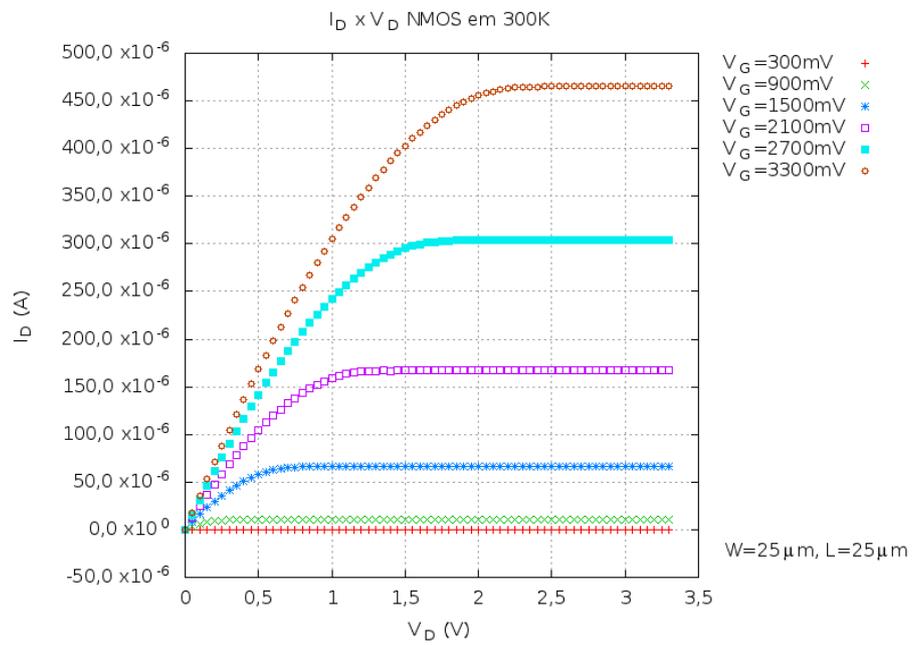


Figura A.19: Característica  $I_D \times V_D$  para o transistor NMOS com  $L = 25\ \mu\text{m}$  e  $W = 25\ \mu\text{m}$  em 290K.

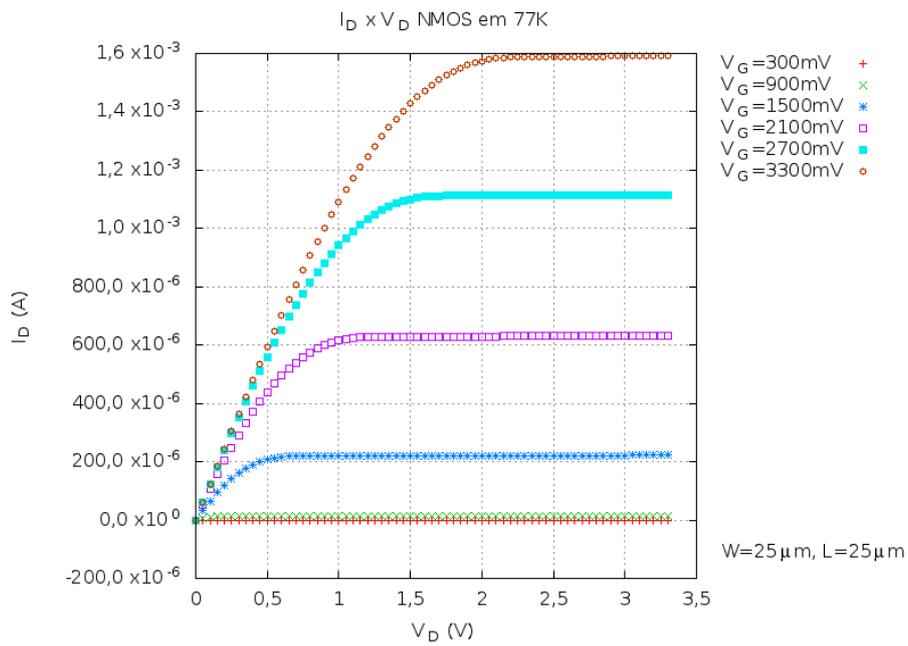


Figura A.20: Característica  $I_D \times V_D$  para o transistor NMOS com  $L = 25\ \mu\text{m}$  e  $W = 25\ \mu\text{m}$  em 77K.

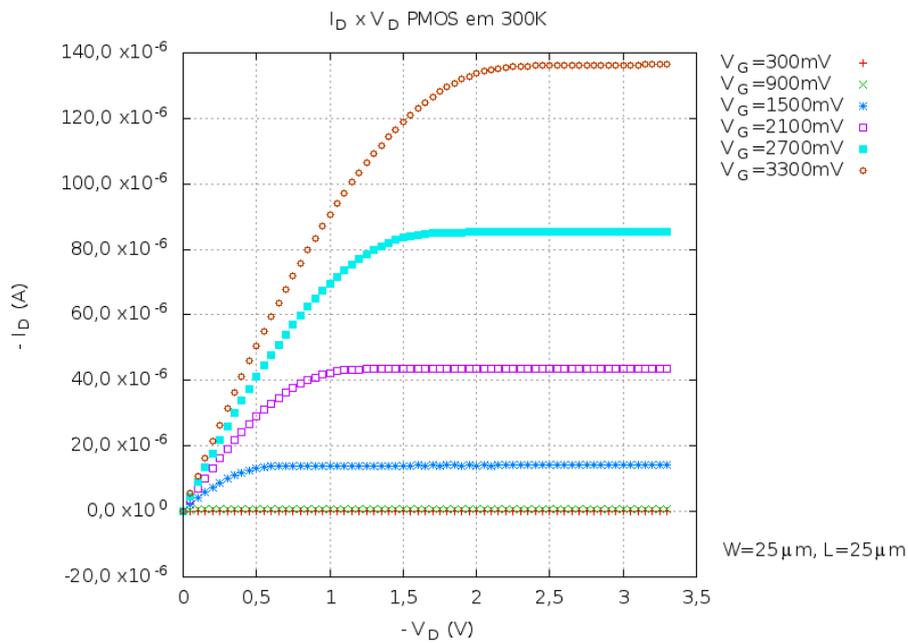


Figura A.21: Característica  $I_D \times V_D$  para o transistor PMOS com  $L = 25\ \mu\text{m}$  e  $W = 25\ \mu\text{m}$  em 290K.

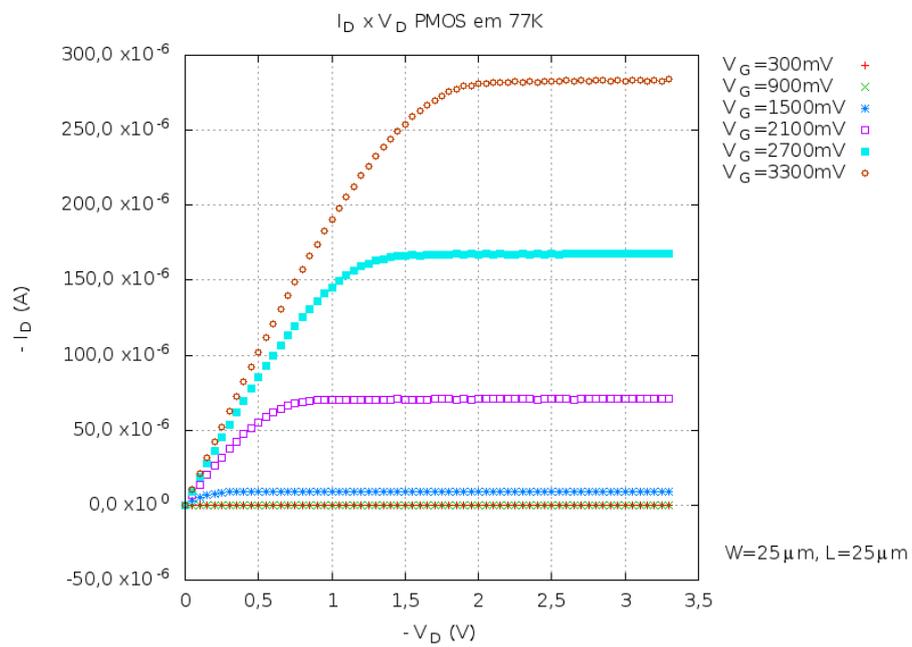


Figura A.22: Característica  $I_D \times V_D$  para o transistor PMOS com  $L = 25\ \mu\text{m}$  e  $W = 25\ \mu\text{m}$  em 77K.

## A.4 Capacitância de Porta

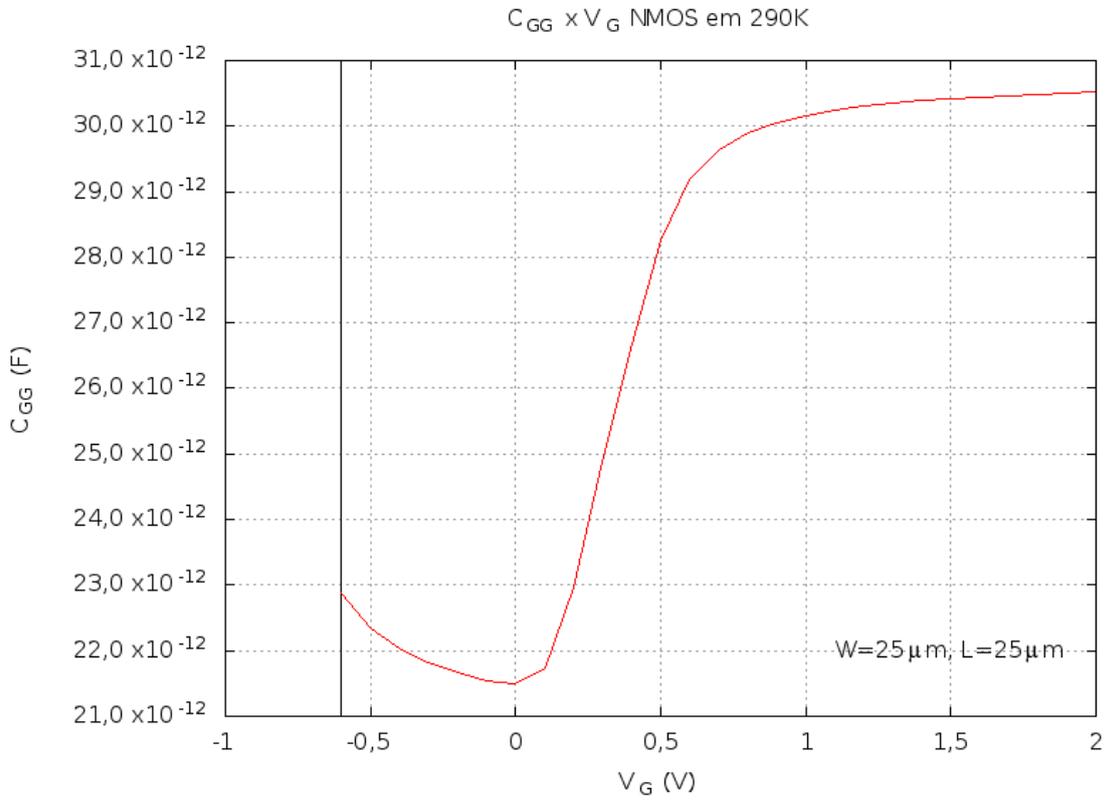


Figura A.23: Curva da capacitância de porta  $C_{GG}$  em 290K em função do potencial de porta  $V_G$  para um transistor com  $L = 25 \mu\text{m}$  e  $W = 25 \mu\text{m}$ , excluída a faixa de valores de  $V_G$  correspondente a condução direta do diodo de proteção e ainda sob influência das capacitâncias parasitas.

## Apêndice B

# Descrição do CI com as Estruturas de Teste

### B.1 Relação dos transistores disponíveis no CI do *run* A35C6\_7

Na tabela abaixo segue um resumo das dimensões de projeto dos transistores.

Tabela B.1: Relação dos transistores disponíveis no CI projetados por ROCHA JÚNIOR [27] e suas dimensões.

<b>Tipo de transistor</b>	<b>Comprimento <math>L(\mu\text{m})</math></b>	<b>Largura <math>W(\mu\text{m})</math></b>	<b>Número de <i>fingers</i></b>
NMOS	0,35	3,50	1
NMOS	0,60	6,00	1
NMOS	0,80	8,00	1
NMOS	1,20	12,0	1
NMOS	1,60	16,0	1
NMOS	2,00	20,0	1
NMOS	25,0	25,0	1
NMOS	0,35	0,7	10
NMOS	7,00	0,70	10
NMOS	9,00	0,90	10
NMOS	12,0	1,20	1
NMOS	16,0	1,60	10
NMOS	20,0	2,00	10
NMOS	25,0	2,50	10
PMOS	0,35	3,50	1
PMOS	0,60	6,00	1

Tabela B.1: Relação dos transistores disponíveis no CI projetados por ROCHA JÚNIOR [27] e suas dimensões.

<b>Tipo de transistor</b>	<b>Comprimento <math>L(\mu\text{m})</math></b>	<b>Largura <math>W(\mu\text{m})</math></b>	<b>Número de <i>fingers</i></b>
PMOS	0,80	8,00	1
PMOS	1,20	12,0	1
PMOS	1,60	16,0	1
PMOS	2,00	20,0	1
PMOS	25,0	25,0	1
PMOS	0,35	0,7	10
PMOS	7,00	0,70	10
PMOS	9,00	0,90	10
PMOS	12,0	1,20	1
PMOS	16,0	1,60	10
PMOS	20,0	2,00	10
PMOS	25,0	2,50	10

## B.2 Terminais do CI APS II - *run A35C6\_7*

Tabela B.2: Relação dos sinais do CI APS II

<b>SINAL</b>	<b>DESCRIÇÃO</b>	<b>DIREÇÃO</b>	<b>ATIVAÇÃO</b>	<b>PINO</b>
Y0 - Y5	Endereço de Linha	entrada	-	49 a 44
X0 - X5	Endereço de coluna	entrada	-	6 a 11
ADDR_Y_ENB	Habilita endereço de linha	entrada	0	50
ADDR_X_ENB	Habilita endereço de coluna	entrada	0	5
ENB	Sinal de habilitação global	entrada	1	54
GLB_RST	Reset global	entrada	0	51
GY0 - GY5	Gerador - endereço de linha	saída	-	60 a 55
GX0 - GX3	Gerador - endereço de coluna	saída	-	65 a 68

Tabela B.2: Relação dos sinais do CI APS II

<b>SINAL</b>	<b>DESCRIÇÃO</b>	<b>DIREÇÃO</b>	<b>ATIVAÇÃO</b>	<b>PINO</b>
GX4 - GX5	Gerador - endereço de coluna	saída	-	3 e 4
R_ADDR	Gerador - habilita endereço de linha	saída	-	61
C_ADDR	Gerador - habilita endereço de coluna	saída	-	64
CLOCK	Gerador - clock	entrada	-	62
START	Gerador - reset	entrada	-	63
PIX_OUT	Saída do pixel	saída	-	12
IBIAS_SF	Corrente de polarização do transistor seguidor de fonte	entrada	-	13
OP1_IN-	Entrada inversora do amplificador 1	entrada	-	14
OP1_IN+	Entrada não inversora do amplificador 1	entrada	-	15
OP1_VB 1	Tensão de polarização do amplificador	entrada	-	16
OP1_REF	Referência do amplificador 1	entrada	-	17
OP1_OUT	Saída do amplificador 1	saída	-	20
OP2_REF	Referência do amplificador 2	entrada	-	21
OP2_OUT	Saída do amplificador 2	saída	-	22
OP2_VB	Tensão de polarização do amplificador 2	entrada	-	23
OP2_IN+	Entrada não inversora do amplificador 2	entrada	-	24

Tabela B.2: Relação dos sinais do CI APS II

<b>SINAL</b>	<b>DESCRIÇÃO</b>	<b>DIREÇÃO</b>	<b>ATIVAÇÃO</b>	<b>PINO</b>
OP2_IN-	Entrada inversora do amplificador 2	entrada	-	25
MATRIZ_NDW	Matriz de fotodiodos de teste	entrada		26
NM10XD	Dreno da matriz de transistores NMOS com <i>fingers</i>	entrada		27
NM10XS	Fonte da matriz de transistores NMOS com <i>fingers</i>	entrada		28
NM1XD	Dreno da matriz de transistores NMOS	entrada		29
NM1XS	Fonte da matriz de transistores NMOS	entrada		30
G1	Porta 1 da matriz de transistores	entrada		31
G2	Porta 2 da matriz de transistores	entrada		32
G3	Porta 3 da matriz de transistores	entrada		33
G4	Porta 4 da matriz de transistores	entrada		34
G5	Porta 5 da matriz de transistores	entrada		37
G6	Porta 6 da matriz de transistores	entrada		38
G7	Porta 7 da matriz de transistores	entrada		39
PM1XS	Fonte da matriz de transistores PMOS	entrada		40
PM1XD	Dreno da matriz de transistores PMOS	entrada		41
PM10XS	Fonte da matriz de transistores PMOS com <i>fingers</i>	entrada		42

Tabela B.2: Relação dos sinais do CI APS II

<b>SINAL</b>	<b>DESCRIÇÃO</b>	<b>DIREÇÃO</b>	<b>ATIVAÇÃO</b>	<b>PINO</b>
PM10XD	Dreno da matriz de transistores PMOS com <i>fingers</i>	entrada		43
GND	Terra de sinal	entrada	-	1-18-35-52
VDDA_E	VDD analógico da coroa esquerda	entrada	-	2
VDDA_D	VDD analógico da coroa direita	entrada	-	36
VDDD_E	VDD digital da coroa esquerda	entrada	-	53
VDDD_D	VDD digital da coroa direita	entrada	-	19

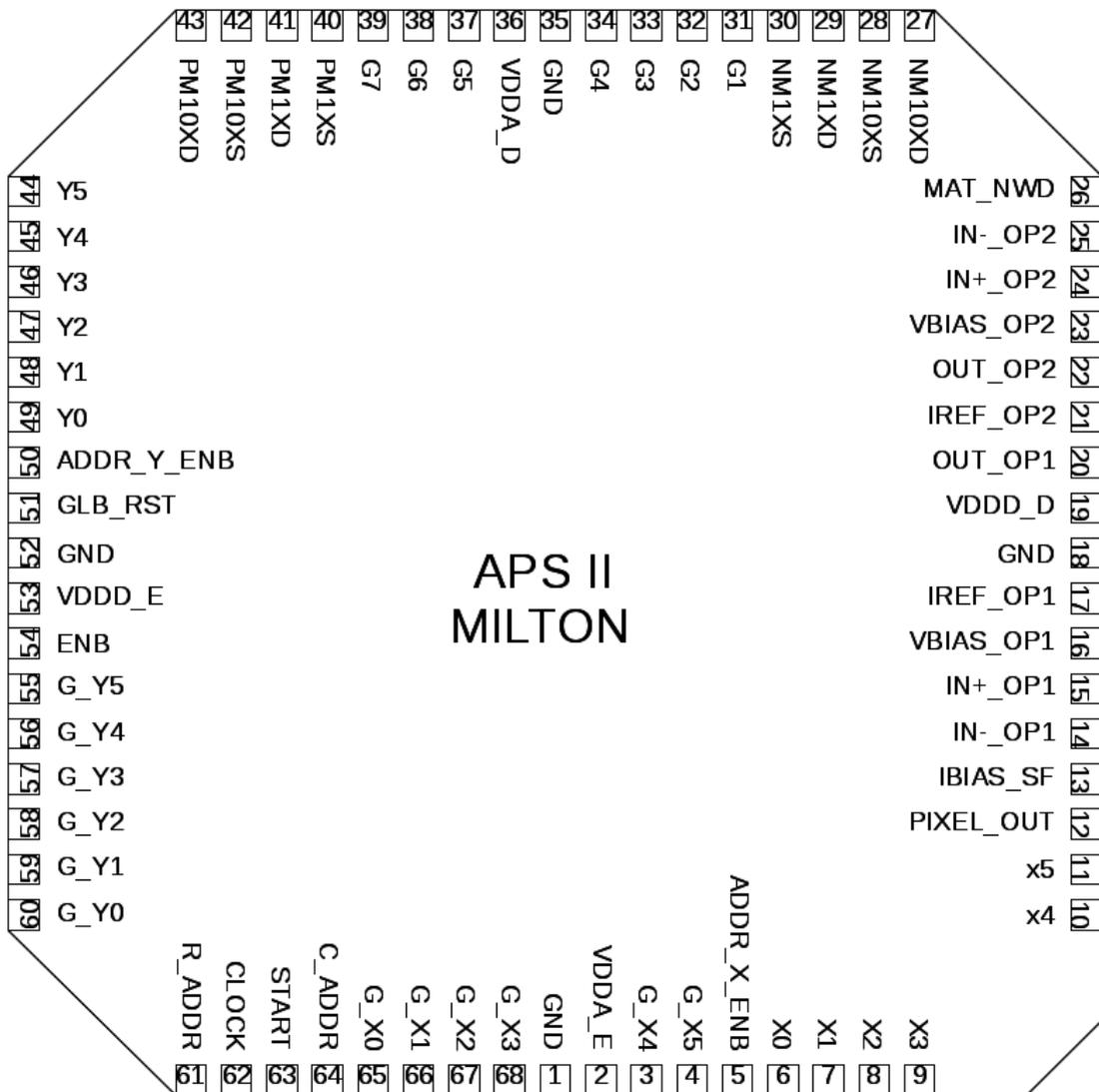


Figura B.1: Diagrama de pinagem geral do CI APS II no encapsulamento PLCC de 68 pinos.