

AMPLIFICADOR DE GANHO PROGRAMÁVEL UTILIZANDO A TÉCNICA DE
DIVISÃO DE CORRENTE

Leticia Ramos Lemos Collavizza

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Fernando Antônio Pinto Barúqui

Rio de Janeiro
Dezembro de 2013

AMPLIFICADOR DE GANHO PROGRAMÁVEL UTILIZANDO A TÉCNICA DE
DIVISÃO DE CORRENTE

Leticia Ramos Lemos Collavizza

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO
LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE) DA
UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM
ENGENHARIA ELÉTRICA.

Examinada por:

Prof. Fernando Antônio Pinto Barúqui, D.Sc.

Prof. José Gabriel Rodriguez Carneiro Gomes, Ph.D.

Prof. Marcio Nogueira de Souza, D.Sc.

RIO DE JANEIRO, RJ - BRASIL
DEZEMBRO DE 2013

Collavizza, Leticia Ramos Lemos

Amplificador de ganho programável utilizando a técnica de divisão de corrente/Leticia Ramos Lemos Collavizza. – Rio de Janeiro: UFRJ/COPPE, 2013.

IX, 87 p.: il.; 29, 7cm.

Orientador: Fernando Antônio Pinto Barúqui

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2013.

Referências Bibliográficas: p. 86 – 87

1. Microeletrônica. 2. PGA. 3. Divisor de corrente sem uso de resistores. 4. Cancelamento de offset I. Barúqui, Fernando Antônio Pinto. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

Agradecimentos

À Deus, pelas bênçãos concedidas.

À minha família, em especial ao meu marido, pelo amor, compreensão e confiança dedicados à mim.

Ao meu orientador: Fernando Antônio Pinto Barúqui, pelo apoio, orientação, ensinamentos e, também, por sua paciência;

Aos profissionais do Laboratório de Medição de Energia Elétrica da Eletrobrás – CEPEL, pelos conselhos e incentivo no início dessa jornada.

Aos professores do Programa de Engenharia Elétrica da COPPE/UFRJ pela formação de excelência.

Aos meus colegas de turma, em especial ao Ricardo e Ana Fernanda, pelos anos de estudo, descontração e principalmente pela amizade durante esta jornada.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

AMPLIFICADOR DE GANHO PROGRAMÁVEL UTILIZANDO A TÉCNICA DE DIVISÃO DE CORRENTE

Leticia Ramos Lemos Collavizza

Dezembro/2013

Orientador: Fernando Antônio Pinto Barúqui

Programa: Engenharia Elétrica

Amplificadores de ganho programável (PGA) são muito utilizados em pré-amplificação de sistemas com conversão analógico digitais aplicados em sinais cujas faixas dinâmicas são muito elevadas. De uma maneira geral, o PGA emprega resistores como elemento de controle de ganho. Entretanto, esta configuração implica em uma excessiva área de integração necessária para a realização de resistores de elevado valor o que não é desejável em projetos de circuitos integrados de baixo consumo de potência. Visando a redução de resistores no circuito, este trabalho apresentará uma estrutura inovadora que utiliza divisor de corrente com transistores para o controle do ganho, aliada a um mecanismo de cancelamento de tensão de offset, oriunda do descasamento dos transistores devido às variações dos parâmetros de processo. Os circuitos foram projetados utilizando-se a tecnologia de integração CMOS (Complementary Metal Oxide Semiconductor) com resolução de 350 nm. Nas simulações, foi empregado o simulador Spectre do Cadence, no qual todos os transistores são modelados através do modelo BSIM3v3. Este PGA será empregado em um medidor eletrônico de energia para realizar o pré-condicionamento de um sinal, que seguirá para um conversor analógico-digital.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

A PROGRAMMABLE GAIN AMPLIFIER WITH A CURRENT DIVIDER TECHNIQUE

Leticia Ramos Lemos Collavizza

December/2013

Advisor: Fernando Antônio Pinto Barúqui

Department: Electrical Engineering

Programmable gain amplifiers (PGA) are widely used in pre-amplification systems with digital analog conversion applied to signals whose dynamic ranges are too high. In general, the PGA uses resistors as part of gain control. However, this setting implies an excessive area of integration required for the realization of high value resistors. This is not desirable in integrated circuit design. In order to reduce the resistors in the circuit, this work presents an innovative structure that uses current divider with transistors for gain control that is associated with a mechanism for offset cancellation. The circuits were designed in a CMOS (Complementary Metal Oxide Semiconductor) 350 nm technology. Regarding the simulations, the Cadence Spectre was used, in which all transistors were modeled according to BSIM3v3. This PGA will be employed in an electronic energy meter to perform signal preconditioning before the analog-digital conversion.

CAPÍTULO 1 INTRODUÇÃO.....	1
1.1 Motivações.....	1
1.2 Objetivo	2
1.3 Aplicação	2
1.4 Revisão Bibliográfica	2
1.5 Organização	3
CAPÍTULO 2 FUNDAMENTOS TEÓRICOS DO AMPLIFICADOR DE GANHO PROGRAMÁVEL E DO CANCELADOR DE <i>OFFSET</i>.....	4
2.1 Controle de ganho do PGA.....	4
2.2 Cancelamento de <i>offset</i>	15
2.3 Filtro Notch	18
CAPÍTULO 3 O AMPLIFICADOR DE GANHO PROGRAMÁVEL	21
3.1 Espelho de Corrente.....	21
3.2 Amplificador diferencial de Entrada e de Realimentação.....	27
3.3 Controle do ganho do PGA.....	30
3.4 Cancelamento de <i>offset</i>	36
CAPÍTULO 4 SIMULAÇÕES E RESULTADOS.....	43
4.1 Simulação do controle de ganho do PGA.....	43
4.2 Resposta em Frequência	47
4.3 Ruído equivalente na Entrada.....	50
4.4 Sinal de Saída para uma Entrada Senoidal e para os Ganhos Variando de 1 a 7, com <i>Chopper</i> e Filtro <i>Notch</i>	51
4.5 Controle de <i>Offset</i>	56
4.6 Distorção Harmônica Total	60

4.7	Análise PAC e PNOISE	66
4.8	Simulações de Monte Carlo para o Descasamento.....	74
4.9	Circuito de Controle da Tensão de Modo Comum na Saída.....	81
CAPÍTULO 5 CONCLUSÕES.....		84
5.1	Considerações finais.....	84
5.2	Trabalhos futuros	85
REFERÊNCIAS.....		86

Lista de Figuras

<i>Figura 2.1: Divisor de corrente: a) divisor de corrente com dois transistores; b) divisor de corrente com sinal de entrada.</i>	4
<i>Figura 2.2: Correntes no MOSFET, segundo o modelo EKV.</i>	5
<i>Figura 2.3: Diagrama básico do PGA com divisor de corrente na configuração full-differential.</i>	7
<i>Figura 2.4: Esquema de programação do ganho.</i>	9
<i>Figura 2.5: Implementação de $A_V = 1$.</i>	9
<i>Figura 2.6: Polarização do divisor de corrente.</i>	10
<i>Figura 2.7: Amplificador diferencial com degeneração de fonte.</i>	13
<i>Figura 2.8: Curva de transcondutância do amplificador diferencial com degeneração de fonte.</i>	13
<i>Figura 2.9: Princípio de funcionamento do chopper.</i>	16
<i>Figura 2.10: Tensão de offset residual.</i>	17
<i>Figura 2.11: Circuito do filtro notch.</i>	18
<i>Figura 2.12: Diagrama de fases do chopper e do filtro notch.</i>	18
<i>Figura 2.13: Controle de offset do PGA.</i>	19
<i>Figura 2.14: Comportamento do sinal na saída do filtro notch.</i>	20
<i>Figura 3.1: Circuito do espelho de corrente simples.</i>	21
<i>Figura 3.2: Espelho de corrente NMOS.</i>	22
<i>Figura 3.3: Gráfico das inequações geradas a partir da condição de saturação dos transistores.</i>	25
<i>Figura 3.4: Espelho PMOS.</i>	26
<i>Figura 3.5: Amplificador diferencial polarizado.</i>	28
<i>Figura 3.7: Curva da transcondutância.</i>	29
<i>Figura 3.8: Circuito do PGA com divisor de corrente.</i>	31
<i>Figura 3.9: Circuito de programação do ganho do PGA com cinco estágios.</i>	34
<i>Figura 3.10: Circuito de polarização do divisor de corrente.</i>	35
<i>Figura 3.11: Circuito do PGA com choppers.</i>	36
<i>Figura 3.12: Implementação do chopper com chaves dummy.</i>	37
<i>Figura 3.13: Implementação do PGA com choppers e filtro notch.</i>	38
<i>Figura 3.14: Esquema do PGA com filtro notch.</i>	39
<i>Figura 3.15: Circuito do filtro notch para cada fase.</i>	39
<i>Figura 3.16: Gráfico do módulo das raízes da expressão do ganho.</i>	41
<i>Figura 3.17: Implementação do filtro notch.</i>	42
<i>Figura 4.1: Simulações dos ganhos do PGA sem o corretor de tensão de offset, e para os valores: a) 1; b) 2; c) 3; d) 4; e) 5; f) 6 e g) 7.</i>	46
<i>Figura 4.2: Resposta em frequência para A_V de 1 a 7.</i>	49
<i>Figura 4.3: Densidade espectral do ruído referenciado à entrada para corrente de polarização igual a: a) $2 \mu A$ e b) $1 \mu A$.</i>	51

<i>Figura 4.4: Sinal de saída do PGA com entrada senoidal de amplitude igual a 100mV e frequência de 1kHz: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$;</i>	55
<i>Figura 4.5: Impedância de saída do circuito</i>	56
<i>Figura 4.6: Offset gerado por uma fonte de tensão DC no amplificador diferencial: a) sem correção; b) com o chopper; c) com o filtro notch.</i>	58
<i>Figura 4.7: Offset gerado por uma fonte de tensão DC no amplificador diferencial de realimentação: a) sem correção; b) com o chopper; c) com o filtro notch.</i>	60
<i>Figura 4.8: Excursão de sinal diferencial de 1V na saída para A_V de 1 a 7: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$; g) $A_V = 7$.</i>	65
<i>Figura 4.9: Gráficos de resposta em frequência obtidos pela PAC: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$; g) $A_V = 7$.</i>	69
<i>Figura 4.10: Densidade espectral de potência do ruído referenciado à entrada: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$; g) $A_V = 7$.</i>	73
<i>Figura 4.11: Histograma da tensão de offset de saída: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$; g) $A_V = 7$.</i>	78
<i>Figura 4.12: Offset de saída nos circuitos: (a) sem chopper e sem filtro notch (b) com chopper e sem filtro notch (c) com chopper e com filtro notch</i>	80
<i>Figura 4.13: Circuito de controle de tensão de modo comum na saída.</i>	82

Lista de Tabelas

<i>Tabela 3.1: Especificações para o projeto do espelho PMOS.</i>	27
<i>Tabela 3.2: Dimensionamento dos transistores do espelho de corrente PMOS.</i>	27
<i>Tabela 3.3: Dimensionamento dos transistores do amplificador diferencial a diferenças.</i>	30
<i>Tabela 3.4: Especificações para o projeto do divisor de corrente.</i>	32
<i>Tabela 3.5: Dimensionamento dos transistores do divisor de corrente.</i>	33
<i>Tabela 3.6: Dimensionamento dos transistores do chopper.</i>	37
<i>Tabela 3.7: Dimensionamento do filtro notch.</i>	42
<i>Tabela 4.1: Amplitudes para cada ganho.</i>	47
<i>Tabela 4.2: Ganho de tensão obtido para o circuito do PGA com mecanismo de cancelamento de offset.</i>	56
<i>Tabela 4.3: Distorção harmônica.</i>	61
<i>Tabela 4.4: THD com amplitude de saída em 1V.</i>	65
<i>Tabela 4.5: Frequências de corte simuladas.</i>	70
<i>Tabela 4.6: Tensão RMS do ruído na faixa de 10 a 3kHz.</i>	74
<i>Tabela 4.7: Estatística da média m e do desvio padrão σ_m do offset referenciado na entrada.</i>	78
<i>Tabela 4.8: Estatística da média m e do desvio padrão σ_m do PGA para $A_V = 7$.</i>	80
<i>Tabela 4.9: Dimensões dos transistores do CMFB e tensões de polarização.</i>	82

Capítulo 1

Introdução

Este trabalho pretende apresentar o desenvolvimento de um amplificador de ganho programável (PGA), através da técnica de divisão de corrente e sem resistores, integrado na tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) e processo de integração de 350 nm.

O principal enfoque desta dissertação recairá sobre a técnica empregada para redução da tensão de *offset* do PGA e a arquitetura utilizada para variar o seu ganho.

1.1 Motivações

De uma maneira geral, o PGA emprega resistores como elemento de controle de ganho. Entretanto, nos circuitos integrados de baixo consumo de potência, os resistores devem possuir valores muito elevados, na ordem de dezenas de $M\Omega$, de forma a manter as correntes internas na ordem de μA . Esta prática implica em uma excessiva área de integração necessária para a realização de resistores na ordem de $M\Omega$. Isto não é desejável no projeto de circuitos integrados, devido ao custo de produção ser proporcional à área de integração. Visando a eliminação dos resistores no circuito, este trabalho apresentará uma estrutura que utiliza divisor de corrente com transistores, para o controle do ganho.

Em muitas aplicações, tais como sensores, o desempenho do sistema é limitado pela tensão de *offset* e ruído dos amplificadores de entrada. Este problema tem crescido, por causa da substituição da tecnologia de integração bipolar pela CMOS, que têm significativamente maior ruído e descasamento dos transistores. Em virtude disso, a correção de tensão de *offset* é necessária, pois afeta a precisão das medidas. Soluções que podem remover tanto *offset* como o ruído encontram-se nas técnicas cancelamento dinâmicas, como *chopper*, que será utilizada neste trabalho.

1.2 Objetivo

O objetivo deste trabalho consiste no projeto e desenvolvimento de um amplificador de ganho programável (PGA), com aplicações em frequências até 3 kHz. O amplificador utiliza um circuito *chopper* e um filtro *notch* para o cancelamento da tensão de *offset*, produzida pelo descasamento dos transistores. O trabalho da tese propõe ainda uma estrutura inovadora para controle do ganho, dispensando o uso de resistores para PGA.

1.3 Aplicação

O PGA é muito utilizado em pré-amplificação em sistemas com conversão analógico digitais ou em sinais cujas faixas dinâmicas sejam muito elevadas. Este sistema encontra aplicação em medidores eletrônicos de energia elétrica, como pré-condicionador de um sinal, que seguirá para um conversor analógico-digital [1].

Segundo a Portaria nº 587 do Inmetro [2], que apresenta o regulamento técnico metrológico para medidores eletrônicos de energia elétrica ativa e/ou reativa, monofásicos e polifásicos, os medidores trifásicos, por exemplo, possuem faixa dinâmica de 0,75A a 120A. Como o conversor analógico-digital possui um número de *bits* fixo, há uma redução da característica sinal ruído nas correntes mais baixas. A função do PGA neste medidor é manter amplitude do sinal dentro de um determinado nível, correspondente à faixa de operação do conversor.

1.4 Revisão Bibliográfica

Existem algumas técnicas para se controlar o ganho de um amplificador digitalmente. Uma delas é a utilização da degeneração de fonte [3]–[5]. Desta forma, diversos resistores são colocados em paralelo e controlados por chaves analógicas [6]. O número de resistores em paralelo é alterado através do sinal de controle das chaves analógicas e, conseqüentemente, o ganho. Para obter uma melhor linearidade [7], [8], pode-se realimentar o amplificador e controlar seu ganho alterando-se o valor das resistências da malha externa.

As técnicas listadas empregam, exclusivamente, resistores como elemento de controle de ganho. Entretanto, esta prática tem como consequência resistores de valores elevados o que implica em aumento da área de integração necessária para sua realização. Uma alternativa foi proposta em [9], onde são utilizados dois resistores, dois amplificadores operacionais e dois conjuntos de transistores MOS, atuando como divisores de corrente e controle de ganho. Entretanto, esta estrutura é muito sensível à tensão de modo comum de entrada, não elimina totalmente o uso de resistores, e não é apropriada para a integração de circuitos para baixo consumo de potência.

1.5 Organização

No Capítulo 2, serão apresentados os fundamentos teóricos do amplificador de ganho de tensão programável e do circuito de correção da tensão de *offset*, juntamente com a revisão bibliográfica.

O Capítulo 3 apresenta o projeto de cada um dos blocos que foram utilizados neste trabalho.

As simulações dos blocos bem como do projeto completo, são apresentadas no Capítulo 4.

Por fim, no Capítulo 5 tem-se uma discussão acerca dos resultados obtidos, seguida pela conclusão do trabalho.

Capítulo 2

Fundamentos Teóricos do Amplificador de Ganho Programável e do Cancelador de *offset*

2.1 Controle de ganho do PGA

Os amplificadores de ganho programável (PGA) são amplificadores cujos ganhos de tensão ou corrente podem ser modificados por um determinado sinal de controle.

Com o objetivo de eliminar o uso de resistores no projeto do PGA, propõe-se uma estrutura que utiliza o divisor de corrente com transistores, conforme apresentado na Figura 2.1. Este divisor de corrente será implementado posteriormente na própria arquitetura do estágio de saída em *cascode* dobrado.

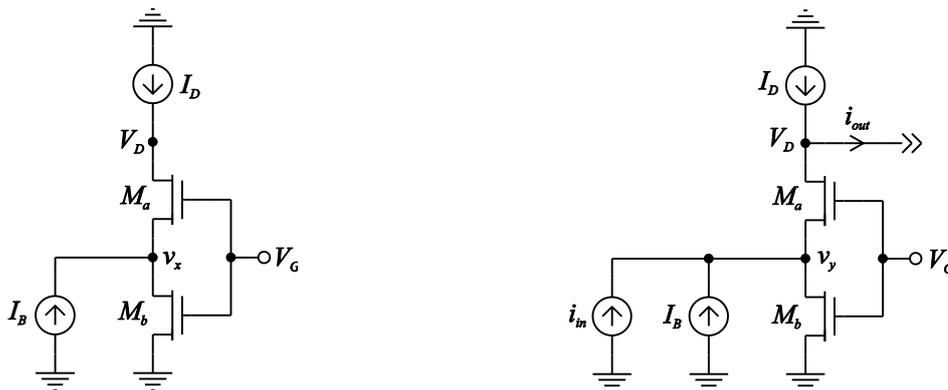


Figura 2.1: Divisor de corrente: a) divisor de corrente com dois transistores; b) divisor de corrente com sinal de entrada.

No circuito da Figura 2.1 (a), a corrente I_D é introduzida no dreno de M_a para estabelecer uma tensão V_D . Na Figura 2.1 (b), o sinal de entrada i_{in} é aplicado ao nó fonte-dreno de M_a e M_b , enquanto a corrente de saída i_{out} é obtida no dreno de M_a .

Devido a um circuito de polarização tipo mestre-escravo, ainda não apresentado, esta tensão V_D será mantida constante.

Para entender este processo, devemos considerar a equação das correntes de dreno e fonte do MOSFET prevista pelo modelo EKV [10] dada por

$$\frac{V_G - V_{T0} - nV_{S,D}}{n\phi_T} = \sqrt{1 + 4 \frac{I_{F,R}}{I_{ESP}}} + \ln \left(\sqrt{1 + 4 \frac{I_{F,R}}{I_{ESP}}} - 1 \right) - (1 + \ln(2)) \quad (2.1)$$

com $n_F = n_R = n$.

O modelo EKV preconiza uma simetria perfeita entre o dreno e a fonte do MOSFET, estabelecendo duas correntes no transistor, uma direta I_F , no terminal de fonte, e outra reversa I_R , no terminal de dreno, conforme a Figura 2.2.

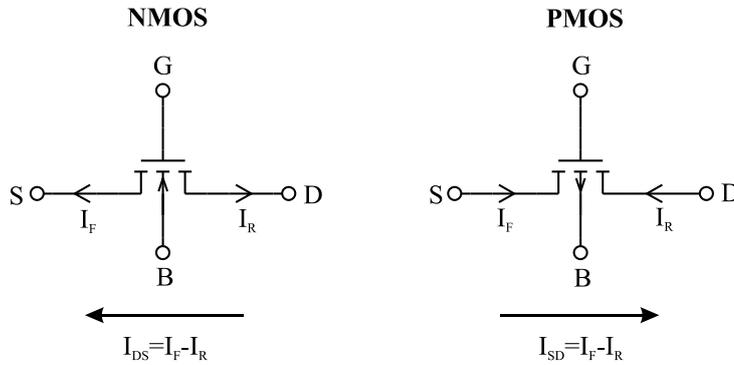


Figura 2.2: Correntes no MOSFET, segundo o modelo EKV.

Apesar da equação não possuir uma solução analítica para I_F e I_R , mesmo assim é possível afirmar que estas correntes são função de V_G e V_S , ou seja,

$$\begin{aligned} I_F &= \beta g(V_G, V_S) \text{ e} \\ I_R &= \beta g(V_G, V_D) \end{aligned} \quad (2.2)$$

onde $\beta = k_p W/L$. Portanto, podemos escrever a corrente entre dreno e fonte I_{DS} como

$$I_{DS} = \beta g(V_G, V_S) - \beta g(V_G, V_D) \quad (2.3)$$

O equacionamento dos dois circuitos apresentados na Figura 2.1 é baseado na Equação (2.3), e nos leva ao seguinte sistema:

$$\begin{cases} I_D = \beta_a g(V_G, v_x) - \beta_a g(V_G, V_D) \\ I_D + I_B = \beta_b g(V_G, 0) - \beta_b g(V_G, v_x) \\ I_D - i_{out} = \beta_a g(V_G, v_y) - \beta_a g(V_G, V_D) \\ I_D - i_{out} + I_B + i_{in} = \beta_b g(V_G, 0) - \beta_b g(V_G, v_y) \end{cases} \quad (2.4)$$

onde $\beta_a = k_p W_a / L_a$ e $\beta_b = k_p W_b / L_b$.

Assumindo i_{out} , i_{in} , $g(V_G, v_x)$ e $g(V_G, v_y)$ como variáveis do sistema, obtemos a relação linear entre i_{out} , i_{in} , dada pela Equação (2.5).

$$i_{out} = \frac{1}{1 + \frac{\beta_b}{\beta_a}} i_{in} \quad (2.5)$$

É possível verificar que i_{out} é uma versão atenuada de i_{in} , e possui fator da atenuação definido pela razão entre as relações de aspecto dos transistores M_a e M_b . A fim de garantir a linearidade prevista na Equação (2.5), devido a dependência da função $g(\cdot, \cdot)$ com relação às dimensões dos transistores, deve-se dimensionar M_a e M_b como associações em paralelo de transistores unitários, com dimensões idênticas e ganho β , tal que:

$$\begin{aligned} \beta_a &= N_a \beta \text{ e} \\ \beta_b &= N_b \beta, \end{aligned} \quad (2.6)$$

onde N_a e N_b são os números de transistores.

Aplicando esta condição anterior à Equação (2.5) obtém-se a seguinte relação:

$$i_{out} = \frac{1}{1 + \frac{N_b}{N_a}} i_{in}. \quad (2.7)$$

Para o PGA desenvolvido neste trabalho, considera-se o caso particular em que β_b/β_a é uma razão inteira e de valor N , tal que a relação entre i_{out} e i_{in} , definida como ganho de corrente A_C , é dada pela Equação (2.8).

$$A_C = \frac{i_{out}}{i_{in}} = \frac{1}{1+N} \quad (2.8)$$

Na Figura 2.3 é apresentado um diagrama básico do PGA com divisor de corrente na configuração *full-differential*. Este circuito é composto por dois pares diferenciais, um estágio de saída em cascode dobrado e um circuito de polarização tipo mestre-escravo. O circuito de polarização mestre é composto pelos transistores M_{a3} , M_{b3} e M_{c3} , que recebem as mesmas correntes de polarização que deverão ser copiadas para o circuito escravo.

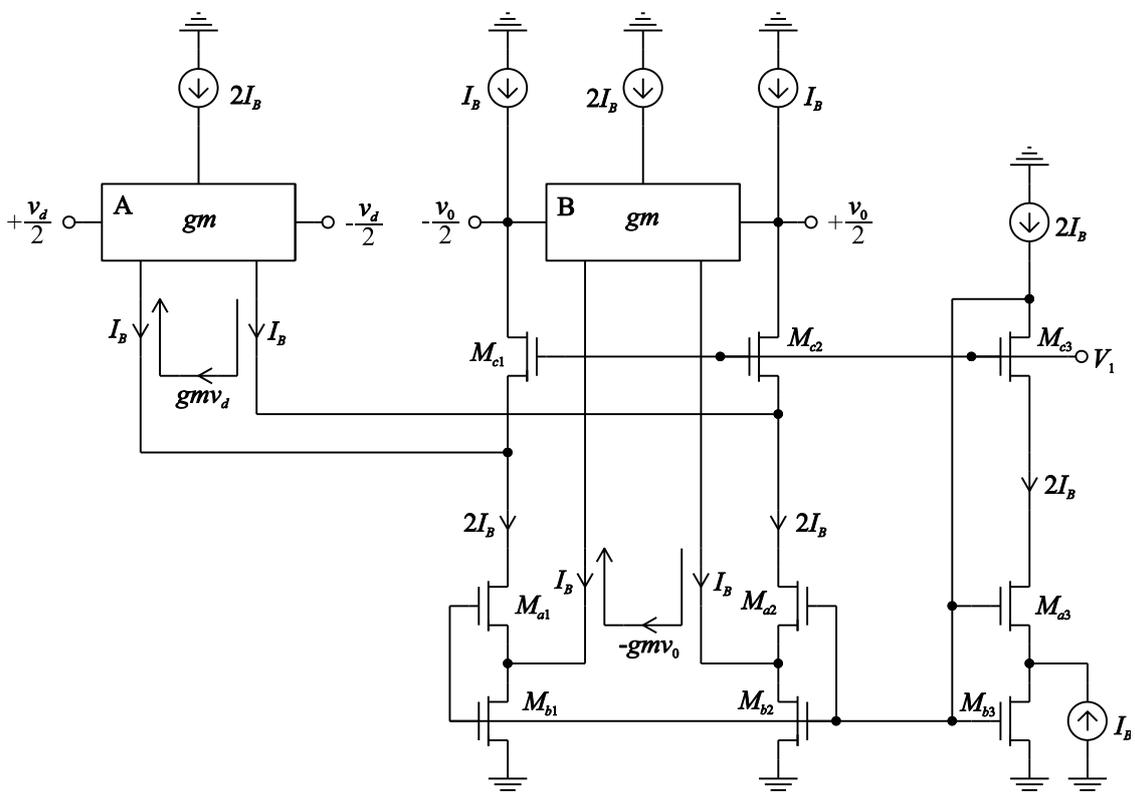


Figura 2.3: Diagrama básico do PGA com divisor de corrente na configuração *full-differential*.

Para garantir a mesma densidade de corrente entre os transistores mestres e seus correspondentes escravos, o transistor M_{c3} deve possuir o dobro da largura dos

transistores M_{c1} e M_{c2} , pois a corrente que circula por ele é o dobro das que circulam por M_{c1} e M_{c2} . O controle de tensão de modo comum da saída foi omitido, mas atua regulando as fontes de corrente de polarização dos transistores M_{c1} e M_{c2} .

O circuito é um Amplificador Operacional de Transcondutância (OTA) com duas entradas diferenciais e opera com forte realimentação negativa realizada através do amplificador diferencial B e dos divisores de corrente. A impedância de saída é muito elevada, devido à configuração em cascode dobrado, o que leva a um ganho de tensão muito alto. Definindo a impedância de saída do amplificador como Z , a corrente diferencial na saída é dada pela Equação (2.9) e a tensão de saída por (2.10).

$$i_0 = gm v_d - A_c gm v_0 \quad (2.9)$$

$$v_0 = Z i_0 \quad (2.10)$$

Substituindo (2.9) em (2.10), obtemos a relação entre v_0 e v_d dada por:

$$\frac{v_0}{v_d} = \frac{gmZ}{1 + A_c gmZ} \quad (2.11)$$

Assumindo que a impedância Z seja muito elevada, o ganho de tensão A_V é muito próximo do limite calculado abaixo.

$$A_V \cong \lim_{Z \rightarrow \infty} \frac{gmZ}{1 + A_c gmZ} = \frac{1}{A_c} \quad (2.12)$$

Substituindo (2.8) em (2.12), o ganho de tensão do amplificador em função do número N de transistores $M_b^{(i)}$, em paralelo, do divisor de corrente, é expresso pela Equação (2.13).

$$A_V = 1 + N \quad (2.13)$$

O ganho do amplificador pode ser programado selecionando os transistores que estarão em paralelo no divisor de corrente, como também no circuito de polarização mestre, conforme mostrado na Figura 2.4.

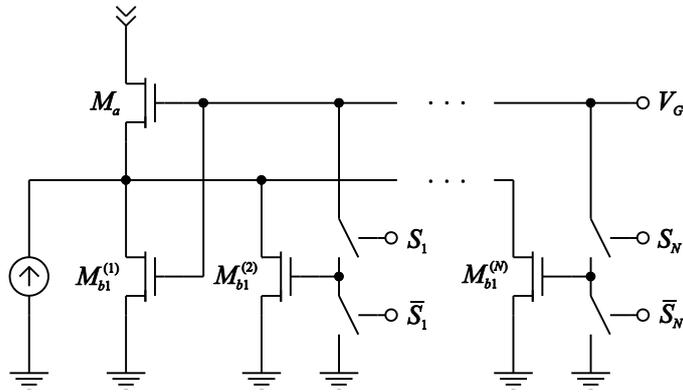


Figura 2.4: Esquema de programação do ganho.

As chaves S_i e \bar{S}_i conectam a porta do transistor $M_b^{(i)}$ à tensão V_G ou ao terra, definindo se o transistor está ativo e em paralelo, ou cortado e fora do circuito.

A configuração acima não permite a implementação de $N < 1$, ou seja, o ganho mínimo é igual a dois. Entretanto, podemos implementar $A_v = 1$ chaveando o transistor M_a , através da chave S_0 , conforme mostrado na Figura 2.5.

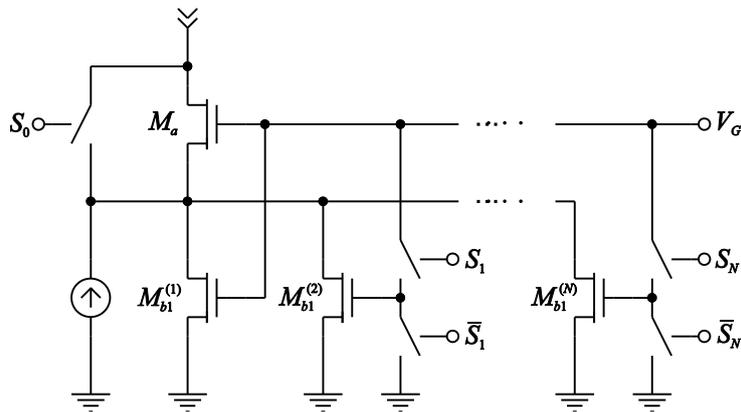


Figura 2.5: Implementação de $A_v = 1$.

Neste caso, quando o dreno e a fonte de M_a são colocados em curto, M_a é retirado do circuito e a estrutura comporta-se como um cascode dobrado convencional, onde as fontes de corrente de entrada e de realimentação concorrem com o mesmo peso. Isto é equivalente a fazer $N = 0$ e, conseqüentemente, $A_v = 1$.

$$\begin{cases} 3I_B + \frac{I_B}{2} = \beta \left[(V_G - V_T)V_{Db} - \frac{\alpha}{2}V_{Db}^2 \right] \\ 2I_B - \frac{I_B}{2} = \frac{\beta}{2\alpha}(V_G - V_{Db} - V_T)^2 \end{cases} \quad (2.16)$$

Observando somente os resultados válidos, a solução deste sistema é dada pelas equações em (2.17).

$$\begin{cases} V_G = \frac{\sqrt{2\beta I_B(7-2\alpha)} + (2-\alpha)\beta V_T - (\alpha-1)\sqrt{3\alpha\beta I_B}}{(2-\alpha)\beta} \\ V_{Db} = \frac{\sqrt{2\beta I_B(7-2\alpha)} - \sqrt{3\alpha\beta I_B}}{(2-\alpha)\beta} \end{cases} \quad (2.17)$$

Conhecendo a tensão de saída mínima v_{0min} , deve-se aplicar a condição de saturação prevista pelo modelo SPICE nível 3 a M_a e M_c , e determinar V_1 de forma a mantê-los sempre em saturação. As condições suficientes para a operação em saturação de M_a e M_c são dadas em (2.18) e (2.19), respectivamente.

$$v_{0min} \geq \frac{V_1 - V_T}{\alpha} + \frac{(\alpha-1)}{\alpha}V_{Damin} \quad (2.18)$$

$$V_1 \geq V_{Damin} + \Delta V_{Gsc} + V_T \quad (2.19)$$

Onde ΔV_{Gsc} é a tensão de *overdrive* de M_c , que é determinada em função da excursão de sinal na saída e de β_c , e V_{Damin} é a menor tensão admissível no dreno de M_a . É possível determinar V_{Damin} pela condição de saturação de M_a , dada em (2.20).

$$V_{Damin} = \frac{V_G - V_T}{\alpha} + \frac{(\alpha-1)}{\alpha}V_{Db} \quad (2.20)$$

A faixa de valores admissíveis para V_1 , dada por (2.21), é calculada através das equações (2.18), (2.19) e (2.20).

$$\left(\frac{V_G - V_T}{\alpha} + \frac{(\alpha-1)}{\alpha}V_{Db} + \Delta V_{Gsc} + V_T \right) \leq V_1 \leq \left(\alpha v_{0min} - (\alpha-1) \left(\frac{V_G - V_T}{\alpha} + \frac{(\alpha-1)}{\alpha}V_{Db} \right) \right) + V_T \quad (2.21)$$

Devido à quantidade de variáveis a serem determinadas, como as tensões de porta, de dreno e *overdrive*, os limites do intervalo da inequação acima podem ser de difícil determinação. Entretanto, substituindo as variáveis determinadas em (2.17), encontra-se o intervalo de valores válidos para β , onde o limite superior é obrigatoriamente maior que o inferior. Esta condição nos leva ao intervalo aberto para β , dado pela Equação (2.22)

$$\beta \geq \frac{2\alpha I_B \left(4\alpha^2 - 5\alpha + 6 - 2\sqrt{2}(\alpha - 1)\sqrt{6\alpha(3.5 - \alpha)} \right)}{(\alpha - 2)^2 (\alpha v_{0min} - \Delta V_{GSc})^2} \quad (2.22)$$

Para que a Equação (2.22) seja válida, é necessário definir o valor de ΔV_{GSc} . Para $\Delta V_{GSc} = \alpha V_{0min}$, o denominador de (2.22) é nulo e β tem que ser maior que infinito. Diante disso, adota-se ΔV_{GSc} menor que αV_{0min} . Outro fator importante a ser observado é o tamanho de M_c , que é inversamente proporcional a $(\Delta V_{GSc})^2$ e influencia na resposta em frequência do circuito. Devem-se evitar transistores de área muito grande para não degradar a resposta em frequência.

Uma vez determinado o valor de β , o valor de V_1 pode ser calculado adotando como critério o ponto central do intervalo, que é a média aritmética dos limites. Com isto, obtemos o valor de V_1 expresso em (2.23).

$$V_1 = \frac{\alpha \sqrt{2\beta I_B (7 - 2\alpha)} + 2\sqrt{3}(\alpha - 1)\sqrt{\alpha\beta I_B} + \alpha\beta(\alpha v_{0min} + \Delta V_{GSc} + 2V_T)}{2\alpha\beta} \quad (2.23)$$

A linearidade desta estrutura é muito dependente dos amplificadores diferenciais de entrada e de realimentação. Existem na literatura diversas técnicas de circuito para melhorar a linearidade dos elementos de transcondutância MOS. Em [3], a linearização é alcançada pela simples adição de um par diferencial auxiliar ao par diferencial principal e dimensionando adequadamente as suas razões W/L . Outra possibilidade é a degeneração do par acoplado a fonte por meio de um transistor MOS operando na região de triodo [11], [12].

Neste trabalho será utilizado o amplificador diferencial com degeneração de fonte que possui uma faixa entrada quase plana [13]. Na Figura 2.7 é apresentado o circuito do amplificador.

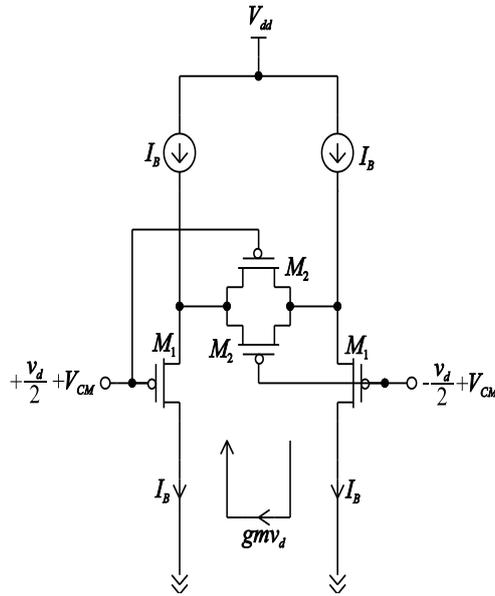


Figura 2.7: Amplificador diferencial com degeneração de fonte.

Quando $v_d = 0$, os transistores M_{b1} e M_{b2} estão em região de triodo, e atuam como simples resistores em paralelo. Conforme v_d aumenta, a tensão v_{gs} de M_{b1} também aumenta e a de M_{b2} diminui. Isto faz a resistência de M_{b1} diminuir e a de M_{b2} aumentar. Este comportamento produz a curva convexa, no intervalo $-V_x \leq v_d \leq V_x$, observada na Figura 2.8

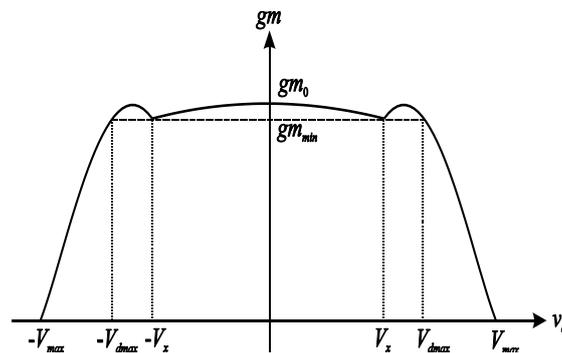


Figura 2.8: Curva de transcondutância do amplificador diferencial com degeneração de fonte.

Quando v_d alcança V_x , M_{b2} entra em saturação, e sua resistência aumenta drasticamente. Entretanto, M_{b1} continua na região de triodo, e sua resistência diminui a

cada aumento de v_d , o que gera a corcova na curva logo acima de V_x . Esta pequena corcova permite uma extensão na faixa plana do amplificador, e os transistores podem ser dimensionados de forma que a curva de transcondutância seja *equiripple* no intervalo $-V_{dmax} \leq v_d \leq V_{dmax}$. A transcondutância cai a zero quando v_d ultrapassa V_{max} , que é a tensão onde M_{a2} entra em corte. O processo é idêntico para v_d negativo.

Uma vez especificadas a máxima tensão diferencial de entrada V_{dmax} e a máxima transcondutância gm_0 , as dimensões dos transistores podem ser calculadas segundo as equações do sistema abaixo.

$$\left\{ \begin{array}{l} \beta_1 = 12,45 \times \frac{\alpha gm_0}{V_{dmax}} \\ \beta_2 = 1,86 \times \frac{\alpha gm_0}{V_{dmax}} \\ I_B = 1,15 \times gm_0 V_{dmax} \\ gm_{min} = 0,92 \times gm_0 \\ V_{smax} = 0,667 \times V_{dmax} + |V_T| + V_{CM} \end{array} \right. \quad (2.24)$$

2.2 Cancelamento de *offset*

Em muitas aplicações, o desempenho de um sistema é limitado pelo ruído e pela tensão de *offset* dos amplificadores de entrada. Como o processo CMOS está sujeito a essas desvantagens, soluções que podem remover tanto *offset* quanto ruído são encontradas nas técnicas dinâmicas de cancelamento de *offset* [14], [15]. Alguns exemplos são as técnicas *autozeroing* e *chopping*. Ambas as técnicas utilizam circuitos chaveados no tempo. Enquanto a primeira mede a tensão de *offset* em uma fase, para depois subtraí-la na próxima fase, a segunda modula o *offset* em altas frequências. As vantagens e desvantagens inerentes para ambas as topologias são conhecidas [16], [17].

A técnica *autozeroing* aumenta a densidade de ruído acima da quantidade inicial devido ao *aliasing* na banda do ruído térmico introduzido pela amostragem. O *chopping* oferece a mesma densidade original de ruído, mas apresenta *ripple* na saída relacionado ao *offset*, à medida que o mesmo é modulado para a frequência de chaveamento.

A técnica do *autozeroing* impõe a interrupção periódica do fluxo de sinal para a amostragem do *offset*. Isto restringe o uso do amplificador a sistemas totalmente discretos no tempo, ou a aplicações contínuas em intervalos de tempo onde é permitida esta interrupção. Já o *chopping* pode ser encarado como uma modulação contínua no tempo, e o *ripple* gerado na saída pode ser atenuado por um filtro passa-baixas ou um *notch*. Isso torna o amplificador *chopper* a abordagem mais eficaz para otimizar *offset*, ruído e dissipação de energia.

O princípio de funcionamento da técnica *chopping* é mostrado na Figura 2.8. O sinal de entrada é modulado para a frequência de chaveamento do *chopper* e posteriormente amplificado e demodulado. Cada conjunto de chaves atua como um modulador ou demodulador, uma vez que o sinal em sua saída é equivalente ao produto do sinal de entrada por uma onda quadrada. Inicialmente, o sinal de entrada é copiado em torno dos harmônicos ímpares da portadora. Na entrada do amplificador, os ruídos e *offsets* são adicionados ao sinal amostrado. No estágio de saída do amplificador, o *offset* é modulado apenas uma vez na frequência de chaveamento enquanto o sinal original é demodulado e retorna ao seu espectro original. Por outro lado, o espectro do ruído surge em torno dos harmônicos ímpares da portadora.

Um filtro passa baixas pode ser utilizado para reconstruir o sinal original na saída do amplificador *chopper*, filtrando todos os espectros de frequências elevadas.

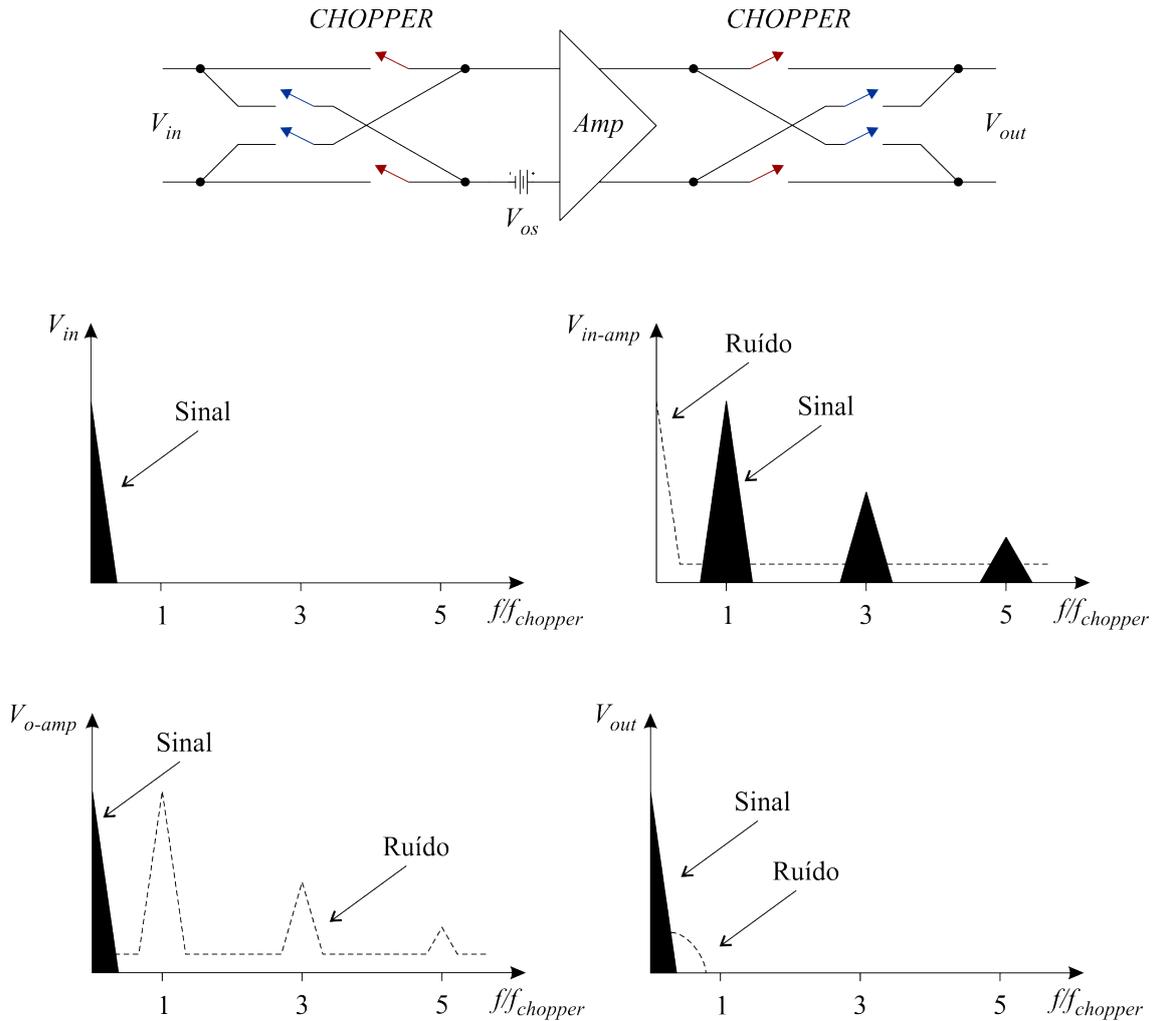


Figura 2.9: Princípio de funcionamento do *chopper*.

O princípio de funcionamento também pode explicado no domínio do tempo. O sinal de entrada é invertido periodicamente pelo primeiro *chopper*. Depois de amplificado, o sinal é invertido pela segunda vez, retornando a condição original. O *offset* é invertido uma única vez, e portanto, surge apenas como uma onda quadrada na saída.

Devido ao descasamento das chaves CMOS, a injeção de carga gera um *offset* residual na saída do amplificador, que surge após a demodulação dos picos. Este processo é mostrado na Figura 2.10.

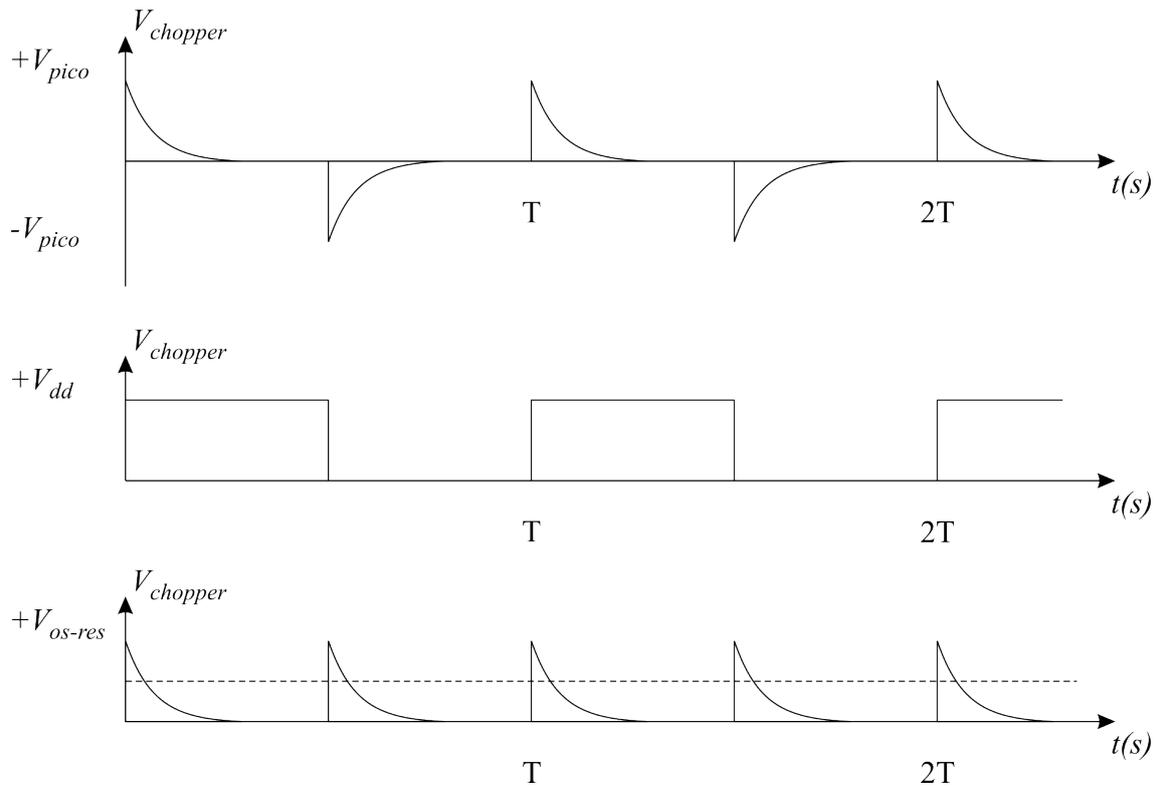


Figura 2.10: Tensão de *offset* residual.

É possível observar que o *offset* residual é determinado pelo número de picos e seus respectivos níveis de energia. Uma opção para diminuir este *offset* é a redução da injeção de cargas, através da implementação de chaves *dummy* [18] associadas ao circuito do *chopper*.

Como mencionado anteriormente, a modulação do ruído na frequência do *chopper* e de seus harmônicos é, em geral, reduzida por um filtro passa-baixa [19]. Em alguns casos [20]–[22], um filtro *notch* é utilizado para eliminar o *ripple* associado ao *offset*. Neste trabalho, o mecanismo de cancelamento de *offset* implementado possui além de *choppers* nos amplificadores diferenciais, um filtro *notch* na realimentação do PGA. A escolha pelo filtro *notch* deveu-se também pela não utilização de resistores. A implementação de um filtro passa-baixas obrigatoriamente seria passiva e com resistores e capacitores. A opção por um filtro ativo não caberia, pois a utilização de amplificadores levaria ao aparecimento de tensão de *offset* e mais ruído.

2.3 Filtro Notch

O filtro *notch* adotado é do tipo a capacitores chaveados e sua estrutura encontra-se na Figura 2.11. Cada saída do amplificador possui um filtro como este.

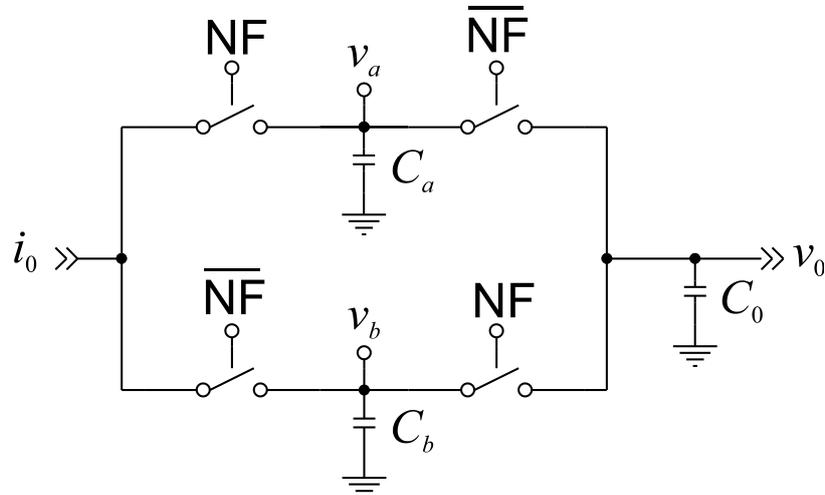


Figura 2.11: Circuito do filtro *notch*.

Tomando como exemplo um dos filtros, o ramo positivo da entrada possui dois capacitores de amostragem C_a e C_b , sendo que $C_a = C_b = C$, chaveados pelas fases NF e \overline{NF} seguidos de uma carga capacitiva C_0 . As fases do filtro são sincronizadas e ortogonais as dos *choppers* conforme mostrado na Figura 2.12.

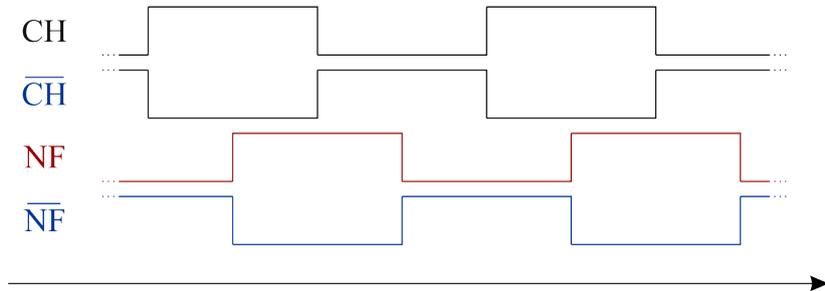


Figura 2.12: Diagrama de fases do *chopper* e do filtro *notch*.

A operação do filtro será analisada adiante conforme o esquema mostrado na Figura 2.13 e implementado neste trabalho.

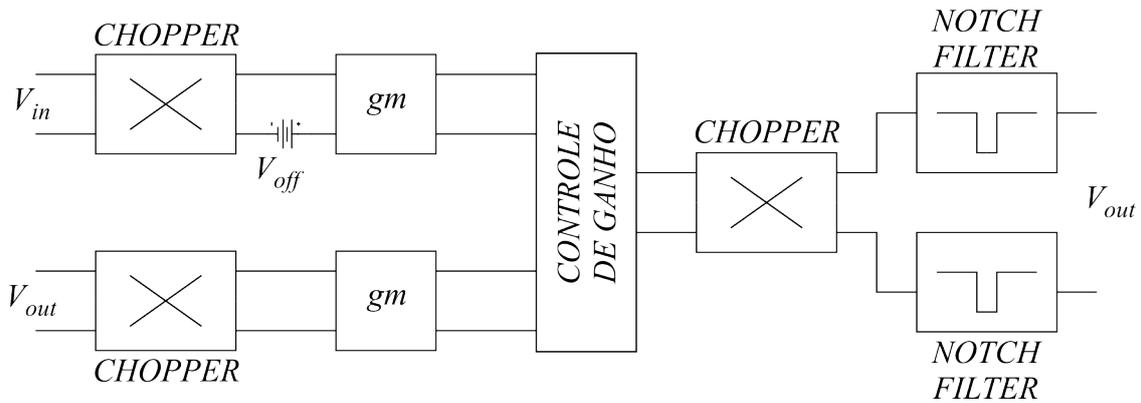


Figura 2.13: Controle de *offset* do PGA.

A tensão V_{off} é modulada pelo *chopper*, gerando correntes moduladas que seguirão para o filtro *notch*. Essas correntes têm a forma de uma onda quadrada ortogonal à fase de chaveamento do filtro *notch*, conforme mostrado na Figura 2.14. Cabe ressaltar que, nesta análise, estamos considerando somente a componente modulada da corrente de saída. A corrente total é a sobreposição desta com a gerada pelas tensões de entrada e realimentação do amplificador. Durante a fase *NF*, a corrente é integrada no capacitor C_a , produzindo a forma de onda triangular para a tensão v_a . Nota-se que v_a parte de zero e retorna a zero ao final da fase *NF*, quando então o capacitor C_a é desconectado da saída do cascode e conectado à carga. A partir deste momento, o mesmo processo acontece com C_b . O processo se repete e os capacitores sempre se conectam à carga com tensão igual a zero. Com isto, o *ripple* gerado pela modulação não é observado na carga.

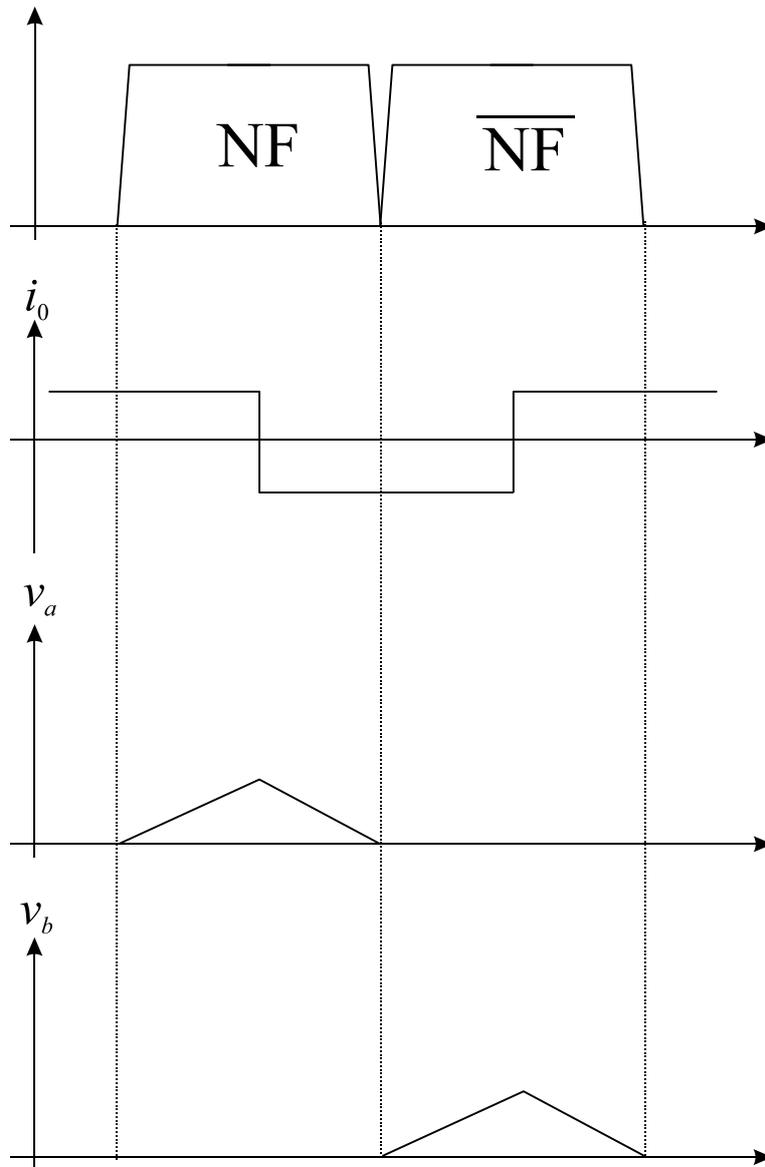


Figura 2.14: Comportamento do sinal na saída do filtro *notch*.

A análise de estabilidade deste circuito será apresentada no Capítulo 3.

Capítulo 3

O Amplificador de Ganho Programável

Ao longo deste capítulo, serão apresentadas as topologias escolhidas, apresentando os cálculos desenvolvidos, juntamente com as considerações realizadas para cada projeto. Cabe ressaltar que a tensão de alimentação dos circuitos foi de 3V (V_{dd}).

3.1 Espelho de Corrente

A implementação mais simples de um espelho de corrente é mostrada na Figura 3.1 [23]. É composto por dois transistores: M_{1a} e M_{1b} . A corrente de referência I_{REF} é aplicada a M_{1a} , fazendo com que ele produza uma tensão V_{GS1} , que servirá como tensão de polarização para M_{1b} .

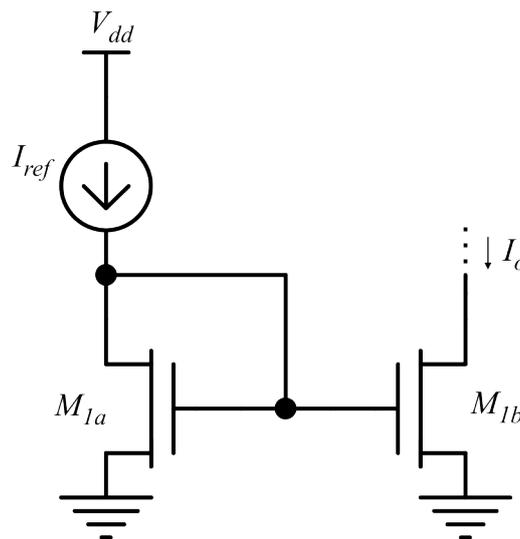


Figura 3.1: Circuito do espelho de corrente simples.

Desconsiderando os efeitos de modulação de canal, e assumindo que os transistores possuem o mesmo comprimento de canal L , a relação entre as correntes é dada por:

$$\frac{I_o}{I_{REF}} = \frac{W_{1b}}{W_{1a}} \quad (3.1)$$

É possível observar que a cópia da corrente não depende diretamente dos parâmetros de processo, o que é uma vantagem. Além disso, a relação entre I_o e I_{REF} é dada pela razão entre as larguras e comprimentos dos transistores, o que pode ser alcançado com certa precisão no projeto de circuitos integrados.

Entretanto, os espelhos de corrente podem se desviar do comportamento ideal devido a alguns fatores, como descasamento da geometria, descasamento dos parâmetros de processo e resistências parasitas. Qualquer descasamento implica em erro no espelhamento de corrente, enquanto a resistência parasita pode afetar a impedância de saída do espelho. No caso de espelhos que trabalham com corrente muito baixa, a corrente de fuga que circula pela resistência pode afetar o fator de espelhamento.

Será utilizado neste trabalho um espelho de corrente *cascode* de elevada excursão de sinal, conforme retratado na Figura 3.2, com objetivo de reduzir a tensão mínima necessária para a operação e alimentar a impedância de saída, melhorando o fator de espelhamento. Por consequência, V_{GS1} deixa de ser igual a V_{DS1} , passando V_{DS1a} e V_{DS1b} a serem controlados pela porta dos transistores M_{2a} e M_{2b} , respectivamente.

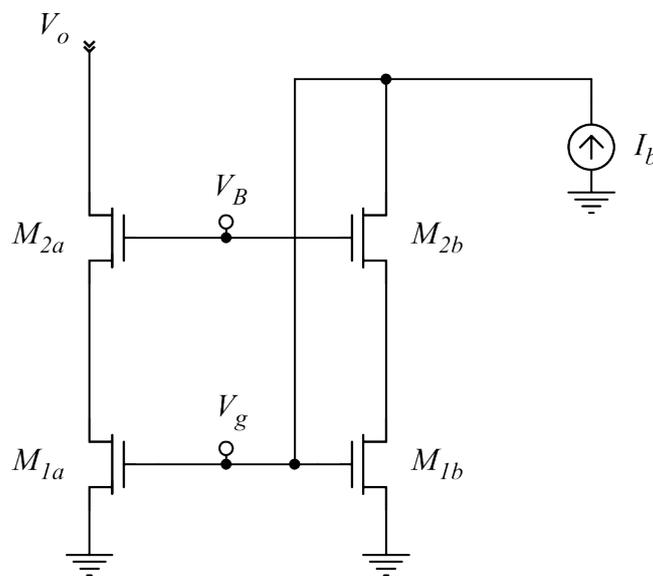


Figura 3.2: Espelho de corrente NMOS.

As portas de M_{2a} e M_{2b} devem estar polarizadas com uma tensão que mantenha tanto M_{1a} como M_{1b} na saturação e, ao mesmo tempo, evite que M_{2a} entre na região de triodo. Portanto, a condição necessária para que M_{1b} permaneça em saturação é:

$$V_d > \frac{\Delta V_{gs}}{\alpha}, \quad (3.2)$$

onde α é uma constante do modelo SPICE nível 3 simplificado.

Substituindo a Equação (3.3) em (3.2) tem-se a Inequação (3.4).

$$V_d = V_B - V_{T2} - \Delta V_{gs} \quad (3.3)$$

$$V_B > \frac{1+\alpha}{\alpha} \Delta V_{gs} + V_{T2} \quad (3.4)$$

Onde V_{T2} é a tensão de limiar (*threshold*) dos transistores M_{2b} e M_{2a} .

Já para manter M_{2b} em saturação:

$$\Delta V_{gs} + V_{T1} - V_d > \frac{\Delta V_{gs}}{\alpha}, \quad (3.5)$$

onde V_{T1} é a tensão de limiar (*threshold*) dos transistores M_{1b} e M_{1a} .

Substituindo as Equações (3.4) e (3.5) em (3.2), o limite máximo de V_B é:

$$V_B < \frac{2\alpha-1}{\alpha} \Delta V_{gs} + V_{T1} + V_{T2}. \quad (3.6)$$

E, finalmente, a condição para que M_{2a} permaneça na região de saturação é dada por:

$$V_0 - V_d > \frac{\Delta V_{gs}}{\alpha}. \quad (3.7)$$

Substituindo a Equação (3.3) em (3.7), obtemos:

$$V_B < \frac{(\alpha - 1)}{\alpha} \Delta V_{gs} + V_{0min} + V_{T2}. \quad (3.8)$$

Portanto, da condição de saturação dos transistores foram geradas as três Inequações (3.4), (3.6) e (3.8) em função de V_B e ΔV_{gs} .

Considerando as condições impostas (3.9), encontra-se a relação (3.10) a partir do fator de multiplicação de ΔV_{gs} nas três inequações.

$$\begin{aligned} 1 &\leq \alpha \leq 2 \\ V_{T1} &= V_{T2} = V_T \\ V_{0min} &< V_T \end{aligned} \quad (3.9)$$

$$\frac{\alpha + 1}{\alpha} > \frac{2\alpha - 1}{\alpha} > \frac{\alpha - 1}{\alpha} \quad (3.10)$$

As inequações estão representadas no gráfico da Figura 3.3 em função das variáveis V_B e ΔV_{gs} .

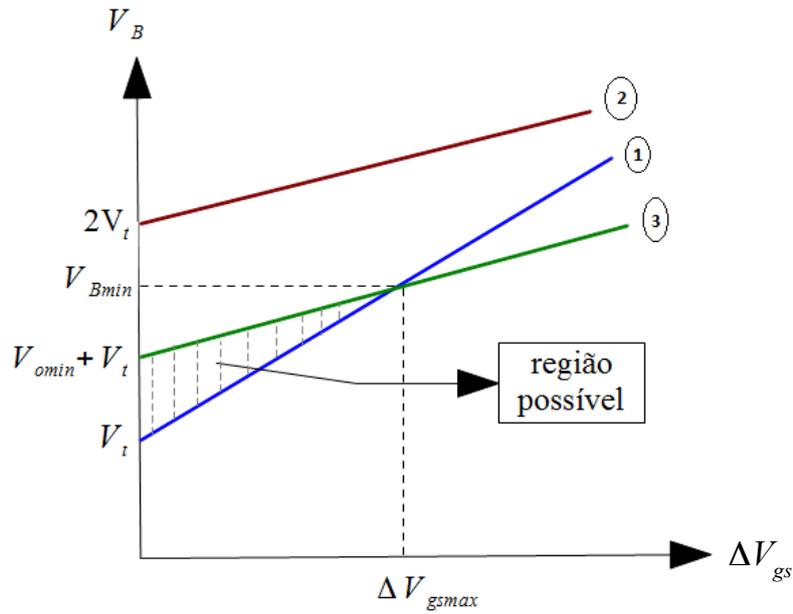


Figura 3.3: Gráfico das inequações geradas a partir da condição de saturação dos transistores.

É possível verificar que a região possível para os valores de V_B e ΔV_{gs} é delimitada pelas retas 1 e 3, com $\Delta V_{gs\max}$ e $V_{B\max}$ obtidos da igualdade entre essas retas.

Desta forma, tem-se que as equações apresentadas em (3.11).

$$\begin{aligned} V_{B\max} &= \frac{\alpha + 1}{2} V_{0\min} + V_T \\ \Delta V_{gs\max} &= \frac{\alpha}{2} V_{0\min} \end{aligned} \quad (3.11)$$

Ao calcular a média aritmética entre as retas 1 e 3 e, assumindo-a como relação entre V_B e ΔV_{gs} , é possível admitir para essas variáveis valores distantes de seus limites máximo e mínimo.

$$V_B = \Delta V_{gs} + \Delta V_T + \frac{V_{0\min}}{2} \quad (3.12)$$

Analogamente, para espelhos com transistores PMOS, tem-se as seguintes equações para V_B e ΔV_{gs} :

$$\Delta V_{gs\max} = \frac{\alpha}{2}(V_{dd} - V_{0\max}) \quad e \quad (3.13)$$

$$V_{B\min} = \frac{(1-\alpha)}{2}V_{dd} + \frac{(1+\alpha)}{2}V_{0\max} - |V_T|. \quad (3.14)$$

Com isso, a média aritmética das Equações em (3.13) e (3.14) é dada por:

$$V_B = \frac{V_{dd}}{2} - |V_T| + \frac{V_{0\max}}{2} - \Delta V_{sg}. \quad (3.15)$$

A Figura 3.4 mostra o circuito para o espelho PMOS.

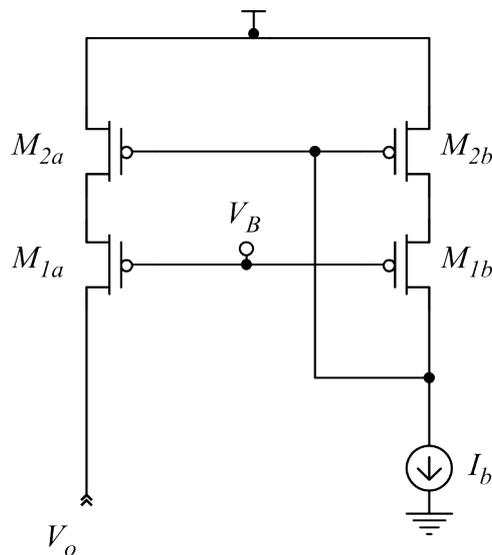


Figura 3.4: Espelho PMOS.

Neste trabalho, será utilizado um espelho com transistores PMOS para polarização do PGA. Os valores da Tabela 3.1 foram considerados para efeito de cálculo do dimensionamento dos transistores PMOS como requisito de projeto e de acordo com o modelo SPICE nível 3 simplificado.

Tabela 3.1: Especificações para o projeto do espelho PMOS.

Parâmetros do modelo SPICE nível 3 simplificado	Requisitos do projeto do espelho PMOS
$\alpha_{pmos} = 1,27$	$I_B = 2\mu A$
$k_{p[pmos]} = 71,1\mu$	$V_{omax} = 2,8V$
$V_{T[pmos]} = -0,71 V$	$\Delta V_{sgmax} = 127 mV$ $\Delta V_{sg} = 100 mV$

Onde I_B é a corrente de polarização do espelho.

Ao substituir os valores de V_{dd} , V_{omax} e ΔV_{sg} em (3.14), temos que V_B é igual a 2,1 V. Considerando a seguinte equação do modelo SPICE nível 3 simplificado para a região de saturação do transistor PMOS, e, substituindo adequadamente os valores em (3.16), a relação W / L dos transistores é igual a 7.

$$I_D = \frac{k_p W (V_{sg} - |V_T|)^2}{2\alpha L} \quad (3.16)$$

onde k_p , α e θ são constantes do modelo SPICE nível 3.

O dimensionamento dos transistores do espelho PMOS é apresentado na Tabela 3.2.

Tabela 3.2: Dimensionamento dos transistores do espelho de corrente PMOS.

Transistores	W	L	M
$M_{1a}, M_{1b}, M_{2a}, M_{2b}$	7μ	1μ	1

3.2 Amplificador diferencial de Entrada e de Realimentação

O amplificador diferencial a diferenças com degeneração de fonte, apresentado no item 2.1, será utilizado neste trabalho como amplificador de entrada e de realimentação a fim de permitir uma melhor linearidade do circuito controlador de ganho proposto.

A Figura 3.5 apresenta o amplificador em questão com seu respectivo circuito de polarização.

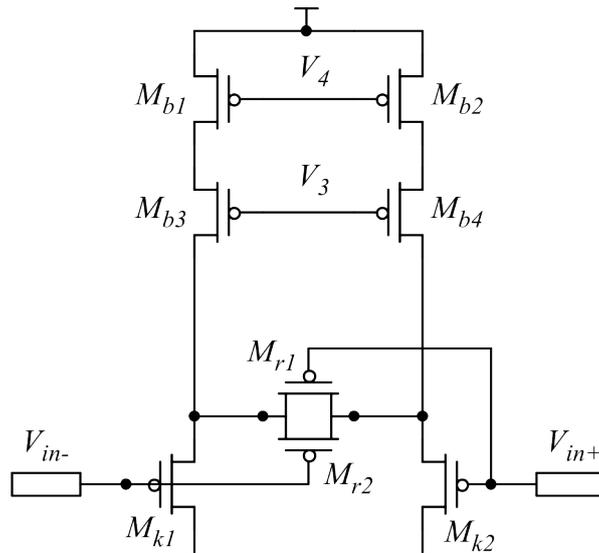


Figura 3.5: Amplificador diferencial polarizado.

Através do sistema das equações (2.24), e assumindo que $V_{dmax} = 1$ V, é possível dimensionar os transistores deste amplificador: $\beta_1 = 27\mu$ e $\beta_2 = 4,1\mu$. Desta forma, a relação W/L dos transistores é dada pela Equação (3.17).

$$\begin{aligned} \frac{W_1}{L_1} &= 0,4 \\ \frac{W_2}{L_2} &= 0,06 \end{aligned} \quad (3.17)$$

A Figura 3.6 apresenta o gráfico da transcondutância deste amplificador bem como a excursão da corrente. É possível observar também na Figura 3.7 que a curva de transcondutância é razoavelmente plana no intervalo de excursão do sinal de entrada, com $-1,1 \leq V_d \leq 1,1$; como projetado.

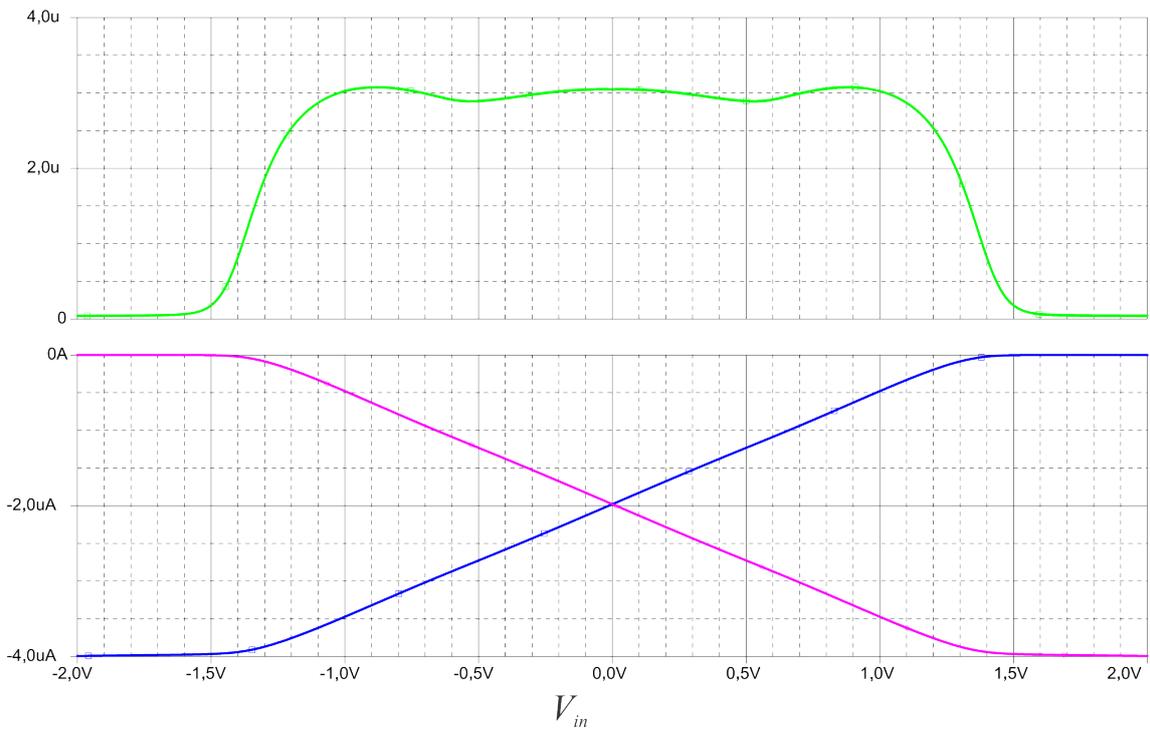


Figura 3.6: Transcondutância e excursão da corrente em função do sinal de entrada.

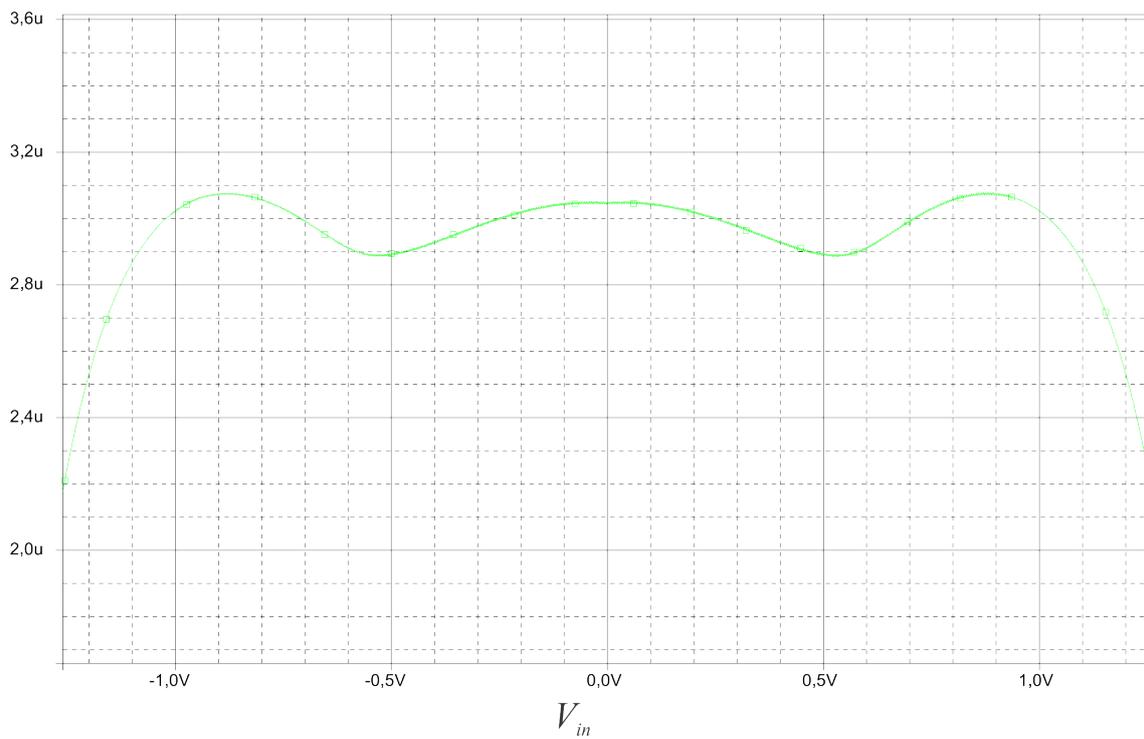


Figura 3.7: Curva da transcondutância.

A Tabela 3.3 apresenta o dimensionamento dos transistores do amplificador diferencial a diferenças.

Tabela 3.3: Dimensionamento dos transistores do amplificador diferencial a diferenças.

Transistores	W	L	M
M_{k1}, M_{k2}	1 μ	2,5 μ	1
M_{r1}, M_{r2}	1 μ	14,3 μ	1

3.3 Controle do ganho do PGA

No Capítulo 2 foi apresentada a estrutura de controle de ganho do PGA baseada em um divisor de corrente que dispensa o uso de resistores. A Figura 3.8 apresenta o diagrama do PGA com divisor de corrente na configuração diferencial que será implementado neste trabalho.

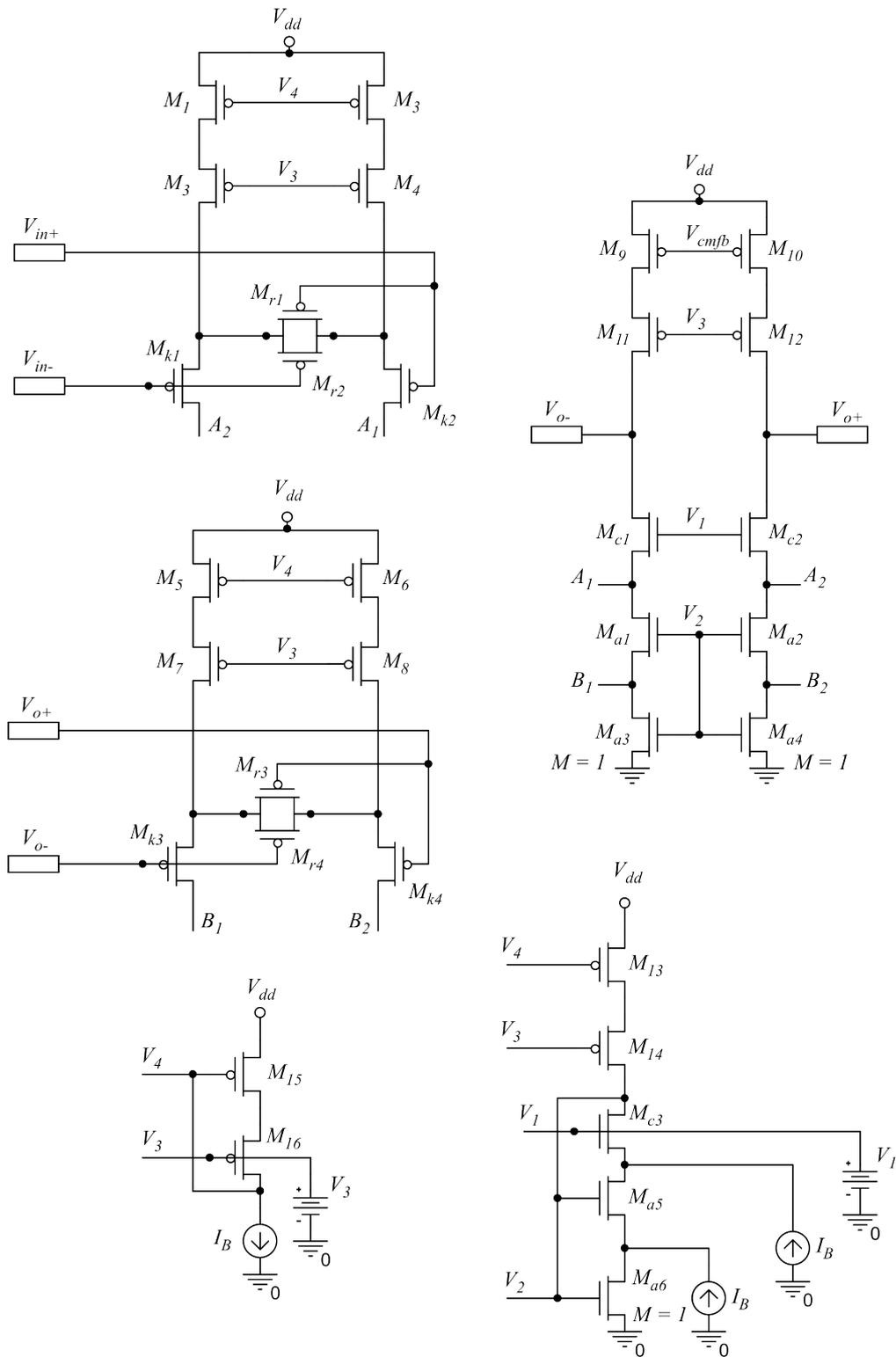


Figura 3.8: Circuito do PGA com divisor de corrente.

A tensão V_{CMFB} é a tensão de controle do modo comum.

Os seguintes valores foram considerados para efeito de cálculo do dimensionamento dos transistores NMOS do divisor de corrente como requisito de projeto e de acordo com o modelo SPICE nível 3 simplificado.

Tabela 3.4: Especificações para o projeto do divisor de corrente.

Parâmetros do modelo SPICE nível 3 simplificado	Requisitos do projeto do espelho PMOS
$\alpha_{nmos} = 1,32$	$I_B = 2 \mu A$
$k_{p[nmos]} = 178,1 \mu$	$V_{0min} = 0,6 V$
$V_{T[nmos]} = 0,49 V$	$\Delta V_{gs} = 200 mV$

Conforme analisado no Capítulo 2, para que a Equação (2.22) seja válida, é necessário adotar ΔV_{GSc} menor que αV_{0min} . Diante disso, considerando $V_{0min} = 0,6V$, ΔV_{gsc} deverá ser menor que $0,79V$.

Assumindo $\Delta V_{gsc} = 0,2V$ e substituindo esses valores na Equação (2.22) tem-se que β_{min} é igual a 85μ . Considerando $\beta = 178,1\mu$, a relação de transistores W_a / L_a é igual a 1.

Para calcular M_c basta substituir ΔV_{GSc} e demais parâmetro da Tabela 3.2 na Equação (3.18).

$$I_B = \frac{k_{p[nmos]} \times \frac{W_c}{L_c} \times \Delta V_{GSc}^2}{2\alpha_{nmos}} \quad (3.18)$$

Com isso, $\frac{W_c}{L_c}$ é dado por $0,75$. Uma vez determinado o valor de β , o valor de V_1 pode ser calculado através da Equação (2.23). Substituindo adequadamente os valores encontrados e os parâmetros de projeto, obtemos V_1 igual a $1,09V$.

Neste trabalho foram implementados cinco estágios de ganho incluindo $A_v = 1$ chaveando o transistor M_a . A Figura 3.9 e a Figura 3.10 apresentam o circuito de programação do ganho do PGA e sua polarização, respectivamente. Os sinais de controle S_i e S_{ib} acionam transistores que atuam como chaves analógicas, e conectam a porta do transistor, a elas ligadas, na tensão V_2 ou ao terra. Desta forma, o transistor é posto em paralelo com outros do divisor de corrente, ou retirado do circuito, uma vez a porta conectada ao terra leva o transistor ao corte. Através deste mecanismo, determina-se o número de transistores em paralelo e, conseqüentemente, o ganho do PGA.

A Tabela 3.5 apresenta o dimensionamento dos transistores do divisor de corrente.

Tabela 3.5: Dimensionamento dos transistores do divisor de corrente.

Transistores	W	L	M
$M_{a1}, M_{a2}, M_{a3}, M_{a4}$	1 μ	1 μ	1
M_{c1}, M_{c2}	1 μ	2 μ	1

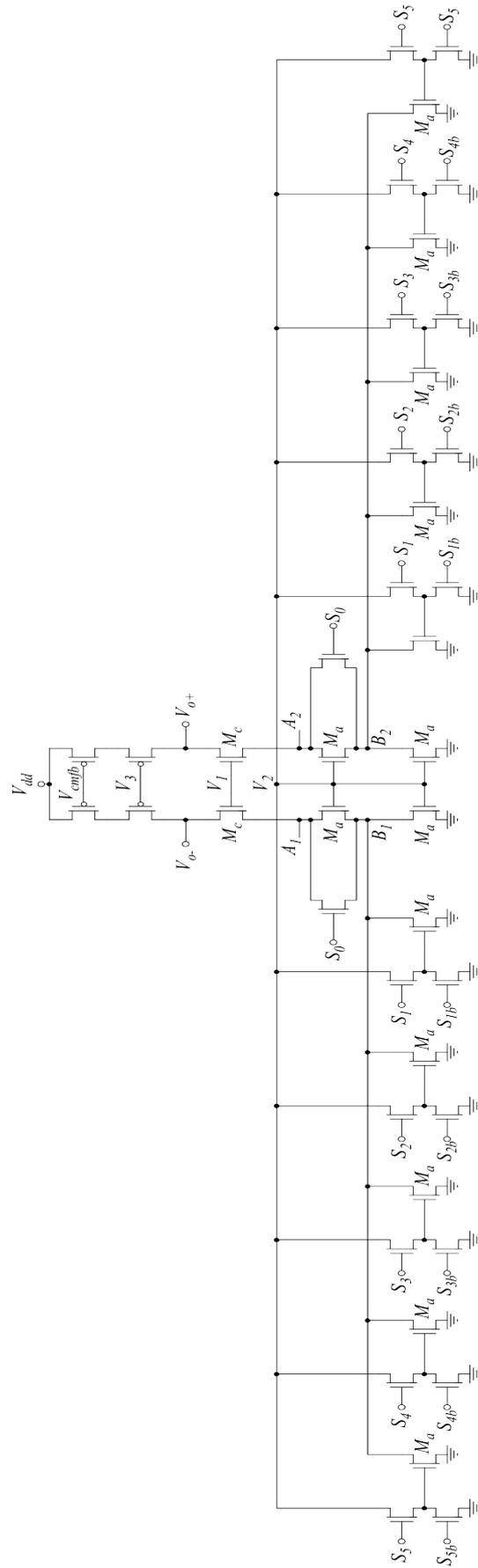


Figura 3.9: Circuito de programação do ganho do PGA com cinco estágios.

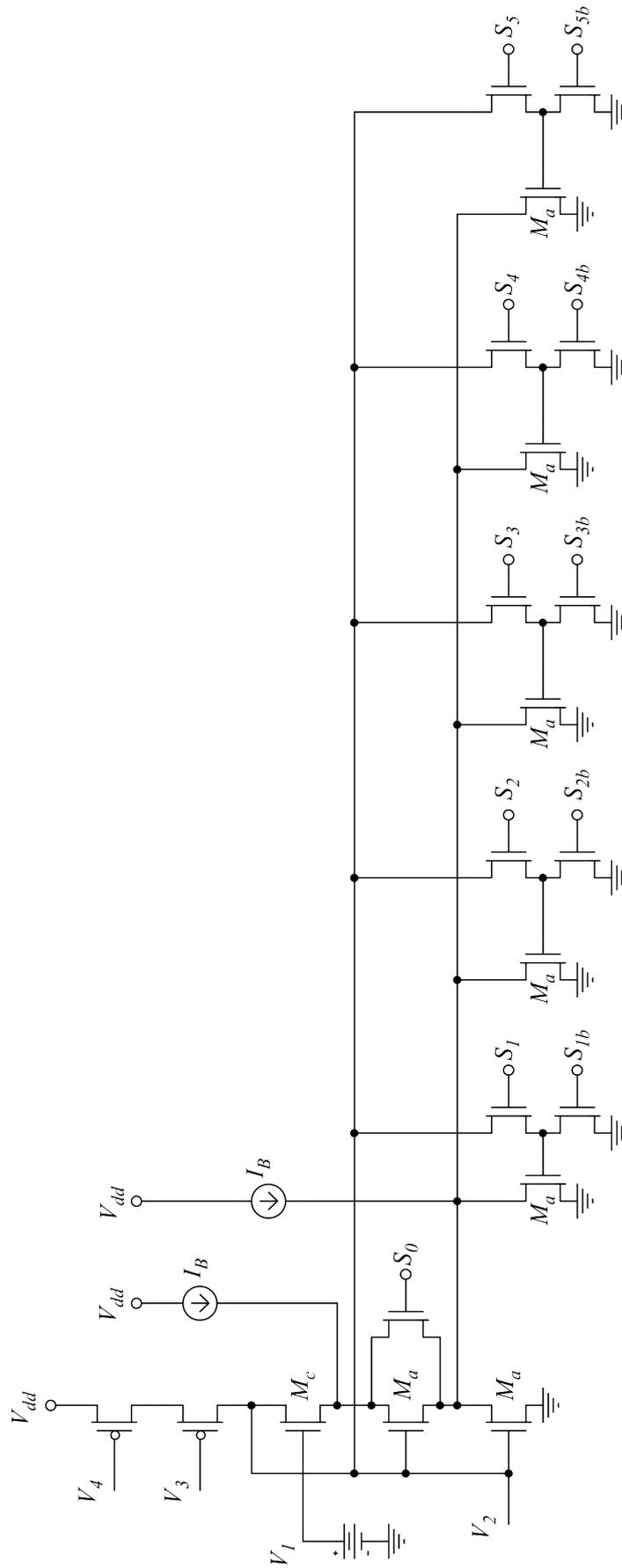


Figura 3.10: Circuito de polarização do divisor de corrente.

3.4 Cancelamento de *offset*

Devido ao princípio de funcionamento da técnica *chopping* apresentada no Capítulo 2, a arquitetura implementada neste trabalho prevê o uso de *choppers* para reduzir o *offset* e ruído na entrada de ambos os amplificadores diferenciais e também do controle de modo comum. A frequência de operação dos *choppers* é de 500kHz ($T=2\mu$). A Figura 3.11 apresenta o circuito proposto, omitindo o circuito de programação do ganho para melhor visualização.

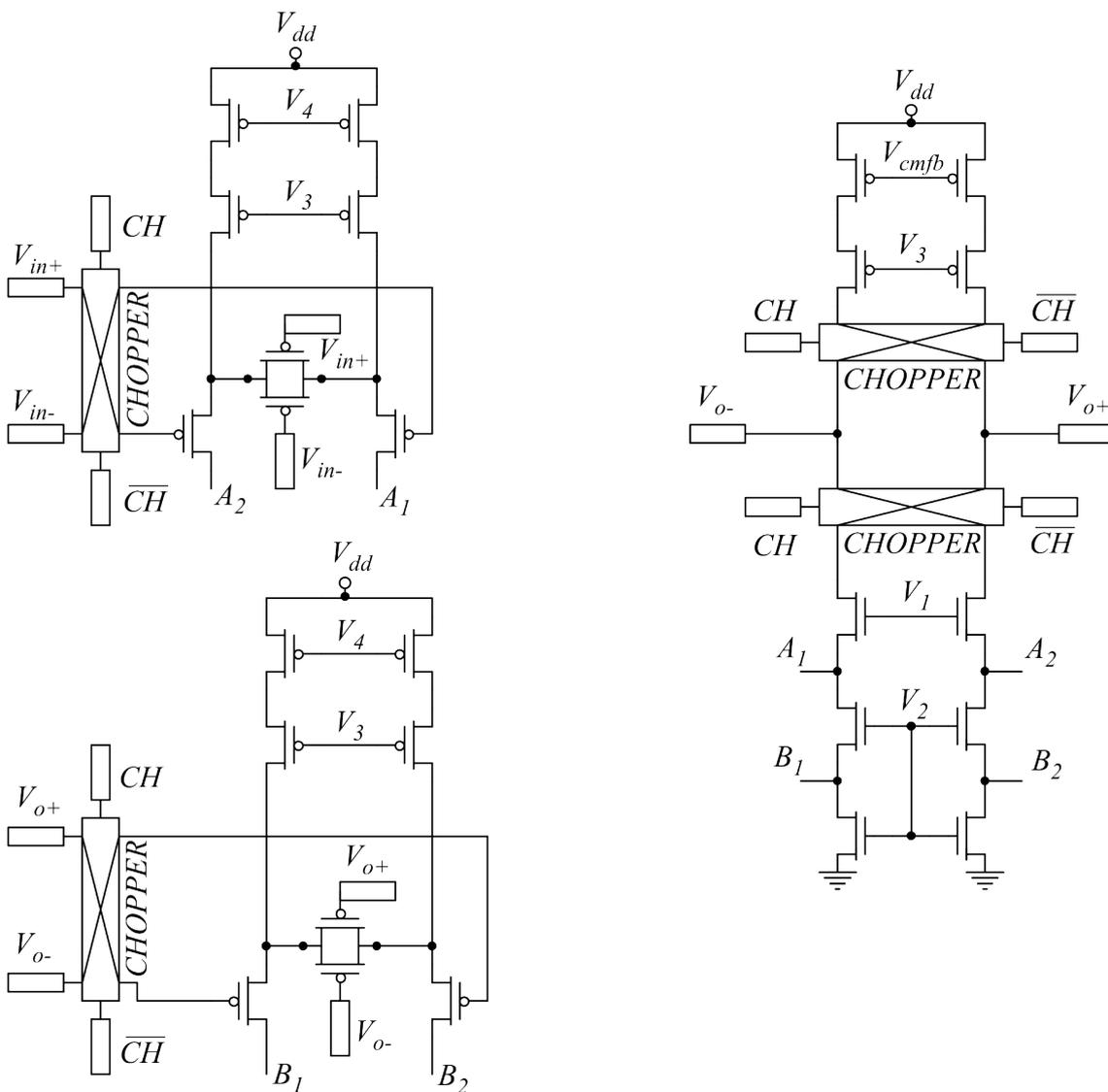


Figura 3.11: Circuito do PGA com *choppers*.

Para reduzir os efeitos da injeção de carga, o circuito do *chopper* foi implementado com chaves *dummy* conforme apresentado na Figura 3.12.

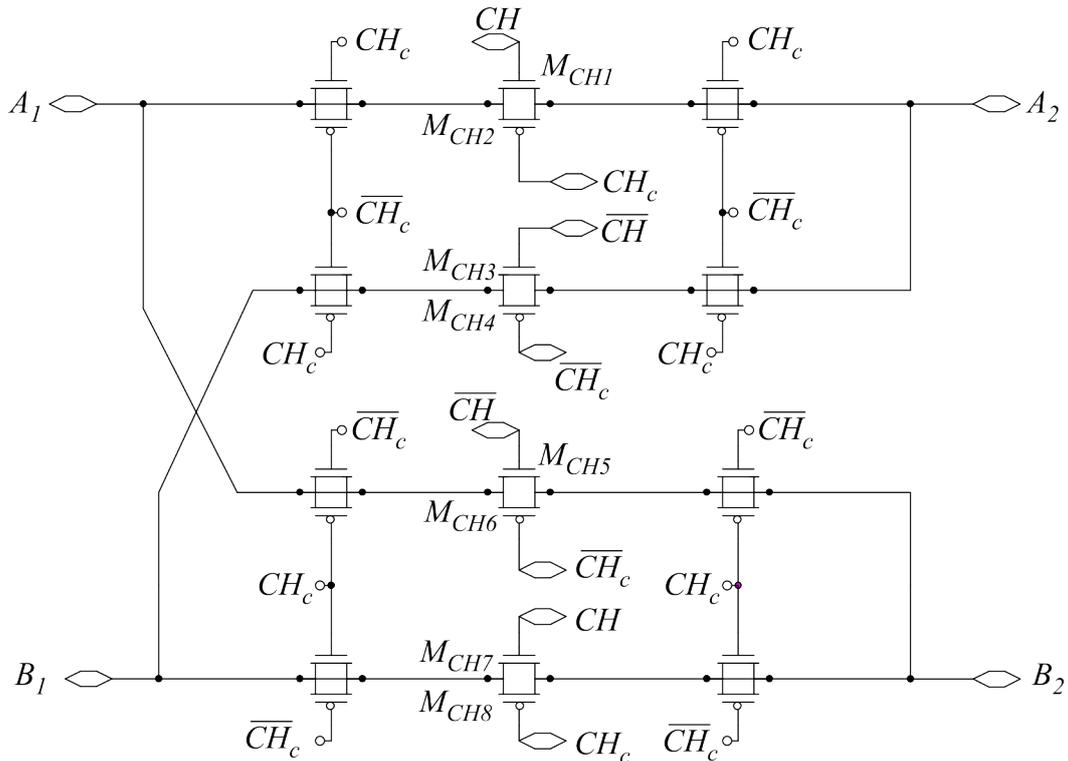


Figura 3.12: Implementação do *chopper* com chaves *dummy*.

A Tabela 3.6 apresenta o dimensionamento feito para o *chopper*.

Tabela 3.6: Dimensionamento dos transistores do *chopper*.

Transistores	W	L	M
$M_{CH1}, M_{CH3}, M_{CH5}, M_{CH7}$	1 μ	0,5 μ	1
$M_{CH2}, M_{CH4}, M_{CH6}, M_{CH8}$	1 μ	0,5 μ	1
Dummy	0,5 μ	0,5 μ	1

Neste trabalho, o filtro *notch* tem como objetivo filtrar a tensão de *offset* modulada pelo *chopper* e, portanto, será implementado na saída do PGA, após os *choppers*. Desta forma, a realimentação passará a ocorrer após o filtro *notch* conforme mostrado na Figura 3.13.

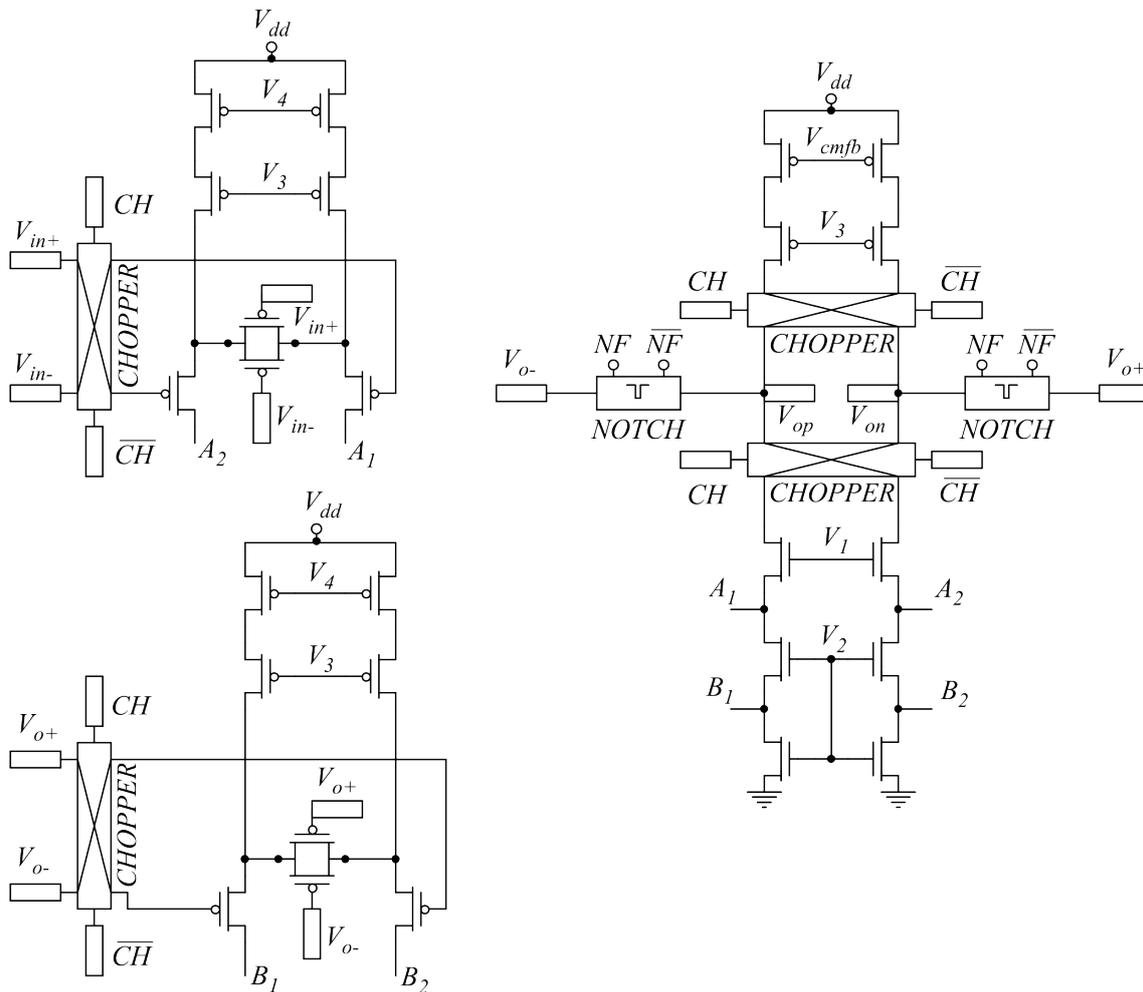


Figura 3.13: Implementação do PGA com *choppers* e filtro *notch*.

A estabilidade deste circuito é afetada apenas pelo filtro *notch*. Este filtro possui duas fases, e a condição inicial de um capacitor em uma determinada fase é a tensão acumulada na fase anterior com um atraso de $T/2$. A Figura 3.14 apresenta o esquema do PGA com o filtro e suas respectivas tensões e fases. Como os *choppers* não afetam a estabilidade do circuito, eles foram omitidos do desenho bem como o divisor de corrente.

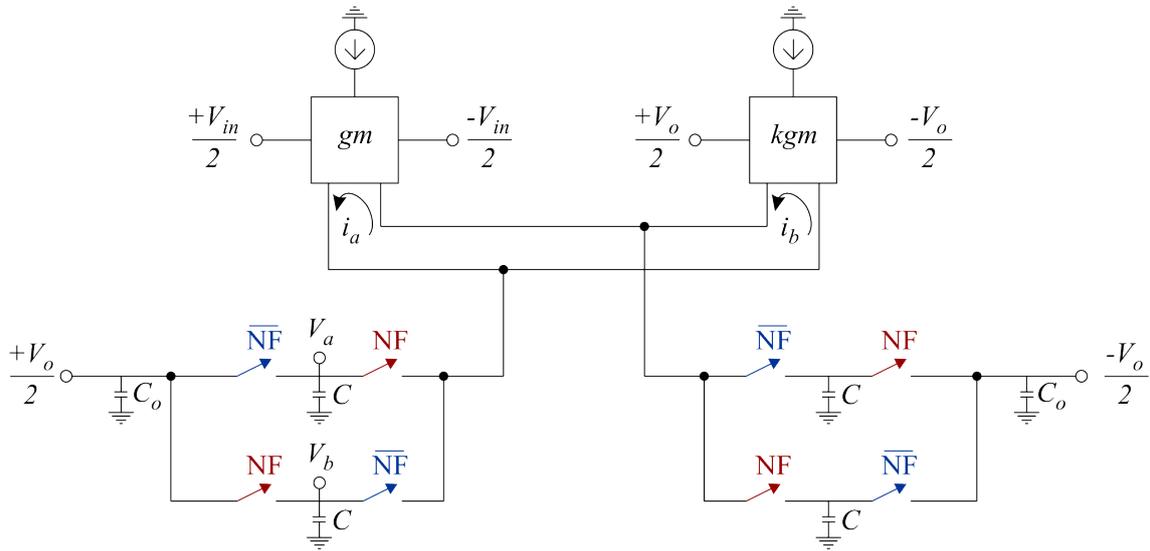


Figura 3.14: Esquema do PGA com filtro *notch*.

O parâmetro k é a atenuação da corrente, devido ao divisor, e gm é a transcondutância dos amplificadores. A Figura 3.15 apresenta o circuito do filtro para cada uma das fases.

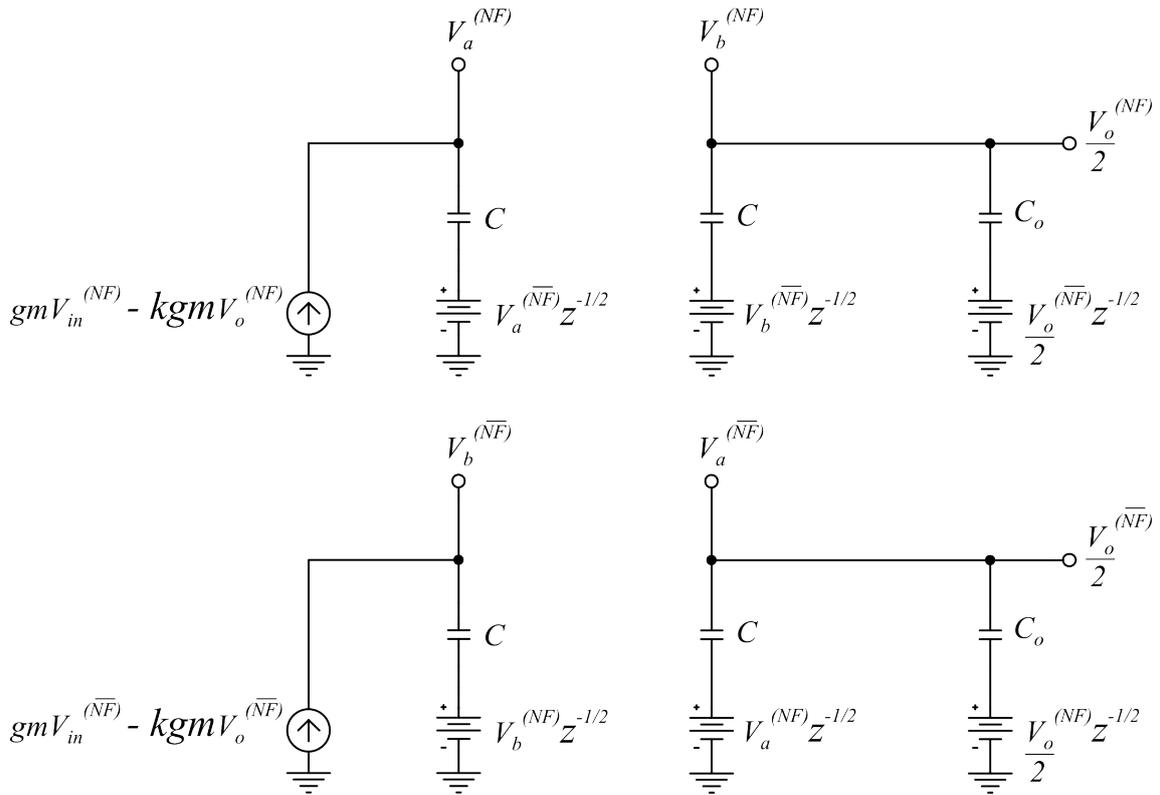


Figura 3.15: Circuito do filtro *notch* para cada fase.

Assumindo que o sinal de entrada é praticamente constante no intervalo de duas fases e que o sistema é discreto no tempo, na fase NF tem-se que:

$$\Delta T = \frac{T}{2}, \quad (3.19)$$

$$V_a^{(NF)} = \frac{gm \times \Delta T}{C} V_{IN}^{(NF)} - \frac{k \times gm \times \Delta T}{C} V_0^{(NF)} + V_a^{\overline{NF}} z^{-1/2}, \quad (3.20)$$

$$\frac{V_0^{(NF)}}{2} = \frac{C \times V_b^{\overline{NF}} z^{-1/2} + C_0 \times \frac{V_0^{(NF)}}{2} z^{-1/2}}{C + C_0}, \quad (3.21)$$

$$V_b^{(NF)} = \frac{V_0^{(NF)}}{2}. \quad (3.22)$$

Já na fase \overline{NF} tem-se que:

$$V_b^{\overline{NF}} = \frac{gm \times \Delta T}{C} V_{IN}^{\overline{NF}} - \frac{k \times gm \times \Delta T}{C} V_0^{\overline{NF}} + V_b^{(NF)} z^{-1/2}, \quad (3.23)$$

$$\frac{V_0^{\overline{NF}}}{2} = \frac{C \times V_a^{(NF)} z^{-1/2} + C_0 \times \frac{V_0^{\overline{NF}}}{2} z^{-1/2}}{C + C_0}, \quad (3.24)$$

$$V_a^{\overline{NF}} = \frac{V_0^{\overline{NF}}}{2}. \quad (3.25)$$

A função de transferência em Z para $A_V(z)$ na fase NF é:

$$A_V(z) = \frac{V_0(z)}{V_{IN}(z)}. \quad (3.26)$$

Portanto, substituindo adequadamente as equações anteriores em (3.26) e considerando que o ganho de tensão do circuito é dado por $A_V = \frac{1}{k}$, temos a expressão para $A_V(z)$:

$$A_V(z) = \frac{gm \cdot T \left(z + \frac{C_0 - C}{C_0 + C} - \frac{gm \times T}{A_V(C_0 + C)} \right) z}{(C + C_0) \left[z^2 + \left(\frac{-2A_V^2 C^2 - 2A_V^2 C C_0 - A_V^2 C_0^2 + 2A_V C_0 T \cdot gm + T^2 \cdot gm^2}{A_V^2 (C_0 + C)^2} \right) z + \frac{C^2}{(C_0 + C)^2} \right]} \quad (3.27)$$

A estabilidade do circuito é garantida quando o módulo das raízes do denominador da Equação (3.27) são menores que 1. Ou seja, as raízes estão dentro do círculo unitário. Além disso, o gm (transcondutância dos amplificadores), a frequência de chaveamento e o ganho também afetam a estabilidade.

A Figura 3.16 apresenta os gráficos do módulo das duas raízes do denominador da Equação (3.27) em função de $A_V = [1, 2, 3, 4, 5, 6, 7]$. Os gráficos foram plotados considerando $gm = 1,8\mu$, $T = 2\mu s$ e $C = 0,5 pF$.

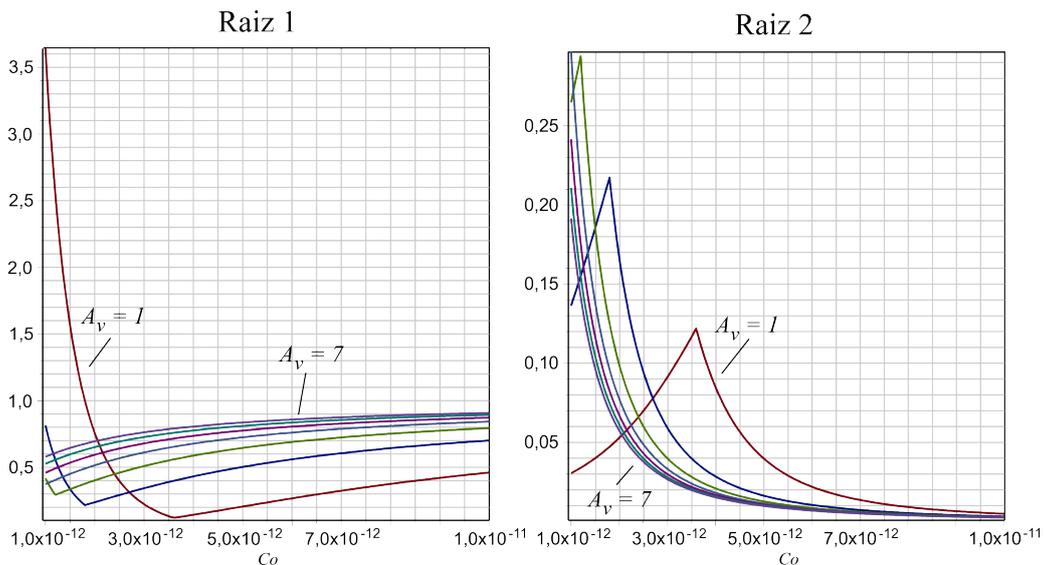


Figura 3.16: Gráfico do módulo das raízes da expressão do ganho.

A análise dos gráficos permite observar que a estabilidade é crítica para a raiz 1. Quanto menor o ganho, mais crítica é a estabilidade. Para $A_V = 1$, o circuito atinge o limite da estabilidade quando $C_0 \cong 2pF$. Desta forma, adotou-se C_0 igual a 3pF.

A Figura 3.17 mostra a implementação do filtro *notch* com transistores.

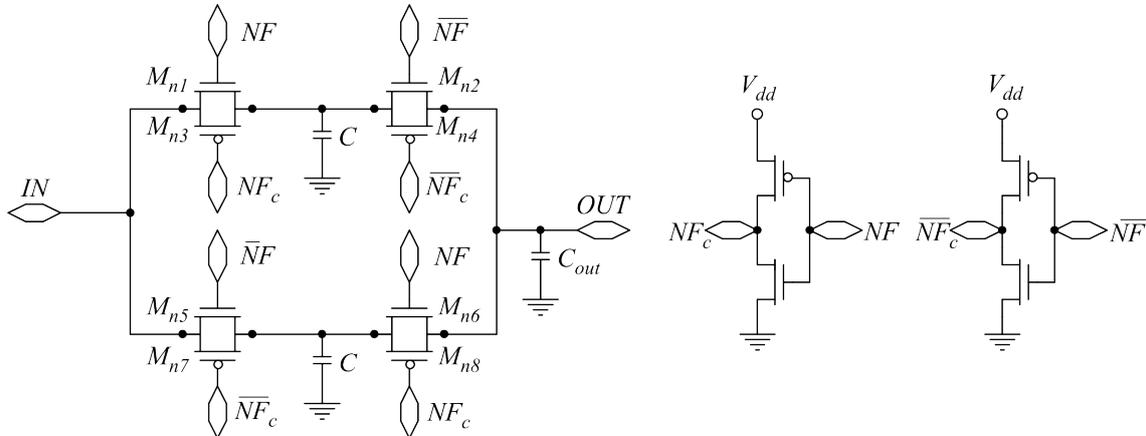


Figura 3.17: Implementação do filtro *notch*.

A Tabela 3.7 apresenta o dimensionamento feito para o filtro *notch*.

Tabela 3.7: Dimensionamento do filtro *notch*.

Transistores	W	L	M
$M_{N1}, M_{N2}, M_{N5}, M_{N6}$	1 μ	0,5 μ	1
$M_{N3}, M_{N4}, M_{N7}, M_{N8}$	1 μ	0,5 μ	1

Neste trabalho, para efeito de testes, foi utilizado controle de modo comum ideal.

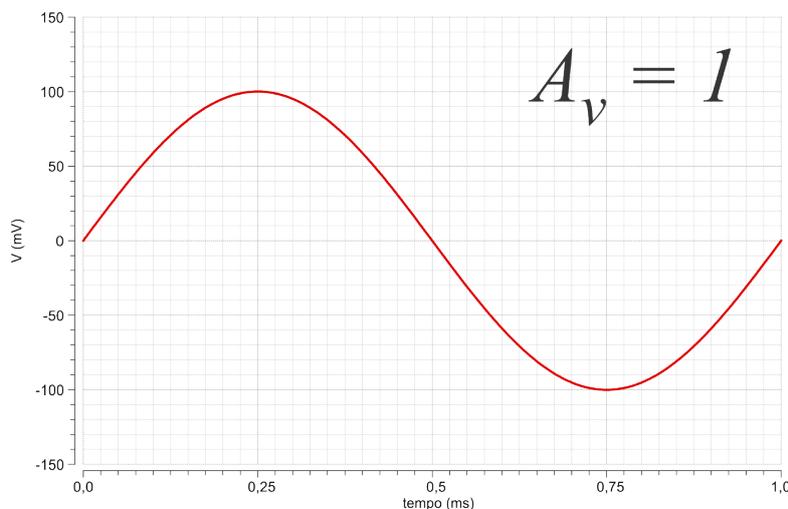
Capítulo 4

Simulações e resultados

Ao longo deste capítulo, serão apresentadas as simulações e resultados obtidos neste trabalho. Os circuitos foram projetados utilizando-se a tecnologia de integração CMOS (*Complementary Metal Oxide Semiconductor*) 350 nm. Nas simulações, foi empregado o simulador Spectre do Cadence, no qual todos os transistores são modelados através do modelo BSIM3v3.

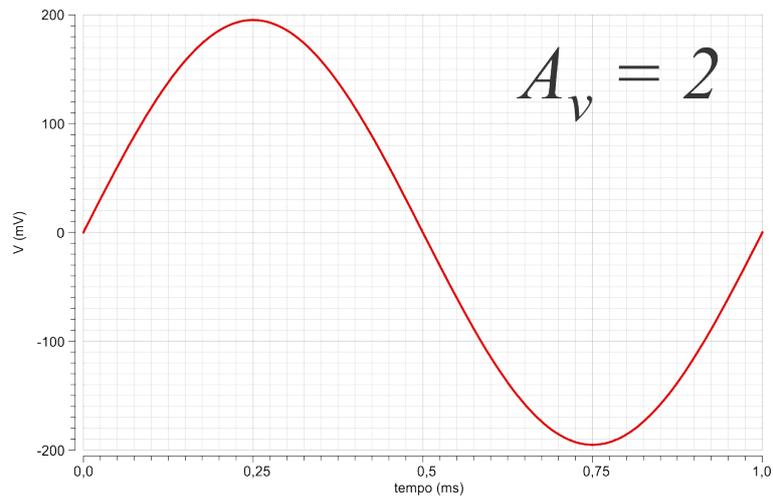
4.1 Simulação do controle de ganho do PGA

Neste trabalho foram implementados sete estágios de ganho incluindo $A_v = 1$, o que implica que o ganho do PGA poderá variar de 1 a 7. A Figura 4.1 apresenta o resultado da simulação no tempo para essa faixa de ganho, considerando uma senóide de 100mV de amplitude e frequência de 1kHz na entrada do amplificador. A Tabela 4.1 mostra as amplitudes alcançadas em cada ganho.

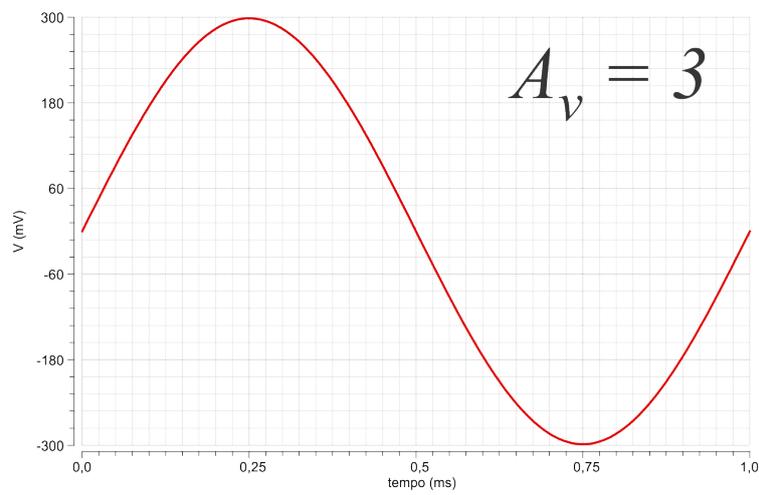


(a)

Figura 4.1: Simulações dos ganhos do PGA sem o corretor de tensão de *offset*, e para os valores: a) 1;

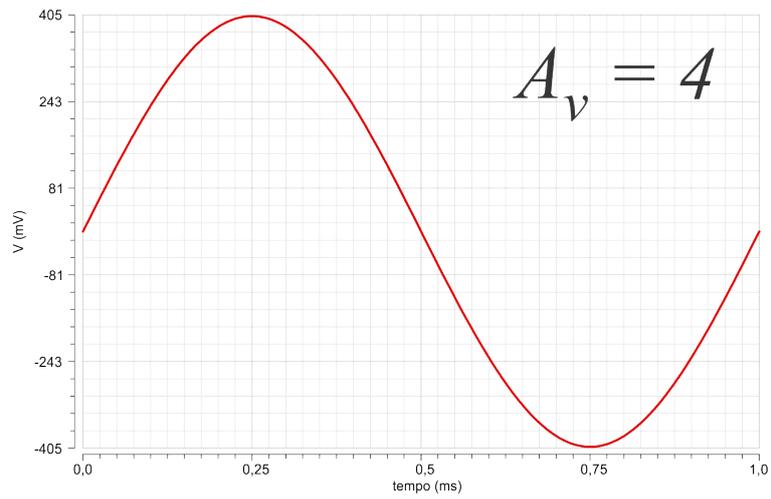


(b)

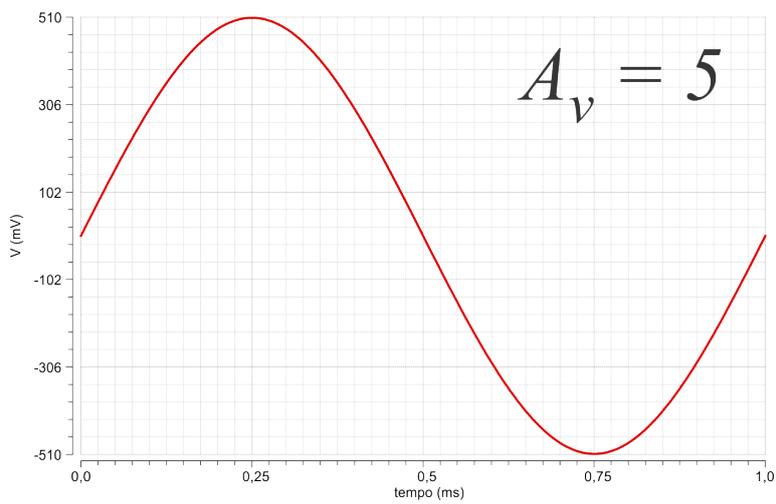


(c)

Figura 4.1: Simulações dos ganhos do PGA sem o corretor de tensão de *offset*, e para os valores: b) 2; c) 3;

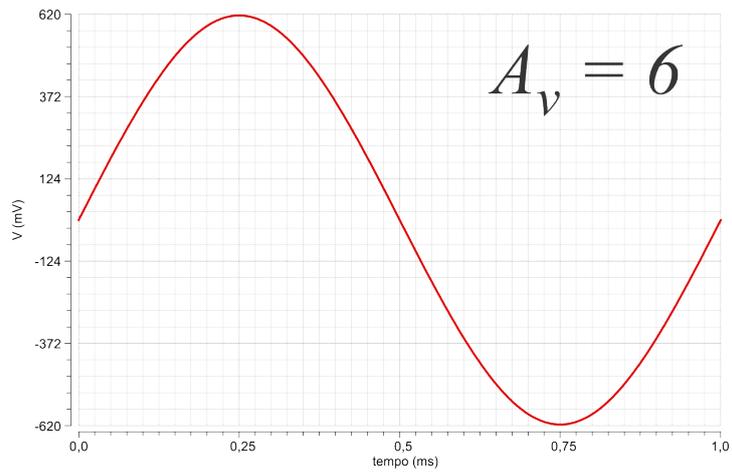


(d)

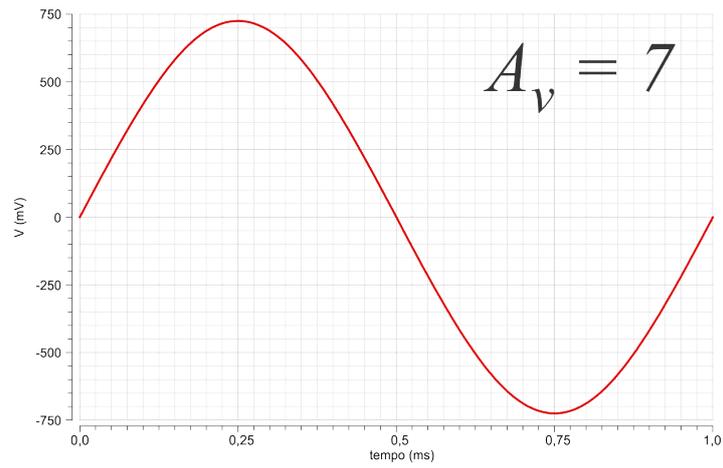


(e)

Figura 4.1: Simulações dos ganhos do PGA sem o corretor de tensão de *offset*, e para os valores: d) 4; e) 5;



(f)



(g)

Figura 4.1: Simulações dos ganhos do PGA sem o corretor de tensão de *offset*, e para os valores: a) 1; b) 2; c) 3; d) 4; e) 5; f) 6 e g) 7.

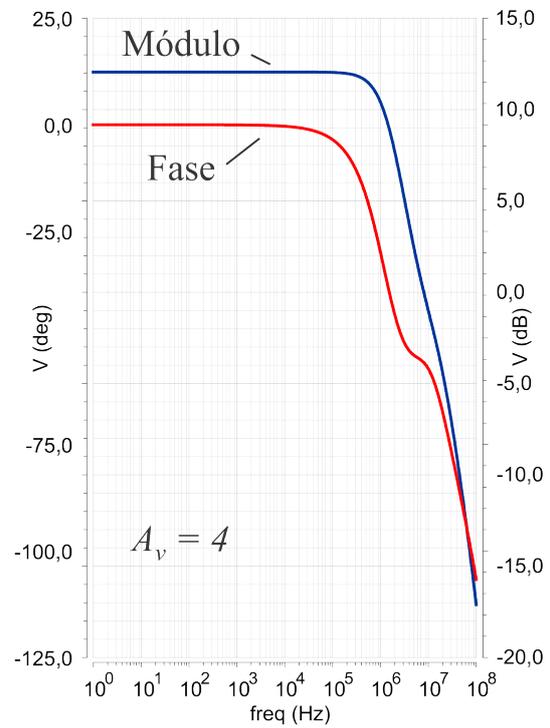
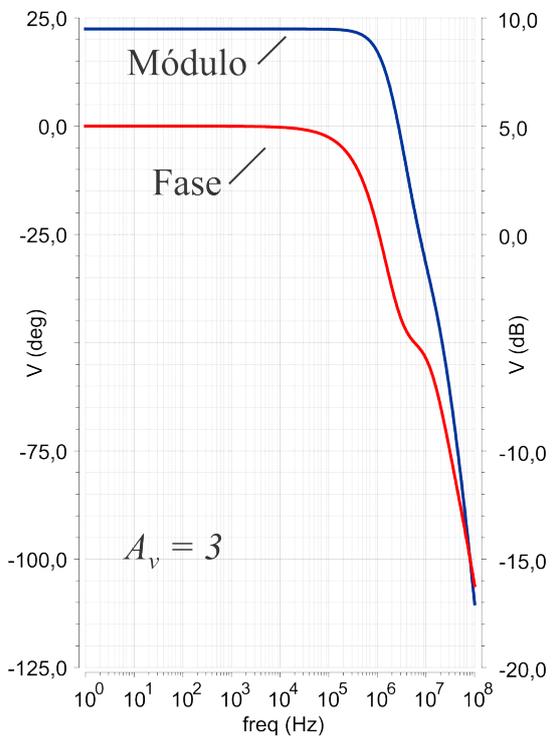
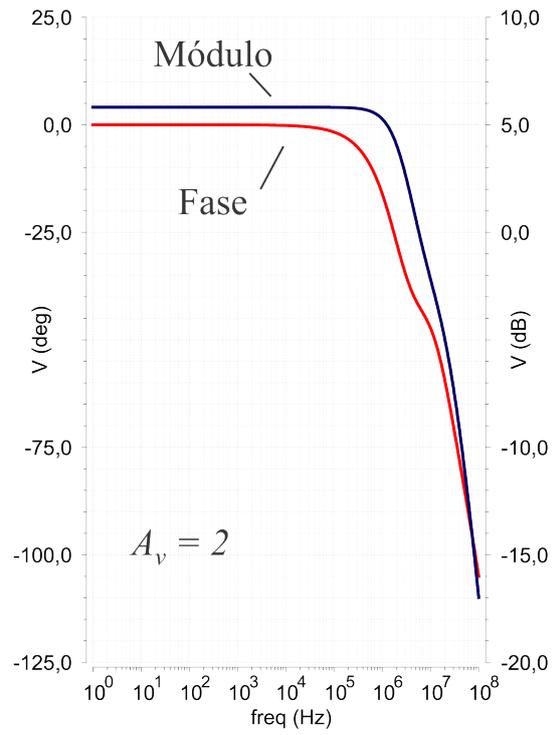
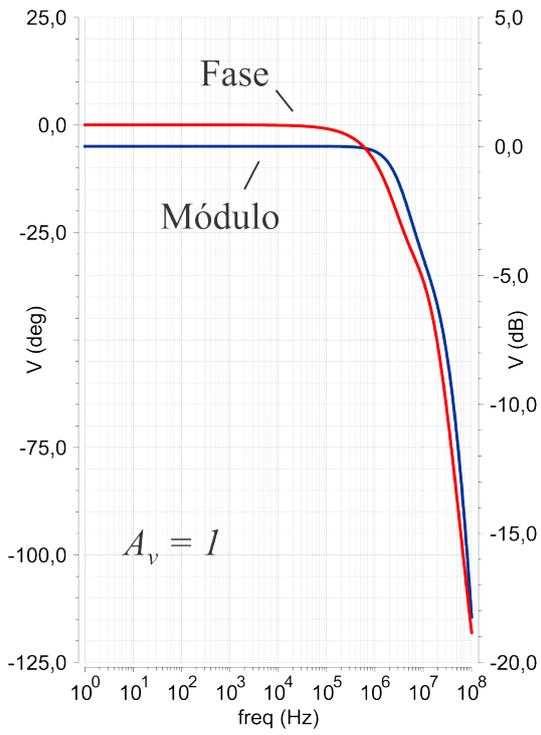
Tabela 4.1: Amplitudes para cada ganho

Ganho teórico	Amplitude máxima (mV)	Amplitude mínima (mV)	Ganho simulado
$A_v = 1$	100,04	-100,02	1,00
$A_v = 2$	195,24	-195,24	1,95
$A_v = 3$	298,38	-298,39	2,98
$A_v = 4$	402,55	-402,54	4,03
$A_v = 5$	508,43	-508,34	5,08
$A_v = 6$	616,28	-616,27	6,16
$A_v = 7$	724,71	-724,70	7,25

4.2 Resposta em Frequência

As simulações apresentadas a seguir foram realizadas no circuito do PGA sem o mecanismo de controle de *offset*, ou seja, *choppers* e filtro *notch*.

Assim, na Figura 4.2 pode-se observar as respostas em frequência para as configurações com ganho de tensão 1 a 7, que correspondem respectivamente a 0 dB, 5,81 dB, 9,48 dB, 12,05 dB, 14,03 dB, 15,63 dB e 16,98 dB.



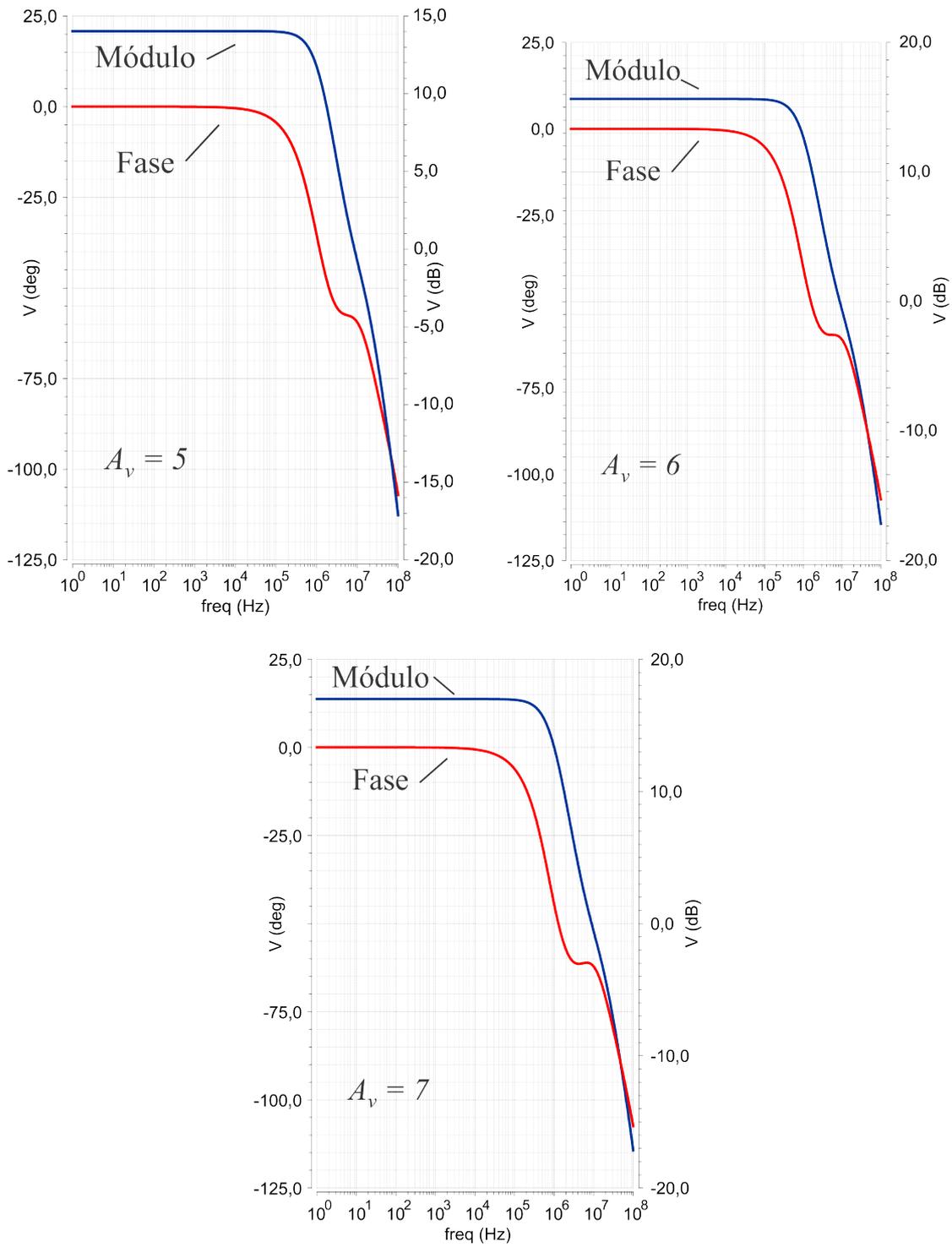
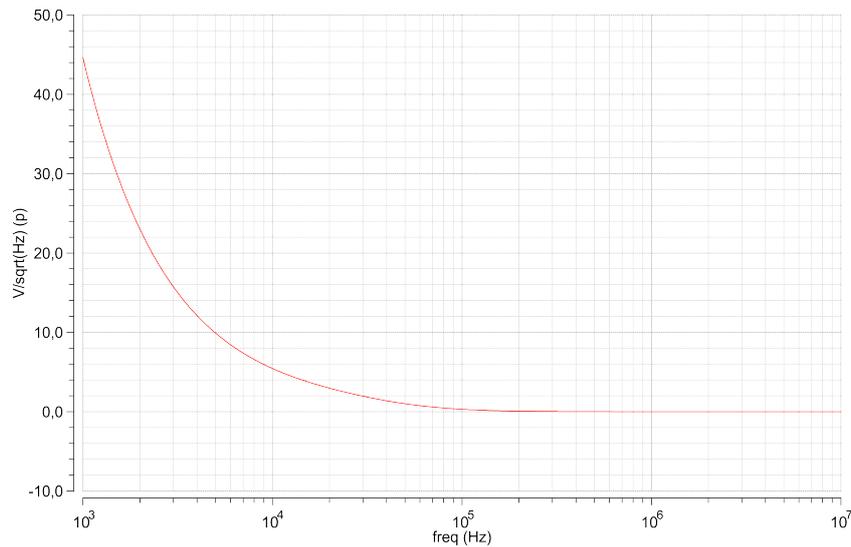


Figura 4.2: Resposta em frequência para A_V de 1 a 7.



(b)

Figura 4.3: Densidade espectral do ruído referenciado à entrada para corrente de polarização igual a: a) $2 \mu\text{A}$ e b) $1 \mu\text{A}$.

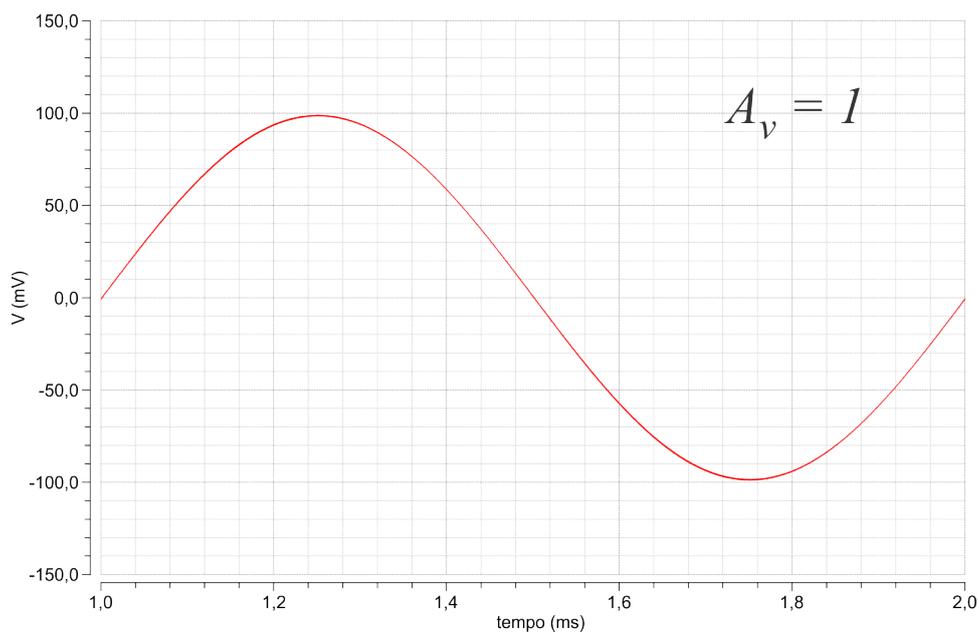
4.4 Sinal de Saída para uma Entrada Senoidal e para os Ganhos Variando de 1 a 7, com *Chopper* e Filtro *Notch*

A seguir, na Figura 4.4, são apresentados os gráficos do sinal de saída para uma entrada de tensão senoidal, na frequência de 1kHz e amplitude de 100mV. Verificam-se que os ganhos são ligeiramente menores que os obtidos nas simulações do PGA, sem o chopper. Os valores dos ganhos podem ser verificados na Tabela 4.2. Esta alteração no ganho se deve ao processo de chaveamento em si. O princípio básico de funcionamento do PGA é o perfeito cancelamento de corrente no divisor, promovido pelo ganho de tensão em malha aberta muito elevado, acima de 70dB, do estágio de saída em cascode dobrado. Na faixa de frequência do sinal de entrada, definida até 3kHz, a impedância de saída do cascode é suficientemente elevada para garantir um ganho superior a 70dB. Entretanto, o chopper modula o sinal de entrada na frequência de 500kHz, muito acima de 3kHz, e numa região onde a impedância de saída não é tão elevada, levando a um ganho de tensão inferior a 70dB. Esta redução do ganho de tensão em malha aberta é responsável por grande parte do erro observado no ganho realimentado. A Figura 4.5 mostra a impedância de saída do circuito. Para a frequência de 3,05 kHz foi observado

uma impedância de 1,47 G Ω enquanto para a frequência de 504,62 kHz a impedância encontrada é de 8,09 M Ω .

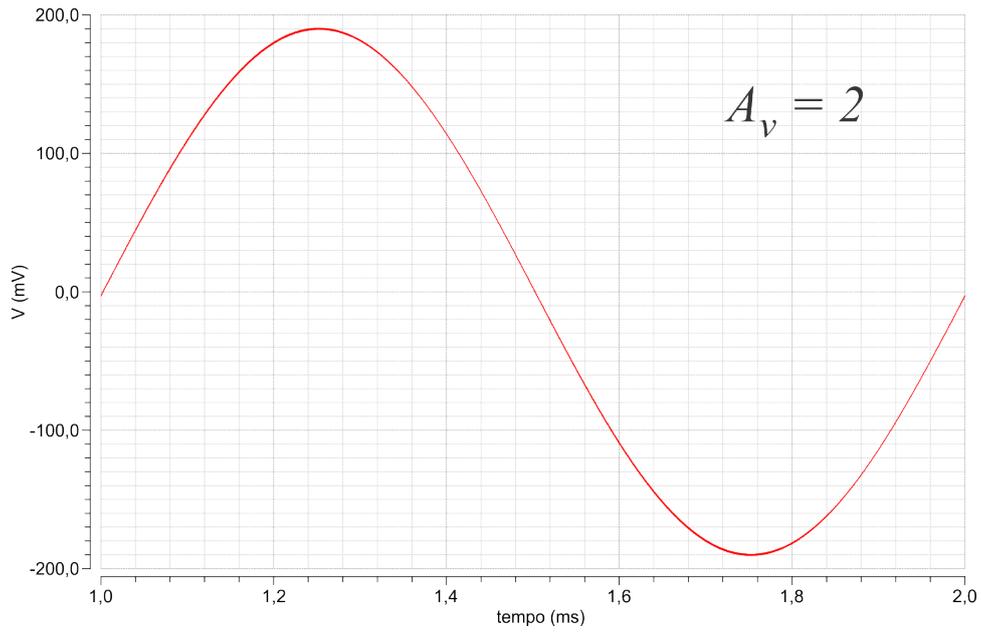
Outro fator que contribui para o erro no ganho realimentado reside na comutação do *chopper*, no curto intervalo de tempo da transição entre as fases, onde o cancelamento das correntes não ocorre perfeitamente, gerando uma corrente residual diferente de zero que é integrada nos capacitores de saída. O efeito final deste processo é equivalente a um fator de divisão um pouco diferente do previsto pelas relações entre as dimensões dos transistores.

Como estes processos são dependentes somente da frequência de chaveamento do *chopper*, é possível compensar a redução de ganho através da alteração das dimensões dos transistores do divisor. Entretanto, este procedimento perde importância, quando se consideram as variações de ganho que ocorrerão devido ao descasamento dos transistores, durante a fabricação do circuito integrado. Como todo PGA, este também deverá passar por um procedimento de calibração, caso seja exigido extrema precisão nos ganhos.

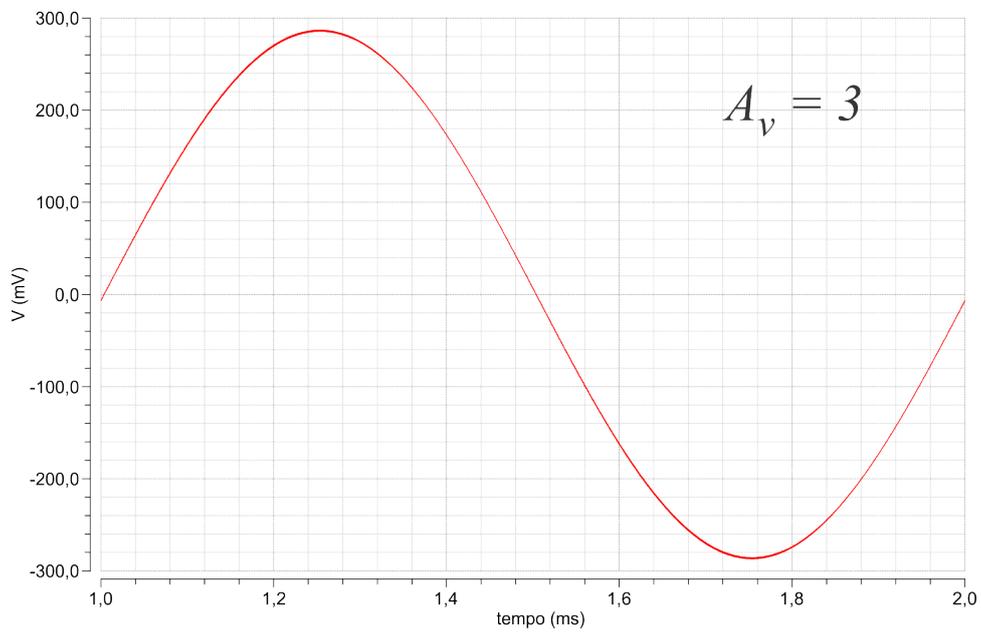


(a)

Figura 4.4: Sinal de saída do PGA com entrada senoidal de amplitude igual a 100mV e frequência de 1kHz: a) $A_v = 1$;

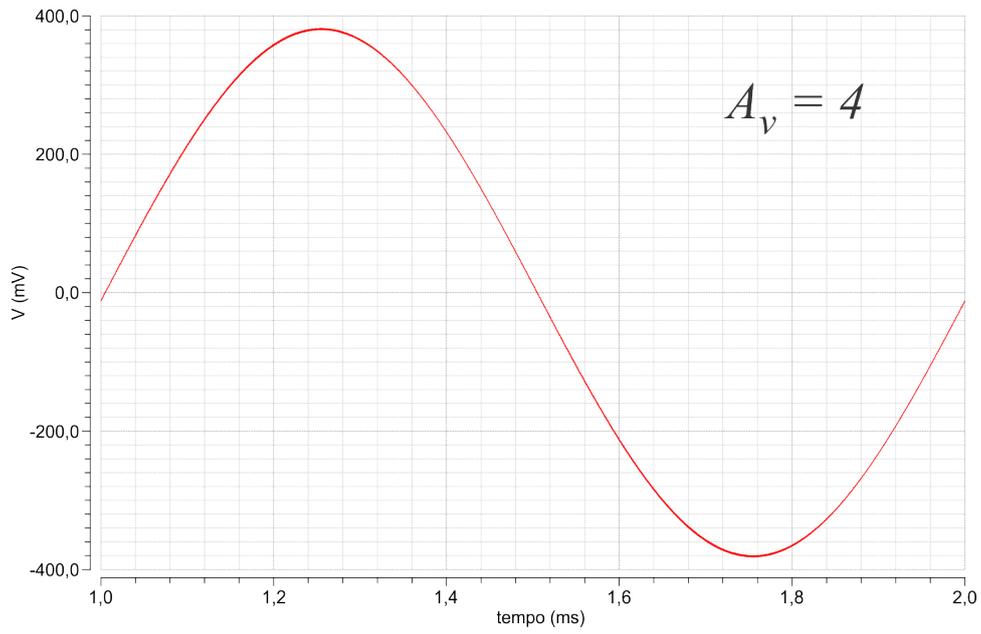


(b)

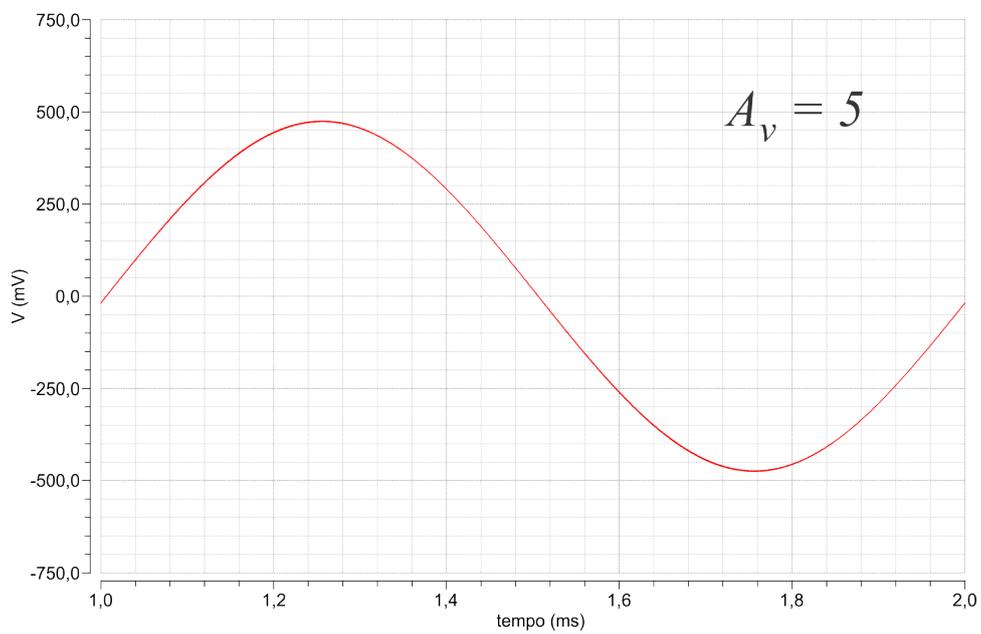


(c)

Figura 4.4: Sinal de saída do PGA com entrada senoidal de amplitude igual a 100mV e frequência de 1kHz: b) $A_v = 2$; c) $A_v = 3$;

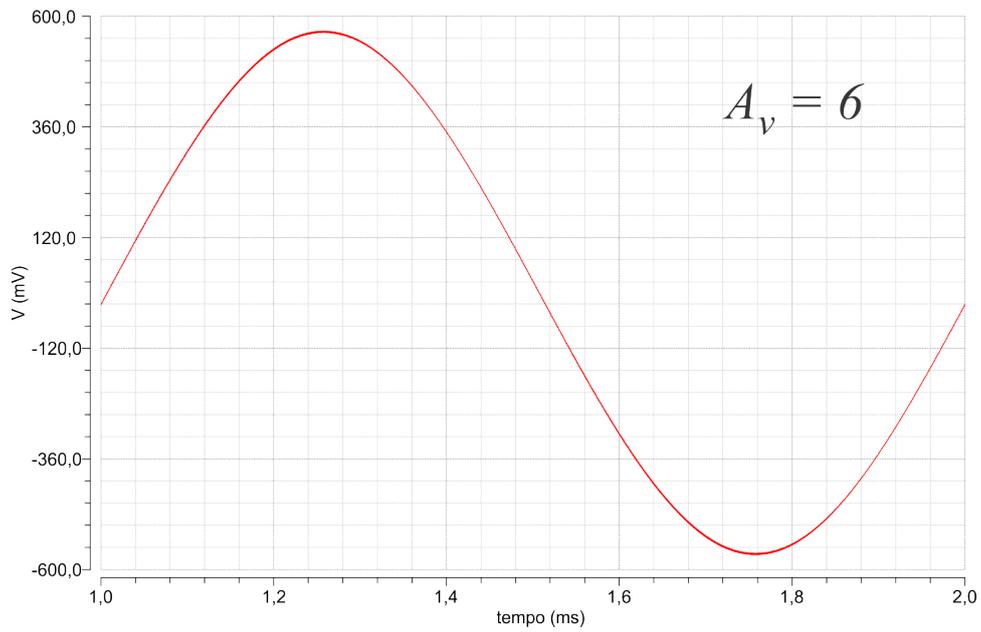


(d)

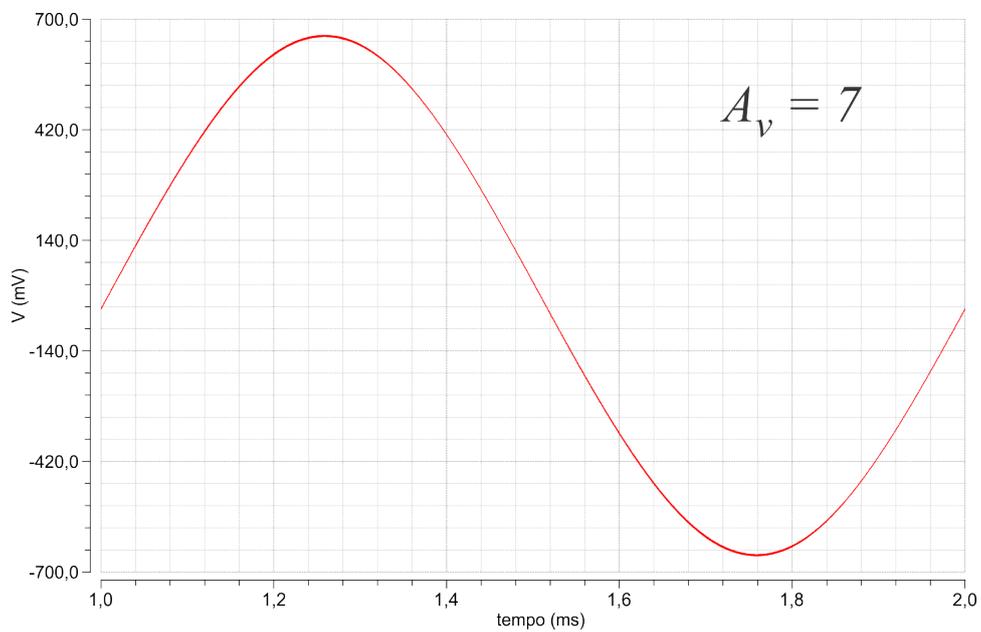


(e)

Figura 4.4: Sinal de saída do PGA com entrada senoidal de amplitude igual a 100mV e frequência de 1kHz: d) $A_V = 4$; e) $A_V = 5$;



(f)



(g)

Figura 4.4: Sinal de saída do PGA com entrada senoidal de amplitude igual a 100mV e frequência de 1kHz: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$; g) $A_V = 7$.

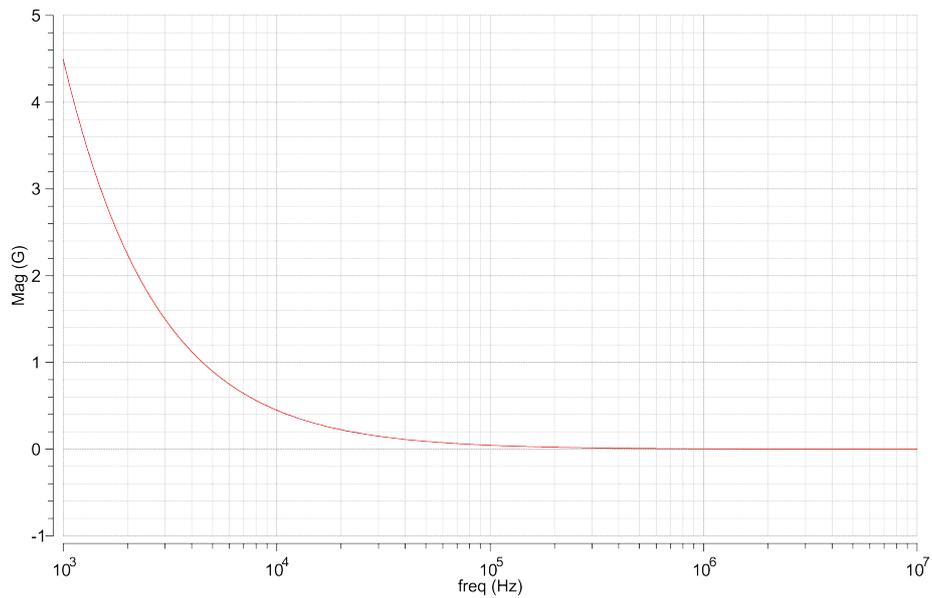


Figura 4.5: Impedância de saída do circuito

Tabela 4.2: Ganho de tensão obtido para o circuito do PGA com mecanismo de cancelamento de *offset*

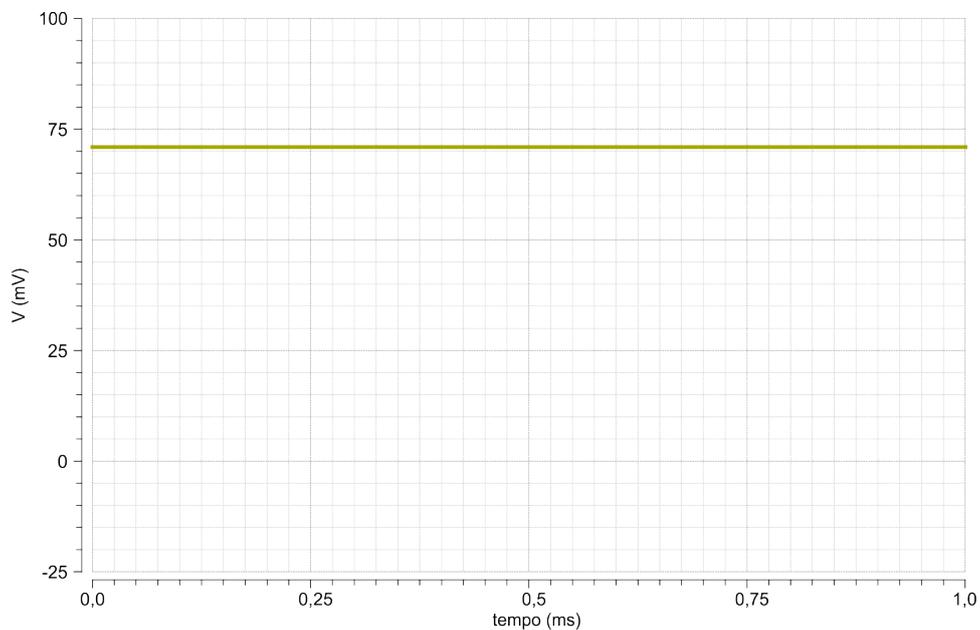
Ganho de tensão projetado	Ganho de tensão simulado
$A_V = 1$	0,98
$A_V = 2$	1,89
$A_V = 3$	2,85
$A_V = 4$	3,81
$A_V = 5$	4,75
$A_V = 6$	5,68
$A_V = 7$	6,59

4.5 Controle de *Offset*

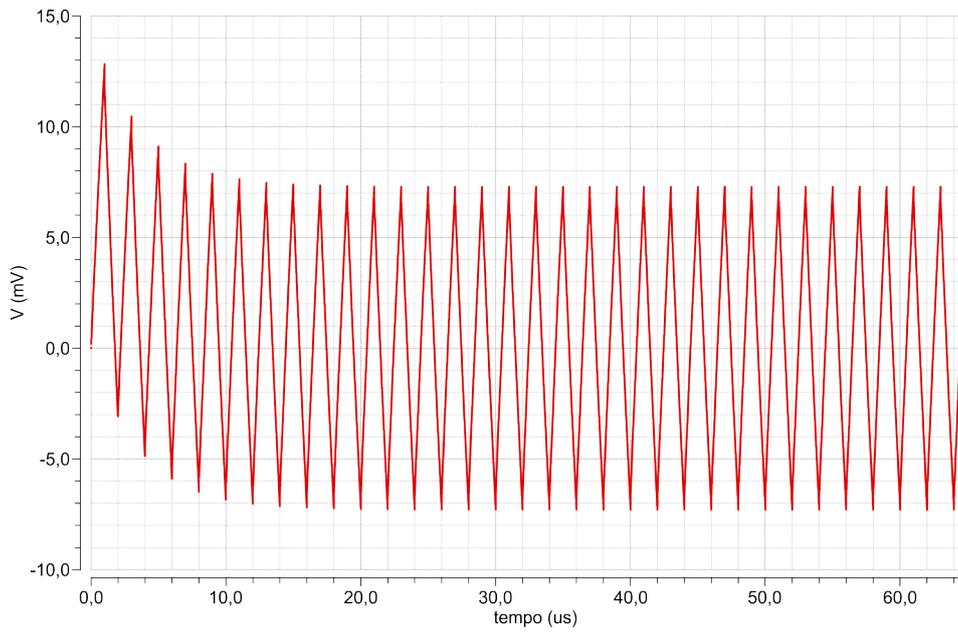
Para garantir a operação correta do mecanismo de controle de *offset* proposto, inicialmente foram realizados testes considerando os amplificadores diferenciais como principais causadores de tensão de *offset* na saída do PGA. As simulações foram

realizadas com o amplificador programado para ganho 7, que representa o pior caso para a tensão de *offset* de saída.

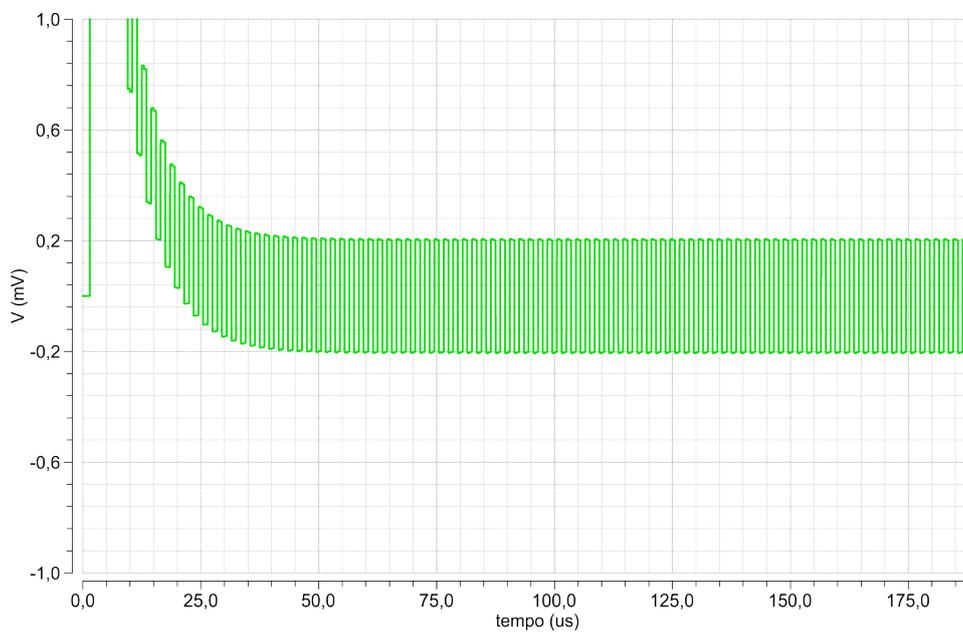
O nível de *offset* do circuito foi medido como mostrado na Figura 2.13, onde uma fonte de tensão de 10mV foi introduzida após o *chopper* e antes do amplificador diferencial de entrada. A Figura 4.6 apresenta o resultado do teste do mecanismo de *offset* implementado neste trabalho, considerando tensão de entrada igual a zero. Em (a), temos a tensão de saída sem o controle de *offset*, em (b) com o controle de *offset* pelo *chopper* e em (c) com o filtro *notch*. Podemos observar que o controle de *offset* introduz um *ripple* devido ao chaveamento, mas que é sensivelmente reduzido pelo filtro *notch*. O valor da tensão de *offset* deve ser tomada pela média para desconsiderar o *ripple*, que neste caso é 410,8 μ V, mostrando uma apreciável atenuação em relação ao circuito sem o *chopper*.



(a)



(b)

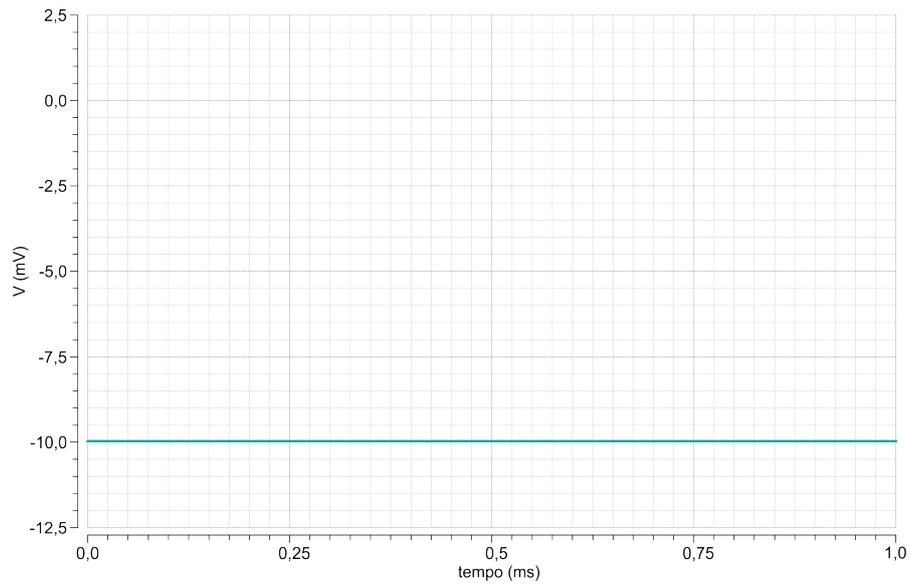


(c)

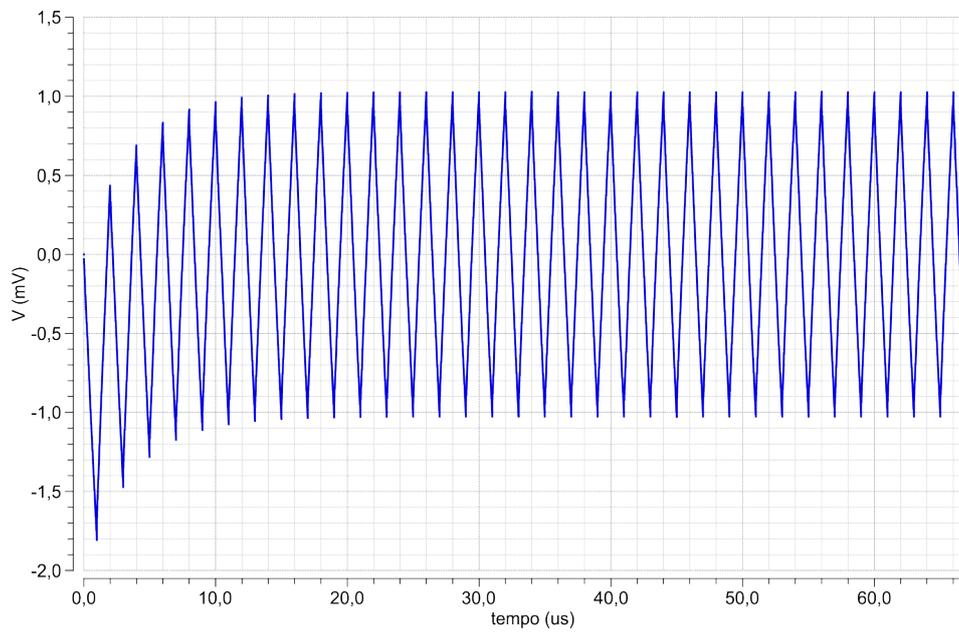
Figura 4.6: *Offset* gerado por uma fonte de tensão DC no amplificador diferencial: a) sem correção; b) com o *chopper*; c) com o filtro *notch*.

Da mesma maneira foi introduzido uma fonte de tensão de 10mV antes do amplificador diferencial de realimentação do circuito. O *offset* gerado é mostrado na Figura 4.7, para as mesmas condições do exemplo anterior. Neste caso, também

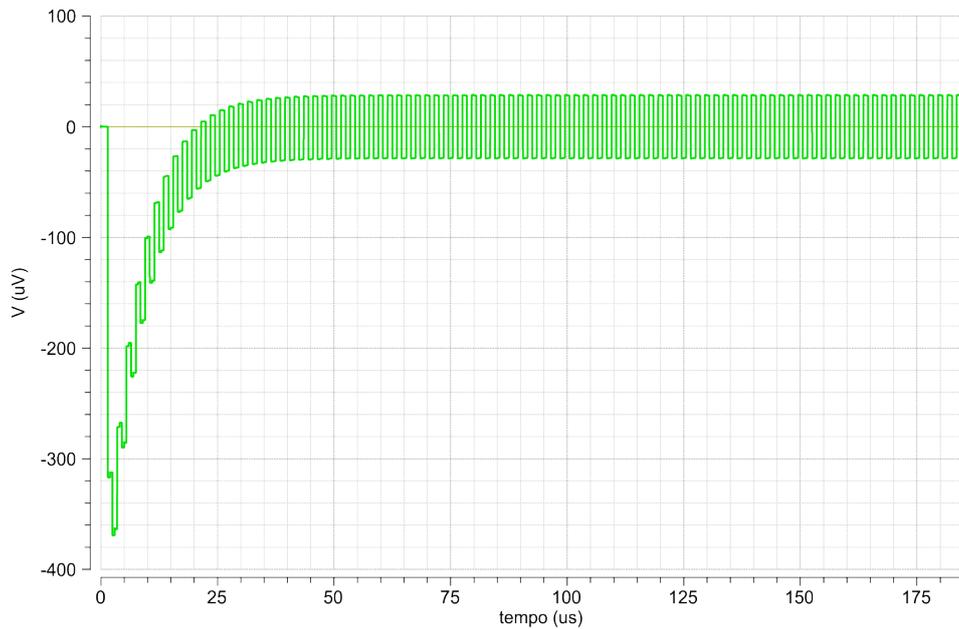
verificam-se o *ripple* gerado pelo chaveamento, a atuação do filtro *notch* e uma redução da tensão de *offset* de saída de 3,5mV para 3nV.



(a)



(b)



(c)

Figura 4.7: *Offset* gerado por uma fonte de tensão DC no amplificador diferencial de realimentação: a) sem correção; b) com o *chopper*; c) com o filtro *notch*.

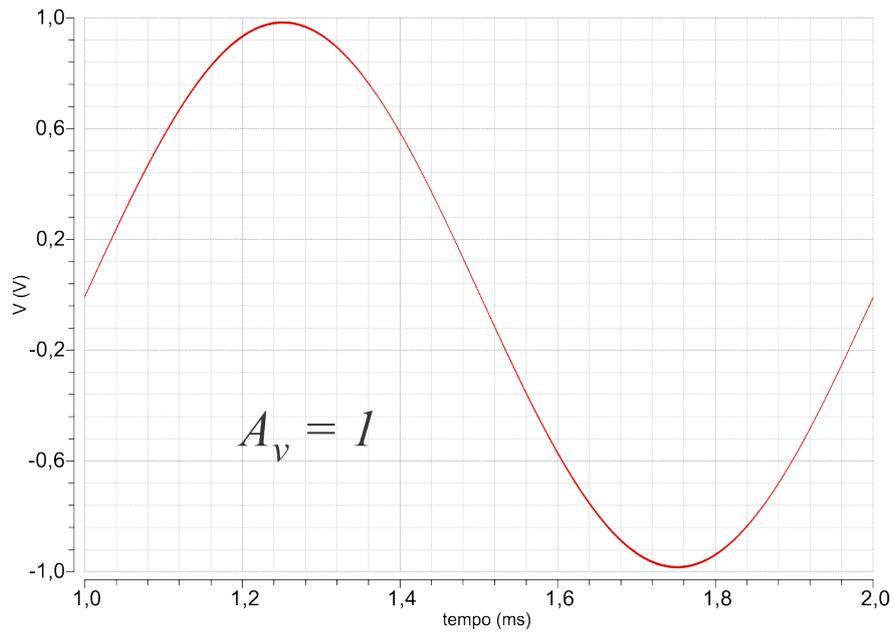
4.6 Distorção Harmônica Total

Passaremos agora à análise da distorção harmônica (THD) para o PGA com e sem mecanismo de controle de *offset*. Foram utilizadas as configurações do PGA com $V_{in} = 100mV$ e frequência de 1kHz, para $A_v = 1$ e $A_v = 7$. A Tabela 4.3 apresenta os resultados obtidos. Observa-se uma degradação na THD com o aumento do ganho, o que é esperado, por causa da redução progressiva do ganho da malha de realimentação.

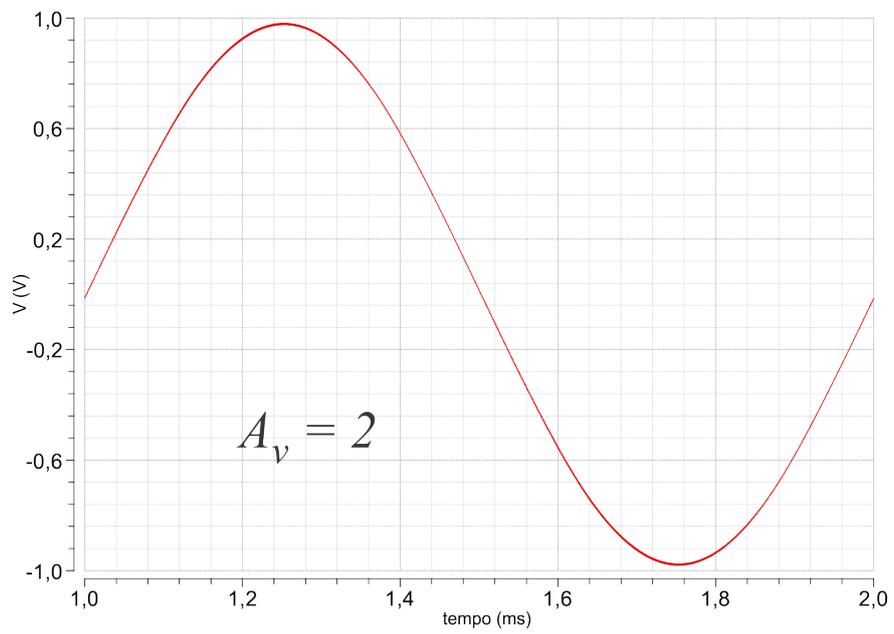
Tabela 4.3: Distorção harmônica

PGA	Ganho de tensão	THD
Sem mecanismo de cancelamento de <i>offset</i>	$A_V = 1$	0,03%
	$A_V = 2$	0,02%
	$A_V = 3$	0,09%
	$A_V = 4$	0,23%
	$A_V = 5$	0,41%
	$A_V = 6$	0,62%
	$A_V = 7$	0,78%
Com mecanismo de cancelamento de <i>offset</i>	$A_V = 1$	0,3%
	$A_V = 2$	0,3%
	$A_V = 3$	0,3%
	$A_V = 4$	0,39%
	$A_V = 5$	0,51%
	$A_V = 6$	0,68%
	$A_V = 7$	0,84 %

A especificação do PGA prevê uma excursão de sinal diferencial de 1V na saída, com qualquer configuração de ganho. Desta forma, foram realizadas simulações com valores modificados de amplitude de entrada, para que a amplitude do sinal de saída fosse muito próxima de 1V, conforme mostrado nas Figuras 4.8 (a)-(g).

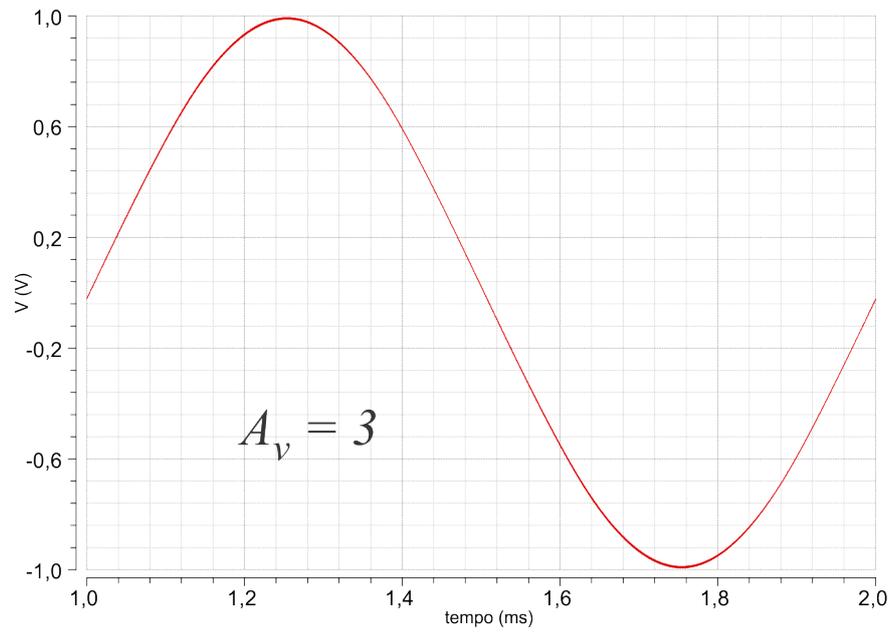


(a)

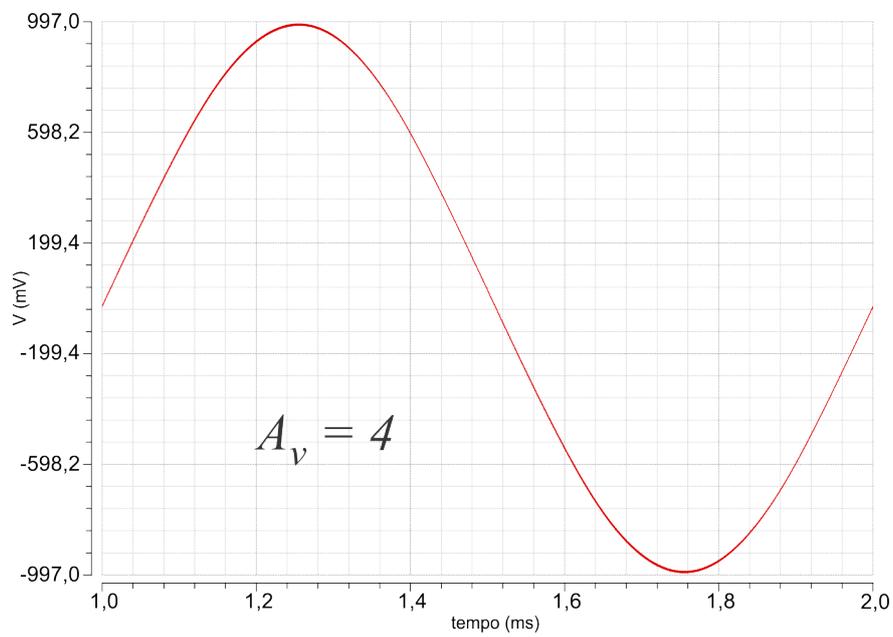


(b)

Figura 4.8: Excursão de sinal diferencial de 1V na saída para A_v de 1 a 7: a) $A_v = 1$; b) $A_v = 2$;

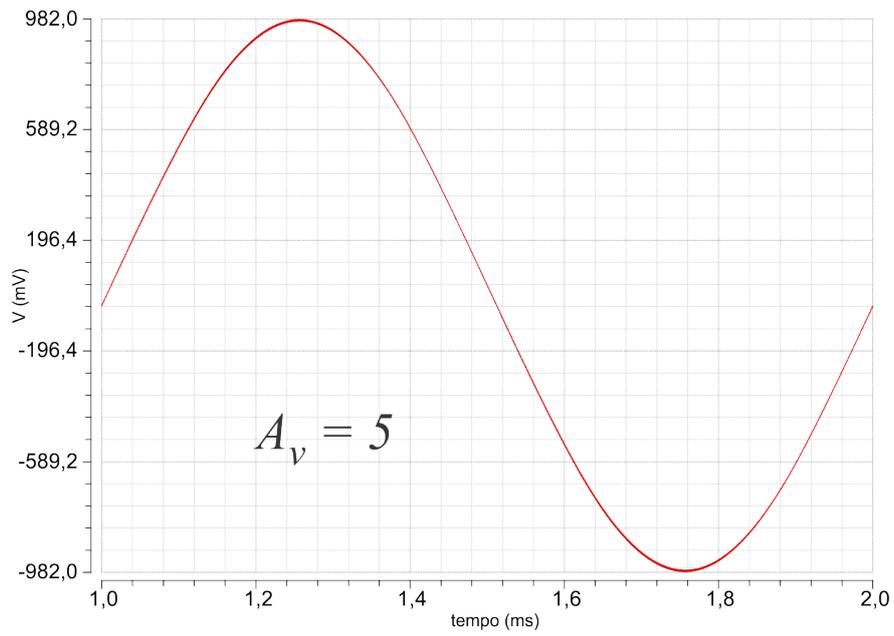


(c)

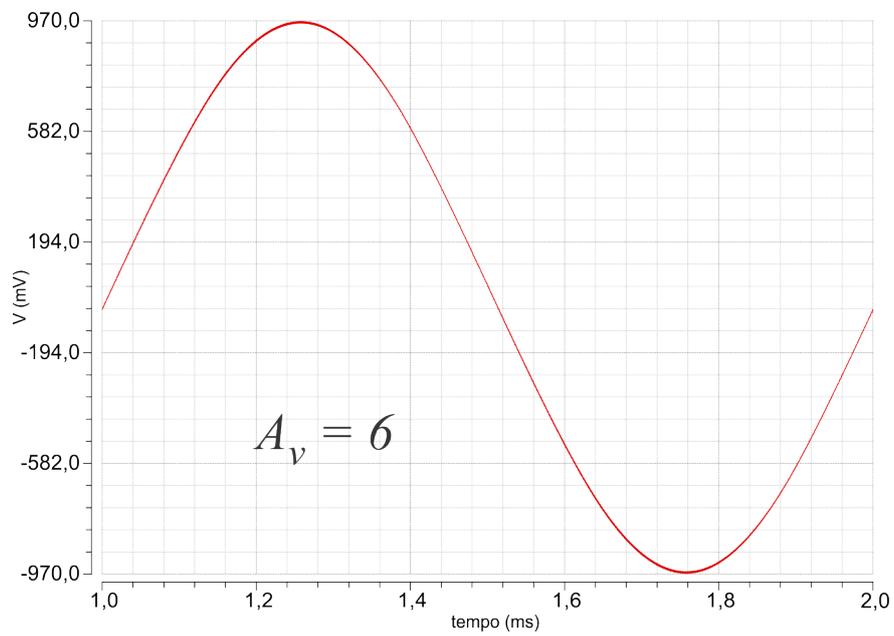


(d)

Figura 4.8: Excursão de sinal diferencial de 1V na saída para A_v de 1 a 7: c) $A_v = 3$; d) $A_v = 4$;

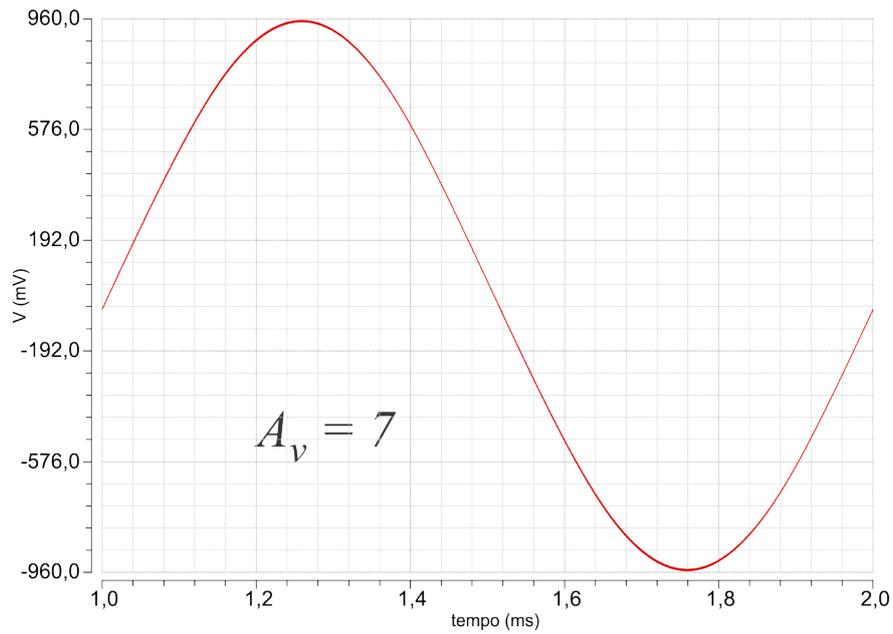


(e)



(f)

Figura 4.8: Excursão de sinal diferencial de 1V na saída para A_v de 1 a 7: e) $A_v = 5$; f) $A_v = 6$;



(g)

Figura 4.8: Excursão de sinal diferencial de 1V na saída para A_V de 1 a 7: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$; g) $A_V = 7$.

A Tabela 4.4 mostra os resultados da THD obtidos com o sinal de entrada em 1kHz. Neste caso também se observa a degradação da THD com o aumento do ganho.

Tabela 4.4: THD com amplitude de saída em 1V

Ganho de tensão	THD
$A_V = 1$	0,31%
$A_V = 2$	0,68%
$A_V = 3$	0,94%
$A_V = 4$	1%
$A_V = 5$	1%
$A_V = 6$	1%
$A_V = 7$	1%

4.7 Análise PAC e PNOISE

O CADENCE possui uma ferramenta de simulação que permite obter a resposta em frequência e a densidade espectral de ruído em circuitos chaveados no tempo, a PAC (*Periodic AC analysis*) e a PNOISE (*Periodic Noise analysis*). Cabe observar que a PNOISE contempla as sobreposições do espectro do ruído geradas pelo chaveamento. O desenvolvimento analítico deste processo é de extrema complexidade, daí a necessidade de uma ferramenta de simulação para determinação do ruído. Os gráficos de resposta em frequência obtidos pela análise PAC, e para os ganhos $A_V=1$ a $A_V=7$, encontram-se nas Figuras 4.9 (a)-(g). São funções passa-baixa, e as frequências de corte obtidas por simulação estão na Tabela 4.5. As simulações foram realizadas até a frequência de 250kHz, que representa metade da frequência de chaveamento do filtro *notch* e está livre de *aliasing*.

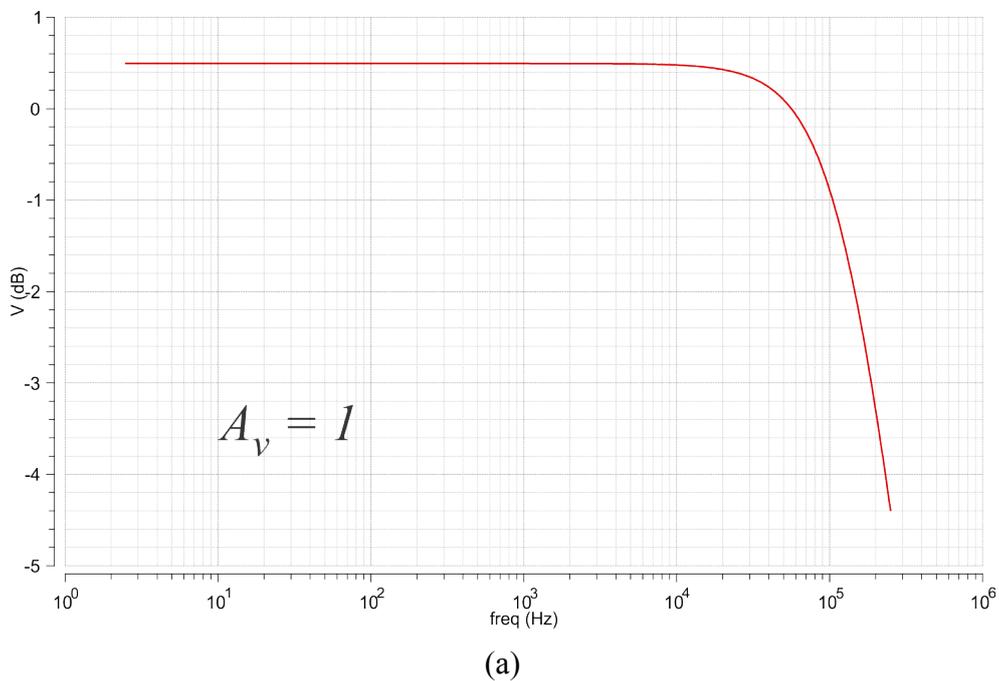
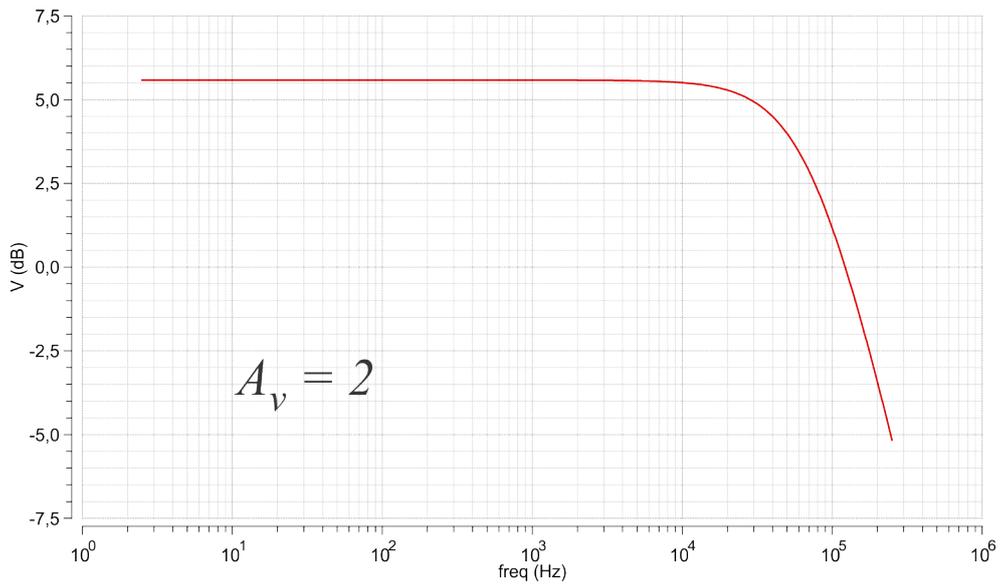
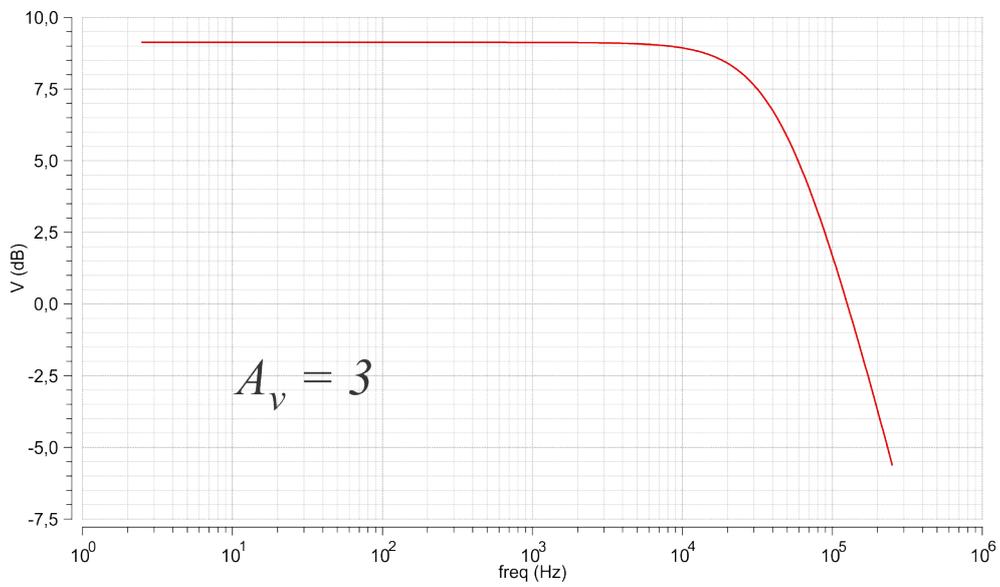


Figura 4.9: Gráficos de resposta em frequência obtidos pela PAC: a) $A_V=1$;

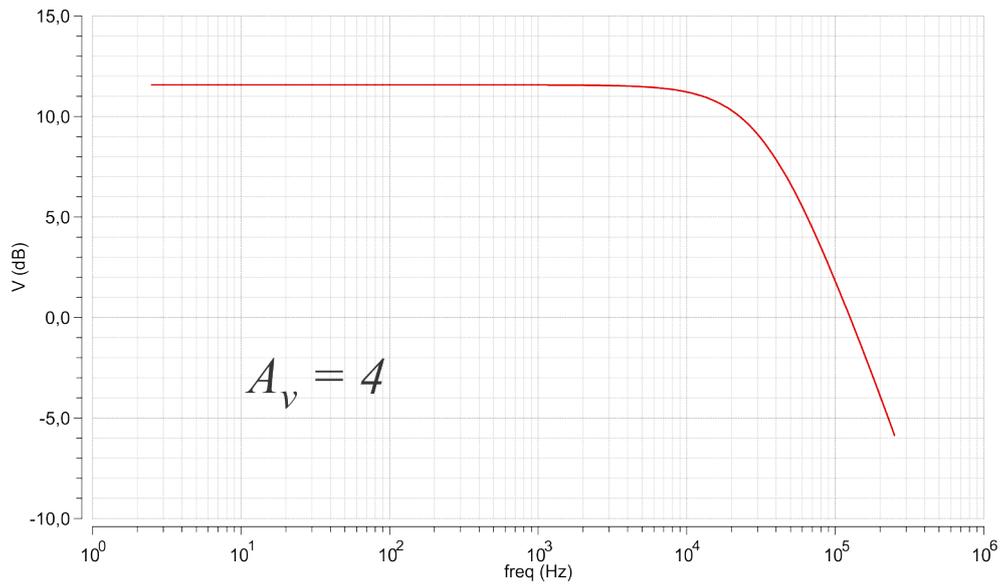


(b)

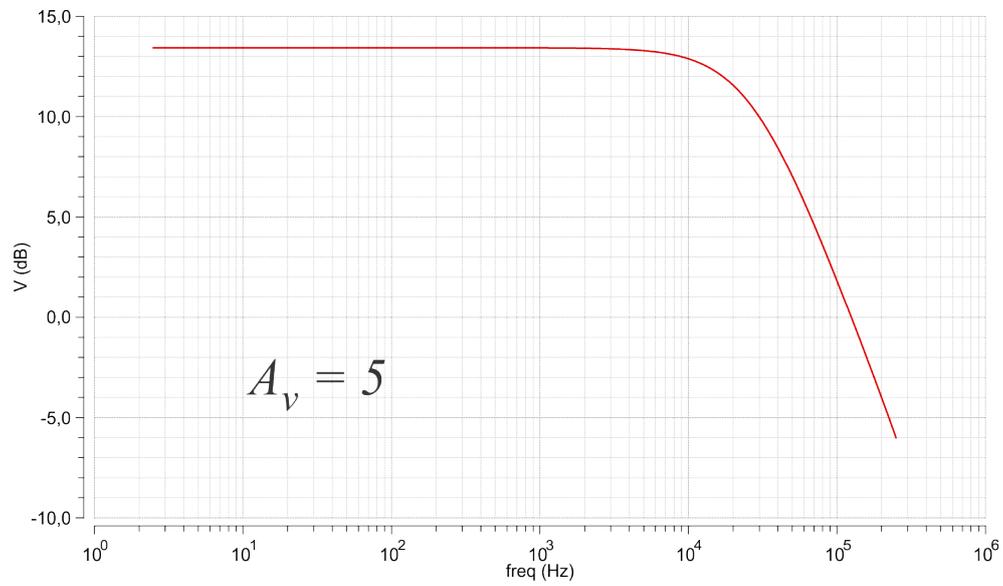


(c)

Figura 4.9: Gráficos de resposta em frequência obtidos pela PAC: b) $A_v = 2$; c) $A_v = 3$;

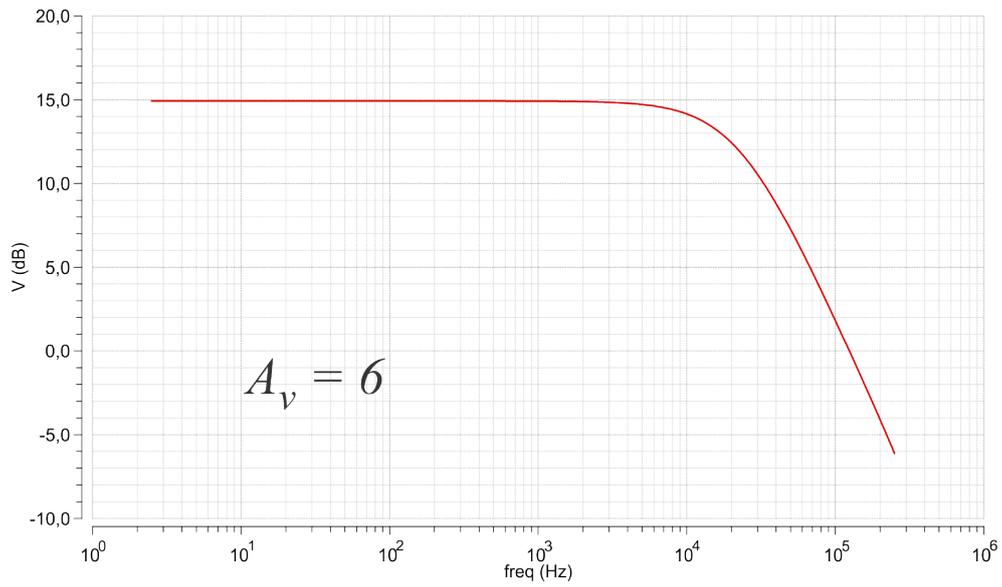


(d)

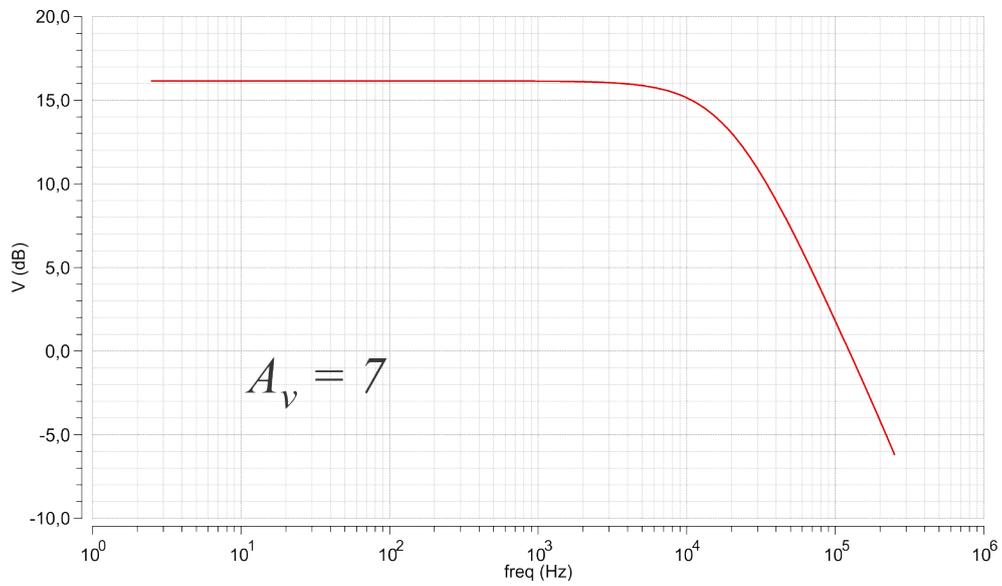


(e)

Figura 4.9: Gráficos de resposta em frequência obtidos pela PAC: d) $A_v = 4$; e) $A_v = 5$;



(f)



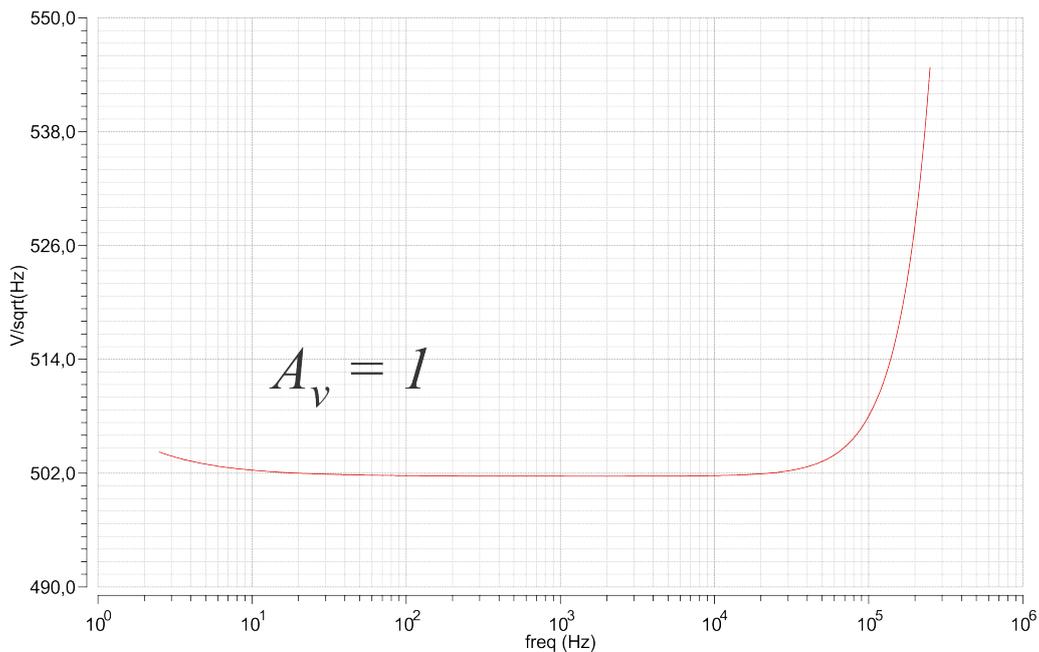
(g)

Figura 4.9: Gráficos de resposta em frequência obtidos pela PAC: a) $A_v = 1$; b) $A_v = 2$; c) $A_v = 3$; d) $A_v = 4$; e) $A_v = 5$; f) $A_v = 6$; g) $A_v = 7$.

Tabela 4.5: Frequências de corte simuladas.

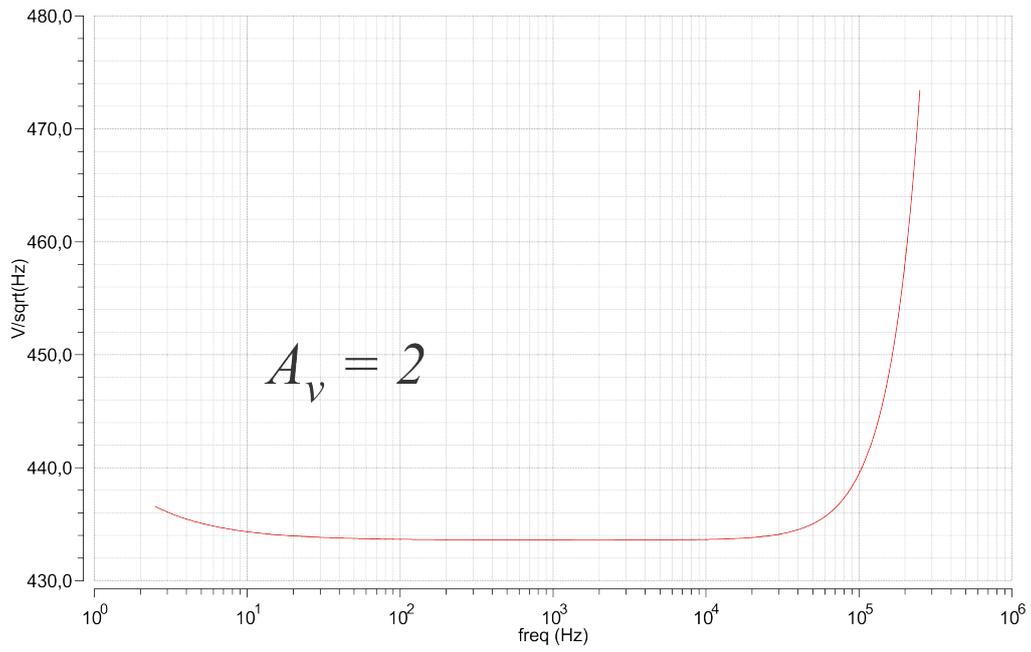
Ganho	Frequência de Corte
1	166,5kHz
2	74,9kHz
3	46,7kHz
4	32,5kHz
5	27,2kHz
6	22,7kHz
7	19,5kHz

Os gráficos da densidade espectral de potência do ruído referenciado à entrada, obtidos pela análise PNOISE, encontram-se nas Figuras 4.10 (a)-(g). Observe que as curvas não apresentam a dependência $1/f$, característica do ruído *flicker*, em baixas frequências, observada no amplificador sem o *chopper*. Isto é esperado, pois em frequências baixas o ruído confunde-se com o *offset* e é eliminado pelo *chopper*. Na Tabela 4.6 encontram-se os valores de tensão RMS do ruído medidos dentro da faixa de frequências de interesse que é de 10 a 3kHz, e para os ganhos $A_V=1$ a $A_V=7$. O nível de ruído de entrada é aproximadamente constante.

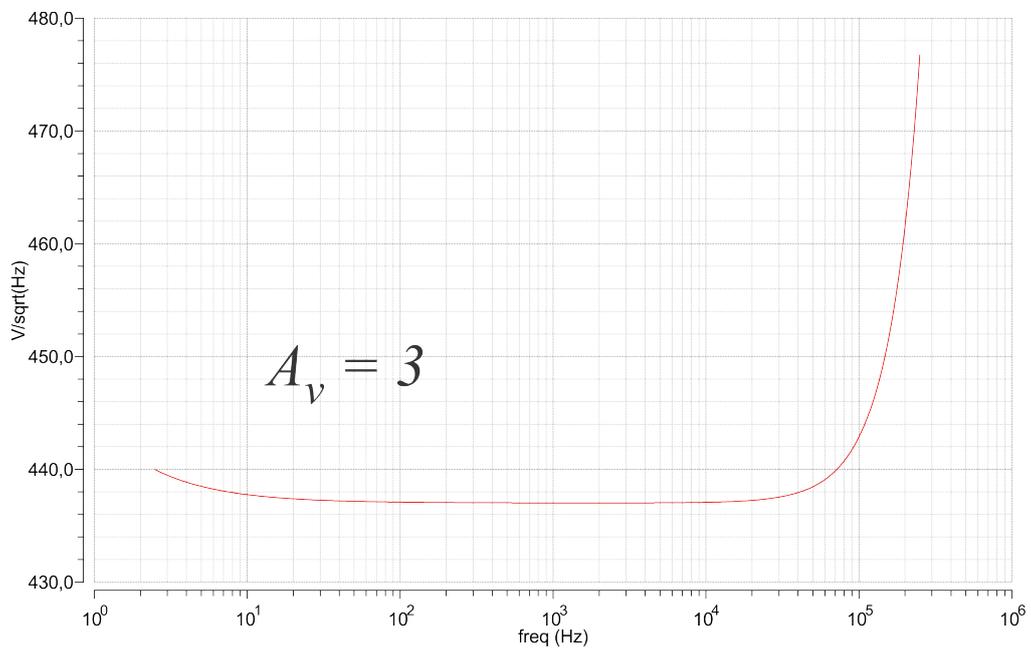


(a)

Figura 4.10: Densidade espectral de potência do ruído referenciado à entrada: a) $A_V=1$;

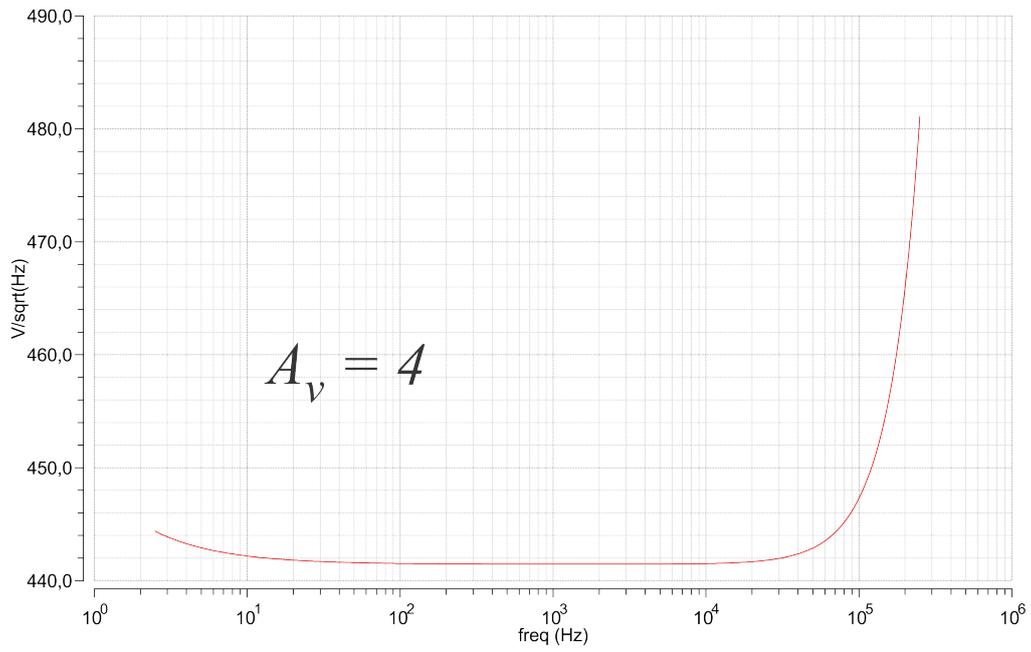


(b)

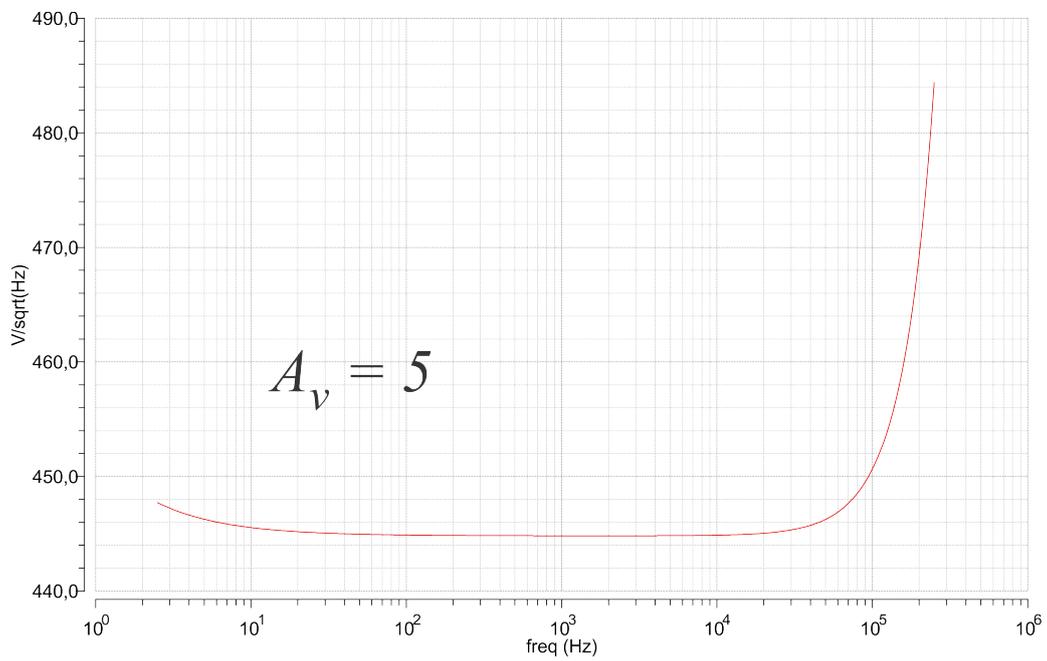


(c)

Figura 4.10: Densidade espectral de potência do ruído referenciado à entrada: b) $A_v = 2$;
c) $A_v = 3$;

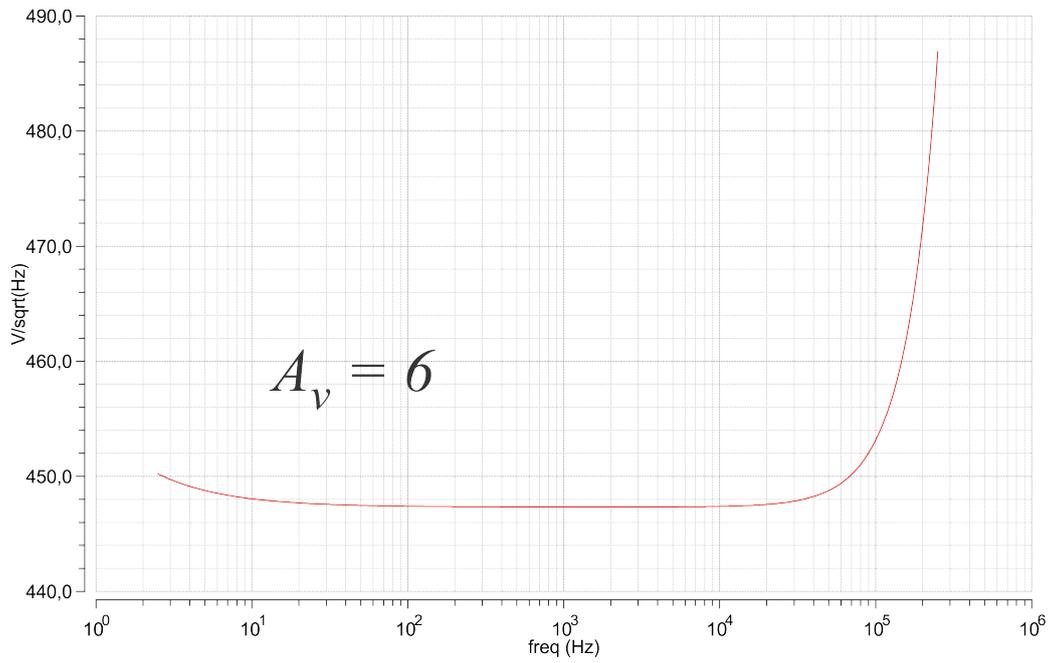


(d)

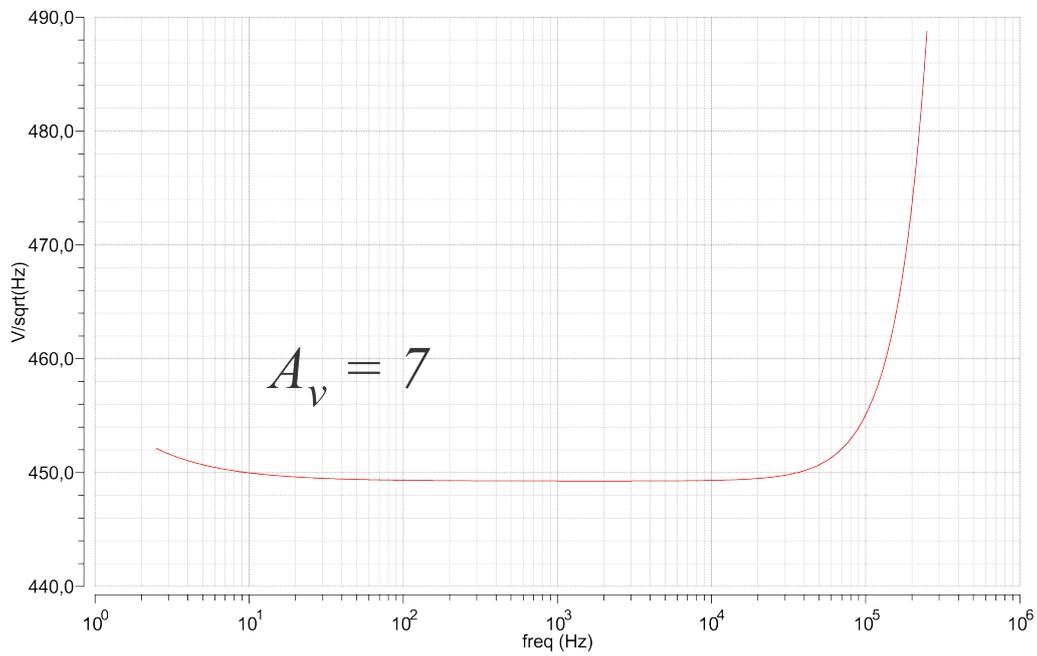


(e)

Figura 4.10: Densidade espectral de potência do ruído referenciado à entrada: d) $A_v = 4$;
e) $A_v = 5$;



(f)



(g)

Figura 4.10: Densidade espectral de potência do ruído referenciado à entrada: a) $A_v = 1$; b) $A_v = 2$; c) $A_v = 3$; d) $A_v = 4$; e) $A_v = 5$; f) $A_v = 6$; g) $A_v = 7$.

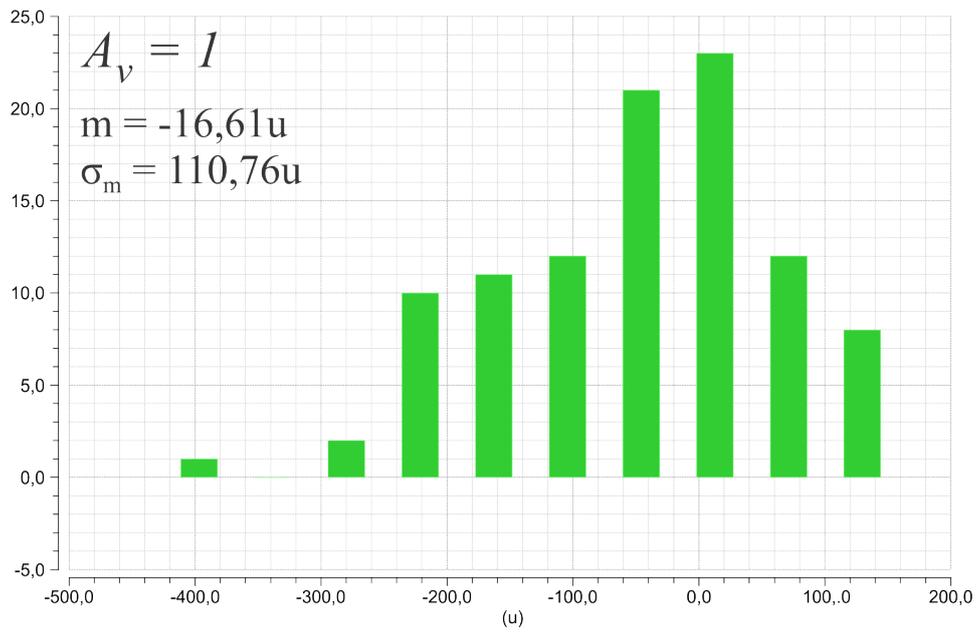
Tabela 4.6: Tensão RMS do ruído na faixa de 10 a 3kHz.

Ganho	Valor RMS do Ruído
1	29,5 μ V
2	23,7 μ V
3	23,9 μ V
4	24,2 μ V
5	24,3 μ V
6	24,5 μ V
7	24,6 μ V

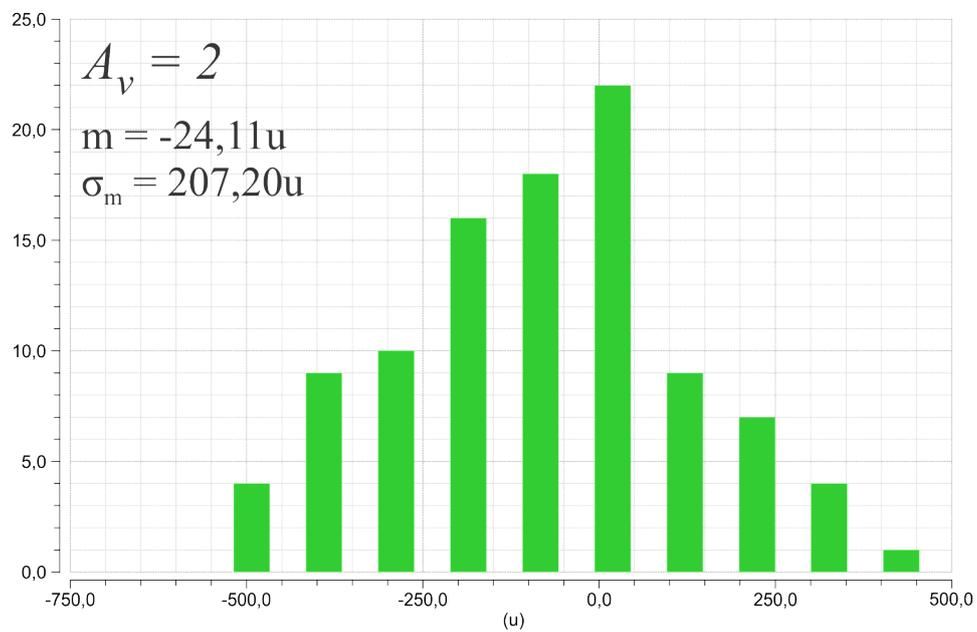
4.8 Simulações de Monte Carlo para o Descasamento

Com o objetivo de observar o comportamento do circuito na presença de erros aleatórios, foram realizadas algumas simulações do tipo Monte Carlo no circuito do PGA. Nestas simulações, são introduzidos erros aleatórios que seguem as estatísticas associadas à tecnologia utilizada. Esses erros podem se manifestar de duas maneiras: descasamento entre os componentes e variação dos parâmetros do processo de fabricação.

Nos gráficos mostrados nas Figuras 4.11 (a)-(g), podem-se verificar os resultados de 100 rodadas da análise de Monte Carlo de descasamento no PGA para uma análise no domínio do tempo considerando tensão de entrada igual a 0.

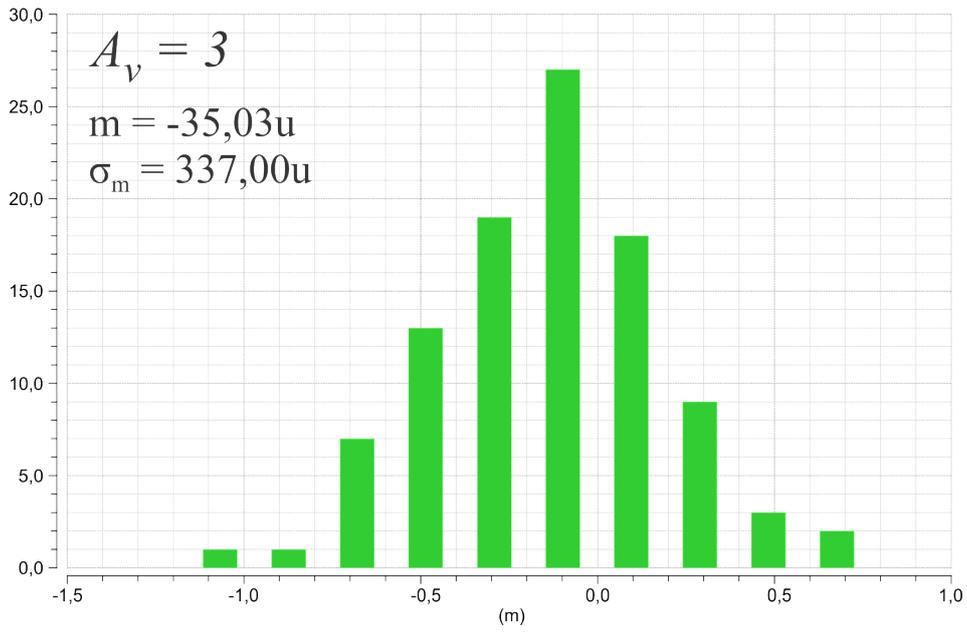


(a)

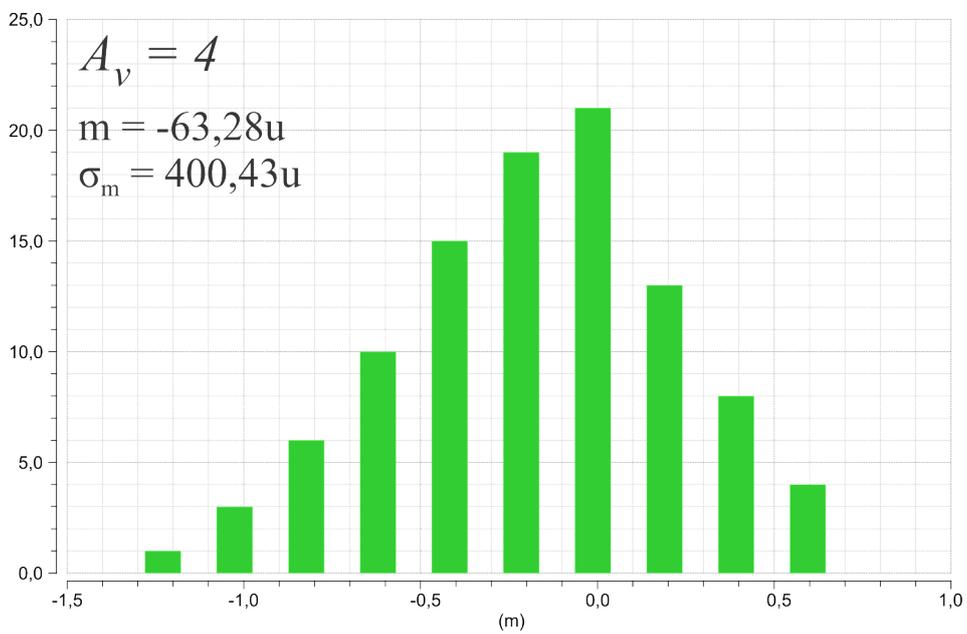


(b)

Figura 4.11: Histograma da tensão de *offset* de saída: a) $A_V = 1$; b) $A_V = 2$;

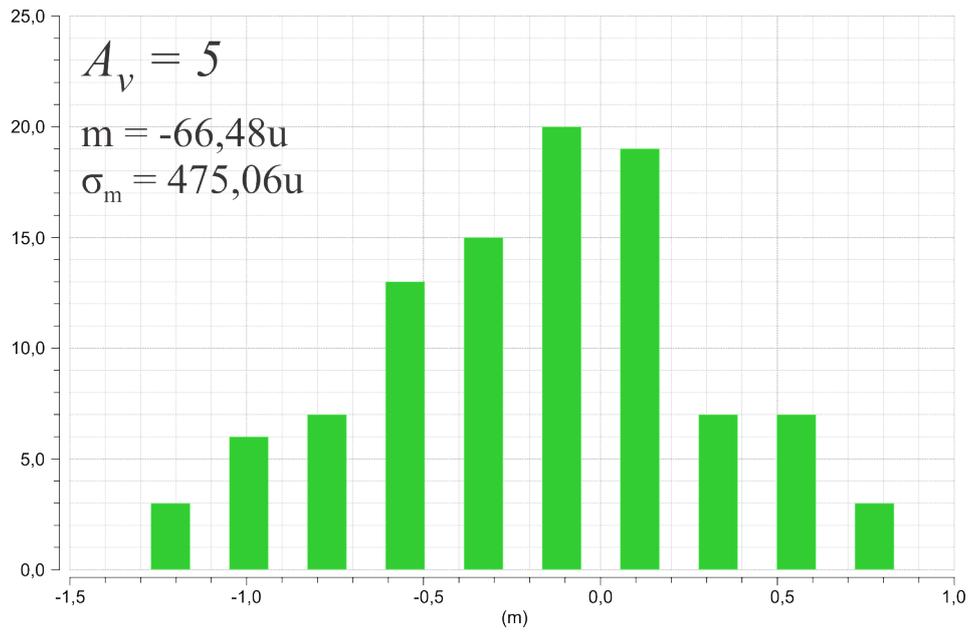


(c)

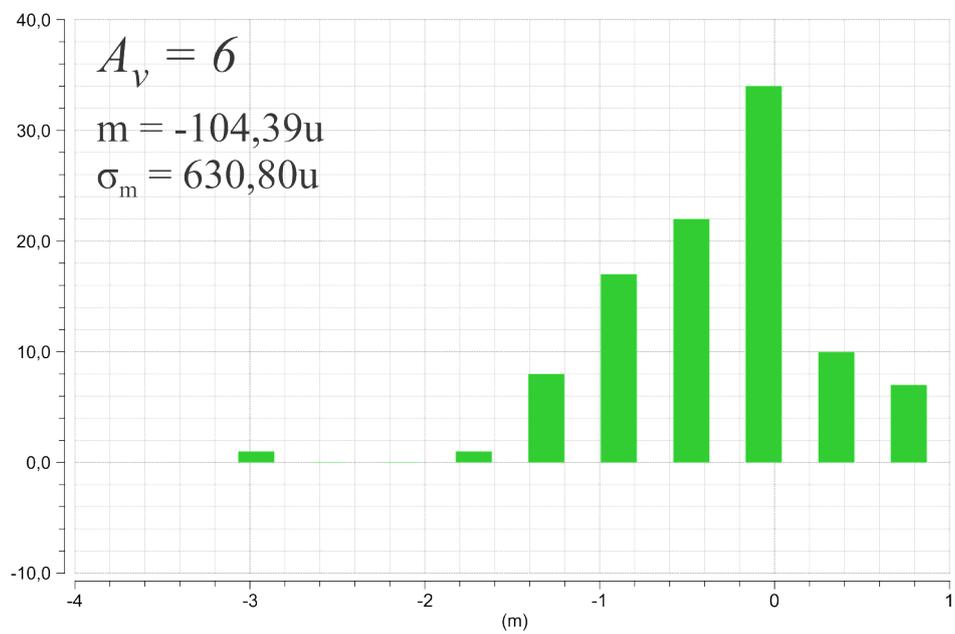


(d)

Figura 4.11: Histograma da tensão de *offset* de saída: c) $A_V = 3$; d) $A_V = 4$;

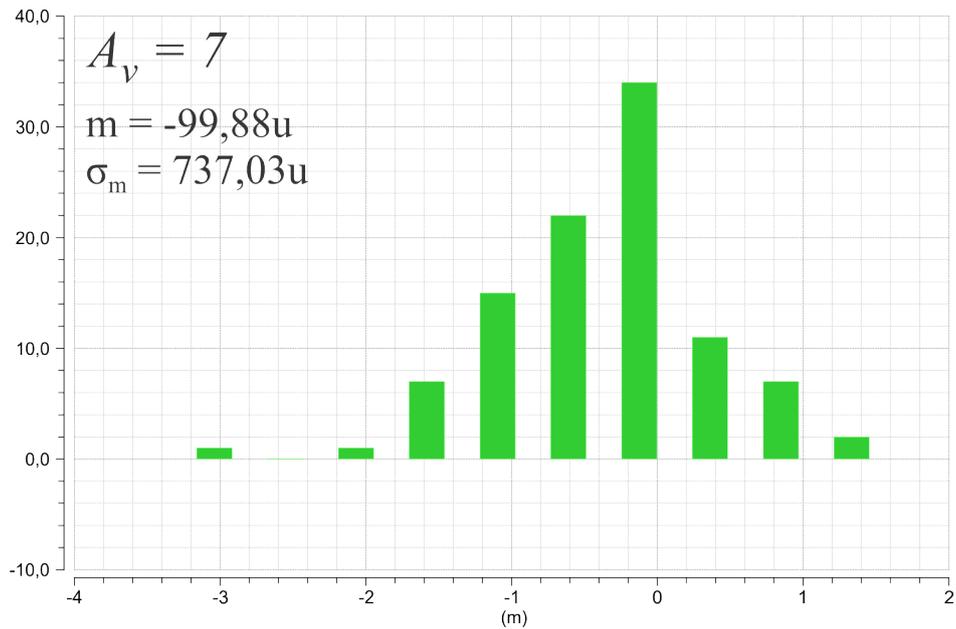


(e)



(f)

Figura 4.11: Histograma da tensão de *offset* de saída: e) $A_v = 5$; f) $A_v = 6$;



(g)

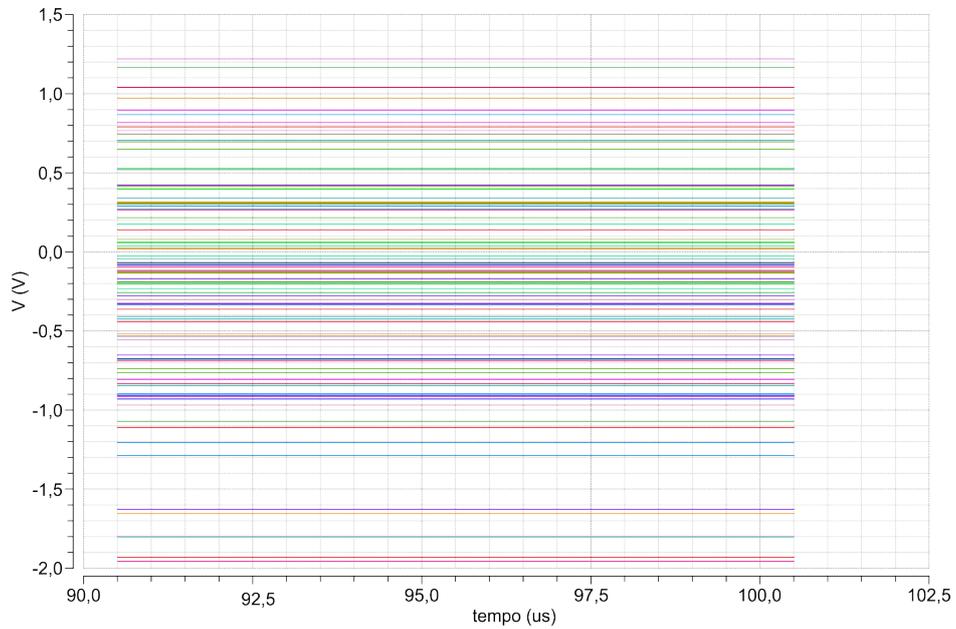
Figura 4.11: Histograma da tensão de *offset* de saída: a) $A_V = 1$; b) $A_V = 2$; c) $A_V = 3$; d) $A_V = 4$; e) $A_V = 5$; f) $A_V = 6$; g) $A_V = 7$.

A Tabela 4.7 apresenta as estatísticas da média m e do desvio padrão σ_m do *offset* de saída referenciado na entrada, ou seja, dividido pelo respectivo ganho de tensão.

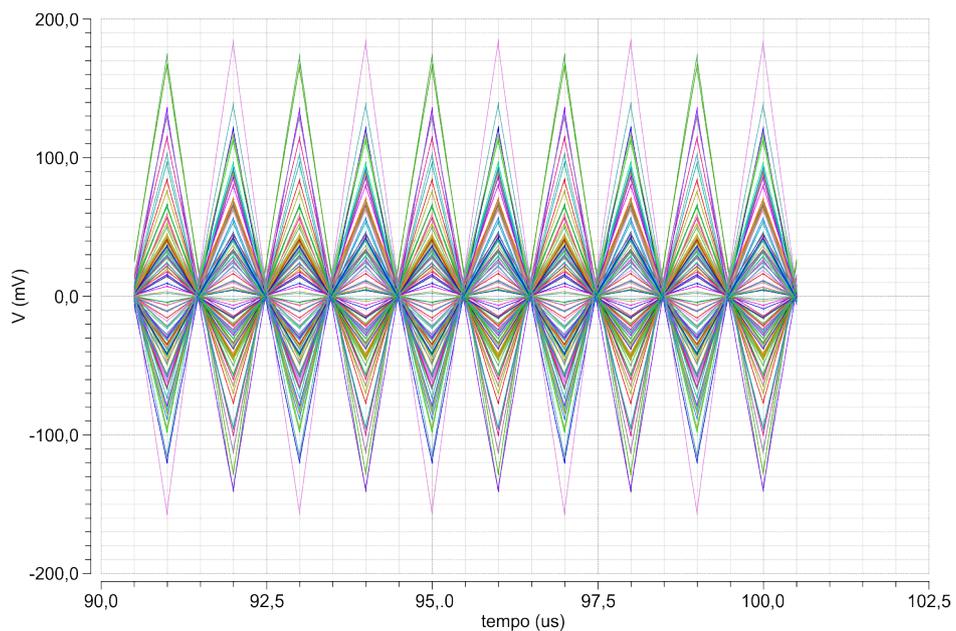
Tabela 4.7: Estatística da média m e do desvio padrão σ_m do *offset* referenciado na entrada

Ganho	Média (m)	Desvio Padrão (σ_m)
1	-16,61 μ	110,76 μ
2	-12,06 μ	103,60 μ
3	-11,68 μ	112,33 μ
4	-15,82 μ	100,11 μ
5	-13,30 μ	95,01 μ
6	-17,40 μ	105,13 μ
7	-14,27 μ	105,29 μ

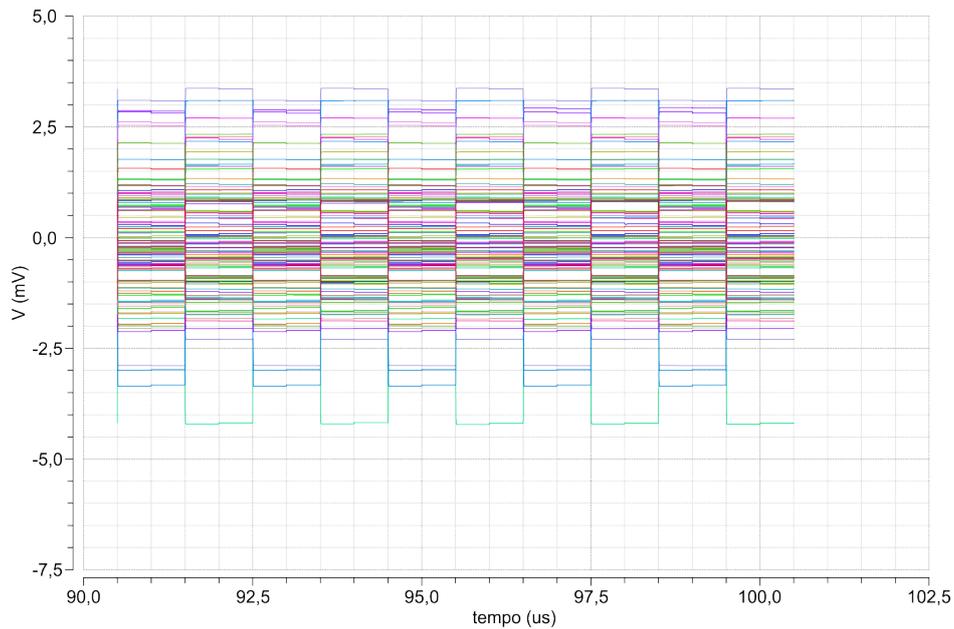
Para fins comparativos, também foram realizadas simulações do tipo Monte Carlo no circuito do PGA nas seguintes configurações: sem *chopper* e sem filtro *notch*; com *chopper* e sem filtro *notch*; com *chopper* e com filtro *notch*. As Figuras 4.12 (a)-(c) apresentam o *offset* de saída resultante em cada configuração considerando $A_V = 7$.



(a)



(b)



(c)

Figura 4.12: *Offset* de saída nos circuitos: (a) sem *chopper* e sem filtro *notch* (b) com *chopper* e sem filtro *notch* (c) com *chopper* e com filtro *notch*

Na Figura 4.12 (b) é possível observar o *ripple* gerado pelo chaveamento do *chopper*, enquanto a Figura 4.12 (c) mostra o *offset* de saída após a atuação do filtro *notch*. Destas simulações também é possível obter a estatística da média m e do desvio padrão σ_m para essas configurações, os quais estão listados na Tabela 4.8.

Nota-se claramente a redução da média e do desvio padrão do *offset* com adoção do *chopper*. Um detalhe a ser observado é que o filtro *notch*, apesar de reduzir significativamente o *ripple*, também aumenta um pouco a média e o desvio padrão. Isto é esperado, e a causa é a injeção de cargas das chaves analógicas.

Tabela 4.8: Estatística da média m e do desvio padrão σ_m do PGA para $A_V = 7$

PGA	Média (m)	Desvio Padrão (σ_m)
Sem <i>chopper</i> , sem filtro <i>notch</i>	-173,37 mV	703,92 mV
Com <i>chopper</i> e sem filtro <i>notch</i>	-7,07 μ V	161,87 μ V
Com <i>chopper</i> e com filtro <i>notch</i>	-99,88 μ V	737,03 μ V

4.9 Circuito de Controle da Tensão de Modo Comum na Saída

Como todo amplificador totalmente diferencial, o PGA necessita de um circuito que fixe a tensão de modo comum na saída. Basicamente estes circuitos, comumente chamados de CMFB (*common mode feedback*), detectam a tensão de modo comum, separando-a do modo diferencial e comparando com uma tensão de referência, que é o valor do modo comum desejado na saída. O resultado desta comparação é realimentado no PGA de forma a corrigir a tensão de modo comum na saída. O circuito de CMFB adotado neste projeto é baseado em numa configuração proposta em [23], e encontra-se na Figura 4.13. Seu funcionamento baseia-se na capacidade dos pares diferenciais A e B de detectar a tensão de modo comum na saída. Isto é possível devido à simetria estabelecida pelos pares A e B. Note que, devido ao nó formado pelas portas dos MOSFETs M_A e M_B , a tensão diferencial no par A é sempre igual à do par B, e vale $v_{0P}/2$ (que é igual a $-v_{0N}/2$). Isto só é possível se a tensão no nó das portas for V_{cm} . Daí o circuito ser um detector de modo comum. A tensão V_{cm} é então levada ao amplificador diferencial C, que a compara com V_{REF} e produz uma corrente de erro i_x , e é espelhada para os transistores PMOS do CASCODE do PGA, Figura 3.8, que atua diretamente na tensão de modo comum de saída. Desta forma, a malha de realimentação negativa é formada, e o modo comum de saída estabelecido muito próximo de V_{REF} .

As dimensões dos transistores M_A e M_B são determinadas em função da excursão máxima da tensão diferencial, e dadas pela Equação (4.1). Os demais transistores possuem dimensões equivalentes aos do PGA, com W proporcional à corrente de polarização. Por exemplo, os transistores com corrente de polarização de $1\mu A$ possuem metade do W dos transistores com corrente de $2\mu A$. No projeto deste CMFB, foram adotados $V_{d_{max}} = 1V$ e $I_B = 1\mu A$, o que nos fornece $W = 1,4\mu m$ e $L = 5\mu m$ para M_A e M_B . A Tabela 4.9 resume as dimensões dos transistores e as tensões de polarização do circuito.

$$\frac{W}{L} = \frac{16\alpha I_B}{k_p V_{d_{max}}} \quad (4.1)$$

Tabela 4.9: Dimensões dos transistores do CMFB e tensões de polarização.

Elemento	W	L
M_A	$1,4\mu\text{m}$	$5\mu\text{m}$
M_B	$1,4\mu\text{m}$	$5\mu\text{m}$
M_P	$3,5\mu\text{m}$	$1\mu\text{m}$
M_N	$1\mu\text{m}$	$1\mu\text{m}$
V_{B1}	$1,9\text{V}$	
V_{B2}	$0,8\text{V}$	
V_{REF}	$1,25\text{V}$	

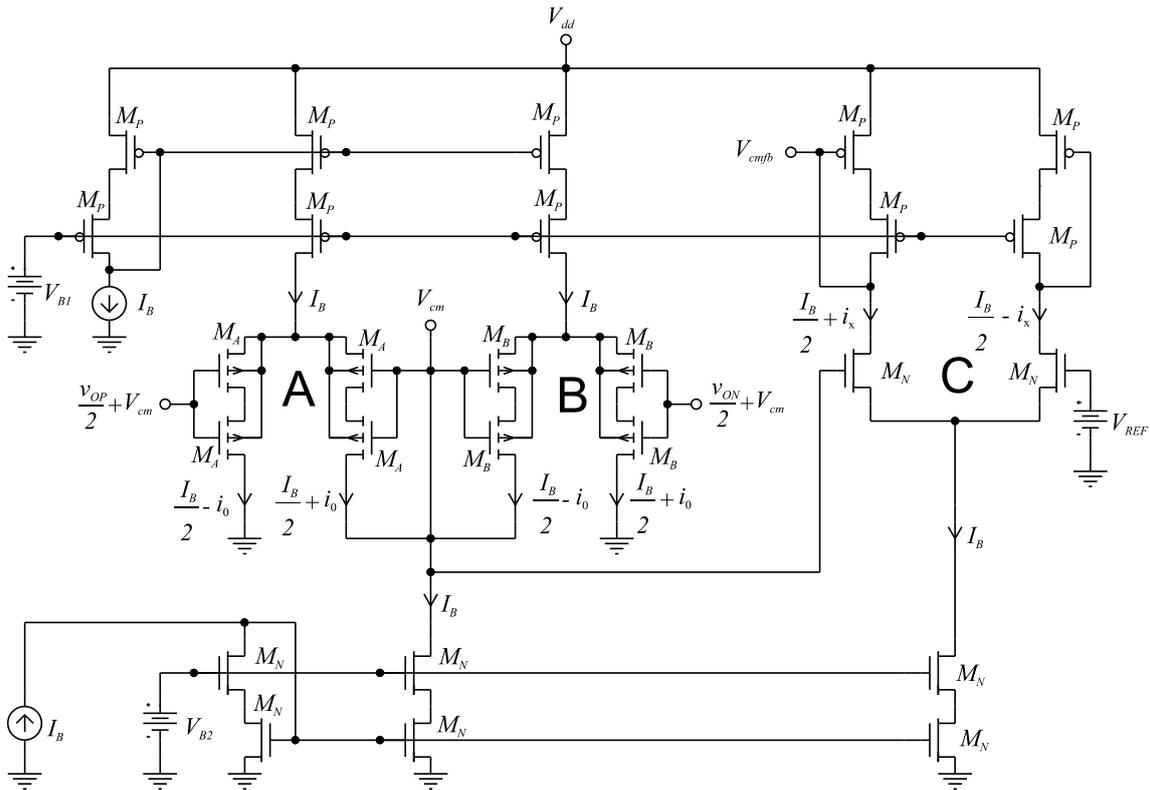
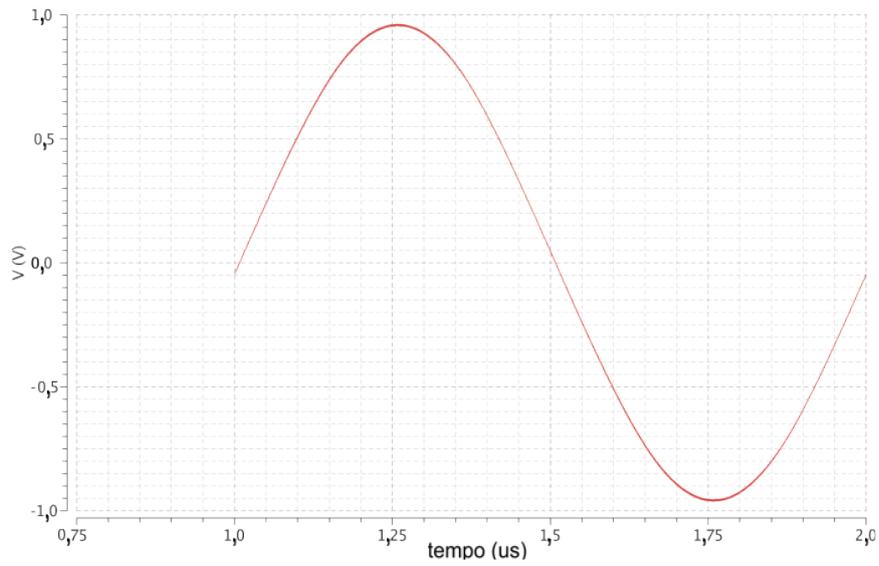


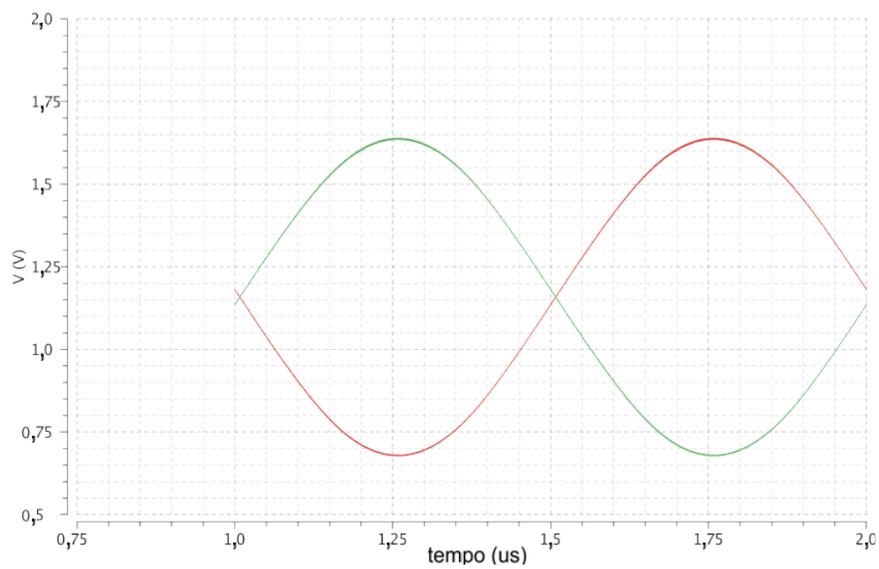
Figura 4.13: Circuito de controle de tensão de modo comum na saída.

Com o objetivo de mostrar o funcionamento do CMFB, uma simulação no pior caso, ganho igual a 7 e tensão diferencial máxima de saída igual a 1V, foi realizada, e os resultados estão nas Figuras 4.14 (a)-(b). Em (a), tem-se a tensão de saída diferencial, onde não se observa alteração em relação às simulações anteriores com o CMFB ideal. Em (b), têm-se duas curvas, cada uma representando as saídas $v_{OP}/2$ e $v_{ON}/2$, onde se observa que as duas ondas evoluem sobrepostas à uma tensão de modo comum igual a

1,15V. Isto mostra que o CMFB foi capaz de estabelecer a tensão de modo comum de saída com um erro de 100mV em relação à tensão de referência V_{REF} .



(a)



(b)

Figura 4.14: Simulação do funcionamento do CMFB: a) tensão diferencial de saída; b) tensões $v_{OP}/2$ e $v_{ON}/2$.

Capítulo 5

Conclusões

5.1 Considerações finais

O objetivo deste trabalho foi o desenvolvimento de um PGA com sete estágios de ganho, com baixo *offset* de saída e baixa distorção harmônica. Visando a eliminação de resistores no circuito, foi desenvolvida uma estrutura que utiliza divisor de corrente com transistores para o controle do ganho dispensando o uso de resistores. Os fundamentos teóricos foram apresentados, como também o procedimento de projeto. Além disso, foi implementado um mecanismo de cancelamento de tensão de *offset*, utilizando *choppers* e filtro *notch*, para minimizar os efeitos indesejáveis do descasamento dos transistores devido às variações dos parâmetros de processo.

As simulações de Monte Carlo apresentaram a redução da média de -173 mV para -99,88 μ V, e do desvio padrão do *offset* de 703,92 mV para 737,03 μ V, com adoção do *chopper* e do filtro *notch*. No entanto, foi observada uma ligeira redução de ganho, de aproximadamente 5,6%, devida ao processo de chaveamento do *chopper*. Uma pequena tensão de *ripple*, menor que 2,5 mV, é observada na saída do PGA, mas consideravelmente menor que a obtida sem a utilização do filtro *notch*, que encontra-se na faixa de 150 mV.

Apesar da complexidade do corretor de *offset* e das não linearidades dos dispositivos semicondutores, tipicamente a relação quadrática entre corrente e tensão no MOSFET, a THD se manteve baixa, não excedendo 1%. Isto é uma realização significativa, pois valores baixos de THD normalmente são obtidos através de elementos lineares, como resistores, controlando a realimentação de amplificadores.

É importante ressaltar que, o modelo para os transistores CMOS, utilizados no desenvolvimento teórico, são de baixa complexidade, não exprimindo o real funcionamento do transistor. Entretanto, os modelos de simulação são de extrema complexidade e elevada fidedignidade, levando em consideração efeitos de segunda

ordem, o que explica parte dos desvios observados entre os resultados de simulações e os teóricos.

A estrutura proposta, com a implementação do divisor de corrente diretamente no estágio de saída em cascode dobrado, é inédita na literatura, representando uma contribuição à área de projeto de circuitos integrados analógicos e de precisão.

5.2 Trabalhos futuros

Projeto do *layout*, e fabricação do circuito integrado. Esta fase permitirá que testes em bancada sejam realizados para verificar, na prática, o comportamento e o funcionamento do PGA.

Referências

- [1] MORAES, G. DOS S. DE. **Amplificador de ganho programável integrado para aplicação em medidores de energia elétrica inteligentes**. M.Sc., Rio de Janeiro, Brasil, COPPE/UFRJ, 2012.
- [2] INMETRO. **Portaria nº 587, de 05 de novembro de 2012**, 2012. Disponível em: <<http://www.inmetro.gov.br/legislacao/rtac/pdf/RTAC001929.pdf>>. Acesso em: 7 fev. 2014
- [3] MONSURRO, P. et al. "Linearization Technique for Source-Degenerated CMOS Differential Transconductors". **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 54, n. 10, p. 848–852, Out. 2007.
- [4] LEWINSKI, A.; SILVA-MARTINEZ, J. "A High-Frequency Transconductor Using a Robust Nonlinearity Cancellation". **IEEE Transactions on Circuits and Systems II: Express Briefs**, v. 53, n. 9, p. 896–900, Set. 2006.
- [4] GARIMELL, S. R. S. **Highly Linear Wide Dynamic Swing CMOS Transconductance Multiplier Using Source-Degeneration V-I Converters** 21st International Conference on VLSI Design IEEE, 2008.
- [5] CALVO, B. et al. **1.8 V-100 MHz CMOS programmable gain amplifier** Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on, 2006.
- [6] CHENG-CHUNG HSU; JIEH-TSORNG WU. "A highly linear 125MHz cmos switched-resistor programmable-gain amplifier". **IEEE Journal of Solid-State Circuits**, v. 38, n. 10, p. 1663–1670, Out. 2003.
- [7] HSU, C.-C.; WU, J.-T. **A 125 MHz - 86dB IM3 programmable-gain amplifier** VLSI Circuits Digest of Technical Papers, 2002. Symposium on, 2002.
- [8] TERESA SANZ, M.; CELMA, S.; CALVO, B. **Programmable Gain Amplifiers based on High-Linearity MOS Current Dividers** Electronics, Circuits and Systems, 2006. ICECS'06. 13th IEEE International Conference on, 2006.
- [10] ENZ, C. C.; VITTOZ, E. A. **Charge-Based MOS Transistor Modeling: The EKV Model for Low-Power and RF IC Design**. 1. ed. [s.l.] John Wiley & Sons, Ttd., 2006.
- [11] TSIVIDIS, Y.; CZARNUL, Z.; FANG, S. C. "MOS transconductors and integrators with high linearity". **Electronics Letters**, v. 22, n. 5, p. 245–246, 1986.

- [10] CALVO, B.; CELMA, S.; SANZ, M. T. **A high-linear 160-MHz CMOS PGA [programmable gain amplifier]** Solid-State Circuits Conference, 2004. ESSCIRC 2004. Proceeding of the 30th European. 2004.
- [13] KRUMMENACHER, F.; JOEHL, N. "A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning". **Solid-State Circuits, IEEE Journal of**, v. 23, n. 3, p. 750–758, 1988.
- [14] BAKKER, A.; THIELE, K.; HUIJSING, J. H. "A CMOS nested-chopper instrumentation amplifier with 100-nV offset". **Solid-State Circuits, IEEE Journal of**, v. 35, n. 12, p. 1877–1883, 2000.
- [15] ENZ, C. C.; VITTOZ, E. A.; KRUMMENACHER, F. "A CMOS chopper amplifier". **Solid-State Circuits, IEEE Journal of**, v. 22, n. 3, p. 335–342, 1987.
- [16] ENZ, C. C.; TEMES, G. C. "Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization". **Proceedings of the IEEE**, v. 84, n. 11, p. 1584–1614, 1996.
- [17] VITTOZ, E. A. Dynamic Analog Techniques. In: **Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing**. 2. ed. Englewood Cliffs, N.J.: Prentice Hall, 1994.
- [18] EICHENBERGER, C.; GUGGENBUHL, W. "On charge injection in analog MOS switches and dummy switch compensation techniques". **Circuits and Systems, IEEE Transactions on**, v. 37, n. 2, p. 256–264, 1990.
- [17] BAKKER, A.; HUIJSING, J. H. **A CMOS chopper opamp with integrated low-pass filter** Solid-State Circuits Conference, 1997. ESSCIRC'97. Proceedings of the 23rd European, 1997.
- [20] KUSUDA, Y. "Auto Correction Feedback for Ripple Suppression in a Chopper Amplifier". **IEEE Journal of Solid-State Circuits**, v. 45, n. 8, p. 1436–1445, Ago. 2010.
- [19] GEUSA, F.; AGNES, A.; MALOBERTI, F. **Use of chopper-notch modulator in chopper amplifiers for replica images cancellation** 15th IEEE International Conference on Electronics, Circuits and Systems, 2008. ICECS 2008.
- [22] BURT, R.; ZHANG, J. "A Micropower Chopper-Stabilized Operational Amplifier using a SC Notch Filter with Synchronous Integration inside the Continuous- Time Signal Path". **IEEE Journal of Solid-State Circuits**, v. 41, n. 12, p. 2729–2736, Dez. 2006.
- [23] MALOBERTI, F. **Analog Design for CMOS VLSI Systems**. [s.l.] Springer, 2002.