



REFERÊNCIA DE TENSÃO EM PROCESSO CMOS PADRÃO COM
COMPENSAÇÃO MÚTUA DE TRANSISTORES NMOS EM DIFERENTES
NÍVEIS DE INVERSÃO

Luis Fabián Olivera Mederos

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Antonio Petraglia

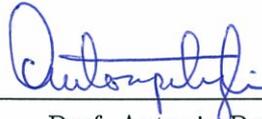
Rio de Janeiro
Setembro de 2013

REFERÊNCIA DE TENSÃO EM PROCESSO CMOS PADRÃO COM
COMPENSAÇÃO MÚTUA DE TRANSISTORES NMOS EM DIFERENTES
NÍVEIS DE INVERSÃO

Luis Fabián Olivera Mederos

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO
ALBERTO LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE
ENGENHARIA (COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE
JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A
OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA
ELÉTRICA.

Examinada por:



Prof. Antonio Petraglia, Ph.D.



Prof. Antonio Carneiro de Mesquita Filho, Dr.d'État



Prof. Carlos Julio Tierra Criollo, D.Sc.

RIO DE JANEIRO, RJ – BRASIL
SETEMBRO DE 2013

Mederos, Luis Fabián Olivera

Referência de tensão em processo CMOS padrão com compensação mútua de transistores NMOS em diferentes níveis de inversão/Luis Fabián Olivera Mederos. – Rio de Janeiro: UFRJ/COPPE, 2013.

XX, 82 p.: il.; 29, 7cm.

Orientador: Antonio Petraglia

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2013.

Referências Bibliográficas: p. 79 – 82.

1. Voltage-Reference. 2. Multi-Threshold. 3. Mutual-Compensation. 4. High Order Temperature Compensation. I. Petraglia, Antonio. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

Dedico esta dissertação:
A la memoria de mi padre, que
siempre me da fuerzas para
superarme;
A mi Madre y a mi Abuela que a
pesar de las dificultades causadas
por la distancia siempre me dan
apoyo para seguir;
A minha namorada Ana, pelo
amor, carinho e amizade que tem
me proporcionado neste tempo.

Agradecimentos

Agradeço ao meu orientador, o professor Antonio Petraglia pelo aprendizado e a sua constante disposição que possibilitou o desenvolvimento deste trabalho.

A los profesores Fernando Silveira y Pablo Aguirre por los conocimientos transmitidos en mi formación y la posibilidad de haber trabajado en el grupo de microelectrónica de la Universidad de la República. Etapa que hice varios amigos y compañeros: G. Fierro, P. Castro, L. Steinfeld, N. Barabino, Rafaella, C. Rossi, Julián, Linder, Laura.

Ao aprendizado transmitido pelos professores do mestrado: A. Mesquita, A. Moreirão, Mariane Petraglia, A. Baruqui.

Aos colegas e amigos do laboratório PADS da Universidade Federal de Rio de Janeiro pelo agradável ambiente de trabalho, que contribuíram direta ou indiretamente neste trabalho: Thiago, Fernanda, Jorge, Genildo, Oscar, Allan, Motta, Pedro, Edmundo, João.

A mi madre Gabriela y mis abuelas Cacha e Irma, que gracias a las largas conversaciones diarias mediante Skype, me transmiten el apoyo y preocupación necesaria para mantenerme motivado y con un propósito en la vida; a Julio, Javier y Jhona por ser parte de la familia y cuidar de mi madre y mis abuelas; a mi madrina Lidia; y mis tios Eduardo y Mariela; y a mis primos Federico y Guillermo.

A los grandes amigos de la República Oriental del Uruguay que con la ayuda de la tecnología siempre están presentes a pesar de la distancia, para proporcionar aquellos momentos de desestrés y desahogo que uno precisa para continuar enfocado: Javier Osinaga, Juan, Rodrigo, Javier Silveira, Sebastian Estefania, Fernando, Agustin, Ari, Paty, Michel, Maicol.

Ao meu amigo Rafael Amado, que foi muito importante na decisão de morar nesta cidade, e pela sua ajuda proporcionada no começo desta nova etapa.

À gigante família Italiano, que sempre proporcionou carinho e apoio, além de me fazer sentir parte da mesma.

E por último, à pessoa que compartilhou as mesmas experiências e dificuldades desde o começo desta nova etapa, sendo muito importante na minha motivação, minha namorada Ana Italiano.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

REFERÊNCIA DE TENSÃO EM PROCESSO CMOS PADRÃO COM
COMPENSAÇÃO MÚTUA DE TRANSISTORES NMOS EM DIFERENTES
NÍVEIS DE INVERSÃO

Luis Fabián Olivera Mederos

Setembro/2013

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

Este trabalho apresenta o projeto, a caracterização e a verificação por simulações após leiaute de um circuito integrado de referência de tensão independente da temperatura absoluta em processo CMOS padrão de 180nm.

Para alcançar uma compensação de ordem elevada na dependência com a temperatura, foi proposta uma técnica baseada na compensação mútua de dois transistores NMOS através das características multi-limiares dos diferentes níveis de inversão. Uma metodologia de projeto foi desenvolvida de forma de otimizar a performance da referência de tensão, baseada no modelamento do circuito na faixa -40°C até 100°C . Para analisar o desempenho da topologia proposta, foi implementada uma ferramenta de software que permite projetar o circuito, controlando as principais características das referências de tensão, tais como, o coeficiente de temperatura, o consumo de energia, o descasamento com processo de fabricação, a área dos transistores e o ruído.

Os resultados de simulação do circuito integrado mostram que a saída de tensão é $500\text{mV} \pm 2,22\text{mV}$ (3σ com trimming) em 40°C , corrente de repouso máxima de $5\mu\text{A}$, alcançando um coeficiente de temperatura nominal de $15,4\text{ppm}/^{\circ}\text{C}$ e $34,97\text{ppm}/^{\circ}\text{C}$ na faixa de -40°C até 100°C , regulação de linha de $1,92\text{mV}/\text{V}$ na faixa de tensão de alimentação de $1,3\text{V}-1,8\text{V}$, PSRR de $-56,95\text{dB}$ até $1,3\text{kHz}$, e densidade espectral de ruído de $0,54\mu\text{V}/\sqrt{\text{Hz}}$. A área total ocupada pelo circuito no silício é $0,3\text{mm} \times 0,2\text{mm}$.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

VOLTAGE REFERENCE IN STANDARD CMOS PROCESS BASED ON
MUTUAL COMPENSATION OF NMOS TRANSISTORS IN DIFFERENT
INVERSION LEVELS

Luis Fabián Olivera Mederos

September/2013

Advisor: Antonio Petraglia

Department: Electrical Engineering

This work presents the design, characterization and verification by post-layout simulations of a voltage reference circuit independent of absolute temperature in standard 180nm CMOS technology.

To achieve a high order compensation in the temperature dependence, a technique was proposed based on mutual compensation of two NMOS transistors with multi-threshold characteristics working at different inversion levels. A design methodology was developed in order to optimize the performance of the voltage reference based on a circuit modeling in the range of -40°C to 100°C . To analyze the performance of the proposed topology, a software tool was implemented to allow the circuit design by controlling the main characteristics of voltage references, such as, the temperature coefficient, power consumption, mismatch caused the manufacturing process, transistor area, and noise.

Simulation results of the proposed voltage reference demonstrate that the output voltage is $500\text{mV} \pm 2.22\text{mV}$ (3σ with trimming) at 40°C , a maximum quiescent current of $5\mu\text{A}$, a nominal temperature coefficient of $15.4\text{ppm}/^{\circ}\text{C}$ and $34.97\text{ppm}/^{\circ}\text{C}$ in the range of -40°C to 100°C , a line regulation of $1.92\text{mV}/\text{V}$ in the range of 1.3V to 1.8V supply voltage, a PSRR of -56.95dB up to 1.3kHz , and noise spectral density of $0.54\mu\text{V}/\sqrt{\text{Hz}}$. The circuit active area is $0.3\text{mm} \times 0.12\text{mm}$.

Sumário

Lista de Figuras	xi
Lista de Tabelas	xvi
Lista de Símbolos	xviii
Lista de Abreviaturas	xx
1 Introdução	1
1.1 Motivação	2
1.2 Solução Proposta	3
1.3 Metodologia	4
1.4 Estrutura da Dissertação	5
2 Referência de Tensão	7
2.1 Alternativas de Compensação de Ordem Elevada	7
2.1.1 Subtração de Comportamentos com Dependências de Temperatura Similares	8
2.1.2 Soma de Comportamentos com Dependência de Temperatura Invertida	8
2.1.3 Compensação Mútua Multi-Limiar	9
2.1.3.1 Subtração entre Transistores NMOS com diferentes V_{Ton}	9
2.1.3.2 Subtração entre Transistores NMOS e PMOS Através da Diferença entre V_{Ton} e V_{Top}	9
2.1.4 Resumo	9
2.2 Nível de Inversão como Variável de Projeto	10
2.3 Compensação Mútua Proposta	14
2.4 Análise do Descasamento	18
2.5 Circuito de Calibração	20
2.5.1 Circuito de <i>Trimming</i> Proposto	20
2.5.2 Projeto das Chaves MOS	20

3	Circuitos Geradores CTAT	23
3.1	Arquitetura Proposta	23
3.2	Estabilidade dos Geradores	23
3.3	Análise de Ruído	26
3.3.1	Ruído da Referência de Tensão	27
3.3.1.1	Ruido Branco	27
3.3.1.2	Ruido Flicker	28
3.3.1.3	Ruido Total	29
3.4	Controle do Descasamento	30
3.4.1	Alguns Blocos Necessários	30
3.4.1.1	Espelhos de Corrente	30
3.4.1.2	Extrator V_T	31
3.4.1.3	Resistências	32
3.4.2	Circuitos Geradores CTAT	33
4	Metodologia de Projeto	36
4.1	Ferramenta de Projeto	36
4.1.1	Ajuste Manual de Compensação Mútua	36
4.1.2	Heurística de Dimensionamento	37
4.2	Resultados do Projeto	40
5	Leiaute do Circuito	44
5.1	Arranjo de Resistências	44
5.2	Capacitâncias	46
5.3	Espelhos de Corrente	47
5.4	Transistores dos Extratores V_T	50
5.5	Circuito de Calibração	51
5.6	Referência de Tensão	52
6	Resultados de Simulação	54
6.1	Regulação de Linha	54
6.2	Coefficiente de Temperatura	55
6.3	Taxa de Rejeição da Fonte de Alimentação	59
6.4	Corrente de Repouso	59
6.5	Ruído na Saída	60
6.6	Funcionamento do Circuito de Calibração	66
6.7	Teste de Arranque	67
6.8	Comparação com a Literatura	70

7	Conclusões e Trabalhos Futuros	71
7.1	Contribuições	72
7.2	Trabalhos Futuros	72
A	Expressões para Descasamento de Transistores	73
B	Produto de Variáveis Aleatorias Gaussianas não Correlacionadas	75
C	Modelo Compacto para Transistores MOS na Faixa de -40°C até 100°C	76
	Referências Bibliográficas	79

Lista de Figuras

1.1	Diagrama explicativo da topologia CTAT+PTAT.	1
1.2	Diagrama explicativo da topologia CTAT-CTAT.	2
1.3	Topologia CTAT-CTAT proposta.	4
1.4	Fluxograma da metodologia de desenvolvimento do trabalho.	5
2.1	Topologia utilizada para gerar uma corrente CTAT, extraíndo o comportamento da tensão de porta (V_G) do diodo NMOS.	10
2.2	Esboço representativo da solução V-I do extrator.	11
2.3	Comportamento da tensão limiar V_{Ton} do transistor NMOS com o processo 180nm utilizado.	12
2.4	Comportamento da função F do modelo ACM, que só depende do nível de inversão.	13
2.5	Resultado obtido através da modelagem do comportamento do circuito da Fig.2.1 em função da temperatura para diferentes níveis de inversão (calculados em $T_o=40^\circ\text{C}$) do transistor M_n , com $R = 500k\Omega$ e $N = 4$	13
2.6	Descrição do procedimento utilizado para compensação mútua com dois transistores NMOS funcionando em diferentes níveis de inversão.	15
2.7	Arquitetura a nível de blocos da referência de tensão proposta.	16
2.8	Comportamento das tensões $V_{G1}(T)$ e $V_{G2}(T)$ em função da temperatura.	16
2.9	Resultado da modelagem das correntes de saída dos geradores caso $i_{f1} = 0.23$ e o $i_{f2} = 6.01$, com $R_1 = R_2 = R_3 = 500k\Omega$, $N_1 = N_2 = 4$, $\alpha_1 = 4.41$ e $\alpha_2 = 8$. No gráfico (a) pode-se ver o resultado das correntes e no (b) as suas derivadas correspondentes.	17
2.10	Resultado da modelagem da tensão de saída (V_{IOAT}) caso $i_{f1} = 0.23$ e o $i_{f2} = 6.01$, com $R_1 = R_2 = R_3 = 500k\Omega$, $N_1 = N_2 = 4$, $\alpha_1 = 4.41$ e $\alpha_2 = 8$	18
2.11	Topologia implementada para calibrar as variações do processo após fabricação do chip (conhecido na literatura como <i>Trimming</i>).	21

2.12	Modelagem do comportamento da condutividade da chave NMOS no processo 180nm em função da tensão na entrada. Com tensão de porta em 1.8V, $W=3\mu\text{m}$ e $L=0.18\mu\text{m}$	22
2.13	Resultado de simulação da resistência da chave MOS em função da largura do transistor (W) quando a tensão de entrada é 10mV. Com tensão de porta em 1.8V e $L=0.18\mu\text{m}$	22
3.1	Arquitetura proposta para o circuito gerador CTAT.	24
3.2	Arquitetura completa da referência de tensão independente com a temperatura absoluta.	25
3.3	Representação em pequeno sinal dos circuitos geradores de corrente CTAT.	26
3.4	Modelo aproximado de primeira ordem da representação em pequeno sinal dos circuitos geradores de corrente CTAT.	26
3.5	Circuito aproximado para cálculo de ruído branco, onde se mostram as fontes dominantes do ruído.	28
3.6	Circuito de espelho de corrente com ganho K/M	30
3.7	Circuito do extrator V_T simplificado para cálculo de descasamento.	32
3.8	Circuito simplificado do gerador CTAT 1 que mostra os principais fatores de descasamento.	34
3.9	Circuito simplificado do gerador CTAT 2 que mostra os principais fatores de descasamento.	35
4.1	Interface gráfica para o projeto da referência de tensão implementada em Matlab.	37
4.2	Dinâmica de projeto da referência de tensão independente da temperatura absoluta.	38
4.3	Diagrama do funcionamento da rotina heurística de dimensionamento.	39
4.4	Relação entre a variável g_m/I_D e o Nível de Inversão (i_f) para o processo CMOS 180nm em 40°C.	40
4.5	Curvas da minimização heurística da área (em mm^2 no gráfico) com a variável de projeto g_m/I_D . Em (a) e (b) podem ser observadas as minimizações da área para os circuitos CTAT 1 e CTAT 2, respectivamente.	42
4.6	Comparações dos descasamentos para diferentes referências de tensão projetadas com a rotina heurística. As referências projetadas e simuladas são as que têm a mesma área no gráfico.	43
5.1	Leiaute do resistor unitário de $10k\Omega$, conformado com quatro resistências em serie de $2.5k\Omega$	45

5.2	Leiaute do arranjo de resistências detalhado com as técnicas utilizadas para cada resistência. Em (a) e (b) podem ser vistas as técnicas de centróide comum e interdigitação dos resistores R_1 e R_2 , respectivamente. Em (c) pode ser vista a distribuição da resistência R_3 , e em (d) as resistências <i>dummies</i>	46
5.3	Circuito esquemático (a) e simulação (b) de um transistor NMOS de $W=25\mu m$ e $L=25\mu m$ utilizado como capacitor.	47
5.4	Leiaute das capacitâncias implementadas com transistores MOS.	47
5.5	Leiautes dos espelhos NMOS do gerador CTAT 1. Em (a) pode ser visto o leiaute de $M_{2,1}$ e em (b) o de M_5	48
5.6	Leiaute do espelho NMOS do gerador CTAT 2.	48
5.7	Leiaute do espelho PMOS do gerador CTAT 1, onde podem ser vistos os transistores $M_{3,1}$: $M_{3a,1}(8)$, $M_{3b,1}(2)$, $M_{3c,1}(2)$, $M_{3d,1}(2)$ e $M_{3e,1}(8)$	49
5.8	Leiaute do espelho PMOS do gerador CTAT 2, onde podem ser vistos os transistores $M_{3,2}$: $M_{3a,2}(8)$, $M_{3b,2}(2)$, $M_{3c,2}(2)$, $M_{3d,2}(2)$ e $M_{3e,2}(16)$	49
5.9	Leiaute dos transistores $M_{1,1}$ e $M_{1,2}$ dos geradores CTAT 1 (a) e CTAT 2 (b) respectivamente.	50
5.10	Leiaute do arranjo de resistências em conjunto com o <i>trimming</i>	51
5.11	Leiaute do circuito digital que controla o chaveamento do <i>trimming</i>	51
5.12	Leiaute da referência de tensão.	53
6.1	Forma de onda típica de V_{IOAT} da referência de tensão em relação à tensão de fonte de alimentação (V_{DD}) utilizada para o cálculo da regulação de linha.	55
6.2	Esquemático utilizado para simulação da regulação de linha.	55
6.3	Resultado de simulação nominal da regulação de linha.	56
6.4	Resultados de simulação de Monte Carlo (N=100) da variação do processo e descasamento da varredura DC necessária para cálculo da regulação de linha. Em (a) pode ser vista a tensão V_{IOAT} em função de V_{DD} , e em (b) o histograma do cálculo da regulação de linha.	57
6.5	Forma de onda típica que mostra as definições para cálculo do coeficiente de temperatura (TC).	58
6.6	Esquemático utilizado para simulação do coeficiente de temperatura (TC).	58
6.7	Resultados de simulações nominais da varredura DC de temperatura do circuito esquemático antes e após leiaute em comparação com a predição da modelagem proposta.	60

6.8	Resultados de simulação de Monte Carlo (N=100) só de descasamento necessária para cálculo do TC. Em (a) pode ser visto V_{IOAT} em função da temperatura, em (b) o histograma do TC, e em (c) o histograma de V_{IOAT} em 40°C.	61
6.9	Resultados de simulação de Monte Carlo (N=500) de variação do processo e descasamento necessária para cálculo do TC. Em (a) pode ser visto V_{IOAT} em função da temperatura, em (b) o histograma do TC, e em (c) o histograma de V_{IOAT} em 40°C.	62
6.10	Esquemático utilizado para simulação da taxa de rejeição da fonte de alimentação (PSRR).	63
6.11	Simulação nominal da taxa de rejeição da fonte de alimentação (PSRR) em função da frequência.	63
6.12	Histograma da simulação de Monte Carlo (N=100) de variação de processo e descasamento do $PSRR$ para temperatura fixa em 40°C e frequência 60Hz.	63
6.13	Resultados de simulação de Monte Carlo (N=400) de variação do processo e descasamento da corrente de repouso (I_Q). Em (a) pode ser vista I_Q em função da temperatura, em (b) o histograma da corrente para -40°C (caso de máxima corrente de repouso).	64
6.14	Curvas de densidades espectrais de ruído.	65
6.15	Resultados de simulação de toda a faixa de 64bits do circuito de <i>trimming</i> no caso nominal.	66
6.16	Resultados do cálculo do coeficiente de temperatura (TC) para toda a faixa de 64 bits do <i>trimming</i>	67
6.17	Resultados de calibração em 500mV (em 40°C) para 500 amostras da referência de tensão geradas a partir de simulação de Monte Carlo de variação de processo e descasamento. Em (a) pode ser visto o comportamento em temperatura de cada resultado calibrado, em (b) o histograma do coeficiente de temperatura (TC) para cada amostra, e em (c) o histograma da tensão de referência em 40°C.	68
6.18	Resultados de simulação de Monte Carlo (N=100) de variação do processo e descasamento do teste de arranque. Em (a) pode ser visto o degrau em V_{DD} , e em (b) a resposta da tensão de saída V_{IOAT}	69
A.1	Desvios-padrão de ΔV_G e $\Delta I_D/I_D$ para um transistor da processo 180nm com área fixa variando o nível de inversão.	74

C.1 Resultado da extração do Fator de Ganho K' (a), *Slope Factor* n (b) e Tensão Limiar V_{T_o} (c) do modelo ACM para os transistores NMOS e PMOS do processo 180nm em função da temperatura. A extração foi feita para transistores de $W=5\mu m$ $L=5\mu m$ 78

Lista de Tabelas

2.1	Resumo do desempenho dos trabalhos de compensação de ordens elevada.	10
2.2	Desvio padrão relativo que deve ter cada gerador CTAT em função do $\sigma_{V_{IOAT}}$ desejado para diferentes repartições (a_o). As correntes utilizadas para calcular os desvios padrão são as de $T = 20^\circ C$: $I_{OUT} = 966nA$, $I_{OUT1} = 535nA$ e $I_{OUT2} = 1501nA$	19
2.3	Caraterísticas do circuito de calibração com $R = 10k\Omega$, A 4 bit e B 2 bit.	21
3.1	Dados do fabricante do processo 180nm para as Resistências de Polí-Silício P ⁺	33
4.1	Resultados escolhidos com a ferramenta de projeto para implementar a referência de tensão.	38
4.2	Resultados obtidos com a ferramenta de minimização de área para a referência de tensão projetada.	40
4.3	Resultados obtido para W , L , g_m/I_D e i_f dos transistores do circuito CTAT 1 minimizado.	41
4.4	Resultados obtido para W , L , g_m/I_D e i_f dos transistores do circuito CTAT 2 minimizado.	41
5.1	Resistências por quadrado e coeficientes de temperatura para diferentes resistências do processo CMOS 180nm.	45
5.2	Capacitâncias MIM do processo CMOS 180nm.	48
5.3	Distribuição das áreas dos blocos no leiaute da referência de tensão.	52
5.4	Área MOS projetada com a rotina de otimização em relação à obtida com leiaute.	52
6.1	Resumo de resultados de simulações de Monte Carlo do coeficiente de temperatura (TC) e tensão nominal em temperatura $40^\circ C$	59
6.2	Resumo de performance deste trabalho em relação a outros trabalhos divulgados na literatura.	70

A.1	Parâmetros de descasamento dos transistores do processo 180nm.	74
C.1	Resumo de equações de corrente do modelo compacto ACM de três parâmetros (K' , V_{T_o} , n) em saturação direta.	76
C.2	Polinômio de 2º ordem ($p_2T^2+p_1T+p_0$) ajustado para cada parâmetro do modelo compacto ACM em função da temperatura (T em graus Kelvin).	77
C.3	Constantes de ruído <i>Flicker</i> extraídas do processo 180nm.	77
C.4	Resumo de equações usadas para cálculo de ruído branco e <i>flicker</i> nos transistor MOS.	77

Lista de Símbolos

$^{\circ}\text{C}$	Graus Celsius
μ	Mobilidade dos Portadores de Carga
μ_n	Mobilidade dos Portadores de Carga do NMOS
μ_p	Mobilidade dos Portadores de Carga do PMOS
C_{ox}	Capacitância do oxido por unidade de área do MOSFET
e_{TC}	Erro relativo entre TC modelado e simulado
g_{ds}	Transcondutância dreno-fonte do MOSFET
g_m	Transcondutância da porta do MOSFET
g_{ms}	Transcondutância da fonte do MOSFET
I_{CTAT}	Corrente CTAT
I_{PTAT}	Corrente PTAT
I_D	Corrente de Dreno do MOSFET
I_Q	Corrente de Repouso do circuito
K'_n	Fator de Ganho do NMOS
K'_p	Fator de Ganho do PMOS
K_B	Constante de Boltzmann
K_F	Constante de Ruido Flicker
K'	Fator de Ganho do MOSFET
n	Slope Factor do MOSFET
N_{sq}	Numero de quadrados necessários para implementação de uma resistência no leiaute

n_n	Slope Factor do NMOS
n_p	Slope Factor do PMOS
S_i	PSD de Ruído em Corrente
S_v	PSD de Ruído em Tensão
U_T	Tensão Térmica
V_{BE}	Tensão Base-Emissor dos transistores BJT
V_{CTAT}	Tensão CTAT
V_{DD}	Tensão de Alimentação Positiva
V_G	Tensão de Porta do MOSFET em relação ao Substrato.
V_{GB}	Tensão entre Porta-Substrato do MOSFET
V_{GS}	Tensão entre Porta-Fonte do MOSFET
V_{IOAT}	Tensão IOAT
V_{NPN}	Tensão Limiar do transistor NPN
V_{PNP}	Tensão Limiar do transistor PNP
V_{PTAT}	Tensão PTAT
V_S	Tensão de Fonte do MOSFET em relação ao Substrato.
V_{SB}	Tensão entre Porta-Substrato do MOSFET
V_{SS}	Tensão de Alimentação Negativa
V_{T_0}	Tensão Limiar do MOSFET
V_{Ton}	Tensão Limiar do NMOS
V_{Top}	Tensão Limiar do PMOS
L	Comprimento do Canal do MOSFET
W	Largura do Canal do MOSFET

Lista de Abreviaturas

ADC	Analog-to-Digital Converter
BJT	Bipolar Junction Transistor
CMOS	Complementary Metal Oxide Semiconductor
CTAT	Complementary to Absolute Temperature
DAC	Digital-to-Analog Converter
IOAT	Independent of Absolute Temperature
LR	Line Regulation
MIM	Metal-Insulator-Metal
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOS	MOSFET de Canal N
NPN	BJT com junções N-P-N
PMOS	MOSFET de Canal P
PNP	BJT com junções P-N-P
PSD	Power Spectral Density
PSRR	Power Supply Rejection Ratio
PTAT	Proportional to Absolute Temperature
SRAM	Static Random Access Memory
TC	Temperature Coefficient

Capítulo 1

Introdução

A referência de tensão é um dispositivos que fornece tensão de saída precisa, que na teoria não depende da tensão de fonte de alimentação, da temperatura ou da passagem do tempo. Estas referências com baixa sensibilidade à temperatura são frequentemente necessárias em circuitos analógicos, digitais e mistos, tais como, conversores analógicos-digitais (ADCs) ou digitais-analógicos (DACs), memórias (SRAMs), osciladores, entre outros.

O circuito de referência de tensão pode ser implementado aproveitando o comportamento decrescente com a temperatura da tensão limiar dos transistores bipolares, transistores MOSFET, ou diodos. Normalmente, duas topologias são utilizadas para obter uma tensão independente com a temperatura absoluta (V_{IOAT}): a obtida através de um comportamento proporcional com a temperatura absoluta (PTAT) somado com um comportamento complementar com a temperatura absoluta (CTAT)(ver Fig.1.1), e outra obtida subtraindo dois comportamentos CTAT (ver Fig.1.2).

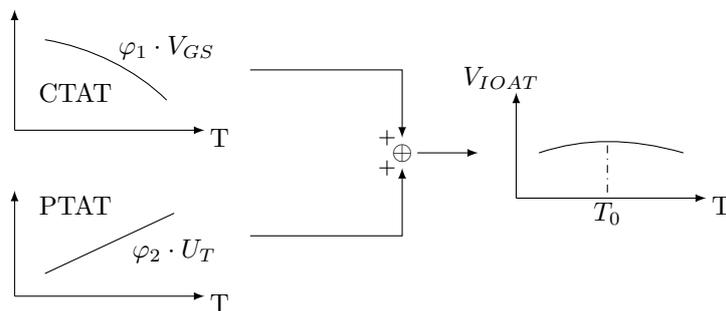


Figura 1.1: Diagrama explicativo da topologia CTAT+PTAT.

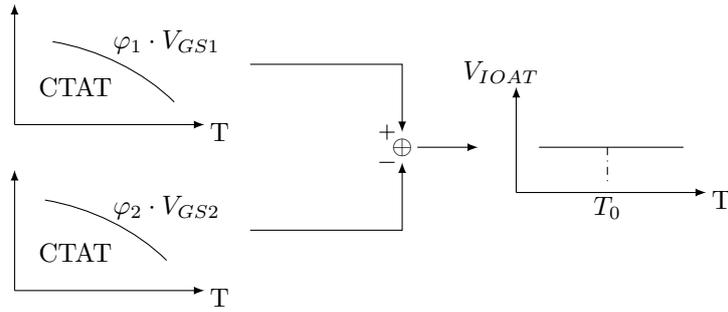


Figura 1.2: Diagrama explicativo da topologia CTAT-CTAT.

1.1 Motivação

Existe um grande ramo de trabalhos nos quais as referências de tensão são implementadas com transistores bipolares baseados na topologia CTAT+PTAT, [1], [2], [3], [4]. Infelizmente, o transistor bipolar disponível nos processos CMOS padrão, normalmente encontra-se limitado quanto à sua caracterização. Como alternativa, outros trabalhos [5] [6] implementam esta topologia puramente MOS.

Devido ao comportamento linear com a temperatura das implementações PTAT [7] [8], em relação ao comportamento de 2ª ordem do CTAT, estas topologias não fornecem um bom coeficiente de temperatura (TC), pelo qual, normalmente é necessário uma compensação da curvatura [9] [10] para obter um TC pequeno, aumentando a complexidade no projeto do circuito.

Um melhor TC pode ser obtido com as topologias CTAT-CTAT, que são implementadas com a subtração de dois comportamentos com temperatura similares extraídos das tensões limiaries dos transistores, conhecidas na literatura como referências de tensão multi-limiaries. Geralmente, são implementadas com processos CMOS não padrão para obter duas tensões limiaries diferentes nos transistores através de implante no canal [11] [12], diferentes materiais de porta [13], diferentes dopagens de porta [14], entre outros, aumentando assim, o custo no processo de fabricação. Estas topologias CTAT-CTAT também podem ser implementadas com o processo padrão CMOS como foi proposto em [15], aproveitando a diferença entre as tensões limiaries dos transistores NMOS e PMOS respectivamente.

Uma recente modificação do trabalho [15], pode ser vista em [16], onde também são utilizados os transistores NMOS e PMOS mas a arquitetura proposta alcança melhores resultados.

Desta forma, esta pesquisa de tese, foi inspirada na implementação de uma referência de tensão em processo padrão CMOS 180nm, utilizando a técnica de subtração entre as diferentes tensões limiaries de dois transistores NMOS do mesmo tipo, funcionando em diferentes níveis de inversão. Esta técnica permite trabalhar com níveis de tensão menores em relação ao trabalho [16], possibilitando uma melhora

do consumo de energia e uma redução das variações com processo de fabricação, já que os parâmetros dos transistores NMOS serão os mesmos.

1.2 Solução Proposta

Nesta pesquisa de tese foi proposta a implementação de uma topologia CTAT-CTAT obtida através de dois transistores NMOS do mesmo tipo, funcionando em diferentes níveis de inversão. Dessa forma, pode-se obter duas tensões V_G diferentes para dois transistores do mesmo tipo, as quais estarão deslocadas e terão valor de derivada diferente com temperatura. Na Eq.(1.1) pode ser vista a expressão do comportamento do gate MOS segundo o modelo ACM [17], quando a fonte está ligada ao substrato¹ ($V_S = 0$). Nota-se que a função $F(i_f)$, que só depende do nível de inversão do transistor, pode ser utilizada para gerar duas tensões diferentes, deslocadas uma da outra e com tangentes diferentes, já que, U_T tem tangente positiva com temperatura. Observa-se também que o V_{Ton} será o mesmo para os dois transistores, obtendo assim uma redução das variações do processo de fabricação na operação de subtração da topologia CTAT-CTAT.

$$V_G = V_{Ton} + n_n U_T \cdot F(i_f) \quad (1.1)$$

$$F(i_f) = \sqrt{1 + i_f} - 2 + \log(\sqrt{1 + i_f} - 1) \quad (1.2)$$

onde, i_f é o nível de inversão do transistor, n_n é conhecido na literatura como *slope factor* e U_T a tensão térmica.

Uma topologia usual para implementar as referência de tensão CTAT-CTAT é apresentada na Fig.1.3, onde a idéia é aplicar as tensões CTAT (V_{G1} e V_{G2}) em duas resistências (R_1 e R_2) diferentes para gerar duas correntes CTAT (I_{CTAT1} e I_{CTAT2}), e assim, injetando a subtração delas em outra resistência (R_3), é possível obter uma tensão independente da temperatura absoluta (V_{IOAT}), resultando na expressão

$$V_{IOAT} = R_3 \cdot (\eta_2 \cdot I_{CTAT2} - \eta_1 \cdot I_{CTAT1}) \quad (1.3)$$

onde,

$$I_{CTAT1} = \frac{V_{G1}}{R_1} \quad (1.4)$$

$$I_{CTAT2} = \frac{V_{G2}}{R_2} \quad (1.5)$$

¹Ao longo deste trabalho os terminais de substrato dos transistores NMOS estarão ligados em V_{SS} e os PMOS em V_{DD} .

sendo η_1 e η_2 fatores de ajuste implementados com espelhos de corrente. Reescrevendo a Eq.(1.3) e sua derivada,

$$V_{IOAT} = K_1 \cdot (V_{G2} - K_2 \cdot V_{G1}) \quad (1.6)$$

$$\frac{\partial V_{IOAT}}{\partial T} = K_1 \cdot \left(\frac{\partial V_{G2}}{\partial T} - K_2 \cdot \frac{\partial V_{G1}}{\partial T} \right) \quad (1.7)$$

onde,

$$K_1 = \eta_2 \cdot \frac{R_3}{R_2} \quad (1.8)$$

$$K_2 = \frac{R_2}{R_1} \cdot \frac{\eta_1}{\eta_2} \quad (1.9)$$

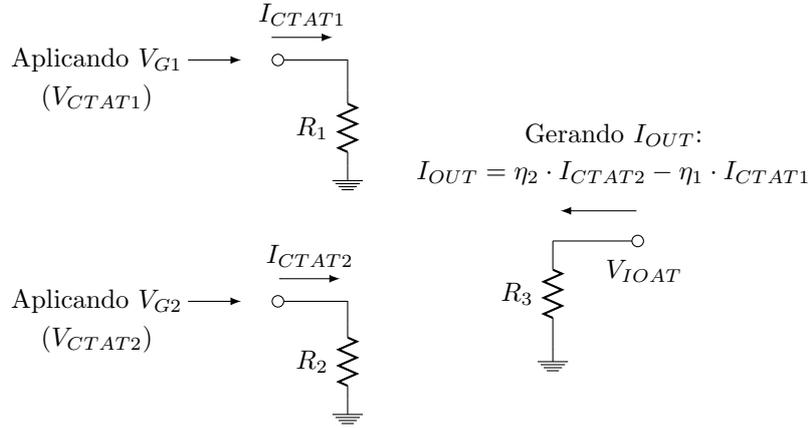


Figura 1.3: Topologia CTAT-CTAT proposta.

pode-se notar uma propriedade interessante desta topologia: o ganho (K_1) e o controle da tangente com a temperatura (K_2) da referência de tensão, ficam determinados por coeficientes formados pelas razões de resistências (R_3/R_2 e R_2/R_1) e cópias de espelhos (η_1 e η_2). Estes coeficientes permitem modelar o erro no processo de fabricação com os dados disponíveis na documentação das tecnologias CMOS.

1.3 Metodologia

A metodologia utilizada para o desenvolvimento do trabalho foi estruturada nas seguintes etapas (ver Fig.1.4):

1. **Revisão da Literatura:** Revisão dos trabalhos similares de referências de tensão divulgados na literatura para definição de requerimentos e arquitetura do sistema proposto.

2. **Modelagem do Circuito:** equacionamento do comportamento do sistema completo.
3. **Desenvolvimento de Ferramenta de Otimização:** em base as equações do sistema, implementou-se com Matlab rotinas para minimizar a área ocupada no chip e o consumo de energia do circuito.
4. **Validação do Circuito com Resultados de Simulações:** dado que a modelagem do circuito não contempla absolutamente todos os efeitos do sistema, deve-se validar e recorrer o sistema caso seja necessário.
5. **Etapa de Leiaute:** depois de validar o circuito definitivo deve-se dedicar tempo à boa implementação do circuito no silício.
6. **Simulação após o Leiaute:** elementos parasitas são adicionados ao circuito definido na etapa anterior, e portanto deve-se refazer as simulações para validar definitivamente o projeto.
7. **Envio do Circuito para Fabricação:** gerar os arquivos necessários (máscaras) e enviá-los para fabricação do circuito integrado.

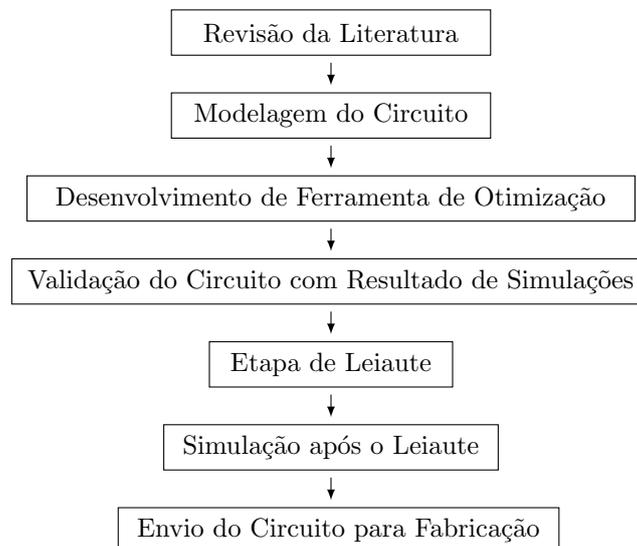


Figura 1.4: Fluxograma da metodologia de desenvolvimento do trabalho.

1.4 Estrutura da Dissertação

O documento estará composto como se segue: O Capítulo 2 descreve os principais conceitos utilizados para projetar a referência de tensão independente da temperatura absoluta. Primeiramente analisam-se as diferentes técnicas utilizadas na

literatura para alcançar compensações de ordem elevada na dependência com a temperatura. Em seguida é proposta uma arquitetura em nível de blocos baseada na técnica de compensação mútua de dois transistores NMOS em diferentes níveis de inversão. O Capítulo 3 analisa detalhadamente a arquitetura de cada bloco proposto no Capítulo 2. O Capítulo 4 descreve o método utilizado para projetar e otimizar o circuito. Primeiramente é apresentada uma ferramenta de software baseada no equacionamento do sistema. Ferramenta que pode ser utilizada para projetar o comportamento desejado na referência de tensão proposta, tendo controle sobre as principais características, tais como: o coeficiente de temperatura, o consumo de energia, a tensão nominal de funcionamento, o ruído na saída, o descasamento com a fabricação, e a área ocupada no chip. No Capítulo 5 apresenta-se o leiaute do circuito detalhando as técnicas utilizadas para diminuir as variações sistemáticas com o processo de fabricação. O Capítulo 6 mostra os resultados do projeto através de simulações após leiaute, comparando estes resultados com circuitos similares divulgados na literatura. O Capítulo 7 é dedicado às conclusões e propostas de trabalhos futuros.

Capítulo 2

Referência de Tensão

Este capítulo descreve os principais conceitos utilizados para projetar a referência de tensão independente da temperatura absoluta. Primeiramente analisam-se as diferentes técnicas utilizadas na literatura para alcançar compensações de ordem elevada na dependência com a temperatura, e assim manter um TC baixo em uma ampla faixa de temperatura. Em seguida será proposta uma arquitetura em nível de blocos baseada na técnica de compensação mútua de dois transistores NMOS em diferentes níveis de inversão, validando-se os resultados com a modelagem¹ do circuito em uma faixa de -40°C até 100°C . Logo depois, apresenta-se o estudo proposto para controlar o descasamento do circuito, assim como a implementação de um circuito de calibração para compensar as variações do processo de fabricação.

2.1 Alternativas de Compensação de Ordem Elevada

As referências de tensão com compensação de primeira ordem obtidas através da soma de dois comportamentos PTAT e CTAT têm características côncavas que permitem obter baixo TC, geralmente em uma faixa limitada de temperatura. Vários destes trabalhos foram referenciados no Capítulo 1. Atualmente as topologias baseadas em soma e subtração de comportamentos com dependências similares com temperatura são a solução para obter uma compensação de ordens elevadas com circuitos relativamente simples. Referências de tensão implementadas com combinações NPN-PNP, NMOS-NMOS com diferentes V_{To} , NMOS-PMOS, entre outras, permitem subtrair duas tensões com comportamento côncavo de temperatura e deslocadas uma da outra. Essa subtração resulta em um TC baixo para uma extensa faixa de temperatura. Além disso, tais topologias podem ser implementadas para diferentes tensões de referência (não fixas), diferente das CTAT+PTAT clássicas,

¹No Apêndice C pode ser vista a modelagem do conjunto de parâmetros $V_{To}(T)$, $K'(T)$ e $n(T)$ que permitem determinar o funcionamento dos transistores na faixa de temperatura de -40°C até 100°C , e assim implementar as rotinas para projetar o circuito.

que dependem do valor da tensão limiar.

2.1.1 Subtração de Comportamentos com Dependências de Temperatura Similares

No trabalho [18] foi apresentada uma topologia que utiliza a combinação NPN-PNP para subtrair duas tensões com características similares com temperatura. Com esta topologia pode ser obtida a seguinte expressão para a tensão de referência:

$$V_{REF} = K_1 \cdot (K_2 \cdot V_{NPN} - V_{PNP}) \quad (2.1)$$

Esta topologia apresenta várias dificuldades para ser projetada, como a precisão no fator K_2 , que permite obter a compensação mútua, e a modelagem do descasamento entre os dois circuitos NPN e PNP, respectivamente. A modelagem, entretanto, geralmente não é um procedimento simples nos transistores bipolares disponíveis nos processos CMOS padrão. Essas dificuldades não permitem implementar esta topologia sem aplicar a técnica de *trimming*² ao fator K_2 . O resultado do TC desenvolvido no trabalho [18] foi 19.5 ppm/°C na faixa de 0°C até 100°C.

2.1.2 Soma de Comportamentos com Dependência de Temperatura Invertida

A compensação de ordens elevadas também pode ser implementada pela soma de comportamentos com temperatura côncavos e convexos. No trabalho [19] foi apresentada uma topologia baseada no uso de duas resistências com diferentes valores de TC, ou seja, de valores -1350ppm/°C e 1410ppm/°C. Com esta topologia pode ser obtida a seguinte expressão para a tensão de referência:

$$V_{REF} = \left(\frac{1}{R_1} + \frac{1}{R_2} \right) \cdot K \cdot U_T + V_{BE} \quad (2.2)$$

onde:

$$R_1 = R_1(T_0) \cdot (1 - \lambda_1 \cdot (T - T_0)) \quad (2.3)$$

$$R_2 = R_2(T_0) \cdot (1 + \lambda_2 \cdot (T - T_0)) \quad (2.4)$$

e λ_1 e λ_2 modelam as variações destas resistências com a temperatura. Dessa forma é possível ajustar as resistências R_1 e R_2 para que se obtenha um comportamento convexo com temperatura que compensa o comportamento côncavo da tensão V_{BE} . O resultado do TC divulgado em [19] foi 31 ppm/°C na faixa de -50°C até 100°C.

²Técnica utilizada para calibrar o circuito após fabricação, e conhecida com esse nome na literatura.

2.1.3 Compensação Mútua Multi-Limiar

A compensação mútua de tensões ou correntes com dependências de temperatura similares podem produzir referências de tensão com TC de valor muito baixo. Esta compensação pode ser obtida através da subtração de duas tensões limiares diferentes de transistores MOSFET. Dado que as tensões limiares são fortemente sensíveis a variações do processo de fabricação, usando transistores do mesmo tipo (NMOS) para a operação subtração, reduz sensibilidade dessas topologias.

2.1.3.1 Subtração entre Transistores NMOS com diferentes V_{Ton}

O trabalho [11] apresenta uma topologia para implementar a subtração das tensões limiares de dois transistores NMOS fabricados com diferentes valores de V_{Ton} . Com esta topologia pode ser obtida a seguinte expressão para a tensão de referência:

$$V_{REF} = K_1 \cdot (V_{Ton1} - K_2 \cdot V_{Ton2}) \quad (2.5)$$

Diferentemente do trabalho [18], o descasamento do fator K_2 pode ser bem modelado através dos dados do fabricante do processo CMOS. O inconveniente destas topologias é que normalmente não usam o processo padrão CMOS, aumentando o custo na fabricação. O resultado obtido em [11] foi um TC de 39 ppm/°C na faixa de 0°C até 100°C.

2.1.3.2 Subtração entre Transistores NMOS e PMOS Através da Diferença entre V_{Ton} e V_{Top}

Em recente trabalho [16] foi implementada uma topologia baseada na subtração de dois comportamentos similares obtidos através das tensões limiares de transistores NMOS e PMOS. Com esta topologia pode ser obtida a expressão:

$$V_{REF} = K_1 \cdot (V_{Top} - K_2 \cdot V_{Ton}) \quad (2.6)$$

Que possui características muito interessantes, já que pode ser modelada completamente para calcular o descasamento e ao mesmo tempo fabricada no processo CMOS padrão. O resultado do TC do circuito desenvolvido em [16] foi 13.6ppm/°C na faixa de 0°C até 130°C.

2.1.4 Resumo

Nesta seção foram apresentadas diferentes topologias propostas na literatura para implementar referências de tensão com compensação de ordens elevados. Estas topologias são baseadas na soma e subtração de comportamentos com dependências

similares com temperatura. Na Tabela 2.1 pode ser visto um resumo da performance destes trabalhos. Nota-se que estes obtêm coeficientes de temperatura na faixa de 13 ppm/°C até 40 ppm/°C consumindo corrente de fonte alimentação mínima de $8\mu\text{A}$ até $50\mu\text{A}$. Baseando-se nestes valores como ponto de partida desta pesquisa de tese, nas próximas seções será proposta uma técnica de compensação mútua utilizando dois transistores NMOS do processo padrão CMOS funcionando em diferentes níveis de inversão.

Tabela 2.1: Resumo do desempenho dos trabalhos de compensação de ordens elevada.

Trabalho	TC (ppm/°C)	Faixa de Temp. (°C)	Corrente (μA)
[11]	39.2	0 até 100	8.2
[16]	13.6	0 até 130	8
[18]	19.5	0 até 100	50
[19]	31.0	-50 até 100	N/A

2.2 Nível de Inversão como Variável de Projeto

Geralmente, para conseguir gerar uma corrente CTAT, deve-se converter de forma proporcional um comportamento CTAT de tensão para corrente. Para lograr isso, pode-se usar a idéia conhecida em trabalhos similares como extrator V_T [20]. Esta idéia pode ser vista no circuito da Fig.2.1, onde o transistor M_n está funcionando como diodo com tensão V_G e corrente I_D , e de alguma forma, é imposta a mesma tensão e N vezes a mesma corrente em uma resistência R . Esse circuito tem duas soluções estáveis como mostrado na Fig.2.2, soluções determinadas pela reta de carga do resistor R e o comportamento exponencial (em inversão fraca) ou quadrático (em inversão forte) do diodo M_n . Neste capítulo será considerado que a única solução estável de interesse é a número 2. No Capítulo 3 será apresentada uma topologia que somente tem como solução estável a número 2.

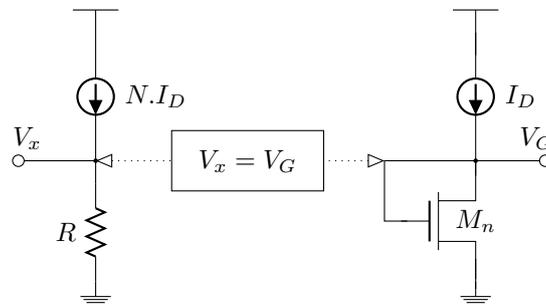


Figura 2.1: Topologia utilizada para gerar uma corrente CTAT, extraindo o comportamento da tensão de porta (V_G) do diodo NMOS.

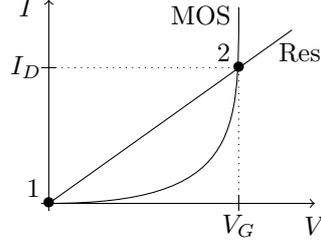


Figura 2.2: Esboço representativo da solução V-I do extrator.

Para analisar a solução estável número 2 (ver Fig.2.2) e explorar soluções em todos os níveis de inversão do transistor, pode-se escrever a tensão do diodo com a utilização do modelo ACM (equações similares com modelo EKV [21]) como foi visto na Eq.(1.1). Resultando para o circuito da Fig.2.1 em:

$$V_G = NR \cdot I_D = V_{Ton} + n_n U_T \cdot F(I_D/I_S) \quad (2.7)$$

onde,

$$I_S = \frac{\mu_n C'_{ox} n_n U_T^2 W}{2 L} = \frac{K'_n n_n U_T^2 W}{2 L} \quad (2.8)$$

sendo μ_n a mobilidade do portador, C'_{ox} é a capacitância do óxido por unidade de área e K'_n definido como $\mu_n C'_{ox}$.

Rescrevendo a Eq.(2.7) em termos do nível de inversão ($i_f = I_D/I_S$) do transistor resulta:

$$V_G = NR \cdot I_S \cdot i_f = V_{Ton} + n_n U_T \cdot F(i_f) \quad (2.9)$$

Dado que o V_{Ton} tem comportamento CTAT (ver Fig.2.3), e a função F só depende do nível de inversão do transistor, pode-se utilizar o nível de inversão como sintonizador da tangente com temperatura da tensão V_G (idéia utilizada anteriormente no trabalho [22]), já que U_T tem comportamento PTAT. Na Fig.2.4 pode ser visto o gráfico da função $F(i_f)$, nota-se que pode variar aproximadamente desde -4 em inversão fraca até 10 em inversão forte, permitindo assim, obter uma grande faixa de variação na tangente com temperatura.

Para projetar o circuito da Fig.2.1 no nível de inversão desejado, deve-se fixar uma temperatura T_o , já que os parâmetros $V_{Ton}(T)$, $K'_n(T)$ e $n_n(T)$ variam com temperatura, deslocando levemente o nível de inversão quando a temperatura varia. Através da Eq.(2.9), pode-se encontrar uma expressão da razão W/L do transistor M_n para um nível de inversão desejado na temperatura T_o como:

$$\left(\frac{W}{L}\right)_{M_n} = 2 \cdot \frac{V_{Ton}(T_o) + n_n(T_o) \cdot U_T(T_o) \cdot F(i_f)}{NR \cdot i_f \cdot K'_n(T_o) \cdot n_n(T_o) \cdot U_T^2(T_o)} \quad (2.10)$$

Na Fig.2.5 pode ser visto o comportamento da tensão V_G da topologia da Fig. 2.1,

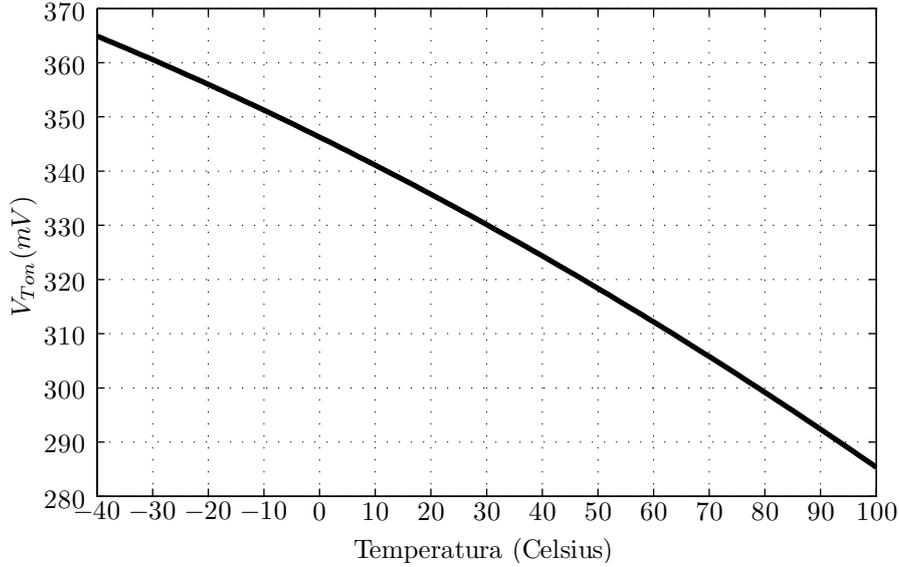


Figura 2.3: Comportamento da tensão limiar $V_{T_{on}}$ do transistor NMOS com o processo 180nm utilizado.

variando o nível de inversão (calculado em $T_o=40^\circ\text{C}$) entre 0.1 (inversão fraca), 1 (inversão moderada) e 10 (inversão forte). Nota-se que quando o nível de inversão aumenta, a tangente com temperatura é mais positiva devido ao aumento do termo $n_n U_T F(i_f)$ (PTAT) como esperado.³

Concluindo esta seção, o nível de inversão do transistor M_n , pode ser utilizado como sintonizador da tangente com a temperatura da tensão ($V_G(T, i_f)$) e a corrente ($I_D(T, i_f)$) do diodo M_n , já que:

$$I_D(T, i_f) = \frac{V_G(T, i_f)}{N.R} \quad (2.11)$$

Na próxima seção, se analisa a utilização de dois circuitos similares ao da Fig.2.1 com diferentes níveis de inversão no transistor M_n para alcançar uma tensão independente da temperatura absoluta. Essa técnica é conhecida como compensação mútua.

³Nota-se que aumentando o nível de inversão seria possível aumentar a tangente do termo $n_n U_T F(i_f)$ (PTAT) de forma obter um comportamento complementar com $V_{T_{on}}$ (CTAT) e assim obter um V_G com comportamento IOAT, mas dessa forma seria obtida uma topologia CTAT+PTAT.

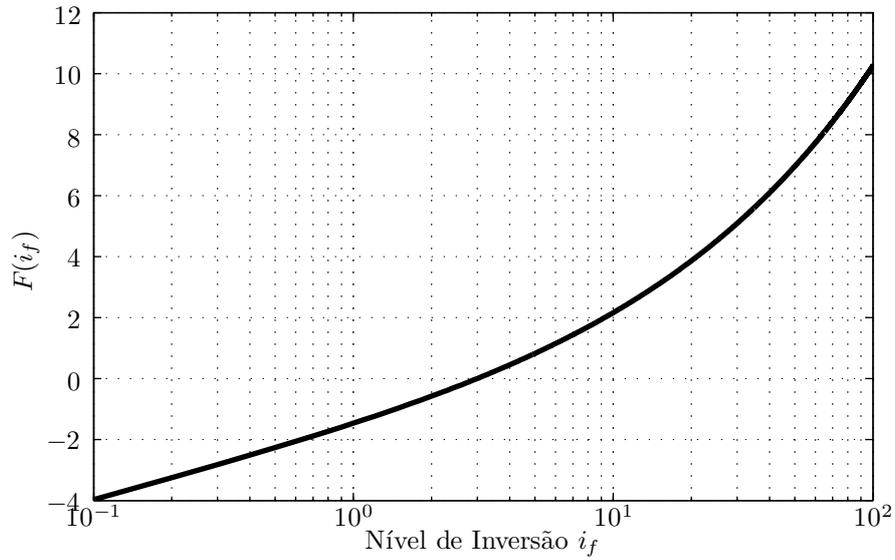


Figura 2.4: Comportamento da função F do modelo ACM, que só depende do nível de inversão.

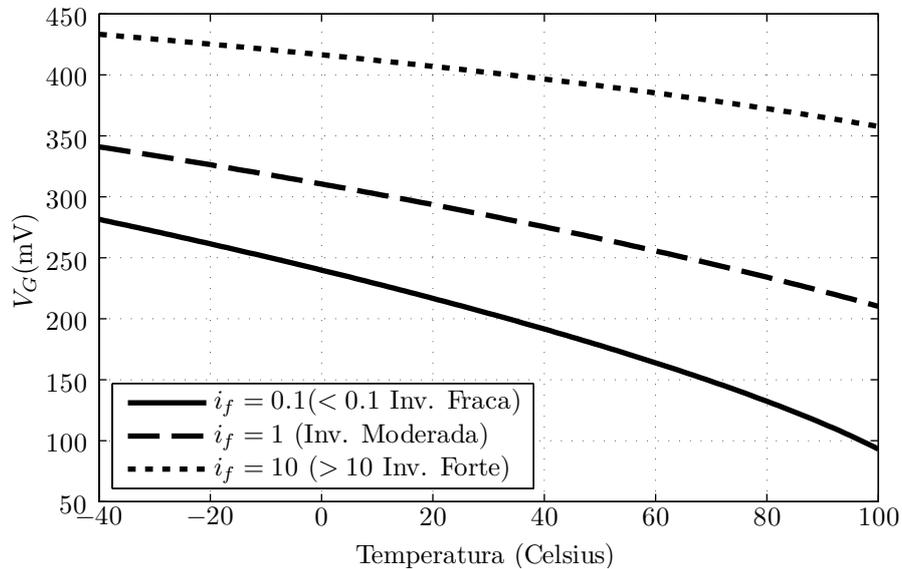


Figura 2.5: Resultado obtido através da modelagem do comportamento do circuito da Fig.2.1 em função da temperatura para diferentes níveis de inversão (calculados em $T_o=40^\circ\text{C}$) do transistor M_n , com $R = 500k\Omega$ e $N = 4$.

2.3 Compensação Mútua Proposta

Com a utilização de dois circuitos geradores CTAT com a topologia da Fig.2.1 podem ser geradas duas tensões (ou correntes aplicando esta tensão em uma resistência) com diferentes tangentes com temperatura utilizando diferentes níveis de inversão no transistor M_n . A idéia da compensação mútua é gerar duas tensões com diferentes níveis de tensão e a mesma tangente com temperatura. Dessa forma, através da subtração dessas tensões pode-se gerar uma tensão (ou corrente) independente da temperatura. Na Fig.2.6 é mostrado o procedimento proposto para implementar a compensação mútua. Isso sempre será possível se as tangentes com temperatura de $V_{G1}(T)$ e $V_{G2}(T)$ forem negativas. O caso contrário pode acontecer - para este processo de 180nm - quando o nível de inversão for aproximadamente maior do que 50 ($i_f > 50$). Neste caso o termo $nU_T F$ (Eq.(2.9)) terá tangente com temperatura com módulo maior que V_{Ton} .

Neste trabalho, a referência de tensão foi implementada com compensação mútua em modo corrente, e a arquitetura desta pode ser vista na Fig.2.7, onde a arquitetura interna de cada bloco gerador CTAT é estudada detalhadamente na próxima seção. Para esta arquitetura pode-se obter a seguinte expressão para a tensão de saída:

$$V_{IOAT}(T) = R_3 \cdot \left(\alpha_2 \cdot \frac{V_{G2}(T, i_{f2})}{N_2 \cdot R_2} - \alpha_1 \cdot \frac{V_{G1}(T, i_{f1})}{N_1 \cdot R_1} \right) \quad (2.12)$$

a qual, pode ser reescrita como:

$$V_{IOAT}(T) = \frac{\alpha_1 R_3}{N_1 R_1} \cdot \left(\frac{\alpha_2 R_1 N_1}{\alpha_1 R_2 N_2} \cdot V_{G2}(T, i_f) - V_{G1}(T, i_f) \right) \quad (2.13)$$

Para compensar mutuamente em temperatura as tangentes dos dois geradores, deve-se derivar parcialmente com a temperatura a Eq.(2.13), impondo que seja nula para uma temperatura T_o como segue:

$$\left. \frac{\partial V_{IOAT}(T)}{\partial T} \right|_{T_o} = \frac{\alpha_1 R_3}{N_1 R_1} \cdot \left(\frac{\alpha_2 R_1 N_1}{\alpha_1 R_2 N_2} \cdot \left. \frac{\partial V_{G2}(T)}{\partial T} \right|_{T_o} - \left. \frac{\partial V_{G1}(T)}{\partial T} \right|_{T_o} \right) = 0 \quad (2.14)$$

resultando na seguinte condição de projeto para o parâmetro K responsável pela compensação mútua na dependência com a temperatura (ver Fig.2.6):

$$K = \left(\left. \frac{\partial V_{G1}(T)}{\partial T} \right|_{T_o} \right) / \left(\left. \frac{\partial V_{G2}(T)}{\partial T} \right|_{T_o} \right) = \frac{\alpha_2 R_1 N_1}{\alpha_1 R_2 N_2} \quad (2.15)$$

Para concluir esta seção, analisou-se um caso particular de projeto, no qual o nível de inversão $i_{f1} = 0.23$ e o $i_{f2} = 6.01$. A Fig.2.8 mostra as tensões geradas pelos

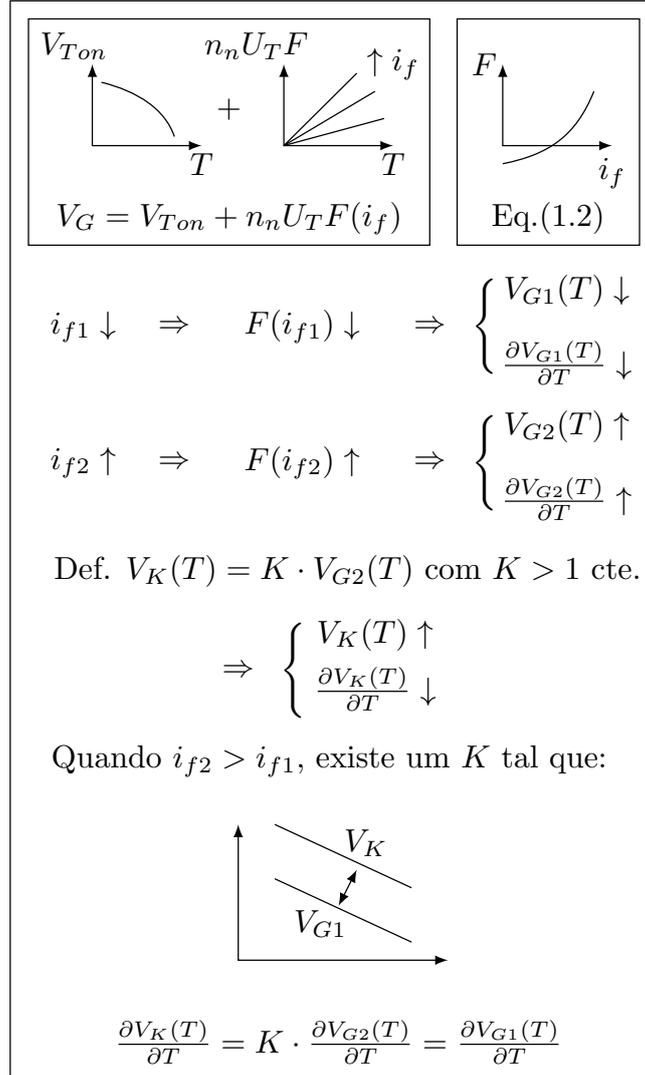


Figura 2.6: Descrição do procedimento utilizado para compensação mútua com dois transistores NMOS funcionando em diferentes níveis de inversão.

extratores (V_{G1} e V_{G2}) em função da temperatura. Para compensar mutuamente os dois geradores em $T_o = 5^\circ C$, utilizou-se $R_1 = R_2 = R_3 = 500k\Omega$, $N_1 = N_2 = 4$, $\alpha_1 = 4.41$ e $\alpha_2 = 8$. A Fig.2.9 mostra as correntes de cada gerador e as correspondentes derivadas com temperatura, onde se pode observar que as derivadas estão muito próximas, interceptando-se em $5^\circ C$ (caso projetado) e $83^\circ C$, temperaturas nas quais a subtração das correntes terá derivada nula e permite ter máximos ou mínimos na corrente total de saída (subtração dos dois geradores CTAT). Isso pode ser visto na Fig.2.10, onde o resultado da modelagem da tensão de saída tem máximo em $5^\circ C$ e mínimo em $83^\circ C$ como esperado. Uma das características pelas quais se escolheu esta arquitetura, é pelo coeficiente de temperatura (TC), isso pode ser calculado da

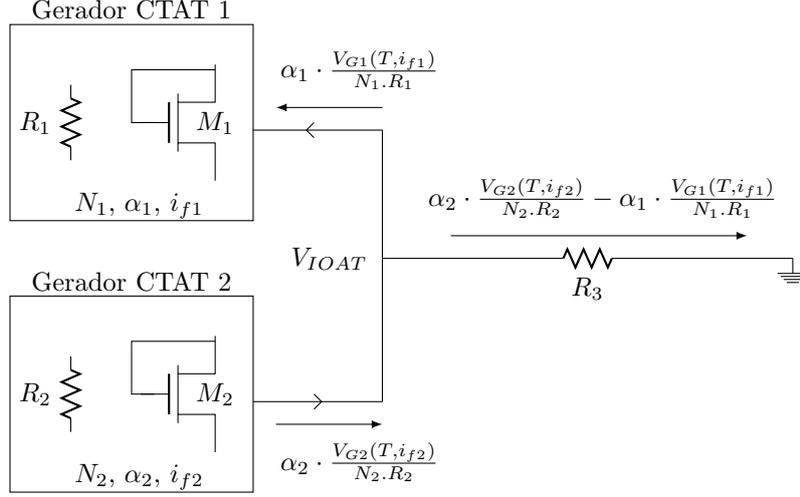


Figura 2.7: Arquitetura a nível de blocos da referência de tensão proposta.

seguinte forma:

$$TC = \frac{V_{max} - V_{min}}{V_{nom} \cdot (T_{max} - T_{min})} \cdot 1e6 \quad [\text{ppm}/^{\circ}\text{C}] \quad (2.16)$$

$$TC = \frac{482.7\text{mV} - 481.9\text{mV}}{482.8\text{mV} \cdot (100^{\circ}\text{C} - (-40^{\circ}\text{C}))} \cdot 1e6 = 11.9 \text{ ppm}/^{\circ}\text{C} \quad (2.17)$$

resultado obtido através da modelagem, que alcança a boa performance do trabalho [16].

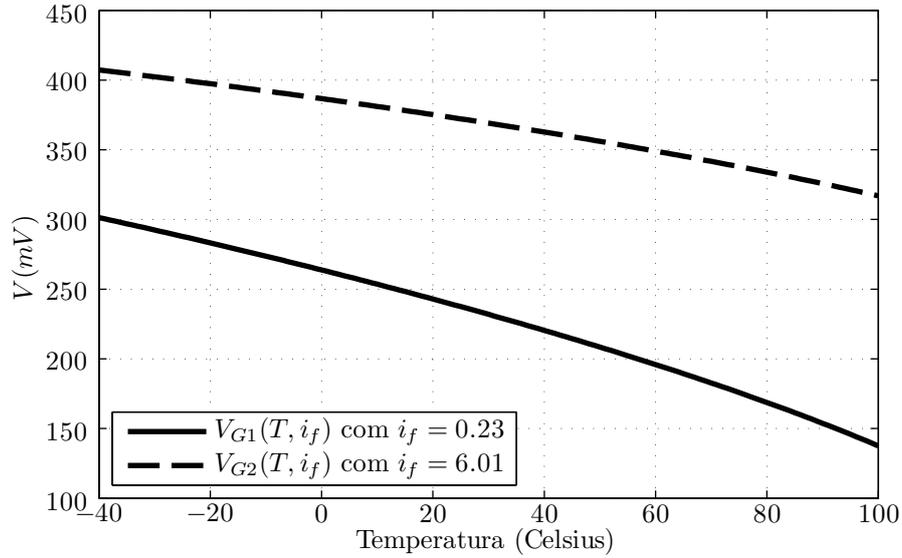
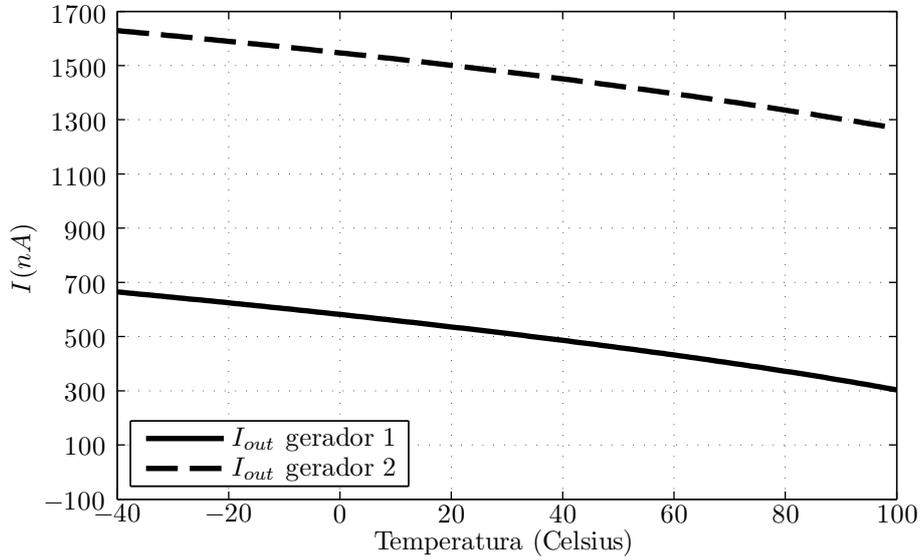
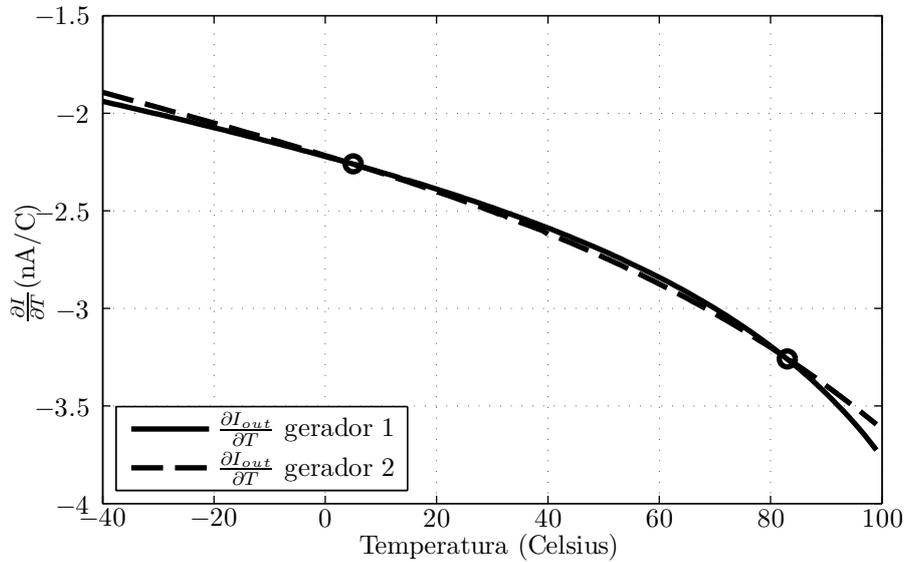


Figura 2.8: Comportamento das tensões $V_{G1}(T)$ e $V_{G2}(T)$ em função da temperatura.



(a)



(b)

Figura 2.9: Resultado da modelagem das correntes de saída dos geradores caso $i_{f1} = 0.23$ e $i_{f2} = 6.01$, com $R_1 = R_2 = R_3 = 500k\Omega$, $N_1 = N_2 = 4$, $\alpha_1 = 4.41$ e $\alpha_2 = 8$. No gráfico (a) pode-se ver o resultado das correntes e no (b) as suas derivadas correspondentes.

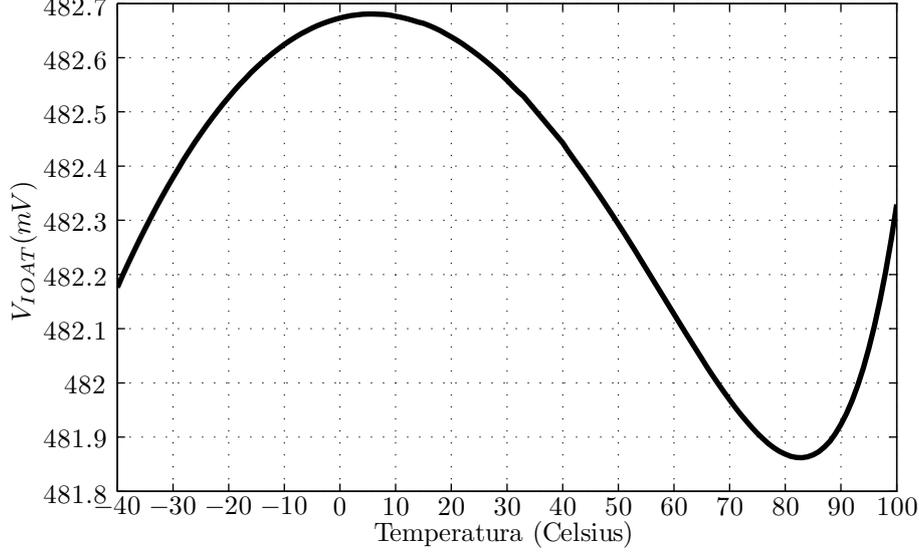


Figura 2.10: Resultado da modelagem da tensão de saída (V_{IOAT}) caso $i_{f1} = 0.23$ e $i_{f2} = 6.01$, com $R_1 = R_2 = R_3 = 500k\Omega$, $N_1 = N_2 = 4$, $\alpha_1 = 4.41$ e $\alpha_2 = 8$.

2.4 Análise do Descasamento

Uma propriedade importante das referências de tensão, e da maioria dos circuitos na microeletrônica é o descasamento das componentes na fabricação [23]. Normalmente o fabricante do processo CMOS fornece dados estatísticos que permitem analisá-lo. Nesta seção se analisa um método proposto para projetar o circuito em função do descasamento desejado na tensão de saída (V_{IOAT}).

Dado que a contribuição dos resistores no descasamento pode ser projetada algumas vezes menor que a dos transistores (que será analisado na Seção 3.4.1.3), é uma boa aproximação supor que a variância relativa da tensão de saída, coincide com a variância relativa da corrente de saída (I_{OUT} , corrente na resistência R_3), o qual será definido como:

$$\sigma_{V_{IOAT}}^2 = \frac{\sigma^2(\Delta V_{IOAT})}{V_{IOAT}^2} \approx \frac{\sigma^2(\Delta I_{OUT})}{I_{OUT}^2} \quad (2.18)$$

Por outro lado, a variância relativa da corrente de saída, pode-se decompor nas variâncias relativas das correntes de cada gerador como:

$$\frac{\sigma^2(\Delta I_{OUT})}{I_{OUT}^2} = \frac{\sigma^2(\Delta I_{OUT1})}{I_{OUT}^2} + \frac{\sigma^2(\Delta I_{OUT2})}{I_{OUT}^2} \quad (2.19)$$

Estas variâncias serão calculadas para cada gerador na Seção 3.4.2. Definindo estas

variâncias como:

$$\sigma_{I_{OUT1}}^2 = \frac{\sigma^2(\Delta I_{OUT1})}{I_{OUT1}^2} \quad (2.20)$$

$$\sigma_{I_{OUT2}}^2 = \frac{\sigma^2(\Delta I_{OUT2})}{I_{OUT2}^2} \quad (2.21)$$

a Eq.(2.18) pode ser expressa como:

$$\sigma_{V_{IOAT}}^2 = \sigma_{I_{OUT1}}^2 \frac{I_{OUT1}^2}{I_{OUT}^2} + \sigma_{I_{OUT2}}^2 \frac{I_{OUT2}^2}{I_{OUT}^2} \quad (2.22)$$

Escolhendo a variância relativa de cada gerador da seguinte forma:

$$\sigma_{I_{OUT1}}^2 = a_o \cdot \sigma_{V_{IOAT}}^2 \cdot \frac{I_{OUT}^2}{I_{OUT1}^2} \quad (2.23)$$

$$\sigma_{I_{OUT2}}^2 = (1 - a_o) \cdot \sigma_{V_{IOAT}}^2 \cdot \frac{I_{OUT}^2}{I_{OUT2}^2} \quad (2.24)$$

pode-se reescrever a Eq.(2.22) como:

$$\sigma_{V_{IOAT}}^2 = a_o \cdot \sigma_{V_{IOAT}}^2 + (1 - a_o) \cdot \sigma_{V_{IOAT}}^2 \quad (2.25)$$

onde a_o , que deve estar entre 0 e 1, é o fator que distribui a contribuição do descasamento de cada gerador. Por exemplo, se $a_o = 0.5$ a contribuição do descasamento de cada gerador na Eq.(2.22) é a mesma (50% cada gerador). Na Tabela 2.2 podem ser vistos vários casos de projetos válidos, para obter descasamento de 0.5% na saída ($\sigma_{V_{IOAT}} = 0.005$), nos quais o fator a_o é variado para obter diferentes contribuições de cada gerador. No Capítulo 4, que apresenta um método de otimização da referência de tensão, será estudado qual desses casos é mais eficiente para projetar, já que normalmente implementar desvios padrões menores requerem maior área ocupada no chip.

Tabela 2.2: Desvio padrão relativo que deve ter cada gerador CTAT em função do $\sigma_{V_{IOAT}}$ desejado para diferentes repartições (a_o). As correntes utilizadas para calcular os desvios padrão são as de $T = 20^\circ\text{C}$: $I_{OUT} = 966\text{nA}$, $I_{OUT1} = 535\text{nA}$ e $I_{OUT2} = 1501\text{nA}$.

Objetivo		Condição de Projeto	
a_o	$\sigma_{V_{IOAT}}$	$\sigma_{I_{OUT1}}$	$\sigma_{I_{OUT2}}$
0.10	0.0050	0.0029	0.0030
0.20	0.0050	0.0040	0.0029
0.25	0.0050	0.0045	0.0028
0.50	0.0050	0.0064	0.0023
0.75	0.0050	0.0078	0.0016

2.5 Circuito de Calibração

O desempenho de circuitos integrados é afetado durante etapa de fabricação, devido a variações dos parâmetros do processo de fabricação. Estas variações são conhecidas como variações do processo. Ao contrário do descasamento do circuito, que pode ser modelado e limitado aumentando a área dos componentes (transistores, resistências, etc...), a influência das variações do processo só podem ser diminuídas após a fabricação do chip. Para obter a precisão desejada nos valores projetados é necessário calibrar o circuito fabricado pela técnica de “*trimming*” (conhecida assim na literatura), o qual é um circuito de ajuste utilizado após da fabricação. Este circuito deve ser capaz de ajustar a variável de interesse.

2.5.1 Circuito de *Trimming* Proposto

Como foi visto na Eq.(2.13), a referência de tensão pode ser variada proporcionalmente através da razão entre as resistências R_3 e R_1 . Na Fig.2.11 pode ser vista a topologia proposta para implementar a calibração, que usa a resistência R_3 como variável de ajuste. A idéia desta topologia é sempre variar a última resistência da série através do multiplexador A, e com o multiplexador B obter um ajuste mais fino, colocando resistências em paralelo, onde é possível variar a última resistência entre R (sem o mux. B), $(3/4)R$, $R/2$ e $R/4$. Dado que as resistências utilizadas são sempre iguais a R , a razão entre as resistências R_3 e R_1 terá uma boa performance no controle do descasamento.

No caso projetado nas secções anteriores, onde R_1 e R_3 são $500k\Omega$, a calibração pode ser implementada dimensionando as resistências como:

$$R_1 = 50R \quad (2.26)$$

$$R_3 = 42R + A \cdot R - B \cdot (0.25)R \quad (2.27)$$

onde A (entre [1-16], 4 bits) e B (entre [0-3], 2 bits) são as combinações dos multiplexadores e $R = 10k\Omega$. Na Tabela 2.3 se mostram as características desta calibração. Nota-se que a razão entre as resistências pode ser ajustada aproximadamente em $\pm 15\%$, a qual permitirá ajustar a tensão de referência em $\pm 15\%$ após sua fabricação.

2.5.2 Projeto das Chaves MOS

Uma das características pela qual foi proposta a arquitetura de calibração da Fig.2.11 é porque o chaveamento analógico está sempre na última resistência da serie (caso multiplexador A), a qual tem tensão muito pequeno (aproximadamente 10mV) ou

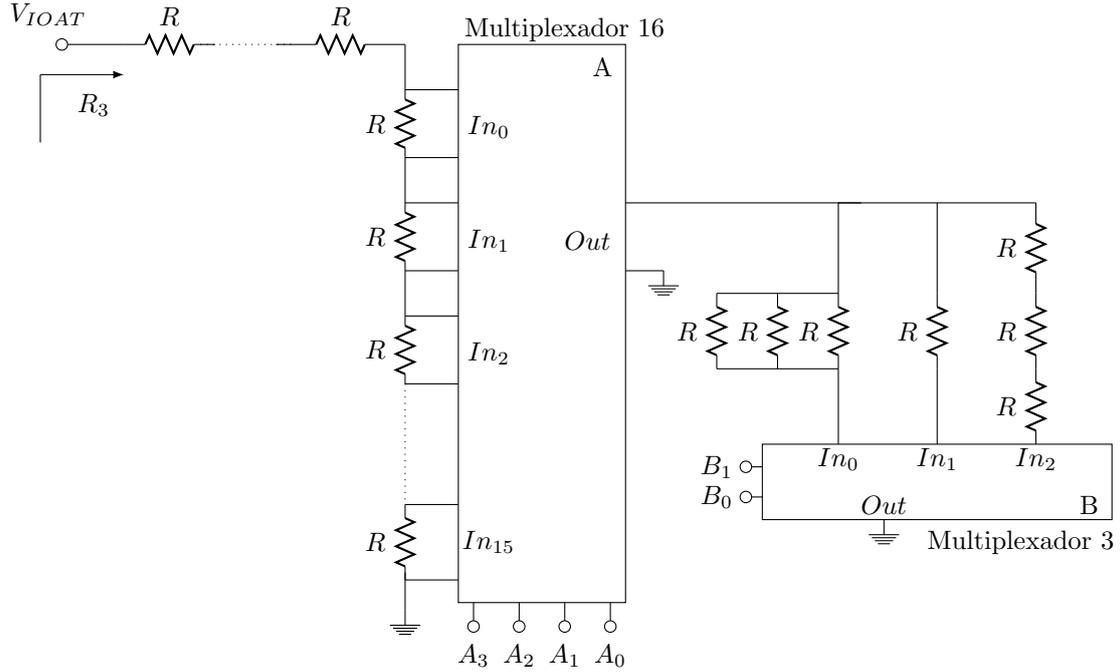


Figura 2.11: Topologia implementada para calibrar as variações do processo após fabricação do chip (conhecido na literatura como *Trimming*).

Tabela 2.3: Características do circuito de calibração com $R = 10k\Omega$, A 4 bit e B 2 bit.

Caraterística	Valor
$R_{3_{MAX}}$	$580k\Omega$
$R_{3_{MIN}}$	$422.5k\Omega$
ΔR_3	$2.5k\Omega$
$R_{3_{MAX}}/R_1$	1.16 (16%)
$R_{3_{MIN}}/R_1$	0.845 (-15.5%)

diretamente em V_{SS} (caso multiplexador B). Isso permite usar somente chaves NMOS com razão W/L pequena, evitando o uso de chaves muito largas ou complementarias (PMOS-NMOS). Na Fig.2.12 pode ser visto o comportamento da condutividade da chave NMOS quando varia a tensão na entrada desta. No caso da arquitetura proposta, a condutividade da chave NMOS se encontra no máximo ($V_{chave} \approx 0$).

Para escolher a condutividade necessária, ou visto de outra maneira, a resistência mínima necessária para a condução da chave, na Fig.2.13 se mostra o comportamento da resistência em função da largura do transistor para o comprimento mínimo da tecnologia 180nm ($L=0.18\mu m$). Neste trabalho, como as resistências R_1 , R_2 e R_3 são implementadas com resistências unitárias de $10k\Omega$, se considerou que $W=2\mu m$ ($R_{on} = 352\Omega$) é suficiente. Consideração que foi verificada com simulações.

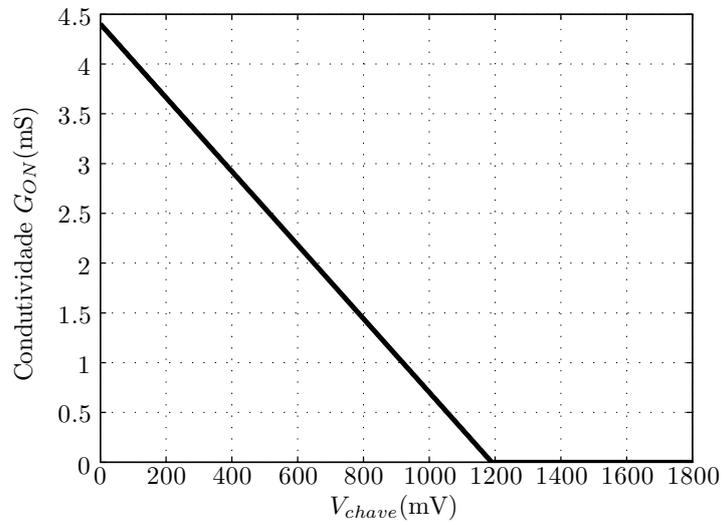


Figura 2.12: Modelagem do comportamento da condutividade da chave NMOS no processo 180nm em função da tensão na entrada. Com tensão de porta em 1.8V, $W=3\mu\text{m}$ e $L=0.18\mu\text{m}$.

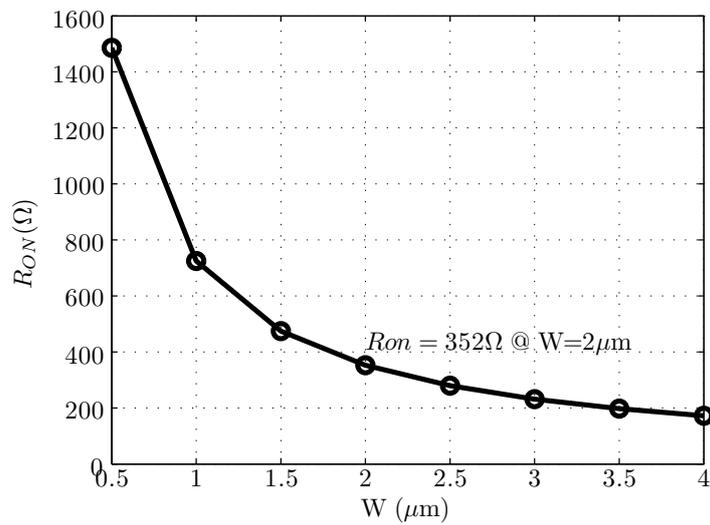


Figura 2.13: Resultado de simulação da resistência da chave MOS em função da largura do transistor (W) quando a tensão de entrada é 10mV. Com tensão de porta em 1.8V e $L=0.18\mu\text{m}$.

Capítulo 3

Circuitos Geradores CTAT

Como foi visto no Capítulo 2, uma forma de gerar uma corrente CTAT é aproveitando o comportamento da tensão limiar (V_{T_0}) do transistor MOS e aplicar este em uma resistência. Ideia que já foi utilizada em [16], [20] (conhecida como extrator V_T). Neste Capítulo é proposta uma arquitetura de extrator V_T , analisando-se as condições de estabilidade, o ruído, e o controle do descasamento.

3.1 Arquitetura Proposta

Neste trabalho de pesquisa, foi proposta uma arquitetura de extrator V_T (ver Fig.3.1), inspirada no circuito do trabalho [7]. A idéia deste circuito é impor a tensão necessária no nó V_{G1} , por meio de uma realimentação negativa, para que as correntes dos transistores M_{1a} e M_{1b} sejam $N.I$ e I respectivamente (impostas pelos espelhos de corrente). Ao mesmo tempo, se o transistor M_{1a} tem N vezes a largura do transistor M_{1b} , as tensões V_R e V_{G4} serão aproximadamente iguais, e assim obtêm-se as propriedades necessárias para que este circuito seja um extrator V_T .

Com a utilização da arquitetura proposta para os geradores CTAT, a arquitetura geral da referência de tensão foi implementada como pode ser visto na Fig.3.2, onde a corrente gerada pelo circuito CTAT 1 é subtraída da corrente gerada pelo circuito CTAT 2. Esta subtração é injetada na resistência R_3 para obter uma tensão independente da temperatura absoluta.

3.2 Estabilidade dos Geradores

A estabilidade da referência de tensão depende de cada circuito gerador CTAT independentemente. Estes circuitos usam a topologia que foi vista na Fig.3.1, que tem malhas fechadas que determinam a estabilidade. Para analisá-la, deve-se estudar o circuito de malha aberta em pequeno sinal (ver Fig.3.3). Neste circuito é suposto

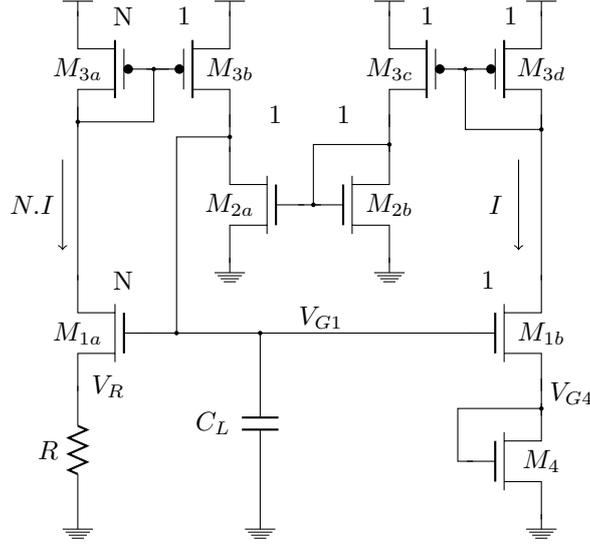


Figura 3.1: Arquitetura proposta para o circuito gerador CTAT.

que o capacitor C_L é a capacitância total do nó v_{out} (drenos de M_{3b} e M_{2a}).

Para simplificar o cálculo, pode-se supor que o polo dominante da transferência entre v_{in} e v_{out} é determinado pelo capacitor C_L e o ganho DC, negligenciando os efeitos dos outros capacitores do circuito em baixa frequência. Isso se pode calcular com o circuito em pequeno sinal mostrado na Fig.3.4, que resulta nas seguintes expressões para as correntes de cada malha de realimentação,

$$i_{o1} = v_{in} \cdot \frac{g_{m1a}/N}{n_n \cdot g_{m1a} \cdot R + 1} \quad (3.1)$$

$$i_{o2} = v_{in} \cdot \frac{g_{m1b}}{n_n \cdot (g_{m1b}/g_{m4}) + 1} \quad (3.2)$$

obtendo a seguinte transferência de malha aberta:

$$\frac{v_{out}}{v_{in}} = \frac{i_{o1} - i_{o2}}{v_{in} \cdot (g_{ds3b} + g_{ds2a} + s \cdot C_L)} \quad (3.3)$$

Portanto, o circuito será estável em DC se a malha aberta tiver ganho negativo, o que é possível impondo a seguinte condição:

$$i_{o1} - i_{o2} < 0 \quad (3.4)$$

Como g_{m1a}/N é igual ao g_{m1b} , a condição de estabilidade resulta em:

$$N \cdot R > \frac{1}{g_{m4}} \quad (3.5)$$

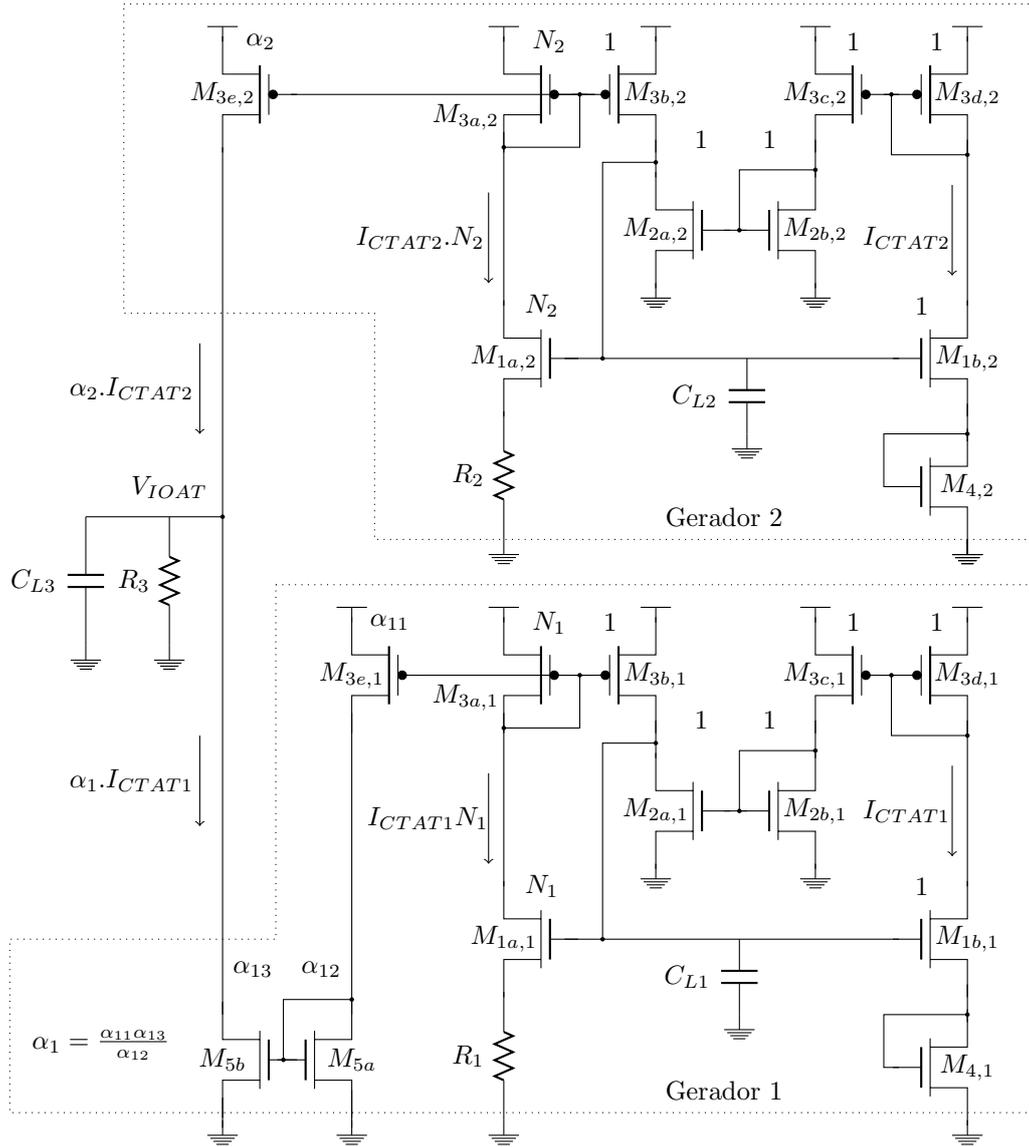


Figura 3.2: Arquitetura completa da referência de tensão independente com a temperatura absoluta.

e o polo dominante da malha aberta é:

$$p = \frac{1}{2\pi} \frac{g_{ds3b} + g_{ds2a}}{C_L} \quad (3.6)$$

Não se deve esquecer que esta última expressão foi obtida negligenciando o efeito dos outros capacitores, e deve-se conferir com simulação que esse efeito não compromete a estabilidade do circuito.

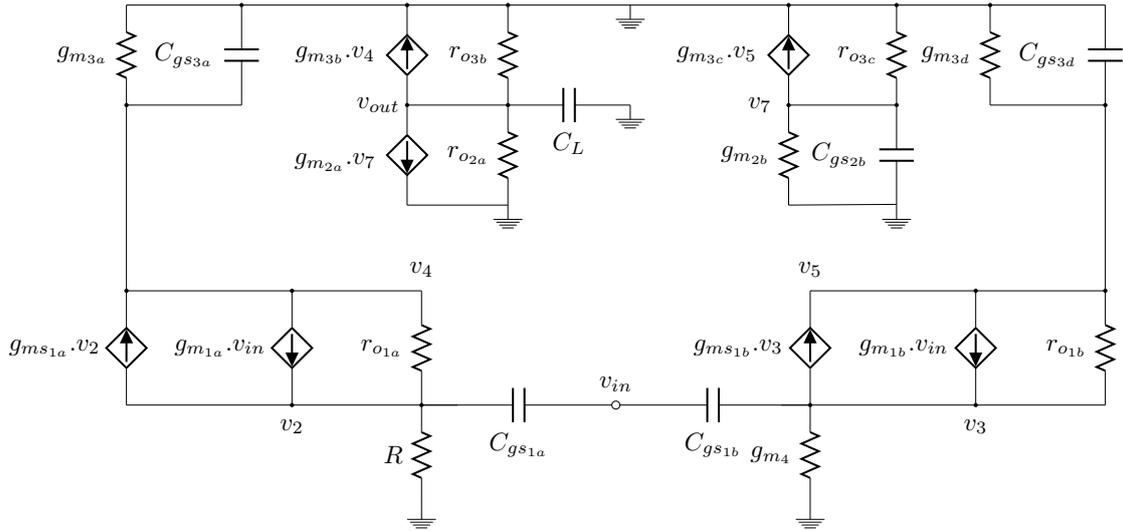


Figura 3.3: Representação em pequeno sinal dos circuitos geradores de corrente CTAT.

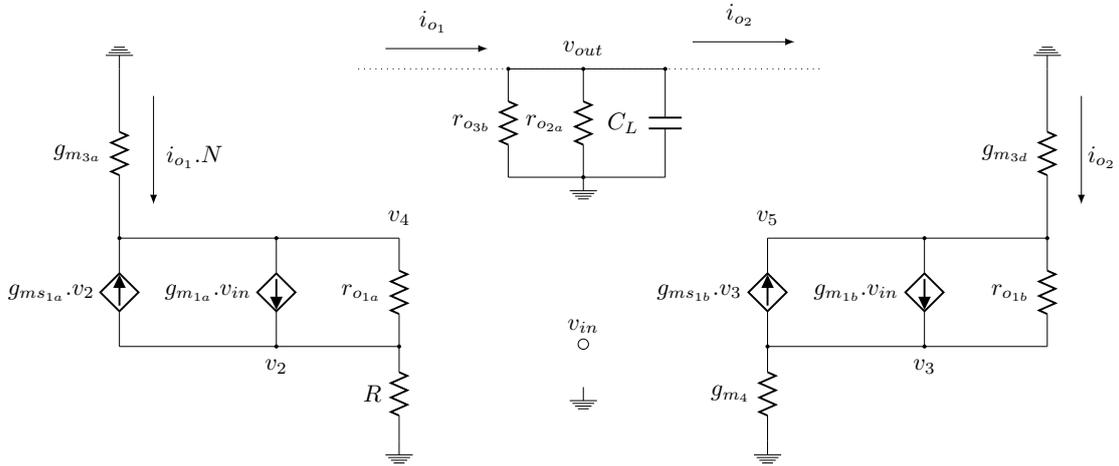


Figura 3.4: Modelo aproximado de primeira ordem da representação em pequeno sinal dos circuitos geradores de corrente CTAT.

3.3 Análise de Ruído

O ruído é um importante fator que limita a performance dos circuitos. Em circuitos CMOS, este é criado por vários fenômenos físicos devido ao movimento aleatório dos portadores de carga (elétrons e lacunas). Estes ruídos podem ser classificados dependendo do mecanismos pelos quais são criados. Existem 3 tipos de ruído: ruído Branco (ou Térmico), ruído *Shot* e ruído *Flicker*.

O ruído *Shot* é criado nas junções entre dois materiais onde existe um campo elétrico, em particular, em transistores MOSFET é dado no campo elétrico entre a porta e o canal, resultando em uma perda de corrente entre o gate e o canal. Esta corrente de perda é considerada desprezível neste trabalho (ruído *shot* desprezível).

Por outro lado, o ruído *Flicker* é gerado nas imperfeições nos materiais, onde os portadores de carga ficam presos ou desacelerados. Em [24], foram desenvolvidas expressões dependendo dos níveis de inversão nos transistores para cálculo de ruído branco e *flicker*.

3.3.1 Ruído da Referência de Tensão

3.3.1.1 Ruído Branco

O ruído branco gerado pela arquitetura da referência de tensão proposta, que foi vista na Fig.3.2, pode ser separado em duas contribuições: por um lado o ruído gerado pelas malhas internas de cada gerador, as quais têm polos dominantes em:

$$p_{int} = \frac{1}{2\pi} \frac{g_{ds3b_{1,2}} + g_{ds2a_{1,2}}}{C_{L_{1,2}}} \quad (3.7)$$

e por outro lado, o ruído gerado pelos transistores de saída ($M_{3e_{1,2}}$ e M_5) e a resistência R_3 , os quais têm transferência de ruído de primeira ordem com polo em:

$$p_{ext} = \frac{1}{2\pi} \frac{1}{R_3 C_{L3}} \quad (3.8)$$

Nota-se que o polo p_{int} é muito menor que o polo p_{ext} devido que g_{ds} é muito menor que $1/R_3$. Portanto, uma boa aproximação para o cálculo do ruído branco é supor que este está dominado pelo circuito da Fig.3.5. Para este circuito, pode-se calcular a densidade espectral de potência (PSD) do ruído branco em corrente na saída como:

$$Si_B = I_n^2 = Si_{3e,2} + Si_{3e,1} \frac{\alpha_{13}^2}{\alpha_{12}^2} + Si_{5a} \frac{\alpha_{13}^2}{\alpha_{12}^2} + Si_{5b} + Sv_{R_3}/(R_3^2) \quad (3.9)$$

onde cada PSD se calcula como:

$$Si_{3e,2} = \frac{8}{3} \cdot n_p \cdot K_B \cdot T \cdot g_{m3e,2} \quad (3.10)$$

$$Si_{3e,1} = \frac{8}{3} \cdot n_p \cdot K_B \cdot T \cdot g_{m3e,1} \quad (3.11)$$

$$Si_{5a} = \frac{8}{3} \cdot n_n \cdot K_B \cdot T \cdot g_{m5a} \quad (3.12)$$

$$Si_{5b} = \frac{8}{3} \cdot n_n \cdot K_B \cdot T \cdot g_{m5b} \quad (3.13)$$

$$Sv_{R_3} = 4 \cdot K_B \cdot T \cdot R_3 \quad (3.14)$$

sendo K_B a constante de Boltzmann, e n_p e n_n os *slope factor* dos transistores PMOS e NMOS respectivamente. A PSD de ruído branco em tensão na saída pode ser calculada como:

$$Sv_B = Si_B \cdot R_3^2 \quad (3.15)$$

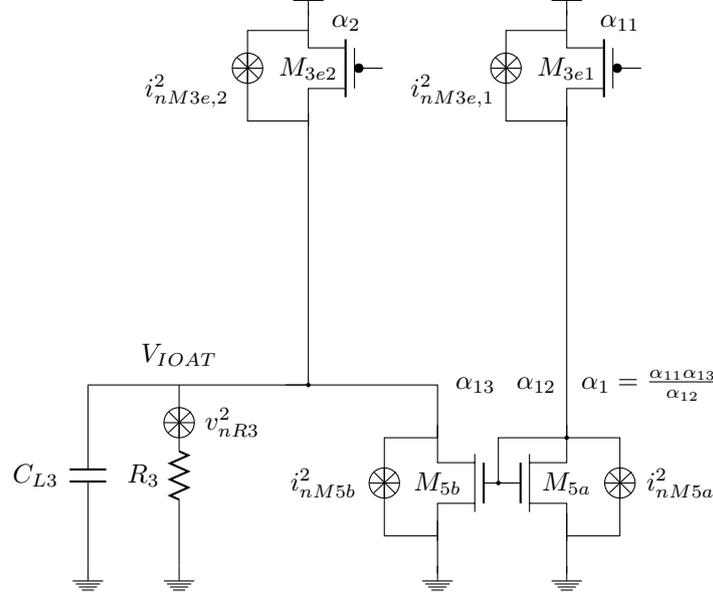


Figura 3.5: Circuito aproximado para cálculo de ruído branco, onde se mostram as fontes dominantes do ruído.

3.3.1.2 Ruído Flicker

Para calcular o ruído *flicker* total se devem analisar todas as contribuições das fontes de ruído *flicker* para todos os transistores da referência de tensão, já que, este ruído está presente para frequências baixas, e portanto, a filtragem dos polos p_{int} e p_{ext} não permite realizar nenhuma aproximação.

Supondo que todos os transistores têm ruído *flicker* presente no gate, sendo Sv_i a PSD de ruído *flicker* em tensão no gate para cada transistor M_i , pode ser escrita a PSD de ruído *flicker* em corrente na saída do gerador CTAT 1 como:

$$\begin{aligned} Si_{F1} = & (Sv_{1a,1} + Sv_{1b,1}) \cdot g_{m1b,1}^2 \left(\frac{\alpha_{11}\alpha_{13}}{\alpha_{12}} \right)^2 + (Sv_{5a,1} + Sv_{5b,1}) \cdot g_{m5b,1}^2 + \dots \\ & (Sv_{4,1}) \cdot g_{m4,1}^2 \left(\frac{\alpha_{11}\alpha_{13}}{\alpha_{12}} \right)^2 + (Sv_{3c,1} + Sv_{3d,1}) \cdot g_{m3c,1}^2 \left(\frac{\alpha_{11}\alpha_{13}}{\alpha_{12}} \right)^2 + \dots \\ & (Sv_{2a,1} + Sv_{2b,1}) \cdot g_{m2a,1}^2 \left(\frac{\alpha_{11}\alpha_{13}}{\alpha_{12}} \right)^2 + \dots \\ & (Sv_{3a,1} + Sv_{3b,1} + Sv_{3e,1}) \cdot g_{m3e,1}^2 \left(\frac{\alpha_{13}}{\alpha_{12}} \right)^2 \end{aligned} \quad (3.16)$$

e na saída do gerador CTAT 2 como:

$$\begin{aligned}
Si_{F2} = & (Sv_{1a,2} + Sv_{v1b,2}) \cdot g_{m1b,2}^2 \alpha_2^2 + (Sv_{4,2}) \cdot g_{m4,2}^2 \alpha_2^2 + \dots \\
& (Sv_{3c,2} + Sv_{3d,2}) \cdot g_{m3c,2}^2 \alpha_2^2 + \dots \\
& (Sv_{2a,2} + Sv_{2b,2}) \cdot g_{m2a,2}^2 \alpha_2^2 + \dots \\
& (Sv_{3a,2} + Sv_{3b,2} + Sv_{3e,2}) \cdot g_{m3e,2}^2
\end{aligned} \tag{3.17}$$

onde cada Sv_i é definido como:

$$Sv_i = \frac{K_F}{W_i L_i} \frac{\psi(i_f)}{f} \tag{3.18}$$

sendo K_F constante de ruído *flicker* (extraída para processo 180nm) que pode ser vista no Apêndice C, e $\psi(i_f)$ uma função que depende somente do nível de inversão do transistor, definida como:

$$\psi(i_f) = \left(\frac{1 + \sqrt{1 + i_f}}{2} \right)^2 \cdot \frac{\log(1 + i_f)}{i_f} \tag{3.19}$$

Portanto, a PSD de ruído *flicker* total em tensão na saída da referência de tensão, pode ser calculada como:

$$Sv_F = (Si_{F1} + Si_{F2}) \cdot R_3^2 \tag{3.20}$$

3.3.1.3 Ruído Total

Com a PSD de ruído branco (Sv_B) e *flicker* (Sv_F) em tensão na saída, pode ser calculada a PSD de ruído total em tensão (Sv_{TOTAL}) na saída como:

$$Sv_{TOT} = Sv_B + Sv_F \tag{3.21}$$

Se a referência de tensão não é filtrada por outro sistema em cascata, o ruído total RMS na saída pode ser calculado como:

$$v_n^2 = \int_0^\infty Sv_{TOT}(f) |H(f)|^2 df \tag{3.22}$$

onde,

$$|H(f)|^2 = \frac{p_{ext}^2}{f^2 + p_{ext}^2} \tag{3.23}$$

é o quadrado do módulo da transferência de primeira ordem imposta pelo polo da saída.

3.4 Controle do Descasamento

Nesta seção, primeiramente se analisam as equações de descasamento de alguns blocos que integram os circuitos CTAT: espelhos de corrente, extratores V_T e resistências. Estas expressões permitem dimensionar a área destas células em função do descasamento desejado e a variável de projeto g_m/I_D ([25]) que foi utilizada para otimizar o circuito. Em seguida, se analisa como controlar o descasamento de cada gerador CTAT, e assim controlar o descasamento total da referência de tensão.

3.4.1 Alguns Blocos Necessários

3.4.1.1 Espelhos de Corrente

Uma célula fundamental em quanto ao descasamento deste trabalho é o simples espelho de corrente mostrado na Fig.3.6. Com as equações vistas no Apêndice A é possível escrever as seguintes expressões para as variâncias da corrente em cada transistor do espelho como:

$$\frac{\sigma^2(\Delta I_{D1})}{I_{D1}^2} = \frac{1}{MWL} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.24)$$

$$\frac{\sigma^2(\Delta I_{D2})}{I_{D2}^2} = \frac{1}{KWL} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.25)$$

das quais se obtém a seguinte condição:

$$\frac{\sigma^2(\Delta I_{D1})}{I_{D1}^2} = \frac{K}{M} \cdot \frac{\sigma^2(\Delta I_{D2})}{I_{D2}^2} \quad (3.26)$$

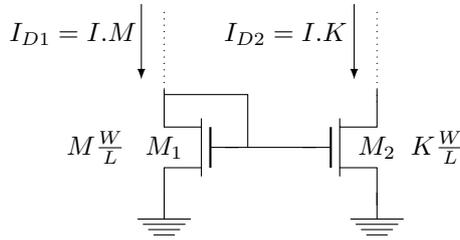


Figura 3.6: Circuito de espelho de corrente com ganho K/M.

Definindo a variância do descasamento total no espelho como:

$$\sigma_{esp}^2 = \frac{\sigma^2(\Delta I_{D2})}{I_{D2}^2} + \frac{K^2}{M^2} \cdot \frac{\sigma^2(\Delta I_{D1})}{I_{D1}^2} \quad (3.27)$$

e utilizando a condição da Eq.(3.26), lembrando que $I_{D2} = (K/M)I_{D1}$, a variância

do espelho pode ser escrita como segue:

$$\sigma_{esp}^2 = \frac{M+K}{MK} \frac{1}{WL} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.28)$$

Portanto, pode-se escrever a área do transistor unitário (WL) do espelho em função do descasamento (variância) desejado e a variável g_m/I_D dos transistores como:

$$\text{Área} = \frac{(M+K)}{MK} \frac{1}{\sigma_{esp}^2} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.29)$$

3.4.1.2 Extrator V_T

Supondo que os espelhos M_2 e M_3 da Fig.3.1 -como foi proposto em [7]- são projetados com descasamento desprezível em comparação ao dos transistores M_1 e M_4 , o descasamento do extrator V_T será dominado pelos transistores M_1 e M_4 . Portanto, para calcular o desvio padrão da corrente de saída, deve ser calculado o desvio padrão da tensão V_G (ver Fig.3.7), já que este, coincide com o desvio padrão da corrente de saída (I_R), e pode ser demonstrado como segue:

$$\sigma \left(\frac{\Delta I_R}{I_R} \right) = \sigma \left(\frac{\Delta V_R}{R} \frac{1}{I_R} \right) = \sigma \left(\frac{\Delta V_R}{R} \frac{R}{V_R} \right) = \sigma \left(\frac{\Delta V_R}{V_R} \right) \quad (3.30)$$

portanto,

$$\frac{\sigma^2(\Delta I_R)}{I_R^2} = \frac{\sigma^2(\Delta V_R)}{V_R^2} \quad (3.31)$$

Escrevendo a equação de malha da tensão V_R como segue:

$$V_R = V_{gs4} + V_{gs1b} - V_{gs1a} \quad (3.32)$$

pode ser calculada a variância do extrator como:

$$\sigma_{ext}^2 = \frac{\sigma^2(\Delta V_R)}{V_R^2} = \frac{\sigma^2(\Delta V_{gs4}) + \sigma^2(\Delta V_{gs1b}) + \sigma^2(\Delta V_{gs1a})}{V_R^2} \quad (3.33)$$

onde, cada ΔV_{gs_i} pode ser aproximado¹ por (visto no Apêndice A):

$$\sigma^2(\Delta V_{gs4}) \approx \frac{1}{W_4 L_4} \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{M4}^2 \cdot A_{K'}^2 \right) \quad (3.34)$$

$$\sigma^2(\Delta V_{gs1a}) \approx \frac{1}{NW_1 L_1} \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{M1a}^2 \cdot A_{K'}^2 \right) \quad (3.35)$$

$$\sigma^2(\Delta V_{gs1b}) \approx \frac{1}{W_1 L_1} \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{M1b}^2 \cdot A_{K'}^2 \right) \quad (3.36)$$

¹Aproximado porque a equação de descasamento do Apêndice A é para a tensão de gate (V_G).

De forma a obter uma equação prática para projetar o circuito, assumimos que as áreas dos transistores unitários são as mesmas em todos os transistores do extrator ($L_1W_1 = L_4W_4$), o qual permitirá, como já foi visto para o espelho de corrente, obter uma expressão que dependa só do descasamento desejado e a variável g_m/I_D . Isso pode ser visto na seguinte expressão:

$$\text{Área} = \frac{1}{\sigma_{ext}^2} \left[\frac{N+1}{N} \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{M_1}^2 A_{K'}^2 \right) + \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{M_4}^2 A_{K'}^2 \right) \right] \quad (3.37)$$

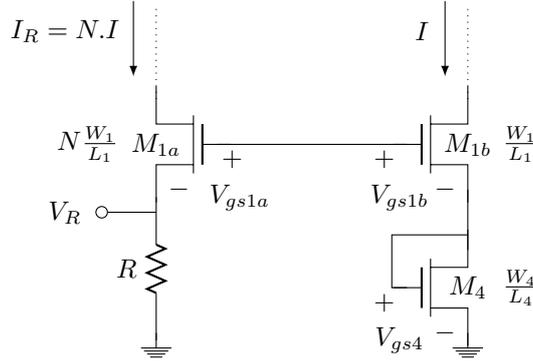


Figura 3.7: Circuito do extrator V_T simplificado para cálculo de descasamento.

3.4.1.3 Resistências

O descasamento das resistências - como no caso dos transistores - também é função da área. Normalmente para calcular o desvio padrão destas é utilizada a seguinte expressão:

$$\sigma_R = \frac{\sigma(\Delta R)}{R} = \sqrt{\frac{A_{res}^2}{WL}} \quad (\%) \quad (3.38)$$

onde A_{res} (ver Tabela 3.1) é um dado fornecido pelo fabricante e WL é a área da resistência. Esta mesma expressão se pode reescrever em termos da área do quadrado unitário (A_{sq}) e o número de quadrados unitários (N_{sq}) necessários para o cálculo da resistência como:

$$\sigma_R = \frac{\sigma(\Delta R)}{R} = \sqrt{\frac{A_{res}^2}{A_{sq} \cdot N_{sq}}} \quad (\%) \quad (3.39)$$

Por exemplo, no caso projetado no Capítulo 2, onde a resistência é $500k\Omega$, se pode calcular o número de quadrados necessários como:

$$N_{sq} = \frac{R}{R_{sq}} = \frac{500k\Omega}{0.260k\Omega/sq} \approx 1923 \text{ sq} \quad (3.40)$$

Portanto, o desvio padrão de uma resistência de $500k\Omega$, implementada com $A_{sq} = 0.5\mu m \cdot 0.5\mu m$

Tabela 3.1: Dados do fabricante do processo 180nm para as Resistências de Polí-Silício P⁺.

Dado	Valor
A_{res}	$1.67\mu\text{m}$
R_{sq}	$0.260\text{ k}\Omega/\text{sq}$

no processo 180nm pode ser calculado como:

$$\sigma_R = \sqrt{\frac{(1.67\mu\text{m})^2}{(0.50\mu\text{m})^2 \cdot 1923}} = 0.076\% \quad (3.41)$$

3.4.2 Circuitos Geradores CTAT

Com as expressões desenvolvidas para o descasamento na Seção 3.4.1, pode ser calculado o descasamento total dos blocos geradores CTAT como a cascata de descasamentos (ver Apêndice B). Na Fig.3.8 pode ser visto o circuito CTAT 1 simplificado, que mostra cada fator de descasamento (extrator 1, espelho 3-1 e o espelho 5). Nota-se que as correntes de saída de cada bloco estão em cascata com os outros blocos, o qual permite calcular o descasamento total do bloco CTAT 1 como segue:

$$\sigma_{CTAT1}(\%) = \sqrt{(\sigma_{ext1}^2(\%) + 1) \cdot (\sigma_{esp3,1}^2(\%) + 1) \cdot (\sigma_{esp5}^2(\%) + 1) - 1} \quad (3.42)$$

Para obter um correto funcionamento do circuito CTAT 1 é necessário projetar os descasamentos dos espelhos 3-1 e 2-1 desprezíveis em relação aos outros descasamentos do circuito (idéia proposta no trabalho [7]). Dessa forma a Eq.(3.42) pode ser aproximada por:

$$\sigma_{CTAT1}(\%) \approx \sqrt{(\sigma_{ext1}^2(\%) + 1) \cdot (\sigma_{esp5}^2(\%) + 1) - 1} \quad (3.43)$$

A fim de obter uma expressão prática no projeto do circuito CTAT 1, pode ser suposto que os fatores de descasamentos da Eq.(3.43) são iguais, definindo-se o seguinte desvio padrão:

$$\sigma_{x1}(\%) = \sigma_{ext1}(\%) = \sigma_{esp5}(\%) \quad (3.44)$$

este pode ser calculado utilizando a Eq.(3.43) como:

$$\sigma_{x1}(\%) = \sqrt{\sqrt{(\sigma_{CTAT1}^2(\%) + 1) - 1}} \quad (3.45)$$

Portanto, as áreas requeridas pelos transistores de cada bloco para controlar o descasamento do circuito CTAT 1 podem ser calculadas em função da relação g_m/I_D e

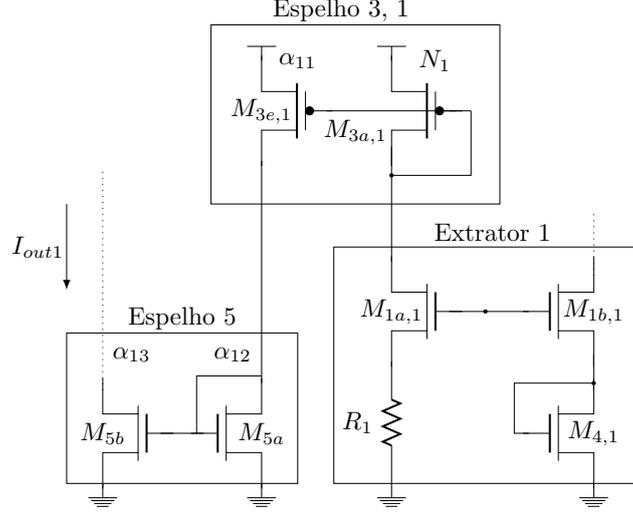


Figura 3.8: Circuito simplificado do gerador CTAT 1 que mostra os principais fatores de descasamento.

o desvio padrão σ_{x1} (definido na Eq.(3.44)) como:

$$\hat{\text{Área}}_{ext1} = \frac{1}{\sigma_{x1}^2} \left[\frac{N_1 + 1}{N_1} \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{1,1}^2 A_{K'}^2 \right) + \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{4,1}^2 A_{K'}^2 \right) \right] \quad (3.46)$$

$$\hat{\text{Área}}_{esp3,1} = \frac{(\alpha_{11} + N_1)}{\alpha_{11} N_1} \frac{1}{(\sigma_{x1}/3)^2} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)_{3,1}^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.47)$$

$$\hat{\text{Área}}_{esp5} = \frac{(\alpha_{12} + \alpha_{13})}{\alpha_{12} \alpha_{13}} \frac{1}{\sigma_{x1}^2} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)_5^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.48)$$

$$\hat{\text{Área}}_{esp2} = \frac{2}{(\sigma_{x1}/3)^2} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)_{2,1}^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.49)$$

Nota-se que os espelhos 3-1 e 2-1 têm o descasamento 3 vezes menor do que o resto, condição que permite o correto funcionamento. Estas expressões são utilizadas na otimização do circuito proposta no Capítulo 4.

Da mesma forma que no circuito CTAT 1, pode ser calculada a área necessária nos transistores para controlar o descasamento. No caso do CTAT 2, como pode ser visto na Fig.3.9, os dois blocos que contribuem para o descasamento são: extrator 2 e o espelho 3-2. Portanto, o descasamento total do circuito CTAT 2 pode ser calculado como:

$$\sigma_{CTAT2}(\%) = \sqrt{(\sigma_{ext2}^2(\%) + 1) \cdot (\sigma_{esp3,2}^2(\%) + 1) - 1} \quad (3.50)$$

Se o descasamento dos espelhos 3-2 e 2-2 são desprezíveis em relação aos outros

blocos, a Eq.(3.50) pode ser aproximada por:

$$\sigma_{CTAT2}(\%) \approx \sqrt{(\sigma_{ext2}^2(\%) + 1) - 1} = \sigma_{ext2}(\%) \quad (3.51)$$

Da mesma forma que no outro gerador, para obter uma expressão prática, pode ser definido o seguinte desvio padrão:

$$\sigma_{x2}(\%) = \sigma_{ext2}(\%) = \sigma_{CTAT2}(\%) \quad (3.52)$$

Assim, podem ser calculadas as áreas requeridas pelos transistores de cada bloco para controlar o descasamento do circuito CTAT 2 em função da relação g_m/I_D e o desvio padrão σ_{x2} como:

$$\text{Área}_{ext2} = \frac{1}{\sigma_{x2}^2} \left[\frac{N_2 + 1}{N_2} \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{1,2}^2 A_{K'}^2 \right) + \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m} \right)_{4,2}^2 A_{K'}^2 \right) \right] \quad (3.53)$$

$$\text{Área}_{esp3,2} = \frac{(\alpha_2 + N_2)}{\alpha_2 N_2} \frac{1}{(\sigma_{x2}/3)^2} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)_{3,2}^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.54)$$

$$\text{Área}_{esp2,2} = \frac{2}{(\sigma_{x2}/3)^2} \left(A_{K'}^2 + \left(\frac{g_m}{I_D} \right)_{2,2}^2 \cdot A_{V_{T_o}}^2 \right) \quad (3.55)$$

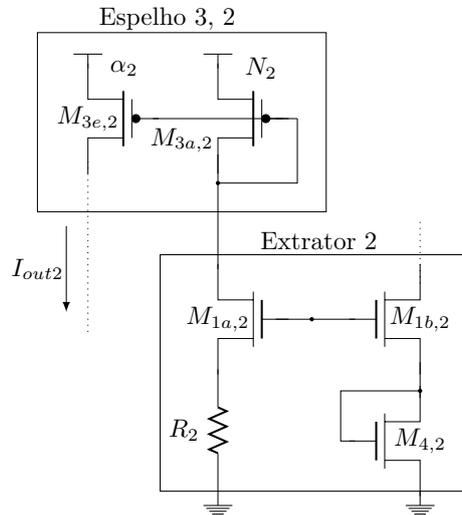


Figura 3.9: Circuito simplificado do gerador CTAT 2 que mostra os principais fatores de descasamento.

Capítulo 4

Metodologia de Projeto

No projeto de circuitos analógicos CMOS e especialmente em aplicações de baixo consumo de energia e baixa tensão de fonte de alimentação, é necessário analisar os transistores em todos os níveis de inversão para obter um melhor compromisso entre a área, o descasamento, o ruído e o consumo de energia. Obtêm-se assim soluções que normalmente são otimizadas em inversão moderada ou fraca. Para estudar este compromisso com praticidade - antecipado em capítulos anteriores - foi utilizada a metodologia g_m/I_D [25].

Neste capítulo se descreve a metodologia utilizada para projetar e otimizar o circuito. Primeiramente será apresentada uma ferramenta de software baseada no equacionamento do sistema visto nos Capítulos 2 e 3. Esta ferramenta pode ser utilizada para prever o comportamento desejado da referência de tensão proposta, tendo controle sobre as principais características, tais como: o coeficiente de temperatura, o consumo de energia, a tensão nominal de funcionamento, o ruído na saída, o descasamento provocado pelo processo fabricação, e a área ocupada no chip. Em seguida se descreve a metodologia utilizada para otimizar o compromisso entre a área dos transistores e o descasamento do circuito, baseado na metodologia g_m/I_D .

4.1 Ferramenta de Projeto

4.1.1 Ajuste Manual de Compensação Mútua

De forma a obter um método prático que permite analisar a metodologia vista na Fig.2.6 para projetar o circuito com compensação mútua na faixa de temperatura desejada, implementou-se uma ferramenta baseada no equacionamento visto no Capítulo 2. Adicionando os parâmetros α_{11} , α_{12} e α_{13} (ver Fig.3.2) na Eq.(2.12), esta

pode ser reescrita de como:

$$V_{IOAT}(T) = R_3 \cdot \left(\alpha_2 \cdot \frac{V_{G2}(T, i_{f2})}{N_2 \cdot R_2} - \frac{\alpha_{11} \alpha_{13}}{\alpha_{12}} \cdot \frac{V_{G1}(T, i_{f1})}{N_1 \cdot R_1} \right) \quad (4.1)$$

Com base principalmente nesta equação, e com ajuda da modelagem dos transistores (Apêndice C) variando a temperatura para calcular o comportamento de $V_{G2}(T, i_{f2})$ e $V_{G1}(T, i_{f1})$, foi implementada uma interface gráfica com Matlab, que permite plotar o comportamento das principais características da referência de tensão em função da temperatura. A janela principal desta interface gráfica pode ser vista na Fig.4.1. Nesta é possível variar os seguintes parâmetros do circuito: as resistências R_1 e R_2 , os multiplicadores α_{11} , α_{12} , α_{13} e α_2 , e os níveis de inversão i_{f1} e i_{f2} dos transistores $M_{4,1}$ e $M_{4,2}$. Desta forma pode-se obter a configuração desejada para a referência de tensão: o consumo de energia desejado (inversamente proporcional à magnitude das resistências), o TC da referência de tensão, e a resistência R_3 necessária para obter a tensão V_{IAOT} desejada na temperatura T_0 . Os parâmetros escolhidos para implementar o circuito desta pesquisa de tese são os mostrados na Tabela 4.1.

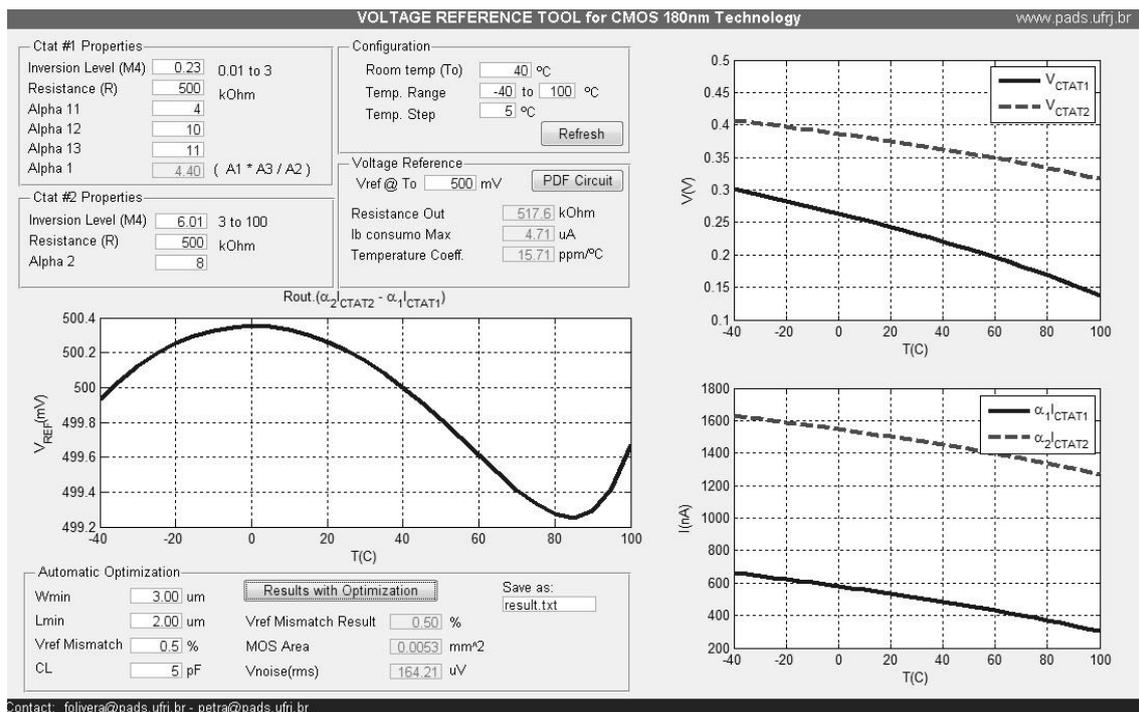


Figura 4.1: Interface gráfica para o projeto da referência de tensão implementada em Matlab.

4.1.2 Heurística de Dimensionamento

O ajuste manual descrito anteriormente não fornece as dimensões dos transistores do circuito, já que todos os blocos (espelhos de corrente, extrator V_T) são idealizados na

Tabela 4.1: Resultados escolhidos com a ferramenta de projeto para implementar a referência de tensão.

Parâmetro	Resultado
TC	15.71 ppm/°C
Corrente@-40°C	4.71 μ A
V_{IOAT}	500mV

Eq.(4.1). Portanto, é necessário definir outros objetivos no projeto do circuito, que são: o descasamento desejado na tensão de saída, o capacitor de saída (que impõe o polo no espectro do ruído) e as dimensões mínimas de largura e comprimento dos transistores (limitados inferiormente pelo efeito de canal curto da modelagem dos transistores). Na Fig.4.2 pode ser vista a dinâmica proposta para projetar a referência de tensão com a ferramenta desenvolvida, onde primeiramente é feito um ajuste manual da compensação mútua (ajustando alguns parâmetros do circuito) e em seguida é feita uma minimização heurística da área. A descrição da rotina que implementa a minimização heurística pode ser vista na Fig.4.3.

Nota-se que para minimizar a área do circuito foram utilizadas as expressões de descasamento desenvolvidas na Seção 3.4, realizando uma varredura do espaço de projeto da relação g_m/I_D mostrada na Fig.4.5. As soluções minimizadas da área dos transistores recaem todas em inversão forte ou quase moderada.

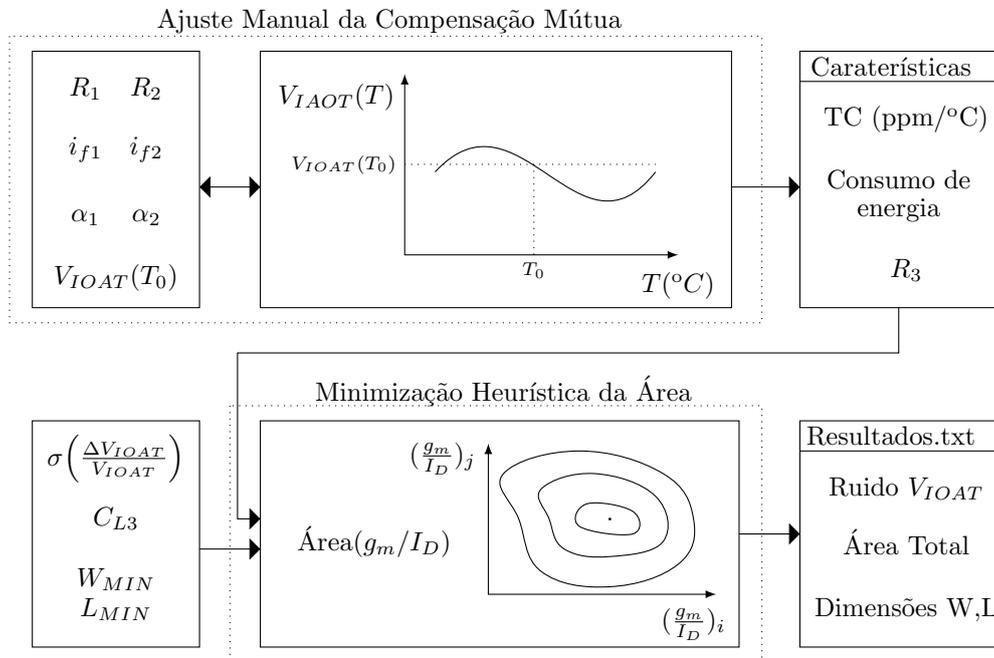


Figura 4.2: Dinâmica de projeto da referência de tensão independente da temperatura absoluta.

Uma vez que a variável de projeto g_m/I_D tem uma relação única com o nível de

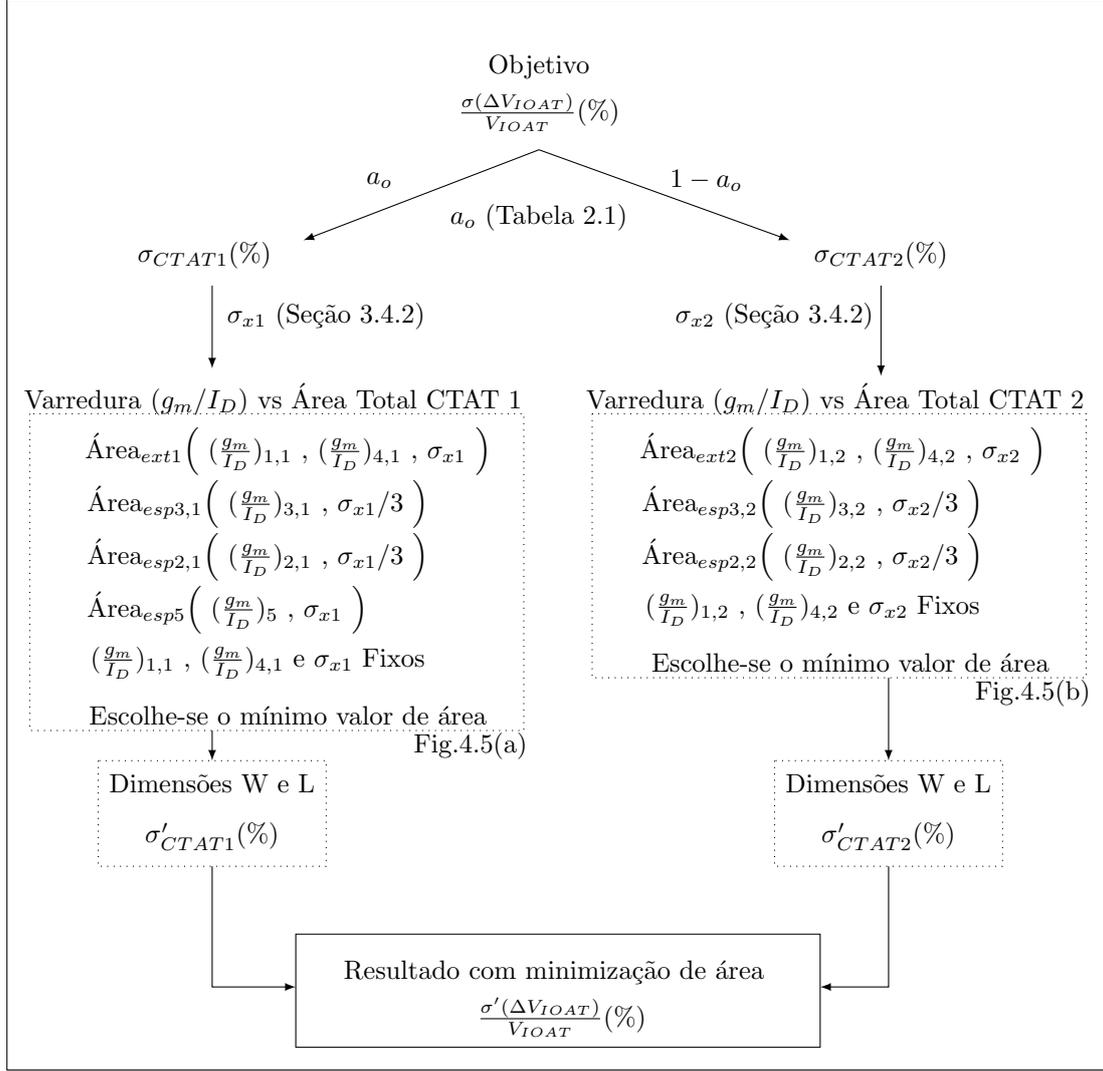


Figura 4.3: Diagrama do funcionamento da rotina heurística de dimensionamento.

inversão dos transistores, dada pelo modelo ACM como (ver Fig.4.4)

$$i_f = \left(\frac{2}{nU_T(g_m/I_D)} - 1 \right)^2 - 1 \quad (4.2)$$

os transistores $M_{4,1}$ e $M_{4,2}$, que são responsáveis pela compensação mútua através do nível de inversão, terão a relação g_m/I_D fixa durante a varredura do espaço de projeto.

Quanto ao ruído, o qual é dominado pelo ruído branco, quanto mais forte for o nível de inversão (menor g_m nos transistores), menor será a sua potência. Portanto, dado que as soluções minimizadas estão próximas ou dentro da região de inversão forte, o peso do ruído na minimização foi desconsiderado, e pode ser ajustado com o capacitor C_L .

Para conferir o desempenho da rotina de minimização de área em função do descasamento desejado, foram simulados eletricamente os resultados de vários cir-

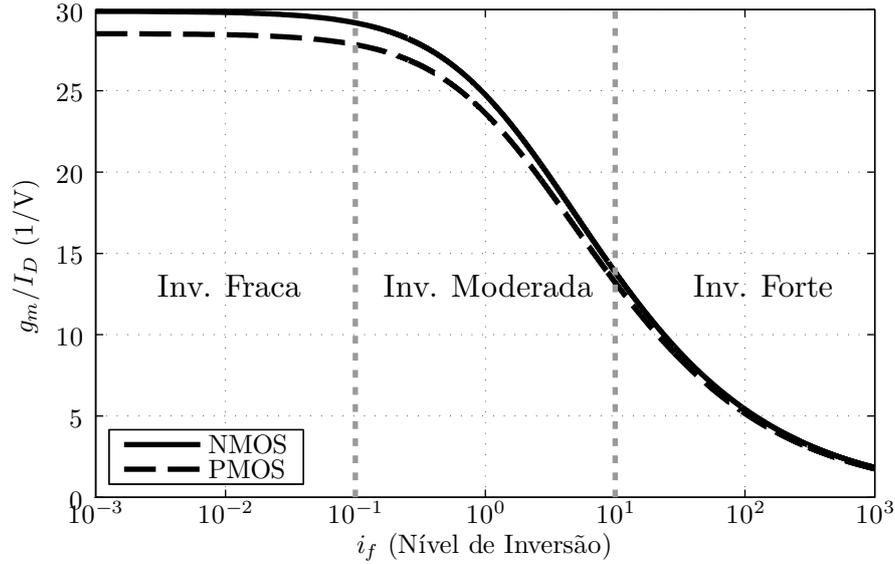


Figura 4.4: Relação entre a variável g_m/I_D e o Nível de Inversão (i_f) para o processo CMOS 180nm em 40°C.

cuitos, e comparados com os resultados teóricos fornecidos pela rotina, como mostra a Fig.4.6. Nota-se que o projeto de circuitos com descasamentos menores que 0.2% têm um custo de área bem maior. Assim, foi escolhido o caso de 0.37% de descasamento para projetar o circuito deste trabalho.

4.2 Resultados do Projeto

Os resultados obtidos com a ferramenta de minimização heurística pode ser visto na Tabela 4.2. As dimensões dos transistores e os níveis de inversão são mostrados nas Tabelas 4.3 e 4.4 para os geradores CTAT 1 e CTAT 2 respectivamente.

Tabela 4.2: Resultados obtidos com a ferramenta de minimização de área para a referência de tensão projetada.

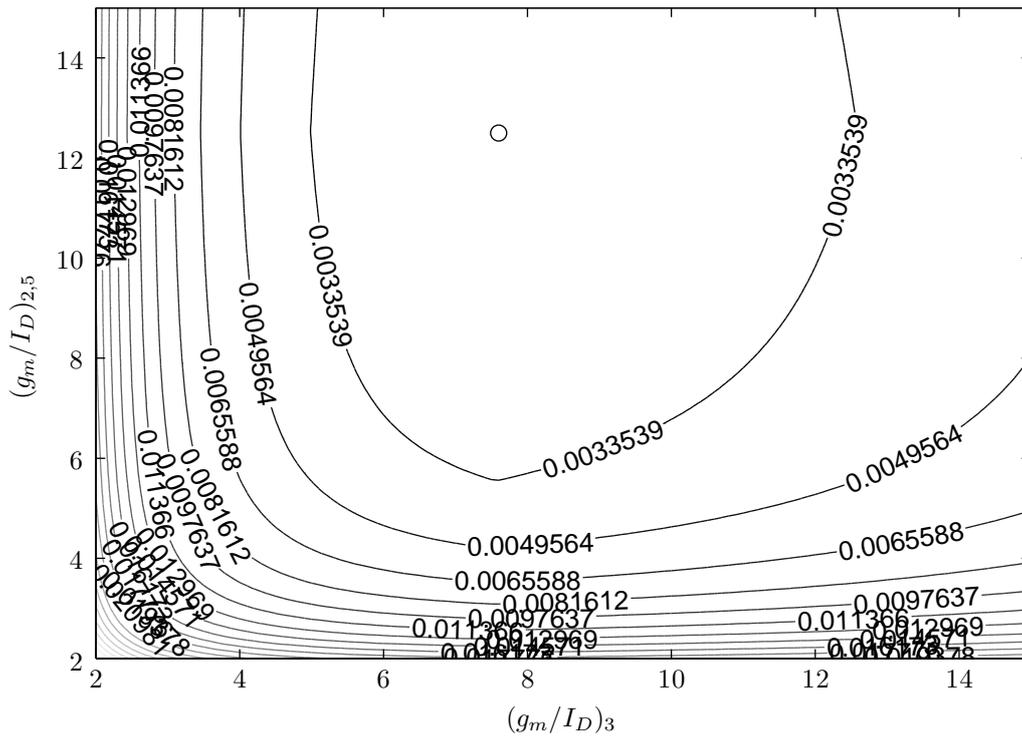
Parâmetro	Resultado
V_{noise}	$164 \mu V_{rms}$
$\sigma(\Delta V_{IOAT})$	0.37 %
C_L	5 pF
Área Gate MOS	0.0060 mm ²

Tabela 4.3: Resultados obtido para W , L , g_m/I_D e i_f dos transistores do circuito CTAT 1 minimizado.

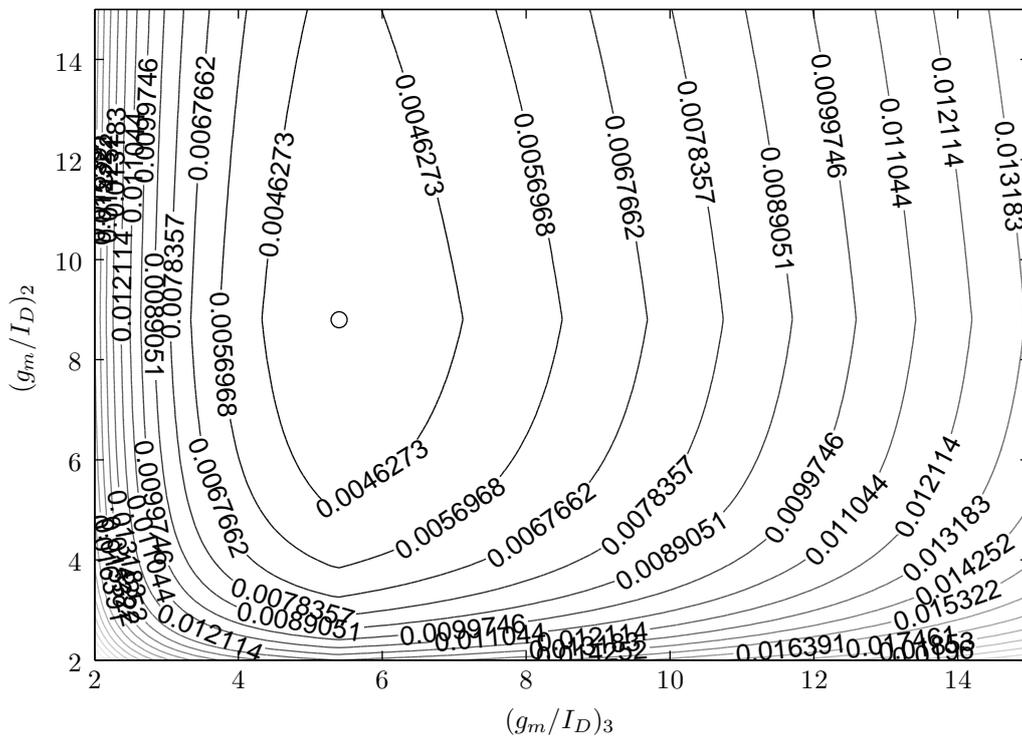
Transistor	W (μm)	L (μm)	g_m/I_D	i_f
$M_{1a,1}$	4x25	3	29.1	0.11
$M_{1b,1}$	25	3	29.1	0.11
$M_{2a,1}$	3	44	12.5	13.31
$M_{2b,1}$	3	44	12.5	13.31
$M_{3a,1}$	4x3	30	7.6	41
$M_{3b,1}$	3	30	7.6	41
$M_{3c,1}$	3	30	7.6	41
$M_{3d,1}$	3	30	7.6	41
$M_{3e,1}$	4x3	30	7.6	41
$M_{4,1}$	15.91	3.14	28.4	0.22
$M_{5a,1}$	10x3	9.7	12.5	13.31
$M_{5b,1}$	11x3	9.7	12.5	13.31

Tabela 4.4: Resultados obtido para W , L , g_m/I_D e i_f dos transistores do circuito CTAT 2 minimizado.

Transistor	W (μm)	L (μm)	g_m/I_D	i_f
$M_{1a,2}$	4x26.7	8.9	26.9	0.49
$M_{1b,2}$	26.7	8.9	26.9	0.49
$M_{2a,2}$	3	65	8.8	32.60
$M_{2b,2}$	3	65	8.8	32.60
$M_{3a,2}$	4x3	39.3	5.4	90.43
$M_{3b,2}$	3	39.3	5.4	90.43
$M_{3c,2}$	3	39.3	5.4	90.43
$M_{3d,2}$	3	39.3	5.4	90.43
$M_{3e,2}$	8x3	39.3	5.4	90.43
$M_{4,2}$	6.9	27.62	16.39	6.01



(a) Otimização com a metodologia g_m/I_D do circuito CTAT 1.



(b) Otimização com a metodologia g_m/I_D do circuito CTAT 2.

Figura 4.5: Curvas da minimização heurística da área (em mm^2 no gráfico) com a variável de projeto g_m/I_D . Em (a) e (b) podem ser observadas as minimizações da área para os circuitos CTAT 1 e CTAT 2, respectivamente.

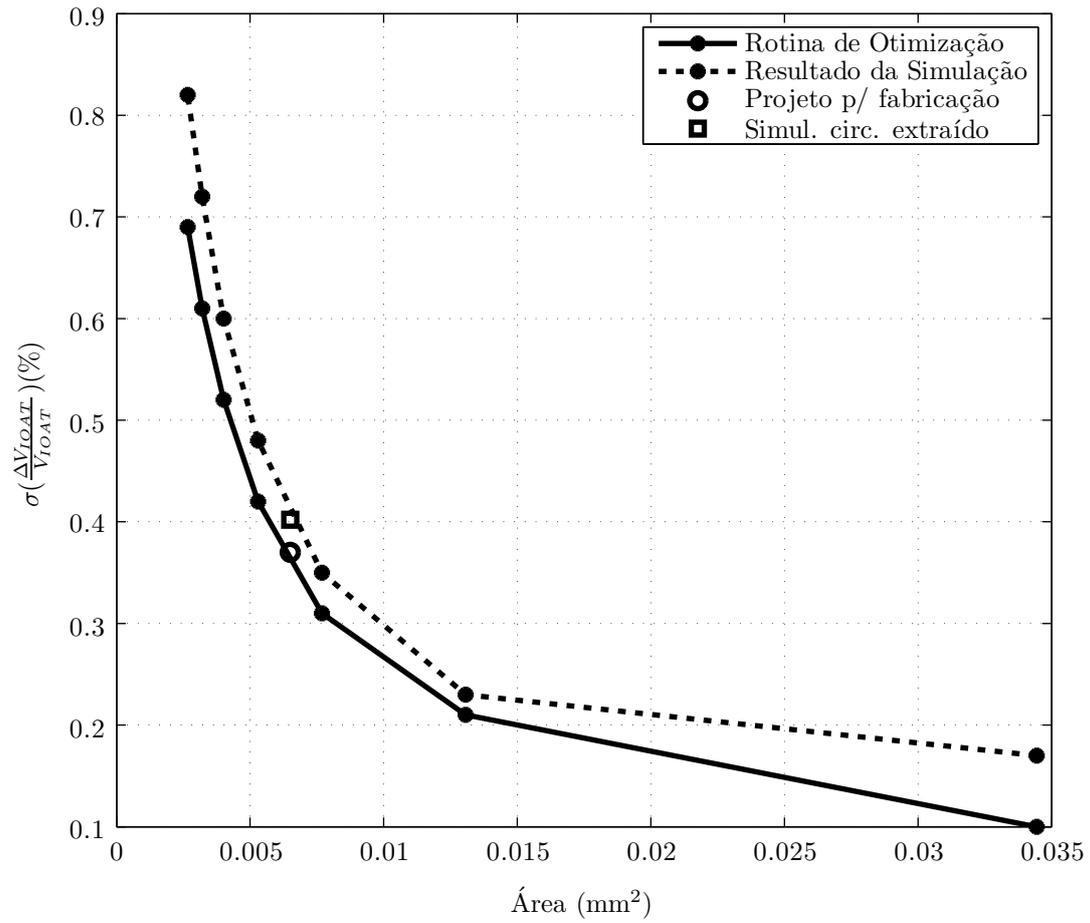


Figura 4.6: Comparações dos descasamentos para diferentes referências de tensão projetadas com a rotina heurística. As referências projetadas e simuladas são as que têm a mesma área no gráfico.

Capítulo 5

Leiaute do Circuito

O desempenho da referência de tensão é dependente do descasamento do circuito. Erros nas cópias dos espelhos e nas razões entre resistências provocam um impacto no coeficiente de temperatura desejado na referência de tensão. No Capítulo 3 foi analisado e limitado o descasamento do circuito devido às variações aleatórias dos componentes com o processo de fabricação. Além disso, no processo de fabricação existe o problema das variações sistemáticas [26], que são dependentes do processo e usualmente são modeladas como gradientes espaciais nos parâmetros dos componentes. Este gradiente é mais problemático quando a área do circuito aumenta, portanto, se for reduzido o descasamento aleatório aumentando exageradamente a área, o descasamento será dominado pelas variações sistemáticas. Felizmente, para a hipótese de que a área não é demasiado grande (gradiente aproximadamente linear), foram desenvolvidas técnicas [27] que minimizam o descasamento das variações sistemáticas.

No leiaute deste circuito foram utilizadas as técnicas de simetria central e interdigitação na distribuição das matrizes de transistores e resistências. Estas técnicas cancelam o efeito do gradiente linear se a simetria é respeitada nas duas direções (vertical e horizontal). Para melhor casamento destas matrizes também foram utilizados elementos *dummies*¹ e anéis de guarda necessários para reduzir o ruído do substrato.

5.1 Arranjo de Resistências

Os processos CMOS têm varias opções para implementar as resistências. Na Tabela 5.1 são mostradas possíveis opções. Neste trabalho foi escolhida a resistência P^+ de poli-silício devido ao menor coeficiente de temperatura (160ppm/°C). Nota-se que

¹São elementos colocados na borda do leiaute para compensar a diferença na concentração de dopagem em relação ao elemento unitário da matriz.

se o objetivo é reduzir a área, a elevada resistência de poli-silício (HR Poly) ajudaria muito, mas o desempenho do circuito seria prejudicado por causa do alto TC.

Tabela 5.1: Resistências por quadrado e coeficientes de temperatura para diferentes resistências do processo CMOS 180nm.

Tipo de Resistência	R_{sq} ($k\Omega/sq$)	TC (ppm/ $^{\circ}C$)
P ⁺ Poly	0.260	160
N ⁺ Poly	0.370	-812
P ⁺ Diff	0.105	1340
N ⁺ Diff	0.072	1900
HR Poly	1.6	-1360

O circuito de referência de tensão proposto possui três resistências para implementar no silício (R_1 , R_2 e R_3). As resistências R_1 e R_2 devem ser cuidadosamente casadas, já que, estas definem o cancelamento das tangentes que minimiza o coeficiente de temperatura. Os casamentos de R_3 com R_1 e com R_2 são também importantes, mas estes podem ser corrigido após fabricação com o circuito de calibração. Na Fig.5.1 é mostrado o leiaute da resistência unitária ($10k\Omega$) do arranjo. Esta foi utilizada para implementar as resistências R_1 , R_2 , e R_3 com várias instâncias em serie. As técnicas utilizadas para cada resistência do arranjo podem ser vistas na Fig.5.2, onde se pode perceber que as resistências R_1 e R_2 usam as técnicas de simetria central e interdigitação (ver Figuras 5.2(a) e 5.2(b)) para reduzir ao máximo as variações sistemáticas. O leiaute da resistência R_3 com resistências de *trimming* (ver Fig. 5.2(c)) não foi implementado com uma simetria perfeita, mas como foi visto, o descasamento deste não é crítico e será calibrado após fabricação. Por ultimo, na Fig.5.2(d) são mostradas as resistências *dummies* necessárias para que todas as resistências sejam afetadas igualmente pelo processo de fabricação. A área total do arranjo ocupa $188\mu m \times 174\mu m$.

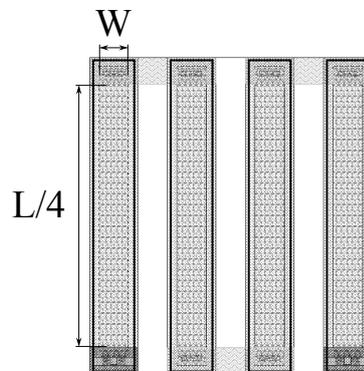


Figura 5.1: Leiaute do resistor unitário de $10k\Omega$, conformado com quatro resistências em serie de $2.5k\Omega$.

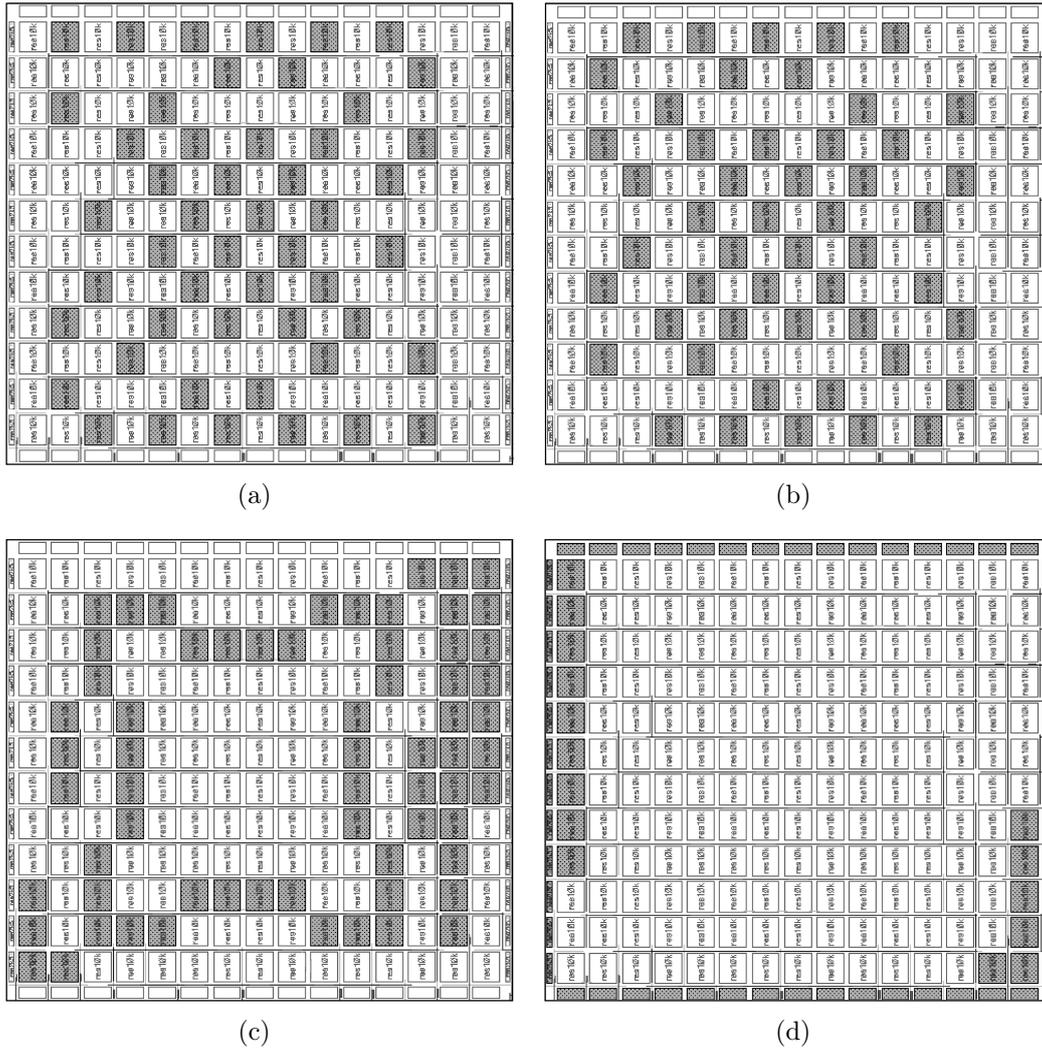


Figura 5.2: Leiaute do arranjo de resistências detalhado com as técnicas utilizadas para cada resistência. Em (a) e (b) podem ser vistas as técnicas de centróide comum e interdigitação dos resistores R_1 e R_2 , respetivamente. Em (c) pode ser vista a distribuição da resistência R_3 , e em (d) as resistências *dummies*.

5.2 Capacitâncias

Na referência de tensão são necessárias três capacitâncias de aproximadamente 5pF (sem ser crítica sua precisão). Dado que as tensões DC nos terminais destas capacitâncias no circuito são maiores do que aproximadamente 500mV e não há problemas de distorção, já que o circuito só trabalha em DC, estas capacitâncias foram implementadas com transistores MOS como mostrado na Fig.5.3. Nota-se que a utilização destes é muito eficiente, já que utilizando capacitores MIM duplos do processo 180nm se obtém 2.60pF para a mesma área (ver Tabela 5.2).

Na Fig.5.4 pode ser visto o leiaute dos três capacitores MOS, ocupando a área total de $97\mu\text{m} \times 30\mu\text{m}$. Nota-se que foi utilizado um anel de guarda para isolar o ruído do substrato.

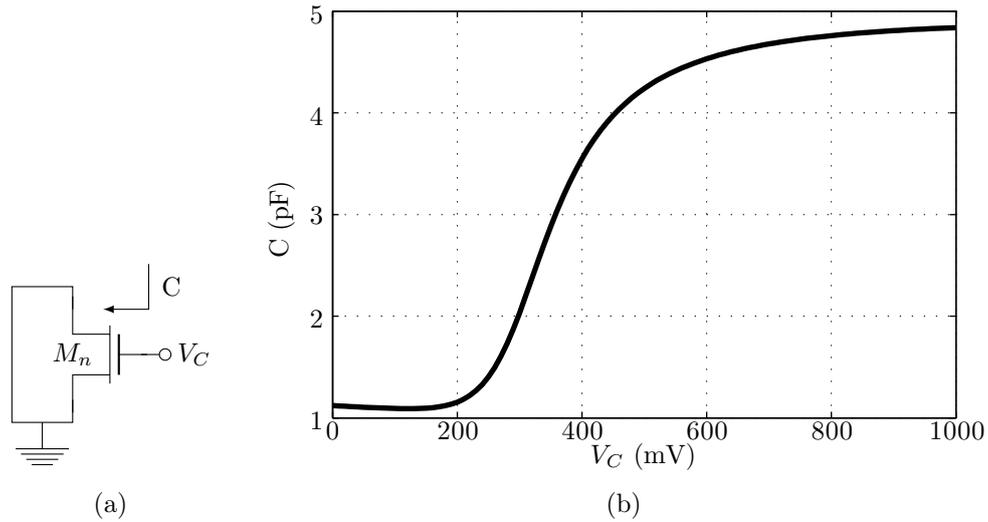


Figura 5.3: Circuito esquemático (a) e simulação (b) de um transistor NMOS de $W=25\mu m$ e $L=25\mu m$ utilizado como capacitor.

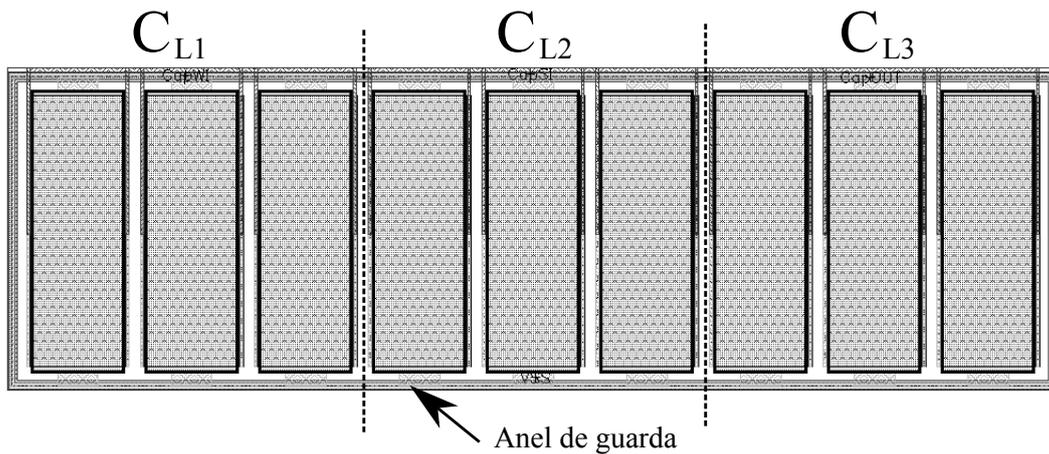


Figura 5.4: Leiaute das capacitâncias implementadas com transistores MOS.

5.3 Espelhos de Corrente

A solução obtida pela ferramenta de projeto descrita no Capítulo 4, resultou em transistores longos, possibilitando o uso de técnicas de leiaute similares para todos os espelhos. Nas Figuras 5.5(a) e 5.5(b) podem ser vistos os leiautes dos espelhos NMOS do gerador CTAT 1, nos quais foram utilizadas as técnicas de interdigitação horizontal e simetria central. Para o espelho NMOS do gerador CTAT 2 (ver Fig.5.6) foi empregada a técnica de simetria central. Como pode ser visto, estes espelhos têm anel de guarda para evitar o ruído do substrato, e transistores *dummies*. Os *dummies* não são necessários no leiaute de $M_{2,2}$ porque todos os transistores são afetados igualmente.

Diferentemente dos espelhos NMOS, que só copiam uma vez, os espelhos PMOS

Tabela 5.2: Capacitâncias MIM do processo CMOS 180nm.

Tipo de Capacitância	C_A (fF/ μm^2)	C_P (fF/ μm)
Single MIM	2.05	0.12
Dual MIM	4.10	0.44



Figura 5.5: Leiautes dos espelhos NMOS do gerador CTAT 1. Em (a) pode ser visto o leiaute de $M_{2,1}$ e em (b) o de M_5 .

devem copiar várias instâncias casadas. Por exemplo, o espelho $M_{3,1}$ deve copiar em proporções de: 4 ($M_{3a,1}$), 4 ($M_{3e,1}$), 1 ($M_{3b,1}$), 1 ($M_{3c,1}$) e 1 ($M_{3d,1}$); e o espelho $M_{3,2}$ deve copiar em proporções de: 4 ($M_{3a,2}$), 8 ($M_{3e,2}$), 1 ($M_{3b,2}$), 1 ($M_{3c,2}$) e 1 ($M_{3d,2}$). Para implementar isso com interdigitação horizontal e simetria central, deve ser definida a unidade mínima, a qual resulta em pelo menos 2 transistores. Os leiautes destes espelhos PMOS dos geradores CTAT 1 e CTAT 2 podem ser vistos nas Figuras 5.7 e 5.8 respectivamente. Nota-se que como no caso dos transistores NMOS, estes têm anel de guarda e transistores *dummies*.

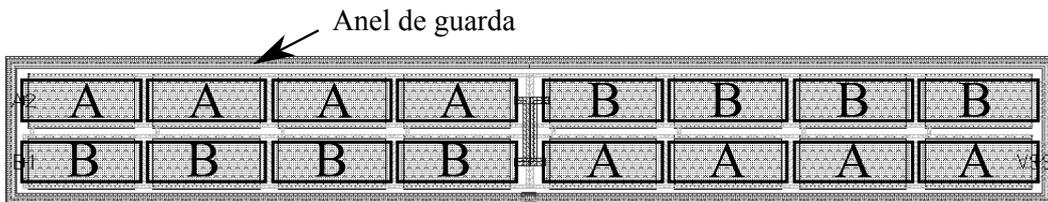


Figura 5.6: Leiaute do espelho NMOS do gerador CTAT 2.

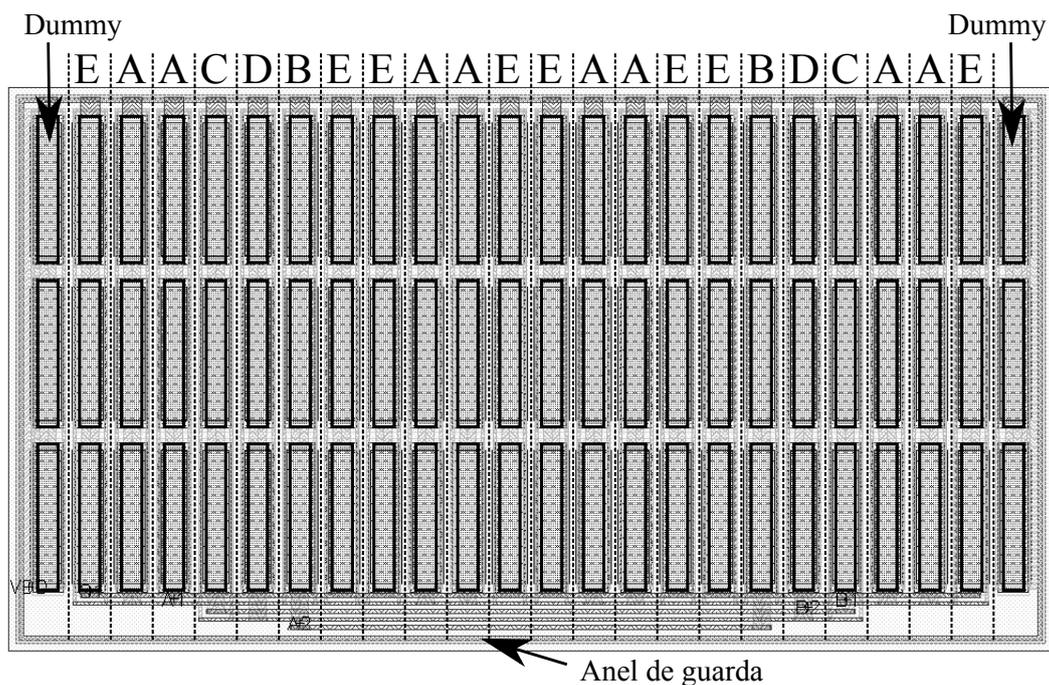


Figura 5.7: Leiaute do espelho PMOS do gerador CTAT 1, onde podem ser vistos os transistores $M_{3,1}$: $M_{3a,1}(8)$, $M_{3b,1}(2)$, $M_{3c,1}(2)$, $M_{3d,1}(2)$ e $M_{3e,1}(8)$.

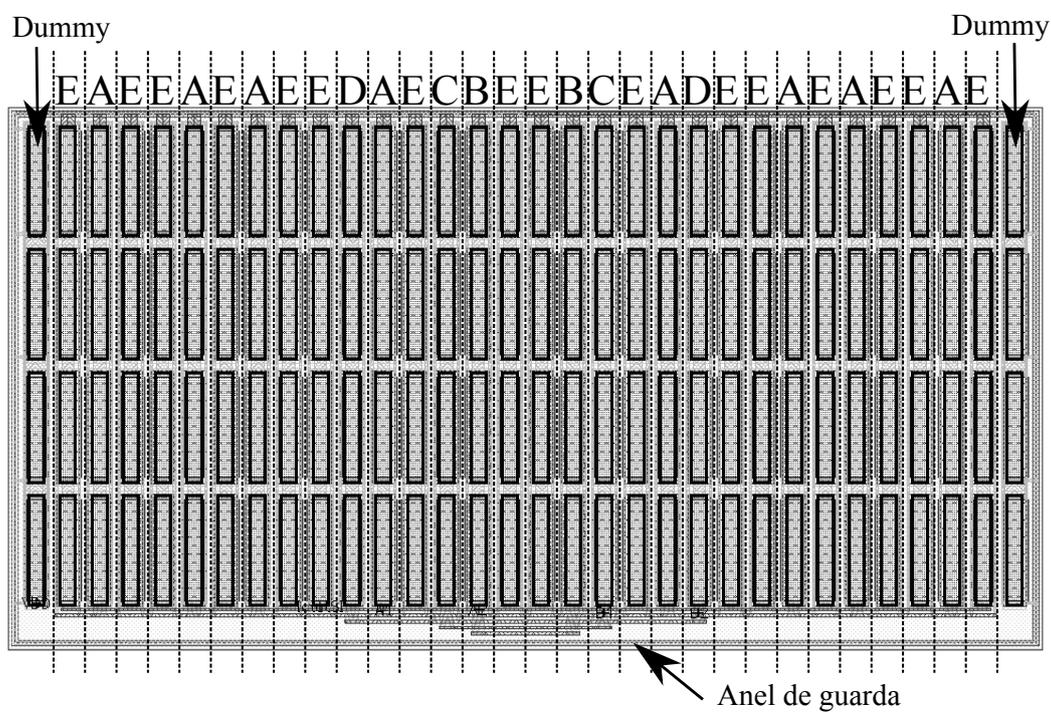
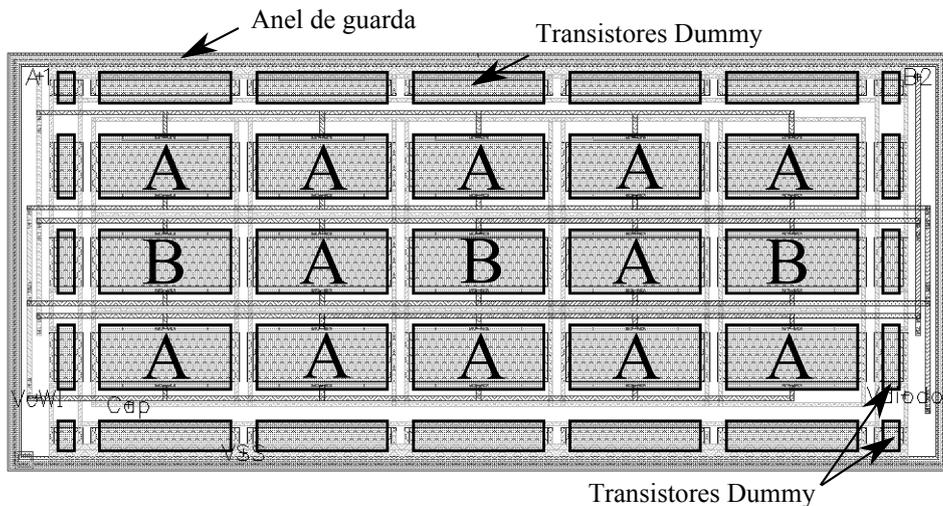


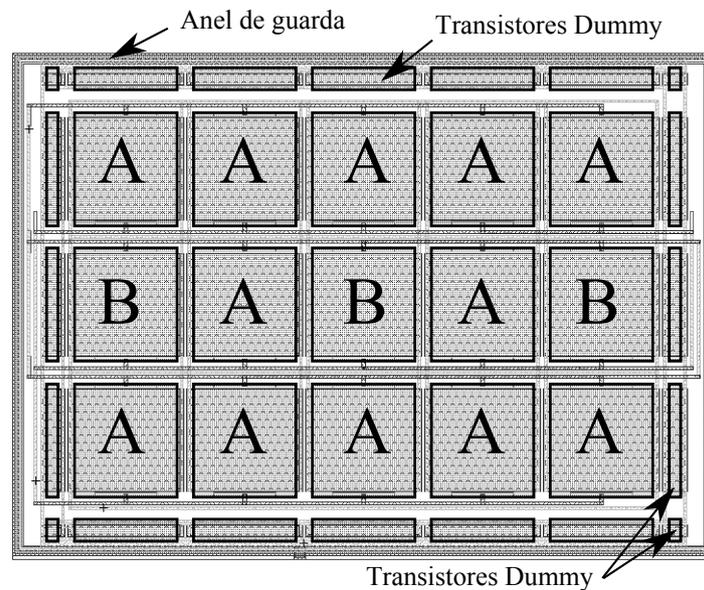
Figura 5.8: Leiaute do espelho PMOS do gerador CTAT 2, onde podem ser vistos os transistores $M_{3,2}$: $M_{3a,2}(8)$, $M_{3b,2}(2)$, $M_{3c,2}(2)$, $M_{3d,2}(2)$ e $M_{3e,2}(16)$.

5.4 Transistores dos Extratores V_T

Os transistores $M_{1a,1}$ e $M_{1b,1}$ (e também $M_{1a,2}$ e $M_{1b,2}$) dos extratores V_T devem copiar em proporções de 4:1. Estes transistores por serem muito largos, foram divididos em unidades mínimas de 3 transistores em paralelo, formando a proporção equivalente de 12:3. O leiaute destes transistores podem ser vistos na Fig.5.9, onde se observa que foram utilizadas as técnicas de simetria central (nas duas direções) e interdigitação, assim como anéis de guarda e transistores *dummies*. A área ocupada por $M_{1,1}$ (Fig.5.9(a)) é de $59\mu\text{m} \times 26\mu\text{m}$, e a ocupada por $M_{1,2}$ (Fig.5.9(b)) é de $60\mu\text{m} \times 43\mu\text{m}$.



(a) Transistores $M_{1a,1}$ (12 unidades) e $M_{1b,1}$ (3 unidades)



(b) Transistores $M_{1a,2}$ (12 unidades) e $M_{1b,2}$ (3 unidades)

Figura 5.9: Leiaute dos transistores $M_{1,1}$ e $M_{1,2}$ dos geradores CTAT 1 (a) e CTAT 2 (b) respetivamente.

5.5 Circuito de Calibração

Como foi visto na Seção 2.5.1, o circuito de *trimming* proposto varia o valor da resistência R_3 em proporções da resistência unitária do arranjo de resistências. Isto permite manter um melhor comportamento do casamento ao variar a temperatura, já que todas as resistências terão o mesmo coeficiente de temperatura. O leiaute deste *trimming* pode ser visto na Fig.5.10, onde o chaveamento é feito diretamente no arranjo de resistências de forma a manter o casamento.

Para controlar as 36 (32 mux A, 4 mux B) chaves analógicas correspondentes aos multiplexadores, foi implementada uma lógica de redução do número de bits para somente 6 bits (4 mux A, 2 mux B). O leiaute do circuito digital que realiza o controle pode ser visto na Fig.5.11, e ocupa a área de $60\mu\text{m} \times 26\mu\text{m}$.

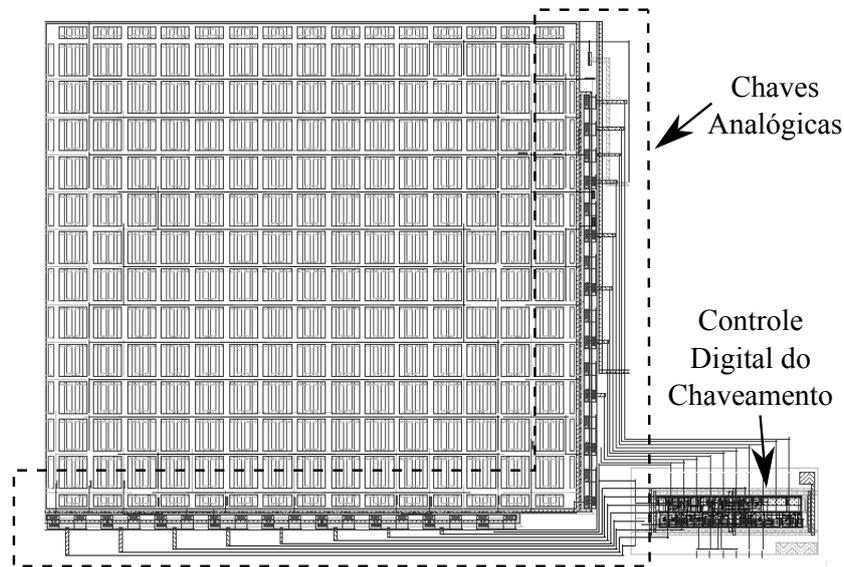


Figura 5.10: Leiaute do arranjo de resistências em conjunto com o *trimming*.

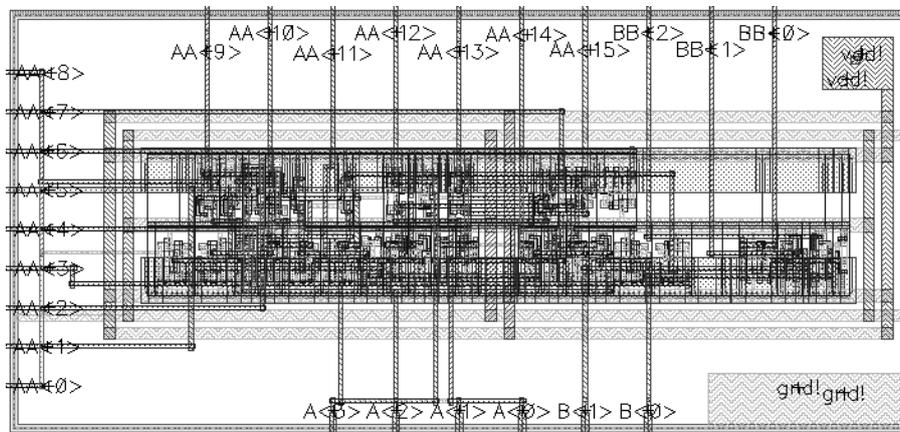


Figura 5.11: Leiaute do circuito digital que controla o chaveamento do *trimming*.

5.6 Referência de Tensão

Para concluir este capítulo foi analisada detalhadamente a utilização da área no projeto da referência de tensão. Na Tabela 5.3 pode ser vista a distribuição da área de cada bloco em relação à área total do circuito. Nota-se que as resistências dominam a área do circuito com 44% do total, o que é esperado porque a resistência por quadrado do material poli-silício P⁺ utilizado é pequena (Tabela 5.1).

Como mostrado na Tabela 5.4, a área projetada total para os transistores MOS, calculada como a área WL da porta, na Seção 4.2 resultou em 0.0060mm², e a obtida depois do leiaute foi 0.0179mm². Esta diferença na área - neste caso 3 vezes maior do que o projetado - é normal na implementação do leiaute de circuitos integrados, já que cada bloco tem transistores *dummies*, anéis de guarda e distâncias mínimas entre componentes que devem ser respeitadas na implementação do leiaute.

Na Fig.5.12 pode ser visto o leiaute completo da referência de tensão. A área total é de 0.075 mm², com uma taxa de utilidade de 70%, os restantes 30% do espaço são utilizados para conexões entre blocos.

Tabela 5.3: Distribuição das áreas dos blocos no leiaute da referência de tensão.

Bloco	Área Ocupada (mm ²)	% da Área Total
Arranjo Resistências	0.0330	44.0 %
Espelhos NMOS	0.0050	6.70 %
Espelhos PMOS	0.0085	11.3 %
Extratores V_T	0.0044	5.80 %
Digital	0.0015	2.00 %
Total Blocos	0.0524	69.9 %
Espaço entre Blocos	0.0226	31.1 %
Área Total (mm ²)		
Referência de Tensão	0.0750	

Tabela 5.4: Área MOS projetada com a rotina de otimização em relação à obtida com leiaute.

Total MOS	Área (mm ²)
Leiaute	0.0179
Projetado	0.0060

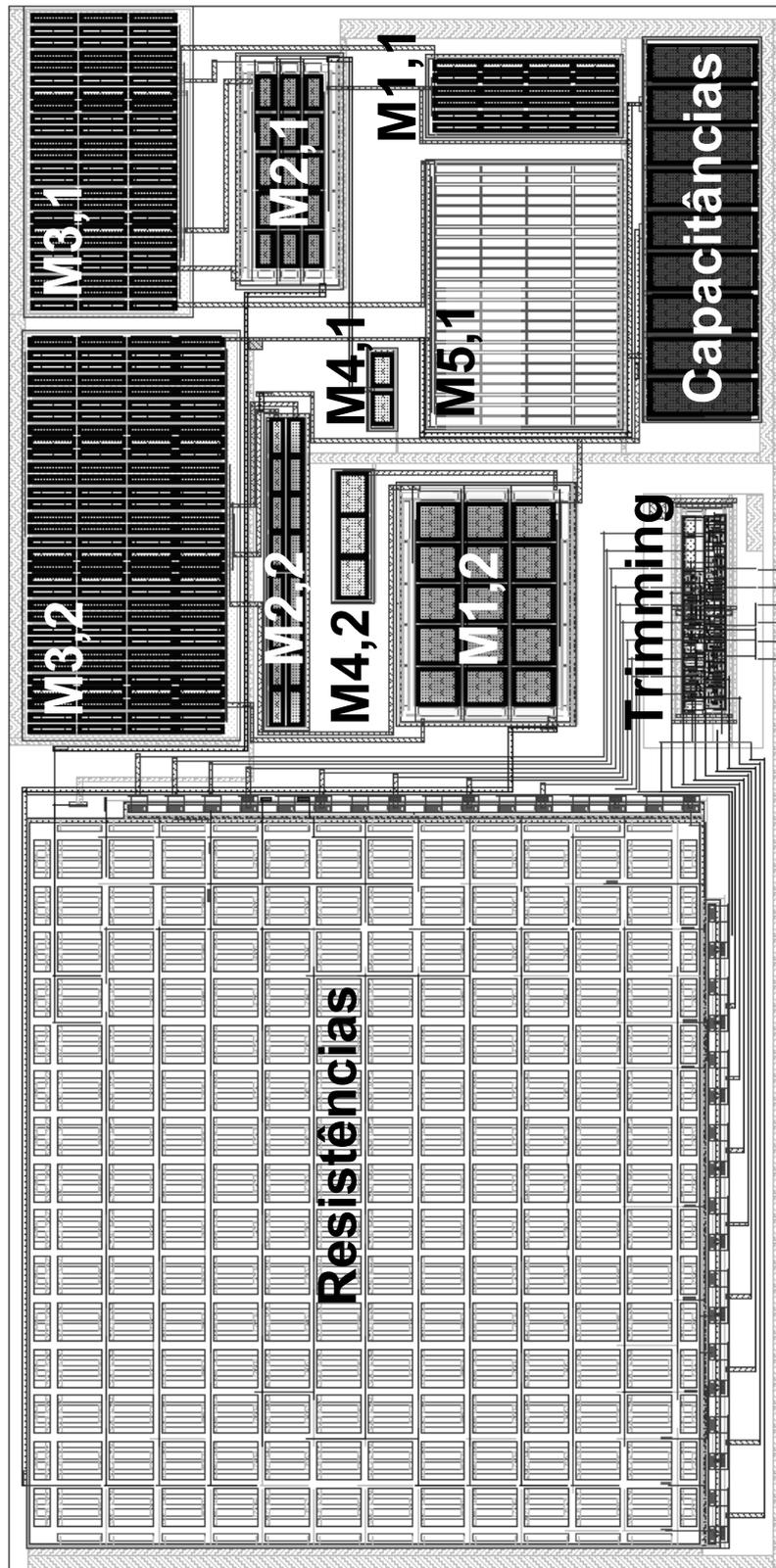


Figura 5.12: Leiaute da referência de tensão.

Capítulo 6

Resultados de Simulação

A precisão do circuito de referência de tensão é extremamente importante na maioria das aplicações. O desempenho deste circuito pode ser caracterizado pelo seguinte conjunto de parâmetros [28]: regulação de linha (LR), coeficiente de temperatura (TC), taxa de rejeição da fonte de alimentação (PSRR), corrente de repouso (I_Q), e a densidade espectral de ruído equivalente na saída (V_n). Geralmente a regulação de linha e o coeficiente de temperatura são os parâmetros mais importantes em uma ampla variedade de aplicações.

Neste capítulo a fonte de referência projetada é caracterizada através de simulações para cada parâmetro visto anteriormente. As simulações foram feitas com o circuito extraído após leiaute¹ com o simulador Spectre.

6.1 Regulação de Linha

A regulação de linha especifica a variação da saída da referência de tensão (ΔV_{IOAT}) em relação à variação da tensão de entrada (neste caso ΔV_{DD}) na temperatura nominal. Esta pode ser especificada formalmente como:

$$LR = \frac{\Delta V_{IOAT, T_0}(\Delta V_{DD})}{\Delta V_{DD}} (mV/V) \quad (6.1)$$

onde as variação da referência de tensão e a fonte de alimentação são definidas como segue (ver Fig.6.1):

$$\Delta V_{IOAT, T_0}(\Delta V_{DD}) = V_{IOAT, (max)} - V_{IOAT, (min)} \quad (6.2)$$

$$\Delta V_{DD} = V_{DD(max)} - V_{DD(min)} \quad (6.3)$$

¹Circuito gerado com as componentes após leiaute, assim como capacitores e resistências parasitas adicionadas pelos metais, transistores, entre outros.

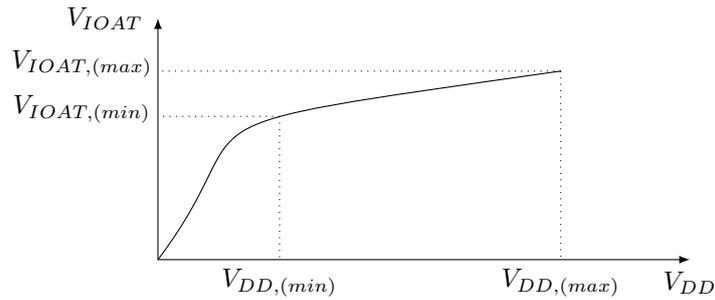


Figura 6.1: Forma de onda típica de V_{IOAT} da referência de tensão em relação à tensão de fonte de alimentação (V_{DD}) utilizada para o cálculo da regulação de linha.

Para simular a regulação de linha se deve utilizar o esquemático mostrado na Fig.6.2, na qual se realiza uma varredura DC de 0V até 1.8V no valor da tensão da fonte de alimentação.

O resultado desta simulação no caso nominal pode ser visto na Fig.6.3, na qual se obteve um $LR = 1.89\text{mV}$. Para assegurar um correto funcionamento deste parâmetro no processo de fabricação, se realizou a simulação de Monte Carlo (de 100 amostras) mostrada na Fig.6.4(a). Nota-se que com esta simulação também pode ser conferido o correto funcionamento com a mínima tensão de fonte de alimentação, aproximadamente 1.3V no pior caso. O cálculo da regulação de linha obtido (aprox. $LR = 1.92\text{mV/V}$), mostrado no histograma da Fig.6.4(b), mostra a reduzida variação deste parâmetro com o processo de fabricação. Este é um resultado típico que obtém performance similar aos trabalhos analisados no final deste capítulo.

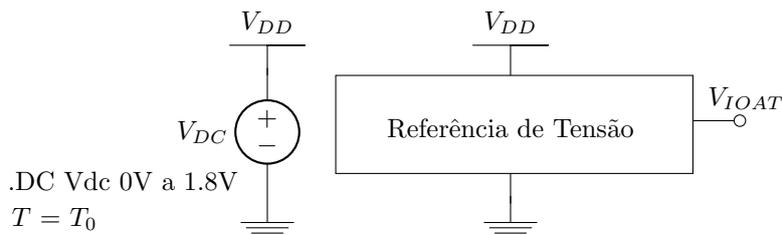


Figura 6.2: Esquemático utilizado para simulação da regulação de linha.

6.2 Coeficiente de Temperatura

Como foi visto no Capítulo 2, as características físicas dos componentes dos circuitos variam com a temperatura de operação, gerando como consequência uma dependência na tensão de saída. A sensibilidade do circuito à temperatura, também conhecida como coeficiente de temperatura (TC), especifica a variação da referência de tensão ao longo da faixa de temperatura $[T_{(min)}, T_{(max)}]$ para o V_{DD} nominal, neste caso

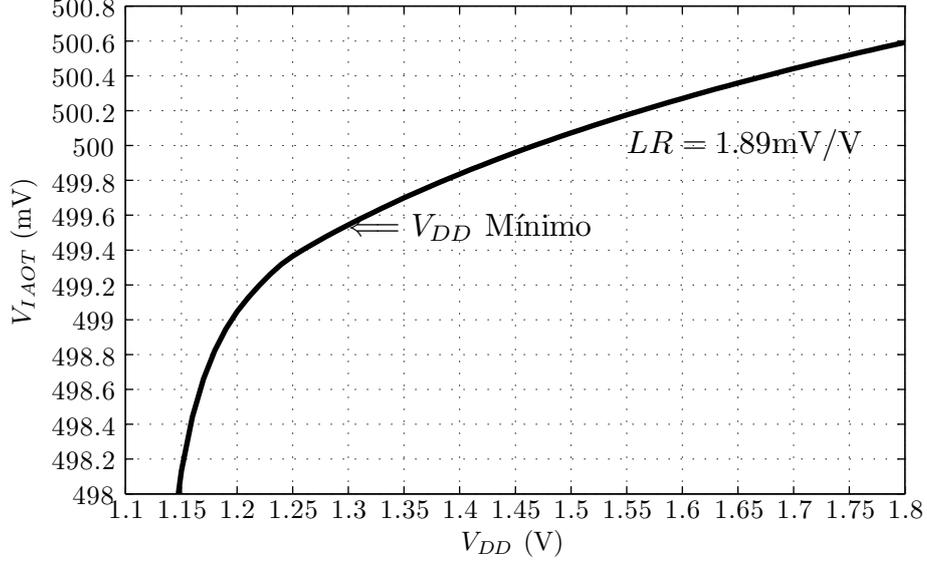


Figura 6.3: Resultado de simulação nominal da regulação de linha.

1.8V. O parâmetro TC se define como (ver Fig.6.5):

$$TC = \frac{(V_{IOAT,(max)} - V_{IOAT,(min)})}{(T_{max} - T_{min}) \times V_{IOAT,(nom)}} \times 10^6 \text{ (ppm/}^\circ\text{C)} \quad (6.4)$$

onde $V_{IOAT,(nom)}$ é definido neste trabalho como:

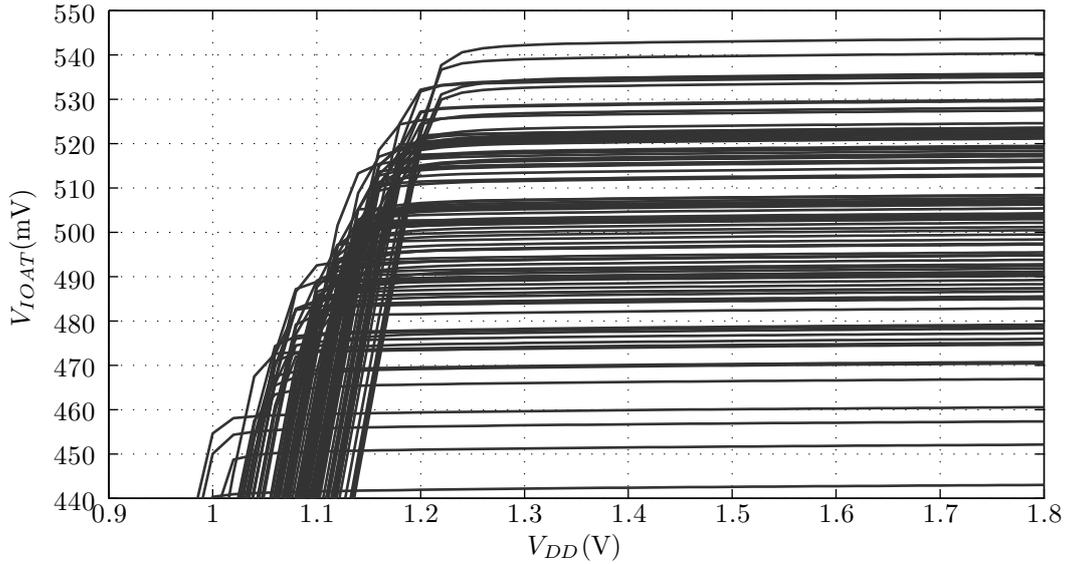
$$V_{IOAT,(nom)} = \frac{V_{IOAT,(max)} - V_{IOAT,(min)}}{2} \quad (6.5)$$

Para calcular este parâmetro se deve simular uma varredura DC de temperatura na faixa de interesse (-40 até 100 °C) com o circuito esquemático indicado na Fig.6.6. De forma a comparar a modelagem proposta no Capítulo 2 com a predição fornecida pelo software implementado, na Fig.6.7 se mostram os resultados de simulação nominal antes e depois do leiaute em relação ao resultado da modelagem. Estes resultados validam o comportamento da modelagem com a temperatura com erro de 3.3% relativo à simulação do TC, calculado com a seguinte definição para o erro relativo:

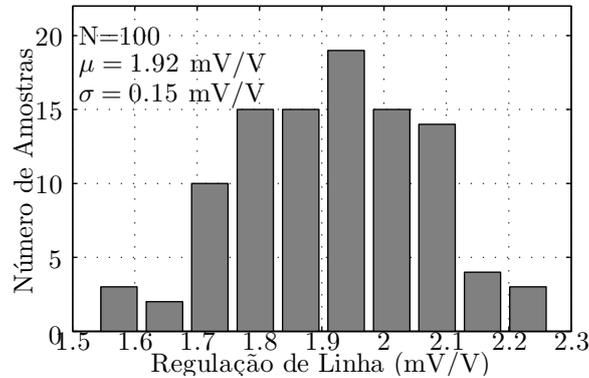
$$e_{TC} = \frac{TC_{sim} - TC_{mod}}{TC_{sim}} = \frac{15.20\text{ppm/C} - 15.71\text{ppm/C}}{15.20\text{ppm/C}} = -3.3\% \quad (6.6)$$

Esta simulação nominal do TC é muito importante no projeto de referências de tensão, já que, embora existam variações com processo de fabricação, com uma calibração de tangentes após a fabricação se pode alcançar um resultado próximo ao nominal, como foi mostrado no trabalho [16].

Para validar o resultado do descasamento teórico projetado no Capítulo 4, foram



(a)



(b)

Figura 6.4: Resultados de simulação de Monte Carlo ($N=100$) da variação do processo e descasamento da varredura DC necessária para cálculo da regulação de linha. Em (a) pode ser vista a tensão V_{IOAT} em função de V_{DD} , e em (b) o histograma do cálculo da regulação de linha.

realizadas simulações de Monte Carlo do descasamento (ver na Fig.6.8). Para a variância do V_{IOAT} se obteve como resultado de simulação 1.71mV (com média 500.7mV), o que significa um descasamento relativo de 0.34%. Este foi projetado para 0.37%, o que resulta muito próximo da modelagem teórica.

Outra simulação necessária é a variação de V_{IOAT} com o processo de fabricação em conjunto com o descasamento. Esta simulação pode ser vista na Fig.6.9. Nota-se que as variações são bem maiores que no caso de só descasamento, ficando a tensão de referência na faixa de [439mV,561mV] em 99% dos casos. Deve-se também observar que mesmo variando a tensão de referência, o TC tem média 35.97ppm/°C, o que mostra um resultado aceitável no TC com o processo de fabricação sem *trimming* de tangente. Em relação ao *trimming* de tensão nominal proposto na Seção 2.5.1, o

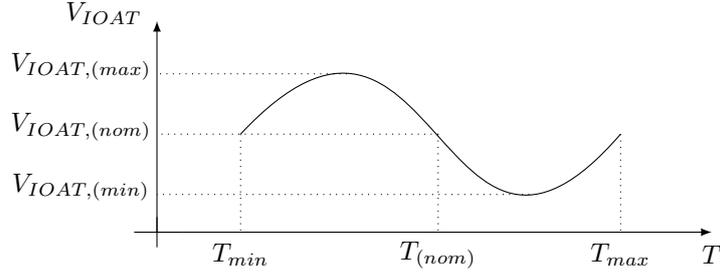


Figura 6.5: Forma de onda típica que mostra as definições para cálculo do coeficiente de temperatura (TC).

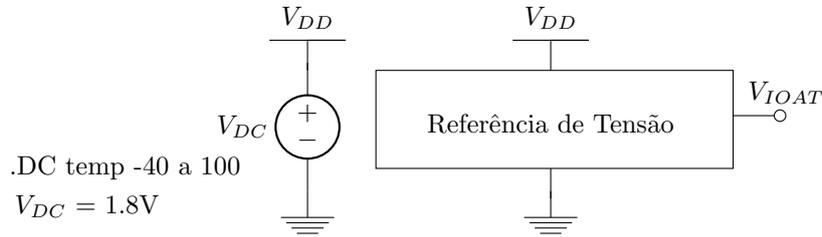


Figura 6.6: Esquemático utilizado para simulação do coeficiente de temperatura (TC).

qual foi projetado para calibrar até uma faixa de $[-15.5\%, 16.0\%]$ do valor obtido após fabricação (mostrado na Tabela 2.3), com a simulação anterior pode ser confirmado o correto funcionamento do procedimento de *trimming*, já que o valor mínimo, igual a 439mV, requer de uma calibração percentual de

$$e_1(\%) = \frac{439mV - 500mV}{439mV} = -13.8\% \quad (6.7)$$

e o máximo, igual a 561mV, requer de uma calibração porcentual de

$$e_2(\%) = \frac{561mV - 500mV}{561mV} = +10.8\% \quad (6.8)$$

Desta forma sempre é possível calibrar o circuito após fabricação até alcançar o valor de 500mV. Um resumo dos resultados das simulações de Monte Carlo pode ser visto na Tabela 6.1.

Tabela 6.1: Resumo de resultados de simulações de Monte Carlo do coeficiente de temperatura (TC) e tensão nominal em temperatura 40°C.

Resultado	Descasamento		Descasamento e Processo	
	TC	$V_{IOAT}@40^{\circ}C$	TC	$V_{IOAT}@40^{\circ}C$
Média	19.37ppm/°C	500.7mV	34.97ppm/°C	500.54mV
Desvio Padrão	3.84ppm/°C	1.7mV	18.28ppm/°C	20.3mV
Desvio Padrão (%)	19.8%	0.34%	52.3%	4.1%

6.3 Taxa de Rejeição da Fonte de Alimentação

Em circuitos integrados diversos fatores afetam diretamente, tais como ruído de alta frequência devido ao acoplamento de sinais externas ao chip, interferência da oscilação de 60Hz da rede de alimentação, entre outros. A capacidade da fonte de referência para fornecer uma tensão estável sob os esses efeitos espúrios pode ser especificada pela taxa de rejeição da fonte de alimentação (PSRR). O PSRR é função da frequência e normalmente é expressado em dB como

$$PSRR(f) = 20 \cdot \log \left(\frac{V_{IOAT,(AC)}(f)}{V_{DD,(AC)}(f)} \right) \text{ (dB)} \quad (6.9)$$

Para simular o PSRR foi o usado o esquemático da Fig.6.10, no qual foi colocada uma fonte AC em série com a tensão de fonte de alimentação e medido o resultado AC de V_{IOAT} . Com esta simulação nominal se obteve um PSRR em DC (ou como comumente é denotado, 50Hz-60Hz) de 56.95dB (ver Fig.6.11) ou, equivalentemente, 1.42mV/V, resultado próximo do valor da regulação de linha. Isto é devido ao fato de que o cálculo do PSRR é muito similar ao da regulação de linha. A diferença é que o PSRR é calculada pela taxa de variação em 1.8V e a regulação de linha é a média calculada em toda a faixa regulação. Nota-se também na simulação nominal que o PSRR tem rejeição com magnitude 56.95dB somente até 1.3kHz.

Para verificar o valor deste parâmetro na faixa de baixa frequência (ou 60Hz), se realizou uma simulação de Monte Carlo (N=100) de descasamento e processo de fabricação (ver Fig.6.12). Nota-se que a rejeição média é 56.88dB, com somente 0.50dB de variância.

6.4 Corrente de Repouso

A corrente de repouso I_Q é a corrente consumida pela fonte de alimentação quando o circuito está em funcionamento estável. No caso das topologias de compensação mútua, onde dois circuitos independentes são necessários para alcançar um TC pró-

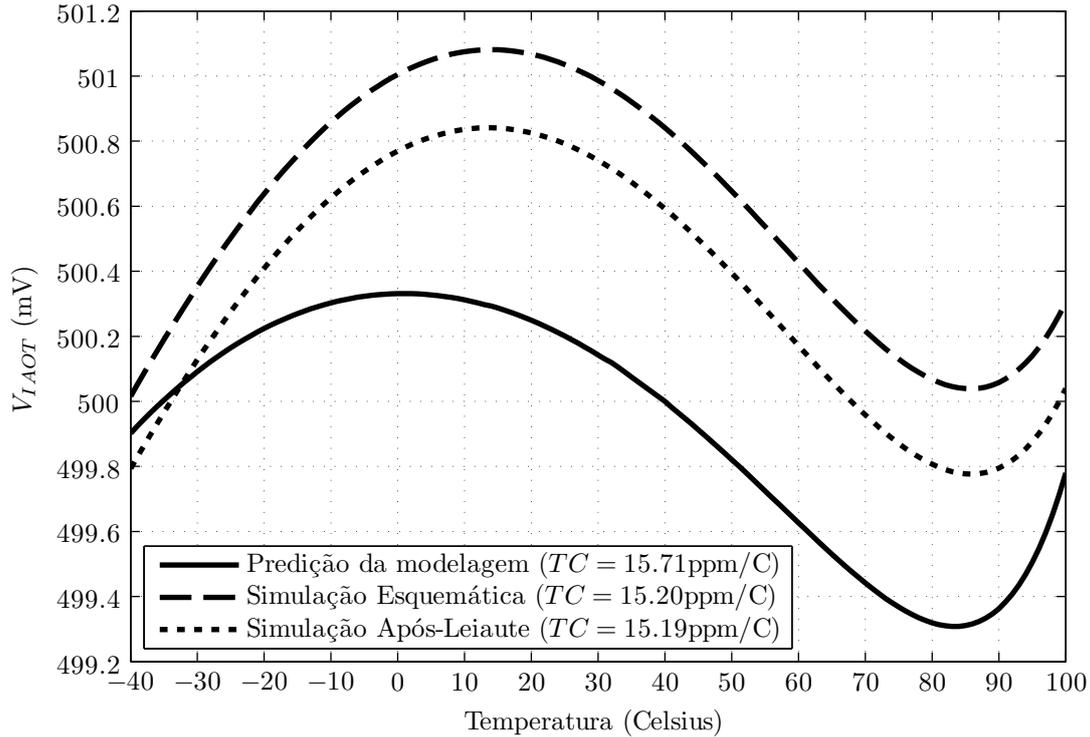


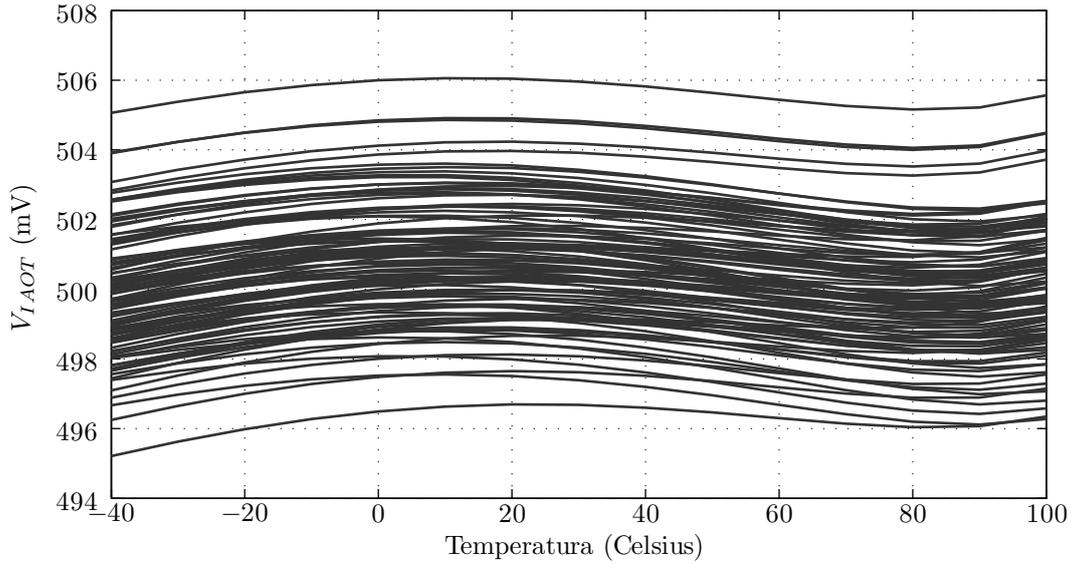
Figura 6.7: Resultados de simulações nominais da varredura DC de temperatura do circuito esquemático antes e após leiaute em comparação com a predição da modelagem proposta.

ximo de zero, a corrente dos dois circuitos aumenta quando a temperatura diminui (como foi visto na Fig.2.9(a)), e portanto a corrente de repouso é uma função da temperatura.

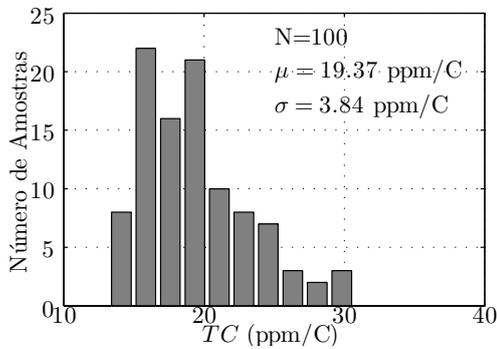
Para assegurar a estabilidade desta corrente de repouso com o processo de fabricação, foi feita uma simulação de Monte Carlo de variação de processo e descasamento. O gráfico resultante pode ser visto na Fig.6.13(a). Uma vez que o caso crítico de consumo de energia ocorre quando a temperatura é mínima, na Fig.6.13(b) se mostra um histograma da corrente de repouso em -40°C . Este resultado mostra uma melhora em comparação a outros trabalhos da literatura, já que a corrente máxima está limitada por $5\mu\text{A}$.

6.5 Ruído na Saída

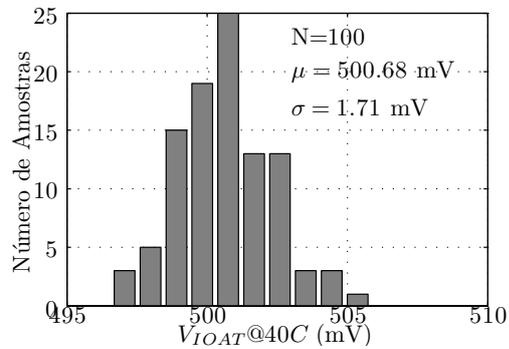
Outro parâmetro importante em especificações de referência de tensão é o ruído na saída. Geralmente, este é especificado como a tensão pico-a-pico em uma faixa fixa de frequências, por exemplo, na faixa de 0.1Hz a 10Hz para sistemas de baixa frequência tais como reguladores de tensão. Esta especificação depende da aplicação na qual será utilizada a referência, e é definida pela densidade espectral (PSD) de potência do ruído. Com a PSD de ruído em tensão pode ser calculado o ruído RMS



(a)



(b)

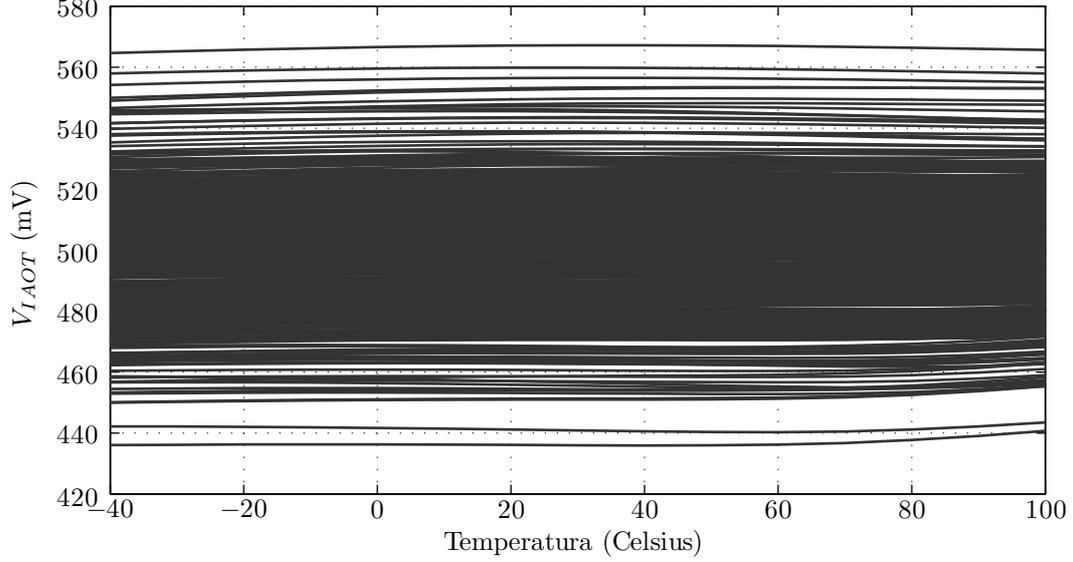


(c)

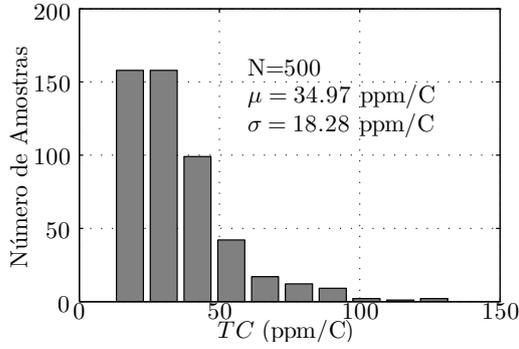
Figura 6.8: Resultados de simulação de Monte Carlo ($N=100$) só de descasamento necessária para cálculo do TC. Em (a) pode ser visto V_{IOAT} em função da temperatura, em (b) o histograma do TC, e em (c) o histograma de V_{IOAT} em 40°C .

da referência de tensão utilizando a banda de passagem do sistema que utilizará a referência. Na Fig.6.14 pode ser visto o resultado da simulação do espectro da PSD de ruído conjuntamente com o resultado do ruído teórico calculado na Seção 3.3.1. Nota-se que o modelo teórico do espectro está bem próximo do resultado da simulação, o que permite obter predição precisa do ruído ao projetar o circuito com a ferramenta apresentada no Capítulo 4. Para calcular a tensão de ruído RMS, deve ser integrado o espectro do ruído na banda de passagem, que neste caso resulta em $170\mu\text{V}_{rms}$ na simulação e $164\mu\text{V}_{rms}$ no modelo teórico. Este resultado tão próximo é esperado, já que domina o ruído branco de 100Hz até 1MHz aproximadamente.

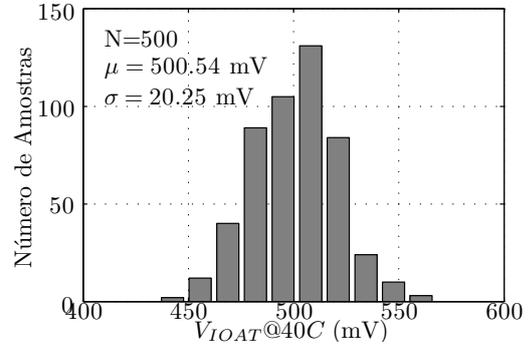
De forma a obter uma especificação prática, foi calculada a densidade espectral equivalente de ruído (que também pode ser observada na Fig.6.14), cujo valor é $V_n = 0.54\mu\text{V}/\sqrt{\text{Hz}}$ na banda de 100Hz até 100kHz. Com este resultado, é possível calcular o ruído para qualquer largura de banda de um sistema de interesse, ou a



(a)



(b)



(c)

Figura 6.9: Resultados de simulação de Monte Carlo ($N=500$) de variação do processo e descasamento necessária para cálculo do TC. Em (a) pode ser visto V_{IOAT} em função da temperatura, em (b) o histograma do TC, e em (c) o histograma de V_{IOAT} em 40°C .

largura de banda para o ruído desejado na saída. Por exemplo, a densidade espectral de um conversor analógico-digital, supondo que o ruído pico-a-pico é a metade do mínimo degrau de conversão (V_{LSB}), pode ser expressa como segue:

$$V_n = \frac{1}{\sqrt{2}} \frac{V_{IOAT}}{2^{N+2}} \frac{1}{\sqrt{\Delta f}} \quad (6.10)$$

Portanto, conhecendo a densidade espectral de ruído, pode ser calculada a largura de banda máxima do circuito de referência de tensão que utiliza o conversor. Por exemplo, para uma conversão de 12 bits a largura de banda deve ser:

$$\Delta f = \left(\frac{1}{\sqrt{2}} \frac{V_{IOAT}}{2^{N+2}} \frac{1}{V_n} \right)^2 = \left(\frac{1}{\sqrt{2}} \frac{500\text{mV}}{2^{14}} \frac{1}{0.54\mu\text{V}/\sqrt{\text{Hz}}} \right)^2 \approx 1.6\text{kHz} \quad (6.11)$$

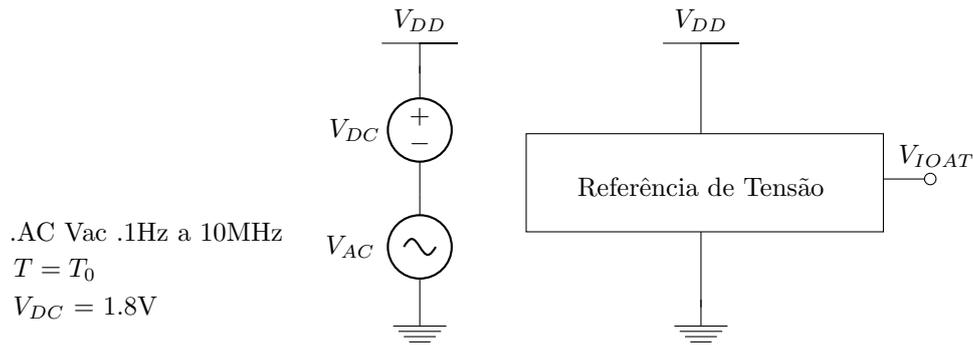


Figura 6.10: Esquemático utilizado para simulação da taxa de rejeição da fonte de alimentação (PSRR).

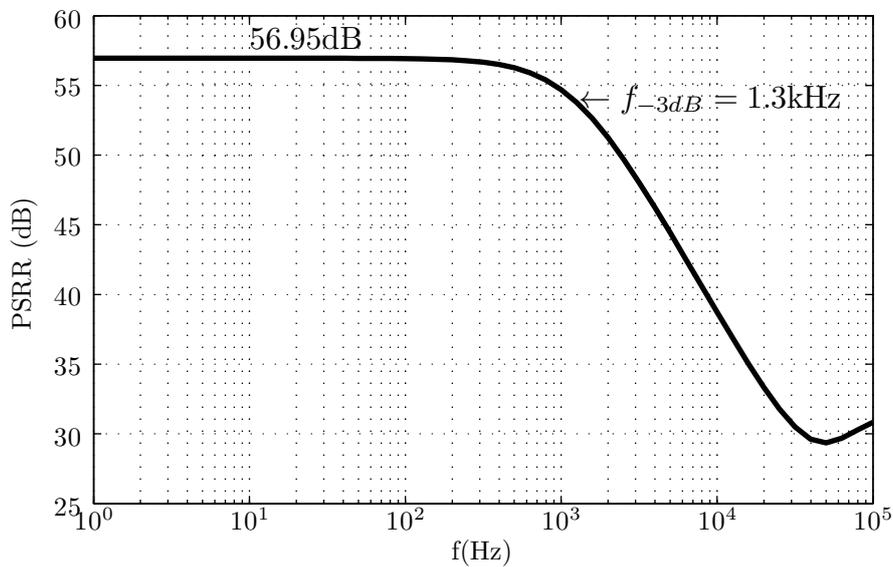


Figura 6.11: Simulação nominal da taxa de rejeição da fonte de alimentação (PSRR) em função da frequência.

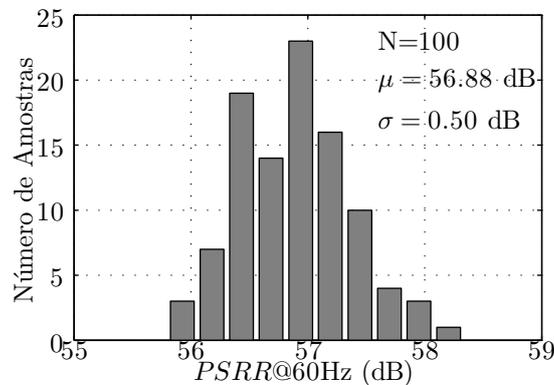
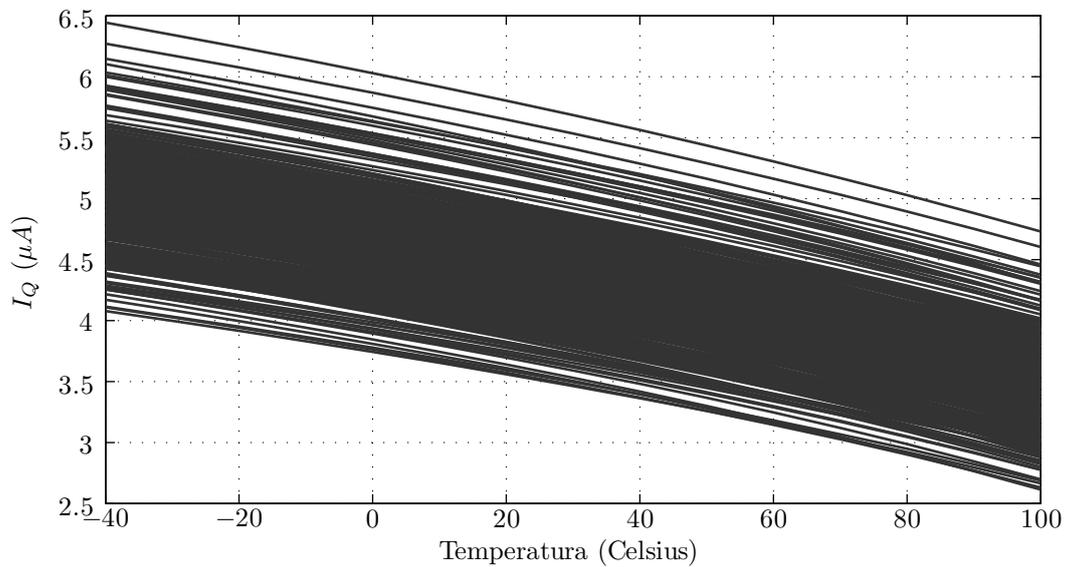
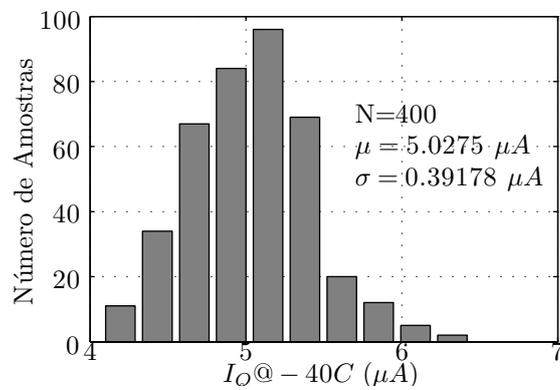


Figura 6.12: Histograma da simulação de Monte Carlo ($N=100$) de variação de processo e descasamento do $PSRR$ para temperatura fixa em $40^{\circ}C$ e frequência 60Hz.



(a)



(b)

Figura 6.13: Resultados de simulação de Monte Carlo ($N=400$) de variação do processo e descasamento da corrente de repouso (I_Q). Em (a) pode ser vista I_Q em função da temperatura, em (b) o histograma da corrente para $-40^\circ C$ (caso de máxima corrente de repouso).

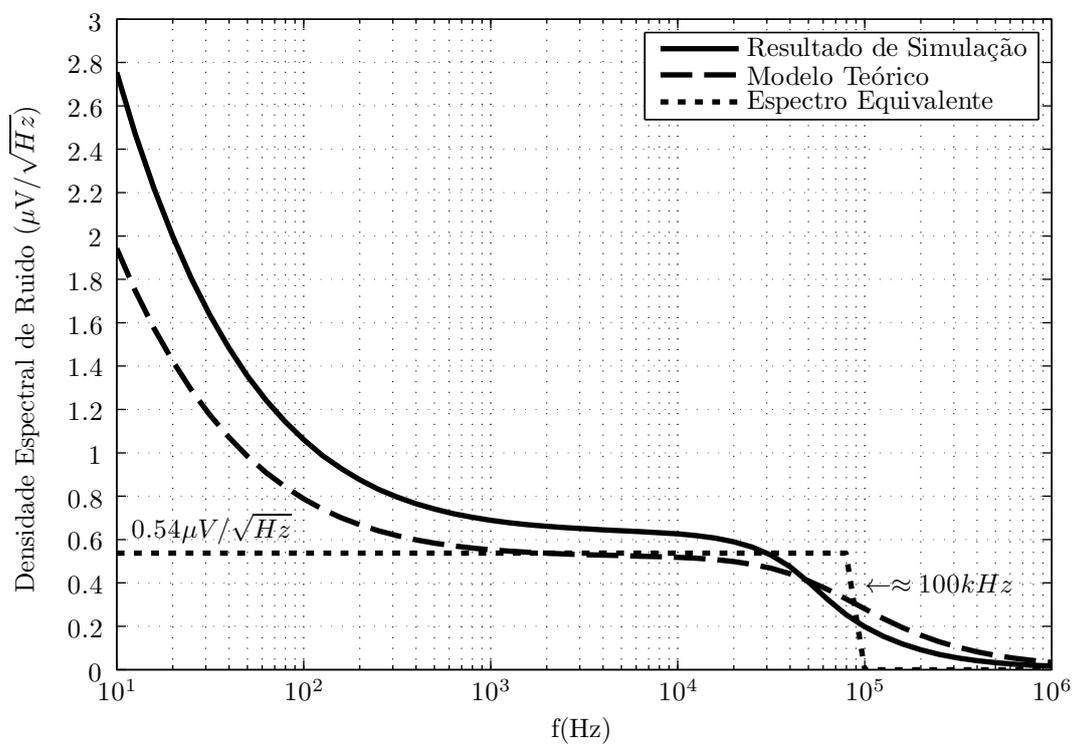


Figura 6.14: Curvas de densidades espectrais de ruído.

6.6 Funcionamento do Circuito de Calibração

Na Seção 6.2 foi verificado por simulações de variação de processo que o circuito de *trimming* é capaz de calibrar a tensão de saída para qualquer variação com o processo de fabricação. Além disso, o circuito de *trimming* não deve afetar a tangente característica do coeficiente a temperatura. Para verificar esta propriedade das fontes de referência desenvolvidas neste trabalho, foi simulada toda a faixa de calibração (64 bits) do circuito de trimming, que pode ser vista na Fig.6.15. Nota-se um comportamento semelhante de todos os degrau (códigos) de calibração com a temperatura. Para obter um resultado mais preciso, na Fig.6.16 se mostra o cálculo do TC para todos os degraus de calibração. Este cálculo indica que no caso nominal (bit 32) o TC é o melhor possível, e como era esperado este é igual ao simulado anteriormente (aprox. 15.5 ppm/°C). Em todos os casos as variações do TC devido ao *trimming* são muito menores do que as variações com descasamento e variações de processo.

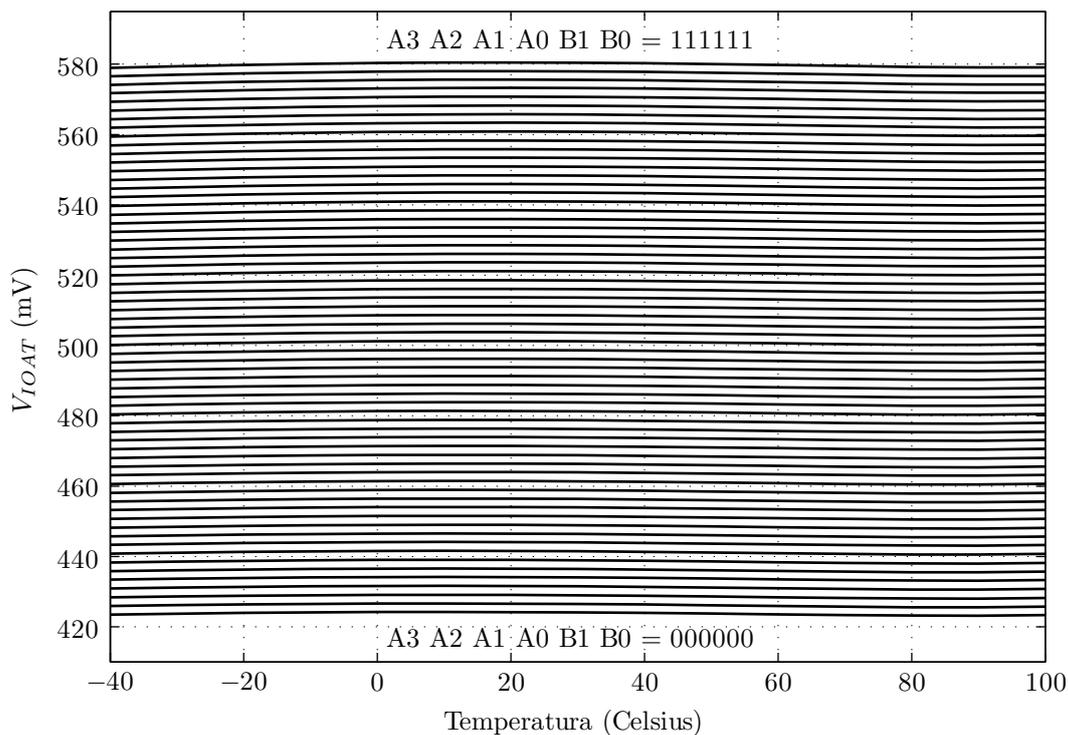


Figura 6.15: Resultados de simulação de toda a faixa de 64bits do circuito de *trimming* no caso nominal.

Outra propriedade que pode ser simulada no circuito de calibração é a precisão deste em relação à tensão desejada após fabricação. Na Fig.6.17 se mostra o resultado da calibração em 500mV para 500 amostras geradas com simulação de Monte Carlo de variação de processo e descasamento conjuntamente. Esta calibração foi feita com o modelo teórico do circuito de *trimming* implementado em Matlab. Isto

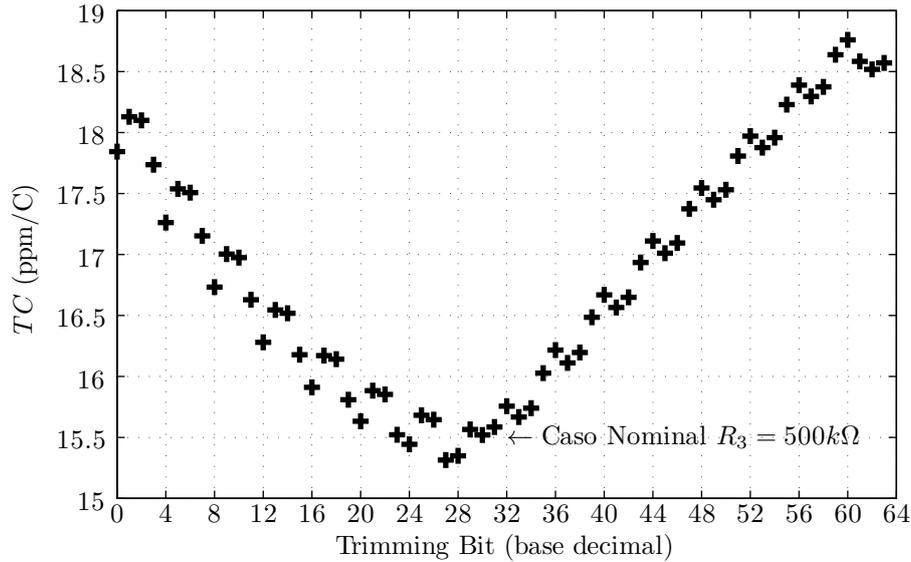


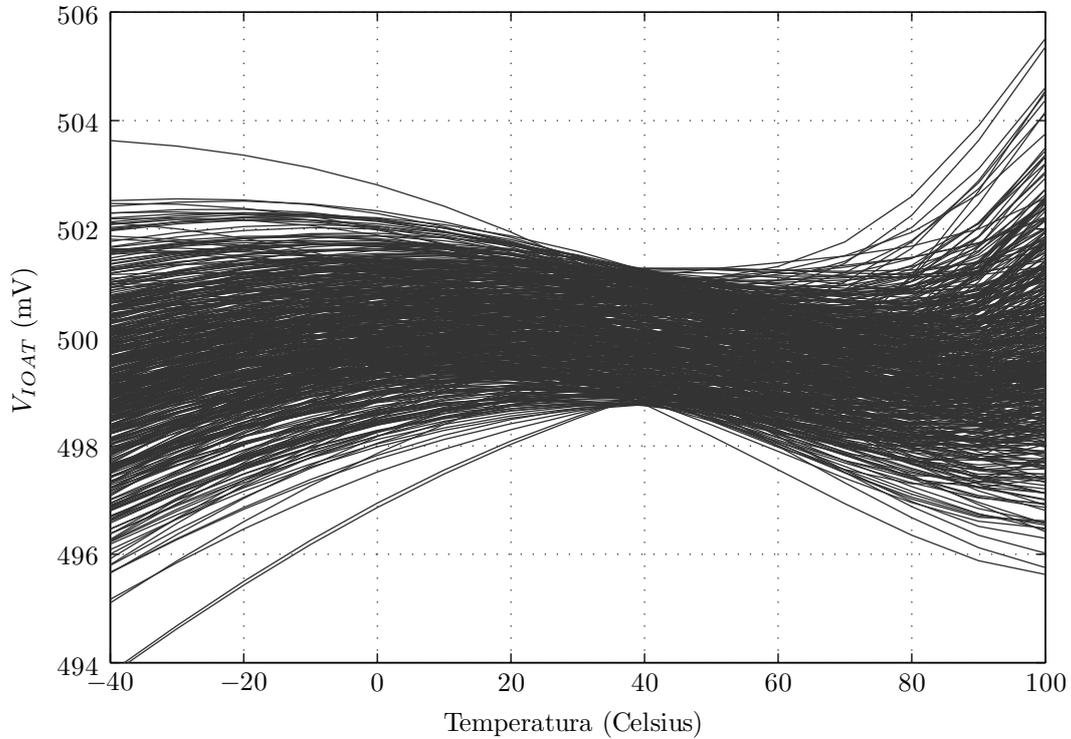
Figura 6.16: Resultados do cálculo do coeficiente de temperatura (TC) para toda a faixa de 64 bits do *trimming*.

é possível porque o *trimming* influencia muito pouco a resposta com temperatura do V_{IOAT} , e portanto, pode ser utilizada a Eq.(2.27) para representá-lo. O resultado do TC (ver Fig. 6.17(b)) era esperado que fosse o mesmo da simulação que foi mostrada na Fig.6.9 já que o *trimming* afeta muito pouco essa característica. O resultado importante desta simulação é o histograma apresentado na Fig.6.17(c). Nota-se que a variação da tensão de referência após calibração, é de 2.22mV (3σ) em 99.9% dos casos, o que corresponde a uma variação relativa de 0.44% da tensão desejada.

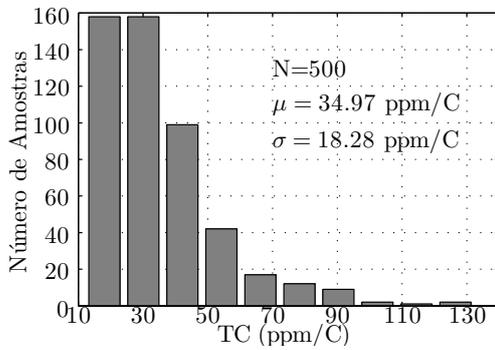
6.7 Teste de Arranque

Como foi visto na Fig.2.2, o extrator V_T tem duas soluções de funcionamento estáveis (soluções 1 e 2) determinadas pela reta de carga do resistor e o diodo MOS, sendo indesejada a solução estável na origem (solução 1). Afortunadamente, a realimentação negativa proposta na topologia CTAT que foi vista na Fig.3.1, permite obter só uma solução estável (solução 2) no extrator, e assim, também do circuito de referência de tensão.

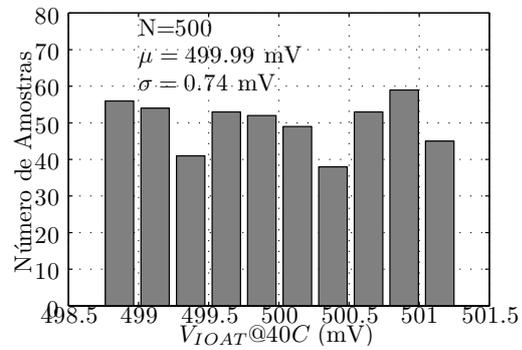
Para assegurar o correto funcionamento do arranque do circuito foi simulado uma rampa de subida de 0V até 1.8V na tensão de fonte de alimentação (VDD) com o tempo de subida igual a 100ms. O resultado desta simulação de Monte Carlo (N=100) pode ser visto na Fig.6.18. Nota-se que acima de 1.2V em V_{DD} - como foi visto na caracterização da regulação de linha - a referência permanece estável.



(a)

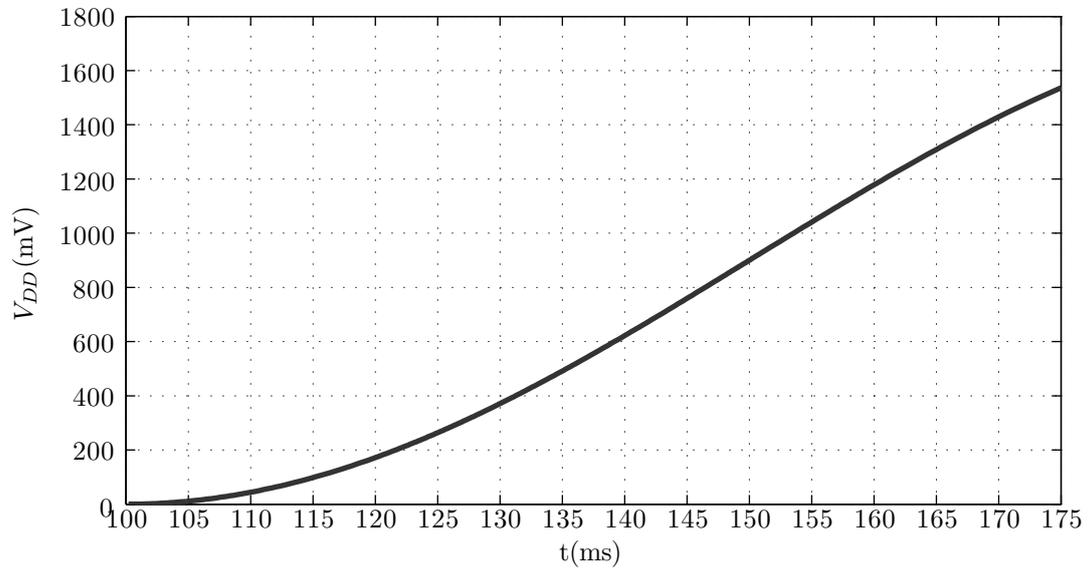


(b)

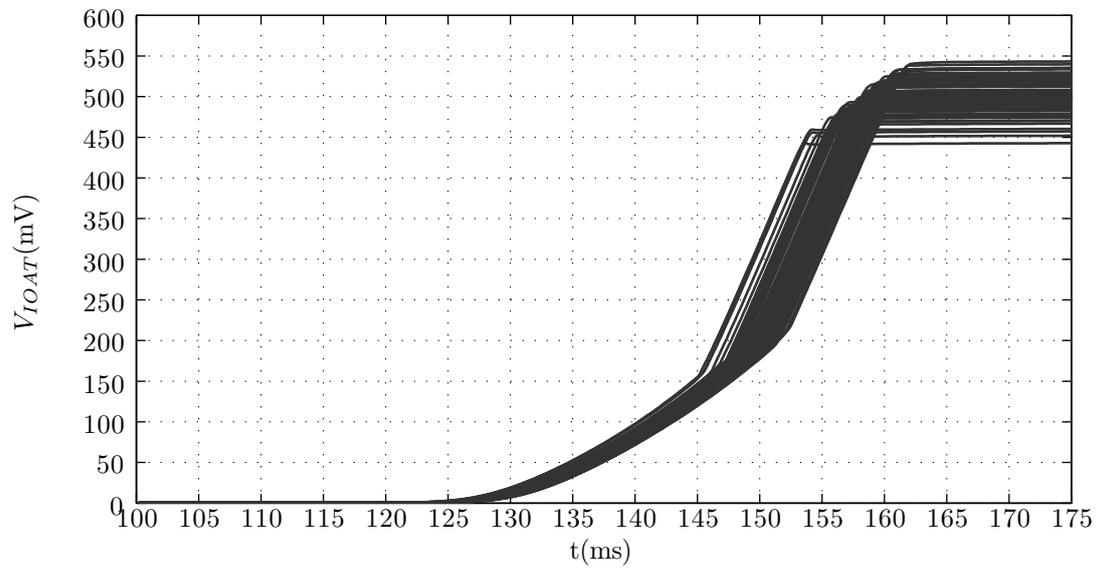


(c)

Figura 6.17: Resultados de calibração em 500mV (em 40°C) para 500 amostras da referência de tensão geradas a partir de simulação de Monte Carlo de variação de processo e descasamento. Em (a) pode ser visto o comportamento em temperatura de cada resultado calibrado, em (b) o histograma do coeficiente de temperatura (TC) para cada amostra, e em (c) o histograma da tensão de referência em 40°C.



(a)



(b)

Figura 6.18: Resultados de simulação de Monte Carlo ($N=100$) de variação do processo e descasamento do teste de arranque. Em (a) pode ser visto o degrau em V_{DD} , e em (b) a resposta da tensão de saída V_{IOAT} .

6.8 Comparação com a Literatura

De forma a concluir este capítulo, na Tabela 6.2 se compara a performance deste trabalho com a de outros trabalhos similares divulgados na literatura, ou seja, baseados em topologias CTAT-CTAT (subtração de dois comportamentos complementares com a temperatura absoluta) implementadas tanto em corrente como em tensão. Nota-se, em particular, que a corrente de repouso é uma das características mais fortes deste trabalho, de $5\mu A$ em $-40^\circ C$ (diminuindo até aprox. $3\mu A$ em temperatura ambiente). Deve-se também observar que os trabalhos [16] e [15], que têm corrente de repouso próximas, usam tecnologia maior ($0.35\mu m$), podendo ser uma das razões da corrente de repouso maior porque os transistores têm tensões limiares maiores para gerar a corrente no extrator V_T (caso [16]).

Quanto ao coeficiente de temperatura e o PSRR, os resultados nominais parecem estar razoavelmente dentro do esperado para este tipo de topologias CTAT-CTAT.

Tabela 6.2: Resumo de performance deste trabalho em relação a outros trabalhos divulgados na literatura.

Parâmetro	Proposto	[11]	[15]	[16]	[18]	[29]
Tecnologia	$0.18\mu m$	$0.5\mu m$	$0.35\mu m$	$0.35\mu m$	$0.25\mu m$	SIMOX
LR (mV/V)	1.92	1.87	11	0.185	N/A	N/A
TC (ppm/ $^\circ C$)	15.20	39.2	180	13.6	19.5	37.7
$PSRR$ (dB)	-57	-46	N/A	-72	-25	N/A
$I_{Q_{MAX}}$ (μA)	5	8.24	9	8	50	100
$V_{DD(min)}$ (V)	1.2	2	1.9	1.8	0.9	0.6
$V_{IOAT(nom)}$ (mV)	500.0	765	314	847.5	536.0	530.0
V_n ($\mu V/\sqrt{Hz}$)	0.54	N/A	N/A	N/A	N/A	N/A
Área (mm^2)	0.075	0.014	0.022	0.011	0.110	0.060

Capítulo 7

Conclusões e Trabalhos Futuros

Nesta pesquisa de tese foi apresentado o projeto e caracterização através de simulações após leiaute de um circuito integrado de referência de tensão independente da temperatura absoluta, implementado em processo padrão CMOS 180nm.

Ao longo deste trabalho foram desenvolvidas ferramentas e modelos para análise e otimização do circuito proposto. Para ser obtido um coeficiente de temperatura pequeno de 15.4 ppm/°C (nominal), foi utilizada a técnica de compensação mútua entre tensões limiars diferentes geradas através dos níveis de inversão do transistor NMOS do processo padrão, sem necessidade de utilizar tensões limiars obtidas através de métodos não padronizados, tais como implante no canal, diferentes materiais de porta ou diferentes dopagens de porta. Os níveis de inversão dos transistores responsáveis da compensação mútua podem ser projetados em inversão fraca e moderada, reduzindo assim o compromisso entre a área resistiva e o consumo de energia, já que tensões maiores requerem resistências maiores para manter a mesma corrente. Obteve-se como resultado para este circuito, uma corrente máxima de fonte de alimentação de $5\mu A$ em $-40^{\circ}C$, que pode diminuir até $3\mu A$ em temperatura ambiente.

Foi equacionado e limitado o descasamento do circuito através da área e a variável g_m/I_D dos transistores. Este foi projetado para 0.37% e foi obtido por simulações o valor de 0.34%, o que mostra um desempenho preciso da ferramenta de projeto proposta.

A saída da referência de tensão obtida através de simulações após o leiaute com variações do processo de fabricação é de $500mV \pm 2.22mV$ (3σ) após a calibração feita em $40^{\circ}C$, e um coeficiente de temperatura de 35 ppm/°C. Obteve-se uma regulação de linha de 1.92mV/V na faixa de 1.3V até 1.8V. A densidade espectral de ruído em tensão é de $0.54\mu V/\sqrt{Hz}$ até aproximadamente 100kHz. Sem nenhum sistema em cascata que filtre esta resposta se obtém $170\mu V_{rms}$ de ruído na saída.

A área do circuito ocupada no silício é de $0.075mm^2$, resultado que aumenta com a precisão desejada de descasamento.

7.1 Contribuições

As principais contribuições desta pesquisa de dissertação podem ser resumidas nos seguintes itens:

- Projeto de uma referência de tensão independente da temperatura absoluta.
- Metodologia de projeto para uma referência de tensão independente da temperatura absoluta.
- Implementação de uma ferramenta gráfica que pode ser utilizada para projeto e análise do comportamento da referência de tensão proposta. A ferramenta desenvolvida é portátil para outros processos CMOS.

7.2 Trabalhos Futuros

Como trabalhos futuros para a verificação dos métodos, modelos e ferramentas propostas neste trabalho, sugere-se a caracterização através de medições após fabricação do circuito integrado. O projeto e a realização do circuito de teste serão necessários para as medidas experimentais em laboratório.

Apêndice A

Expressões para Descasamento de Transistores

Para analisar os circuitos com diferentes níveis de inversão nos transistores, é conveniente e muito prático a utilização das seguintes expressões:

$$\frac{\Delta I_D}{I_D} = \frac{\Delta K'}{K'} - \left(\frac{g_m}{I_D}\right) \Delta V_{T_o} \quad (\text{A.1})$$

$$\Delta V_G = \Delta V_{T_o} - \left(\frac{I_D}{g_m}\right) \frac{\Delta K'}{K'} \quad (\text{A.2})$$

também utilizadas anteriormente nos trabalhos [30] e [31]. Normalmente definem-se as dispersões de K' e V_{T_o} como:

$$\sigma\left(\frac{\Delta K'}{K'}\right) = \frac{A_{K'}}{\sqrt{WL}} \quad (\text{A.3})$$

$$\sigma(\Delta V_{T_o}) = \frac{A_{V_{T_o}}}{\sqrt{WL}} \quad (\text{A.4})$$

sendo $A_{K'}$ e $A_{V_{T_o}}$ um dado do processo de fabricação (ver Tabela A.1) e WL a área do transistor. Conhecendo estas duas definições, de A.1 e A.2 obtêm-se as variâncias:

$$\sigma^2\left(\frac{\Delta I_D}{I_D}\right) = \frac{1}{WL} \left(A_{K'}^2 + \left(\frac{g_m}{I_D}\right)^2 \cdot A_{V_{T_o}}^2 \right) \quad (\text{A.5})$$

$$\sigma^2(\Delta V_G) = \frac{1}{WL} \left(A_{V_{T_o}}^2 + \left(\frac{I_D}{g_m}\right)^2 \cdot A_{K'}^2 \right) \quad (\text{A.6})$$

Nota-se que as variâncias diminuem quando a área aumenta, mas por outro lado, também é importante o nível de inversão do transistor, já que, o valor de g_m/I_D é mínimo quanto mais forte a inversão, e máximo quando a inversão é fraca. Na Fig.A.1 mostra-se um exemplo particular deste comportamento para um transistor NMOS($5\mu m \cdot 5\mu m$) no processo 180nm.

Tabela A.1: Parâmetros de descasamento dos transistores do processo 180nm.

Transistor	$A_{K'}$ (μm)	$A_{V_{T_0}}$ ($mV \times \mu m$)
NMOS	660e-6	3.233
PMOS	5600e-6	2.145

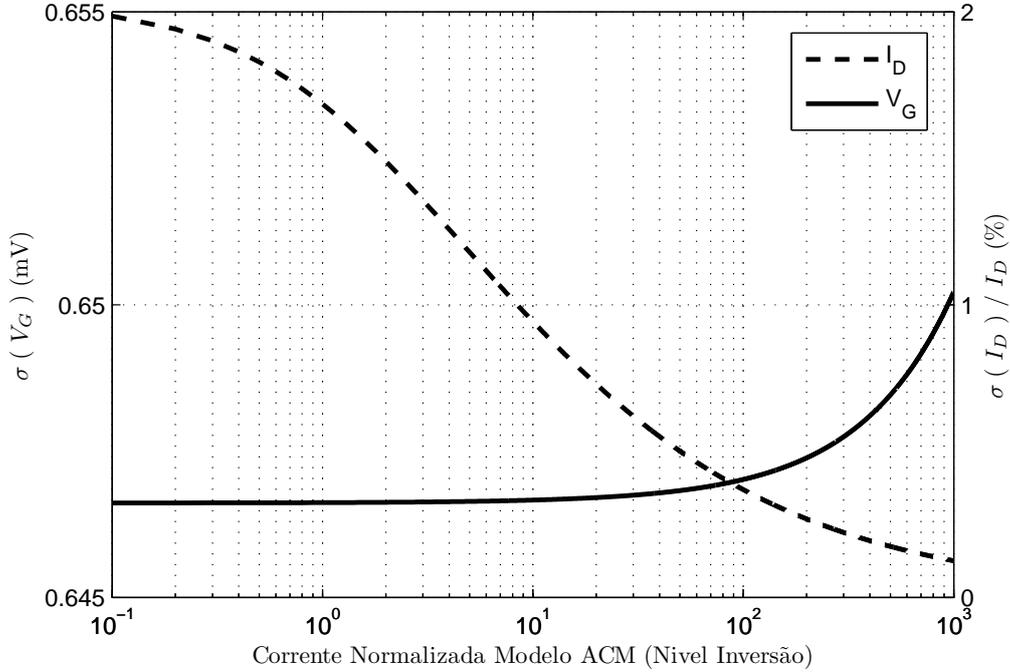


Figura A.1: Desvios-padrão de ΔV_G e $\Delta I_D/I_D$ para um transistor da processo 180nm com área fixa variando o nível de inversão.

Portanto, para um transistor de área fixa, se o objetivo é minimizar a dispersão em corrente, parece uma melhor opção trabalhar em inversão forte. Se o objetivo é minimizar a dispersão na tensão de porta (por exemplo, um diodo utilizado como referência de tensão), parece melhor opção trabalhar em inversão fraca.

Apêndice B

Produto de Variáveis Aleatorias Gaussianas não Correlacionadas

Supondo X_1, X_2, \dots, X_n variáveis aleatórias gaussianas não correlacionadas, pode ser calculada a variância do produto destas como segue:

$$\begin{aligned} \text{var} \left\{ \prod_{i=1}^n X_i \right\} &= E \left\{ \prod_{i=1}^n X_i^2 \right\} - \left(E \left\{ \prod_{i=1}^n X_i \right\} \right)^2 \\ &= \prod_{i=1}^n E \{ X_i^2 \} - \prod_{i=1}^n \left(E \{ X_i \} \right)^2 \\ &= \prod_{i=1}^n \left[\text{var} \{ X_i \} - \left(E \{ X_i \} \right)^2 \right] - \prod_{i=1}^n \left(E \{ X_i \} \right)^2 \end{aligned} \quad (\text{B.1})$$

Denotando a média como \overline{X}_i , e o desvio padrão como σ_{X_i} ($i=1,2,\dots,n$), a Eq.(B.1) pode ser escrita como:

$$\sigma_{X_1 \cdot X_2 \cdots X_n}^2 = \prod_{i=1}^n \left[\sigma_{X_i}^2 + \overline{X}_i^2 \right] - \prod_{i=1}^n \overline{X}_i^2 \quad (\text{B.2})$$

o que permite expressar o desvio padrão normalizado da multiplicação das variáveis aleatórias como:

$$\frac{\sigma_{X_1 \cdot X_2 \cdots X_n}}{\overline{X}_1 \cdot \overline{X}_2 \cdots \overline{X}_n} = \sqrt{\prod_{i=1}^n \left[\frac{\sigma_{X_i}^2}{\overline{X}_i^2} + 1 \right]} - 1 \quad (\text{B.3})$$

Nota-se que o resultado acima está em função da variância normalizada de cada fator de multiplicação. Este resultado é muito útil para calcular descasamentos totais de blocos em cascata.

Apêndice C

Modelo Compacto para Transistores MOS na Faixa de -40°C até 100°C

Os modelos ACM e EKV permitem analisar com muita praticidade o transistor MOS em qualquer nível de inversão. Na Tabela C.1 pode ser visto um resumo das equações do modelo ACM para determinar a corrente do transistor. Este modelo compacto, de só três parâmetros (K' , V_{T0} , n), não contempla efeitos de segunda ordem (redução de mobilidade, canal curto, etc...) que podem ser modelados com mais precisão adicionando outros parâmetros [32].

Tabela C.1: Resumo de equações de corrente do modelo compacto ACM de três parâmetros (K' , V_{T0} , n) em saturação direta.

Modelo geral, válido em qualquer nível de inversão:

$$V_P - V_{SB} = U_T [\sqrt{1 + i_f} - 2 + \log \sqrt{1 + i_f} - 1]$$

$$V_P = \frac{V_{GB} - V_{T0}}{n}, i_f = \frac{I_D}{I_S}, I_S = \frac{1}{2} n K' \frac{W}{L} U_T^2$$

Modelo válido em inversão fraca ($i_f < 1$):

$$I_D = K' \frac{W}{L} n U_T^2 \cdot \exp\left(\frac{V_{GB} - V_{T0} - n V_{SB}}{n U_T} + 1\right)$$

Modelo válido em inversão forte ($i_f > 100$):

$$I_D = K' \frac{1}{2n} \frac{W}{L} \cdot (V_{GB} - V_{T0} - n V_{SB})^2$$

Com a finalidade de obter um modelo aproximado na faixa de temperatura proposta (-40°C até 100°C) que permita analisar o comportamento do transistor ao variar a temperatura e assim criar rotinas eficientes no projeto do circuito, se optou pelo modelo de três parâmetros. Para utilizar este modelo, se devem extrair os três parâmetros da tecnologia 180nm em função da temperatura. Em [33] e [32] são propostos métodos para a extração.

A extração dos parâmetros foi feita para vários pontos de temperatura, e posteriormente foram ajustados os comportamentos com polinômios de 2a ordem como

pode ser visto na Tabela C.2. Na Fig.C.1 são mostrados os gráficos dos polinômios obtidos em função da temperatura.

Tabela C.2: Polinômio de 2º ordem ($p_2T^2 + p_1T + p_0$) ajustado para cada parâmetro do modelo compacto ACM em função da temperatura (T em graus Kelvin).

Transistor	Parâmetro	p_2	p_1	p_0
NMOS	$n_n(T)$	3.368e-07	-2.505e-05	1.215
	$V_{Ton}(T)$	-1.022e-06	5.106e-05	0.4085
	$K'_n(T)$	4.392e-09	-4.143e-06	0.001135
PMOS	$n_p(T)$	4.395e-07	-6.114e-05	1.276
	$V_{Top}(T)$	-1.117e-06	-1.349e-05	0.4798
	$K'_p(T)$	3.716e-10	-3.93e-07	0.0001418

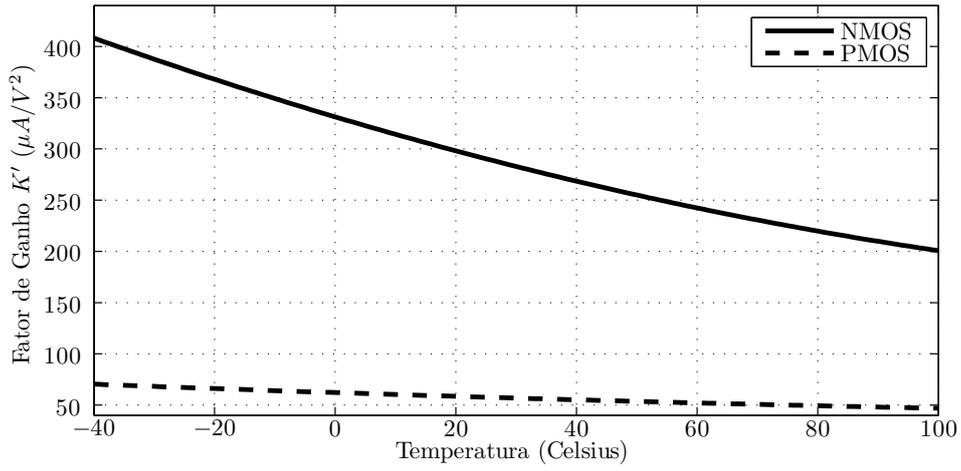
Outros parâmetros necessários neste trabalho, são as constantes de ruído *Flicker* para os transistores NMOS e PMOS. Estes parâmetros foram extraídos do simulador e os resultados podem ser vistos na Tabela C.3. As equações utilizadas para cálculo de ruído são mostradas na Tabela C.4.

Tabela C.3: Constantes de ruído *Flicker* extraídas do processo 180nm.

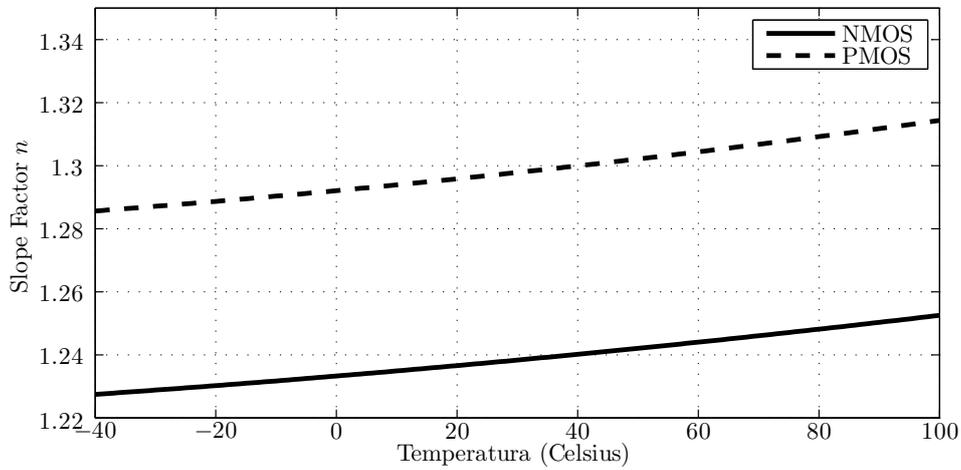
Transistor	K_F (m^2V^2/Hz)
NMOS	6.9620e-025
PMOS	3.9598e-024

Tabela C.4: Resumo de equações usadas para cálculo de ruído branco e *flicker* nos transistor MOS.

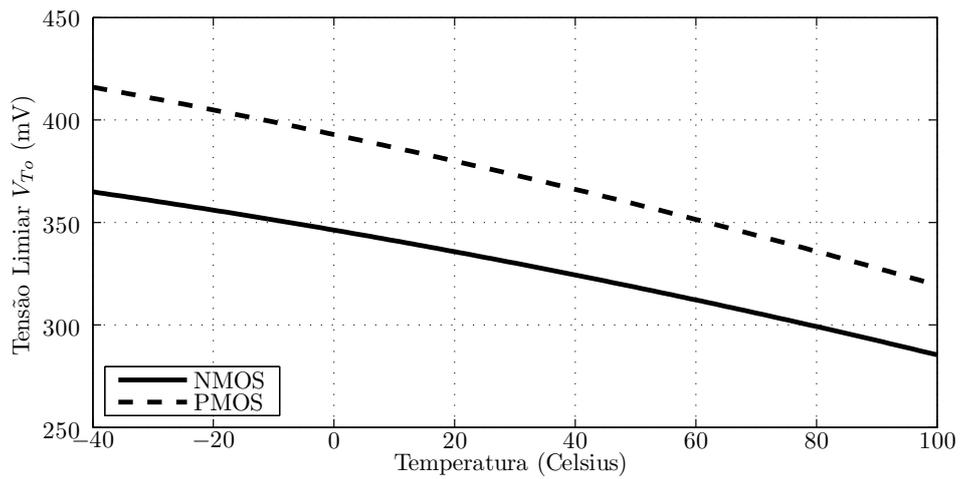
PSD de ruído <i>flicker</i> em tensão:
$Sv_F = \frac{K_F}{WL} \cdot \frac{\psi(i_f)}{f}$
$-\psi(i_f) = \left(\frac{1+\sqrt{1+i_f}}{2} \right)^2 \cdot \frac{\log(1+i_f)}{i_f}$
- K_F constante da Tabela C.3
PSD de ruído branco em corrente:
$Si_B = \frac{8}{3} \cdot n \cdot K_B \cdot T \cdot g_{mi}$
- K_B constante de Boltzmann



(a)



(b)



(c)

Figura C.1: Resultado da extração do Fator de Ganho K' (a), *Slope Factor* n (b) e Tensão Limiar V_{T0} (c) do modelo ACM para os transistores NMOS e PMOS do processo 180nm em função da temperatura. A extração foi feita para transistores de $W=5\mu m$ $L=5\mu m$.

Referências Bibliográficas

- [1] KUIJK, K. “A precision reference voltage source”, *Solid-State Circuits, IEEE Journal of*, v. 8, n. 3, pp. 222–226, 1973. ISSN: 0018-9200. doi: 10.1109/JSSC.1973.1050378.
- [2] TSIVIDIS, Y., ULMER, R. “A CMOS voltage reference”, *Solid-State Circuits, IEEE Journal of*, v. 13, n. 6, pp. 774–778, 1978. ISSN: 0018-9200. doi: 10.1109/JSSC.1978.1052049.
- [3] DEGRAUWE, M., LEUTHOLD, O., VITTOZ, E., et al. “CMOS voltage references using lateral bipolar transistors”, *Solid-State Circuits, IEEE Journal of*, v. 20, n. 6, pp. 1151–1157, 1985. ISSN: 0018-9200. doi: 10.1109/JSSC.1985.1052453.
- [4] LEUNG, K. N., MOK, P. “A sub-1-V 15-ppm/ deg;C CMOS bandgap voltage reference without requiring low threshold voltage device”, *Solid-State Circuits, IEEE Journal of*, v. 37, n. 4, pp. 526–530, 2002. ISSN: 0018-9200. doi: 10.1109/4.991391.
- [5] GIUSTOLISI, G., PALUMBO, G., CRISCIONE, M., et al. “A low-voltage low-power voltage reference based on subthreshold MOSFETs”, *Solid-State Circuits, IEEE Journal of*, v. 38, n. 1, pp. 151–154, 2003. ISSN: 0018-9200. doi: 10.1109/JSSC.2002.806266.
- [6] HUANG, P.-H., LIN, H., LIN, Y.-T. “A Simple Subthreshold CMOS Voltage Reference Circuit With Channel- Length Modulation Compensation”, *Circuits and Systems II: Express Briefs, IEEE Transactions on*, v. 53, n. 9, pp. 882–885, 2006. ISSN: 1549-7747. doi: 10.1109/TCSII.2006.881813.
- [7] SERRA-GRAELLS, F., HUERTAS, J. “Sub-1-V CMOS proportional-to-absolute temperature references”, *Solid-State Circuits, IEEE Journal of*, v. 38, n. 1, pp. 84–88, 2003. ISSN: 0018-9200. doi: 10.1109/JSSC.2002.806258.
- [8] ROSSI, C., GALUP-MONTORO, C., SCHNEIDER, M. C. “PTAT voltage generator based on an MOS voltage divider”. In: *Technical Proceedings of*

the 2007 NSTI Nanotechnology Conference and Trade Show, v. 3, pp. 625–628, Santa Clara, CA, USA, maio 2007. ISBN: 1-4200-6184-4.

- [9] GUNAWAN, M., MEIJER, G. C. M., FONDERIE, J., et al. “A curvature-corrected low-voltage bandgap reference”, *Solid-State Circuits, IEEE Journal of*, v. 28, n. 6, pp. 667–670, 1993. ISSN: 0018-9200. doi: 10.1109/4.217981.
- [10] LEUNG, K. N., MOK, P., LEUNG, C. Y. “A 2-V 23- μ A 5.3-ppm/deg;C curvature-compensated CMOS bandgap voltage reference”, *Solid-State Circuits, IEEE Journal of*, v. 38, n. 3, pp. 561–564, 2003. ISSN: 0018-9200. doi: 10.1109/JSSC.2002.808328.
- [11] XIA, X., XIE, L., SUN, W., et al. “Temperature-stable voltage reference based on different threshold voltages of NMOS transistors”, *Circuits, Devices Systems, IET*, v. 3, n. 5, pp. 233–238, 2009. ISSN: 1751-858X. doi: 10.1049/iet-cds.2008.0292.
- [12] BLAUSCHILD, R., TUCCI, P., MULLER, R., et al. “A new NMOS temperature-stable voltage reference”, *Solid-State Circuits, IEEE Journal of*, v. 13, n. 6, pp. 767–774, 1978. ISSN: 0018-9200. doi: 10.1109/JSSC.1978.1052048.
- [13] TOBEY, M., GIALIANI, D., ASKIN, P. “Flat-band voltage reference”, *U.S. Patent 3975648*, 1976.
- [14] OQUEY, H., GERBER, B. “MOS voltage reference based on polysilicon gate work function difference”, *Solid-State Circuits, IEEE Journal of*, v. 15, n. 3, pp. 264–269, 1980. ISSN: 0018-9200. doi: 10.1109/JSSC.1980.1051381.
- [15] KONG-MING, GUO-JIANMIN, ZHANG-KE, et al. “A Novel CMOS Voltage Reference Based on Threshold Voltage Difference Between p-Type and n-Type MOSFETs”, *Chinese Journal of Semiconductors*, v. 28, n. 10, pp. 1547–1549, 2007. ISSN: 0253-4177.
- [16] KUN ZHOU, Z., ZHU, P.-S., SHI, Y., et al. “A CMOS Voltage Reference Based on Mutual Compensation of V_{tn} and V_{tp} ”, *Circuits and Systems II: Express Briefs, IEEE Transactions on*, v. 59, n. 6, pp. 341–345, 2012. ISSN: 1549-7747. doi: 10.1109/TCSII.2012.2195065.
- [17] GALUP-MONTORO, C., SCHNEIDER, M. C., CUNHA, A. I. A., et al. “The Advanced Compact MOSFET (ACM) Model for Circuit Analysis and De-

- sign”. In: *Custom Integrated Circuits Conference, 2007. CICC '07. IEEE*, pp. 519–526, 2007. doi: 10.1109/CICC.2007.4405785.
- [18] KER, M.-D., CHEN, J.-S., CHU, C.-Y. “New curvature-compensation technique for CMOS bandgap reference with sub-1-V operation”. In: *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pp. 3861–3864 Vol. 4, 2005. doi: 10.1109/ISCAS.2005.1465473.
- [19] HAO, Z., BO, Z., ZHAO-JI, L., et al. “A New CMOS Current Reference with High Order Temperature Compensation”. In: *Communications, Circuits and Systems Proceedings, 2006 International Conference on*, v. 4, pp. 2189–2192, 2006. doi: 10.1109/ICCCAS.2006.285111.
- [20] HARRISON, W., CONNELLY, J. A., STAIR, R. “An improved current-mode CMOS voltage reference”. In: *Mixed-Signal Design, 2001. SSMSD. 2001 Southwest Symposium on*, pp. 23–27, 2001. doi: 10.1109/SSMSD.2001.914931.
- [21] ENZ, C., KRUMMENACHER, F., VITTOZ, E. “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications”, *Analog Integrated Circuits and Signal Processing*, v. 8, n. 1, pp. 83–114, 1995. ISSN: 0925-1030. doi: 10.1007/BF01239381. Disponível em: <<http://dx.doi.org/10.1007/BF01239381>>.
- [22] ROSSI-AICARDI, C., OREGGIONI, J., SILVEIRA, F., et al. “A MOSFET-only voltage source with arbitrary sign adjustable temperature coefficient”. In: *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*, pp. 366–369, 2011. doi: 10.1109/NEWCAS.2011.5981246.
- [23] CHENG, Y. “The influence and modeling of process variation and device mismatch for analog/rf circuit design”. In: *Devices, Circuits and Systems, 2002. Proceedings of the Fourth IEEE International Caracas Conference on*, pp. D046–1–D046–8, 2002. doi: 10.1109/ICCDCS.2002.1004068.
- [24] ARNAUD, A., GALUP-MONTORO, C. “Consistent noise models for analysis and design of CMOS circuits”, *Circuits and Systems I: Regular Papers, IEEE Transactions on*, v. 51, n. 10, pp. 1909–1915, 2004. ISSN: 1549-8328. doi: 10.1109/TCSI.2004.835028.
- [25] SILVEIRA, F., FLANDRE, D., JESPERS, P. “A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA”, *Solid-State Circuits, IEEE Journal*

of, v. 31, n. 9, pp. 1314–1319, 1996. ISSN: 0018-9200. doi: 10.1109/4.535416.

- [26] FELT, E., NARAYAN, A., SANGIOVANNI-VLNCENTELELLI, A. “Measurement And Modeling Of MOS Transistor Current Mismatch In Analog IC’s”. In: *Computer-Aided Design, 1994., IEEE/ACM International Conference on*, pp. 272–277, 1994. doi: 10.1109/ICCAD.1994.629779.
- [27] SAINT, C., SAINT, J. *IC Mask Design: Essential Layout Techniques*. McGraw-Hill, 2002. ISBN: 9780071389969.
- [28] CHI-WAH, K., WING-SHAN, T. *CMOS Voltage References: An Analytical and Practical Perspective*. Wiley, 2013. ISBN: 978-1-118-27568-9. Disponível em: <<http://www.wiley.com/WileyCDA/WileyTitle/productCd-1118275683.html>>.
- [29] UGAJIN, M., TSUKAHARA, T. “A 0.6-V voltage reference circuit based on Σ/Δ architecture in CMOS/SIMOX”. In: *VLSI Circuits, 2001. Digest of Technical Papers. 2001 Symposium on*, pp. 141–142, 2001. doi: 10.1109/VLSIC.2001.934220.
- [30] VITTOZ, E. “The Design of High-Performance Analog Circuits on Digital CMOS Chips”, *Solid-State Circuits, IEEE Journal of*, v. 20, n. 3, pp. 657 – 665, jun 1985. ISSN: 0018-9200. doi: 10.1109/JSSC.1985.1052365.
- [31] KINGET, P. “Device mismatch and tradeoffs in the design of analog circuits”, *Solid-State Circuits, IEEE Journal of*, v. 40, n. 6, pp. 1212 – 1224, june 2005. ISSN: 0018-9200. doi: 10.1109/JSSC.2005.848021.
- [32] JESPERS, P. *"The gm/ID Methodology, A Sizing Tool for Low-voltage Analog CMOS Circuits"*. Springer US, 2010. ISBN: 978-0-387-47100-6. doi: 10.1007/978-0-387-47101-3. Disponível em: <<http://link.springer.com/book/10.1007/978-0-387-47101-3/page/1>>.
- [33] GALUP-MONTORO, C., SCHNEIDER, M. In: *Mosfet Modeling for Circuit Analysis and Design*, World Scientific, 2007. ISBN: 978-981-256-810-6.