



AMPLIFICADOR DE GANHO PROGRAMÁVEL INTEGRADO PARA APLICAÇÃO EM MEDIDORES DE ENERGIA ELÉTRICA INTELIGENTES

Gustavo dos Santos de Moraes

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Fernando Antônio Pinto Barúqui

Rio de Janeiro
Outubro de 2012

AMPLIFICADOR DE GANHO PROGRAMÁVEL INTEGRADO PARA
APLICAÇÃO EM MEDIDORES DE ENERGIA ELÉTRICA INTELIGENTES

Gustavo dos Santos de Moraes

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO
ALBERTO LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE
ENGENHARIA (COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE
JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A
OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA
ELÉTRICA.

Examinada por:

Prof. Fernando Antônio Pinto Barúqui, D.Sc.

Prof. Antonio Petraglia, Ph.D.

Prof. Carlos Fernando Teodósio Soares, D.Sc.

Prof. Estêvão Coelho Teixeira, D.Sc.

RIO DE JANEIRO, RJ – BRASIL
OUTUBRO DE 2012

Moraes, Gustavo dos Santos de

Amplificador de Ganho Programável Integrado para Aplicação em Medidores de Energia Elétrica Inteligentes/Gustavo dos Santos de Moraes. – Rio de Janeiro: UFRJ/COPPE, 2012.

XIV, 70 p.: il.; 29, 7cm.

Orientador: Fernando Antônio Pinto Barúqui

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2012.

Referências Bibliográficas: p. 68 – 70.

1. CMOS. 2. Controle Automático de Ganho. 3. Differential Difference Amplifier. I. Barúqui, Fernando Antônio Pinto. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

À minha família.

Agradecimentos

Agradeço à minha família por ter me dado todas as condições necessárias para que eu pudesse concluir este mestrado.

Ao professor e orientador Fernando Antônio Pinto Barúqui por todos os ensinamentos. Sempre solícito e paciente para sanar as dúvidas e os problemas enfrentados.

Aos professores do Programa de Engenharia Elétrica da COPPE/UFRJ pela formação de excelência.

Aos colegas e professores do Laboratório de Processamento Analógico e Digital de Sinais com os quais tive a satisfação de conviver e trabalhar.

Aos colegas de curso que tornaram mais agradáveis estes anos de mestrado.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

AMPLIFICADOR DE GANHO PROGRAMÁVEL INTEGRADO PARA APLICAÇÃO EM MEDIDORES DE ENERGIA ELÉTRICA INTELIGENTES

Gustavo dos Santos de Moraes

Outubro/2012

Orientador: Fernando Antônio Pinto Barúqui

Programa: Engenharia Elétrica

Amplificadores de ganho programável controlados automaticamente têm ampla utilização em dispositivos eletrônicos. Neste trabalho este bloco é responsável por realizar o pré-condicionamento de um sinal que posteriormente seguirá para um conversor analógico-digital em um medidor inteligente de energia elétrica, a fim de manter a amplitude do sinal dentro de um determinado patamar, correspondente à faixa de operação do conversor. Foi utilizado um amplificador diferencial de diferença para a elaboração do amplificador de ganho programável e um sistema de controle para compensação de *offset*. Os circuitos foram projetados utilizando-se a tecnologia de integração CMOS 130 nm. Para validar o funcionamento do circuito, simulações de Monte Carlo foram realizadas.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

INTEGRATED PROGRAMMABLE GAIN AMPLIFIER FOR SMART
ELECTRIC POWER METER

Gustavo dos Santos de Moraes

October/2012

Advisor: Fernando Antônio Pinto Barúqui

Department: Electrical Engineering

Automatically controlled Programmable Gain Amplifiers have been widely used in electronic devices. In this work, this block is responsible for signal preconditioning that will be applied to the input of an analog-to-digital converter of a smart electric power meter, in order to keep the signal's amplitude within the A/D converter input voltage range. A differential difference amplifier has been adopted as the main block of the programmable gain amplifier, and a control system for compensating the offset has also been used. The circuits have been designed in a CMOS 130 nm technology. Monte Carlo simulations have been performed to validate the overall circuit operation.

Sumário

Lista de Figuras	x
Lista de Tabelas	xiii
Lista de Abreviaturas	xiv
1 Introdução	1
1.1 Tema	1
1.2 Delimitação	1
1.3 Justificativa	1
1.4 Objetivos	2
1.5 Metodologia	2
1.6 Descrição	2
2 Controle Automático de Ganho	4
2.1 Localização	4
2.2 Classificação	5
2.3 Arquitetura de um AGC	7
2.3.1 Detetor de Pico	7
2.3.2 Detetor de Nível	10
2.3.3 Decodificador Lógico	11
2.3.4 Amplificador de Ganho Programável	12
2.3.5 Controle de <i>Offset</i>	13
2.4 Arquitetura deste Trabalho	18
3 Projeto	19
3.1 Projeto dos Circuitos Digitais Básicos	19
3.1.1 Portas Lógicas	19
3.1.1.1 Portas NOT	20
3.1.1.2 Portas NAND	20
3.1.1.3 Portas NOR	21
3.1.2 <i>Flip-Flop</i> SR NOR	21

3.1.3	<i>Flip-Flop D</i>	22
3.2	Projeto dos Circuitos Analógicos Básicos	23
3.2.1	Chaves Analógicas	23
3.2.2	Espelhos de Corrente	24
3.2.2.1	Espelho de Corrente Simples	24
3.2.2.2	Espelho de Corrente com Cascode	26
3.2.2.3	Espelho de Corrente de Alta Compliância	28
3.2.3	Par Diferencial	29
3.3	Projeto do Amplificador Diferencial de Diferença	31
3.4	Projeto do Detector de Pico	39
3.5	Projeto do Detetor de Nível	39
3.5.1	Comparador com Histerese	40
3.6	Projeto do Decodificador	42
3.7	Projeto do Sistema de Controle da Compensação	44
3.7.1	Projeto do Divisor de Frequência	44
3.7.2	Projeto do Comparador de Passagem pelo Zero	44
3.7.3	Projeto do Detetor de Passagem pelo Zero	46
3.7.4	Projeto do Controle das Chaves de Compensação do <i>Offset</i>	47
4	Simulações	50
4.1	Simulação do Amplificador Diferencial de Diferença	50
4.2	Simulação do Detetor de Pico	57
4.3	Simulação do Detetor de Nível e Decodificador	58
4.4	Simulação do Sistema de Controle da Compensação de <i>Offset</i>	59
4.4.1	Simulação do Comparador de Passagem pelo Zero	61
4.5	Simulação do Sistema Completo	61
5	Conclusões	66
5.1	Conclusões Gerais	66
5.2	Trabalhos Futuros	67
	Referências Bibliográficas	68

Lista de Figuras

2.1	Diagrama de blocos de um AGC <i>Feedback</i>	5
2.2	Diagrama de blocos de um AGC <i>Feedback</i> em modo corrente.	6
2.3	Diagrama de blocos de um AGC <i>Feedback</i> misto.	6
2.4	Diagrama de blocos de um AGC <i>Feedforward</i>	7
2.5	Escopo inicial do diagrama de blocos do AGC deste trabalho.	7
2.6	Funcionamento de um detetor de pico positivo (a) e um negativo (b).	8
2.7	Detetor de pico composto por um diodo e um capacitor.	9
2.8	Detetor de pico utilizando amplificador operacional.	10
2.9	Detetor de pico utilizando <i>source follower</i>	10
2.10	Detetor de pico utilizando espelhos de corrente.	11
2.11	Circuito detetor de nível.	11
2.12	Croqui do decodificador lógico.	12
2.13	PGA utilizando controle de ganho na degeneração de fonte (a) e seu detalhamento (b).	12
2.14	PGA utilizando controle de ganho na malha externa (a) e seu detalhamento (b).	13
2.15	Símbolo do DDA.	13
2.16	Primeira técnica de compensação de <i>offset</i>	14
2.17	Segunda técnica de compensação de <i>offset</i>	15
2.18	Saída após compensação não-controlada (a) e um <i>zoom</i> na região de interesse (b).	15
2.19	Saída após compensação controlada (a) e um <i>zoom</i> na região de interesse (b).	16
2.20	Diagrama de blocos do controle da compensação de <i>offset</i>	16
2.21	Funcionamento do controle da compensação de <i>offset</i> (a) e um <i>zoom</i> nos pulsos A e B (b).	17
2.22	Arquitetura final deste trabalho.	18
3.1	Topologia CMOS complementar.	20
3.2	Esquemático da porta inversora.	20
3.3	Esquemático das portas NAND de duas (a), três (b) e quatro entradas (c).	21

3.4	Esquemático da porta NOR.	21
3.5	Esquemático do <i>flip-flop</i> SR NOR.	22
3.6	Esquemático do <i>flip-flop</i> D acionado por borda de subida.	22
3.7	Esquemático da chave analógica complementar com transistores <i>dummy</i>	24
3.8	Esquemático de um espelho de corrente simples.	25
3.9	Esquemático de um espelho de corrente com cascode.	27
3.10	Esquemático de um espelho de corrente de alta compliância.	28
3.11	Esquemático de um par diferencial com degeneração utilizado no DDA.	30
3.12	Diagrama de blocos do DDA.	32
3.13	Esquemático do amplificador diferencial de diferença.	33
3.14	Média (a) e desvio padrão do <i>offset</i> (b) em função do escalamento dos transistores NMOS.	36
3.15	Média (a) e desvio padrão do <i>offset</i> (b) em função do escalamento dos transistores PMOS.	36
3.16	Destaque para o <i>loop</i> translinear PMOS (a) e NMOS (b).	37
3.17	Esquemático do detetor de pico.	39
3.18	Esquemático do comparador do detetor de nível.	41
3.19	Esquemático do decodificador.	43
3.20	Esquemático do divisor de frequência gerador da janela de tempo.	44
3.21	Diagrama de blocos do comparador detetor de passagem pelo zero.	45
3.22	Esquemático do comparador de passagem pelo zero.	46
3.23	Esquemático do detetor de passagem pelo zero.	47
3.24	Esquemático do controle das chaves de compensação do <i>offset</i>	48
4.1	Resposta em frequência do DDA em malha aberta.	51
4.2	Resposta em frequência do PGA.	51
4.3	Histograma da tensão de <i>offset</i> de saída do DDA sem compensação para $V_{in}=0$ e $A_V=1$ (a); $V_{in}=300$ mV e $A_V=1$ (b); $V_{in}=0$ e $A_V=16$ (c); e $V_{in}=18,75$ mV e $A_V=16$ (d).	53
4.4	Histograma da tensão de <i>offset</i> de saída do DDA para o primeiro esquema de compensação para $V_{in}=0$ e $A_V=1$ (a); $V_{in}=300$ mV e $A_V=1$ (b); $V_{in}=0$ e $A_V=16$ (c); e $V_{in}=18,75$ mV e $A_V=16$ (d).	54
4.5	Histograma da tensão de <i>offset</i> de saída do DDA para o segundo esquema de compensação para $V_{in}=0$ e $A_V=1$ (a); $V_{in}=300$ mV e $A_V=1$ (b); $V_{in}=0$ e $A_V=16$ (c); e $V_{in}=18,75$ mV e $A_V=16$ (d).	55
4.6	Histograma do THD de saída do DDA sem compensação para $V_{in}=300$ mV e $A_V=1$ (a); e para $V_{in}=18,75$ mV e $A_V=16$ (b).	56
4.7	Histograma do THD de saída do DDA com compensação para $V_{in}=300$ mV e $A_V=1$ (a); e $V_{in}=18,75$ mV e $A_V=16$ (b).	56

4.8	Gráfico do THD <i>vs.</i> tensão de <i>offset</i> de saída do DDA (a) e seu respectivo ajuste linear (b).	57
4.9	Simulação do detetor de pico.	58
4.10	Simulação de Monte Carlo do detetor de pico.	58
4.11	Diagrama de blocos da simulação do detetor de nível e do decodificador.	59
4.12	Simulação do detetor de nível e do decodificador.	59
4.13	Simulação do sistema de controle da compensação de <i>offset</i> (a) e um <i>zoom</i> nos pulsos de controle A e B (b).	60
4.14	Compensação do <i>offset</i> de saída do DDA.	61
4.15	Simulação de Monte Carlo do comparador de passagem pelo zero para um tensão de entrada de 18,75 mV (a), 37,5 mV (b), 75 mV (c) e 150 mV (d).	62
4.16	Simulação do sistema completo.	63
4.17	Simulação do sistema completo com <i>zoom</i> no chaveamento do ganho.	63
4.18	Simulação de Monte Carlo do sistema completo.	64
4.19	Evolução do chaveamento de $A_v=1$ para $A_v=16$ da Simulação de Monte Carlo (a) e seu regime permanente (b).	65
4.20	Evolução do chaveamento de $A_v=16$ para $A_v=1$ da Simulação de Monte Carlo (a) e seu respectivo <i>zoom</i> (b).	65

Lista de Tabelas

3.1	Tabela verdade do <i>flip-flop</i> SR NOR.	22
3.2	Tabela verdade do <i>flip-flop</i> D.	23
3.3	Dimensões dos transistores da chave analógica.	24
3.4	Dimensões dos transistores do DDA.	38
3.5	Dimensões dos transistores do detetor de pico.	40
3.6	Faixas de ganho programável.	40
3.7	Dimensões dos transistores do comparador do detetor de nível.	42
3.8	Tabela verdade do decodificador.	42
3.9	Dimensões dos transistores do comparador de passagem pelo zero.	46
4.1	Caracterização do DDA.	50
4.2	Estatística da análise de Monte Carlo dos Ganhos do DDA.	52
4.3	Estatística da análise de Monte Carlo do <i>offset</i>	52
4.4	Estatística da análise de Monte Carlo do THD.	54

Lista de Abreviaturas

ADC	<i>Analog-to-Digital Converter</i> , p. 2
AGC	<i>Automatic Gain Control</i> , p. 1
AVC	<i>Automatic Volume Control</i> , p. 4
CI	Circuito Integrado, p. 4
CMOS	<i>Complementary Metal Oxide Semiconductor</i> , p. 1
DAC	<i>Digital-to-Analog Converter</i> , p. 6
DDA	<i>Differential Difference Amplifier</i> , p. 1
DSP	<i>Digital Signal Processor</i> , p. 6
OTA	<i>Operational Transconductance Amplifier</i> , p. 5
PGA	<i>Programmable Gain Amplifier</i> , p. 5
RMS	<i>Root Mean Square</i> , p. 47
SoC	<i>System on Chip</i> , p. 4
THD	<i>Total Harmonic Distortion</i> , p. 14
VGA	<i>Variable Gain Amplifier</i> , p. 5
WLAN	<i>Wireless Local-Area Network</i> , p. 4
ZCD	<i>Zero Crossing Detector</i> , p. 16

Capítulo 1

Introdução

1.1 Tema

Este trabalho tem como tema o desenvolvimento de um amplificador contínuo no tempo de ganho automaticamente ajustável, com alta linearidade e com baixa tensão de *offset* de saída.

1.2 Delimitação

O objetivo deste trabalho consiste no estudo, projeto e desenvolvimento de um amplificador de ganho controlável, utilizando-se a tecnologia CMOS (*Complementary Metal Oxide Semiconductor*) e processo de integração de 130 nm. Este sistema será empregado em um medidor eletrônico de energia para realizar o pré-condicionamento de um sinal, que seguirá para um conversor analógico-digital. Uma vantagem deste trabalho é que utilizou-se um amplificador diferencial de diferença (*Differential Difference Amplifier* – DDA) com tensão de modo comum da entrada diferente da saída. Assim, o principal enfoque desta dissertação recairá sobre o DDA e a técnica empregada para redução do seu *offset*.

1.3 Justificativa

O Controle Automático de Ganho (AGC – *Automatic Gain Control*) é amplamente utilizado em dispositivos eletrônicos como, por exemplo, nos receptores de comunicação com ou sem fio, em aparelhos auditivos, e no interfaceamento de sensores com outros dispositivos, apenas para enumerar alguns de seus usos. Portanto, vê-se a sua importância para a Eletrônica.

Com a miniaturização dos dispositivos e com as especificações cada vez mais restritas quanto ao consumo de potência, torna-se primordial a adoção de tecnologias

de integração em menores escalas e mais precisas. Além disso, a própria redução na escala de integração contribui com a redução do consumo de potência, visto que, via de regra, diminui-se a tensão de limiar (tensão de *threshold*) e, conseqüentemente, diminui-se também a tensão de alimentação necessária.

O circuito apresentado neste trabalho é um dos blocos presentes em um medidor eletrônico de energia inteligente (*smart meter*). Sua função é realizar o pré-condicionamento de um sinal que posteriormente seguirá para um conversor analógico-digital (ADC – *Analog-to-Digital Converter*). Assim, o sinal estará entre certos patamares de tensão, o que tende a abrandar algumas especificações do ADC, facilitando, de certa forma, o seu projeto. Este bloco trabalhará com um sinal de entrada de 60 Hz, que será posteriormente digitalizado. Como o medidor utilizará os cinquenta primeiros harmônicos do sinal, obedecendo-se à taxa de amostragem de Nyquist, tem-se uma faixa de funcionamento de 6 kHz.

1.4 Objetivos

O objetivo geral foi, então, projetar um amplificador de ganho controlável, com 5 faixas de ganho, e com ajuste automático, que fornecerá em sua saída uma tensão dentro de uma determinada faixa de valores. Desta forma, teve-se como objetivos específicos: (1) estudo das diferentes topologias e do funcionamento do amplificador, para que assim seja possível a escolha da arquitetura mais adequada para cada um dos seus blocos funcionais; (2) projeto dos seus blocos; (3) realização de simulações para comprovação dos resultados.

1.5 Metodologia

Para verificar a validade do projeto, testes iniciais foram feitos utilizando-se alguns blocos ideais. Os blocos foram projetados e, a partir daí, cada bloco foi substituído pelo seu circuito real, sendo novamente testado até que o sistema estivesse completamente projetado. Nas simulações, foi empregado o simulador *Spectre* do Cadence, no qual todos os transistores são modelados através do modelo BSIM3v3. Ajustes finos foram feitos com base nos resultados destas simulações. Por fim, simulações de Monte Carlo foram realizadas a fim de comprovar a validade das ideias contidas neste trabalho, bem como o funcionamento do sistema.

1.6 Descrição

No **Capítulo 2** será discutido o que é um amplificador com controle automático de ganho, suas possíveis arquiteturas e o funcionamento de cada uma das partes.

O **Capítulo 3** apresenta o projeto de cada um dos blocos que foram utilizados neste trabalho.

Tendo-se o projeto pronto, as simulações dos componentes, bem como do sistema completo, são apresentadas no **Capítulo 4**. Assim, pode-se compreender melhor o funcionamento do circuito, além de, principalmente, validá-lo.

Por fim, no **Capítulo 5** tem-se uma discussão acerca dos resultados obtidos, seguida pela conclusão do trabalho.

Capítulo 2

Controle Automático de Ganho

2.1 Localização

O controle automático de ganho é um sistema adaptativo encontrado em diversos dispositivos eletrônicos. Este sistema é usualmente empregado quando a amplitude do sinal de entrada varia sobre uma ampla faixa dinâmica [1], que é a relação entre o maior e o menor valores possíveis de uma grandeza, a qual neste caso é a tensão de entrada. Então, dando-se uma noção do funcionamento, tem-se que obtida a amplitude do sinal de saída, este valor é realimentado para, desta forma, ajustar-se apropriadamente o ganho do amplificador e, assim, adequar a amplitude de saída. Portanto, um sinal de entrada de baixa amplitude implicará numa configuração de alto ganho do amplificador, enquanto que um sinal de alta amplitude sofrerá pouca ou nenhuma amplificação.

Situando-se histórica e cronologicamente o aparecimento desta ideia, em 1925 Harold Alden Wheeler inventou e patenteou o controle automático de volume (AVC – *Automatic Volume Control*). Em 1928, Karl Küpfmüller publicou uma análise de sistemas AGC [2]. Assim, já na década de 1930, os receptores de radiodifusão já empregavam essa técnica.

O controle automático de ganho é um bloco crucial em receptores WLAN (*Wireless Local-Area Network*) [3], além de outros tipos de receptores de comunicação com e sem fio. Também é empregado em imageadores CMOS e sistemas multimídia [1]. Além disso, pode-se acrescentar também que, com o desenvolvimento da tecnologia de semicondutores nos últimos anos, bio-sensores CMOS têm sido integrados com o restante do circuito CMOS, fato que propicia a fabricação de dispositivos médicos SoC CMOS (SoC – *System on Chip*), ou seja, inteiramente contidos em um circuito integrado (CI). Deste feito, então, consegue-se a miniaturização e o barateamento destes tipos de sistema [4].

2.2 Classificação

Existem basicamente dois tipos de AGC:

- *Feedback*
- *Feedforward*

O AGC *Feedback* é composto por um PGA (*Programmable Gain Amplifier*) ou VGA (*Variable Gain Amplifier*); por um detetor de pico; por um comparador; e por um filtro de *loop*, como pode ser visto na Figura 2.1. O detetor de pico obtém o valor dos máximos da tensão de saída, que será comparado com um valor de referência no comparador para gerar um sinal de controle. O filtro de *loop* extrai o valor médio deste sinal, gerando um sinal DC que realimentará o PGA, variando assim o seu ganho.

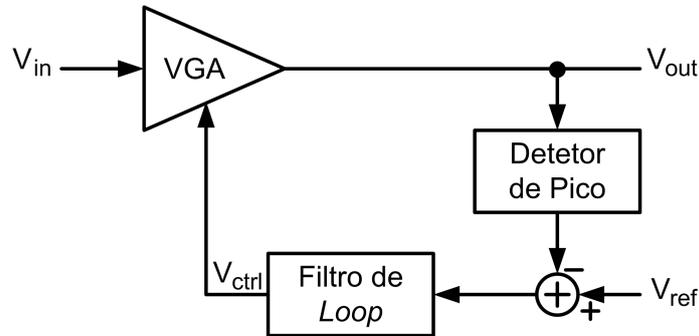


Figura 2.1: Diagrama de blocos de um AGC *Feedback*.

Uma outra possibilidade bastante interessante foi apresentada em [5], cujo diagrama em blocos é apresentado na Figura 2.2. O ganho de tensão é muito bem controlado, porque depende da razão das dimensões dos transistores e da razão das correntes de polarização, e ambos os parâmetros podem ser precisamente controlados na tecnologia CMOS. O ganho do amplificador é controlado através do ajuste da corrente de polarização do OTA_2 (OTA – *Operational Transconductance Amplifier*). Se a saída do detetor de envoltória, que é o circuito responsável por extrair a envoltória do sinal, é menor do que a tensão de referência, i_{b3} torna-se zero e a corrente de polarização do OTA_2 fica igual a I_{B2} . Portanto, o ganho de tensão permanece constante. Por outro lado, se a tensão de saída do detetor de envoltória é maior do que a tensão de referência, $i_{CONTROL}$ aumenta de acordo com a diferença de tensão, e então a transcondutância de pequenos sinais do OTA_2 aumenta. Como resultado deste processo, o ganho de tensão é reduzido.

Outra possibilidade ainda nos sistemas AGC *Feedback* é a implementação utilizando circuitos mistos (analógicos e digitais). Assim, o detetor de pico, o comparador e o filtro de *loop* são implementados por circuitos digitais. Um exemplo

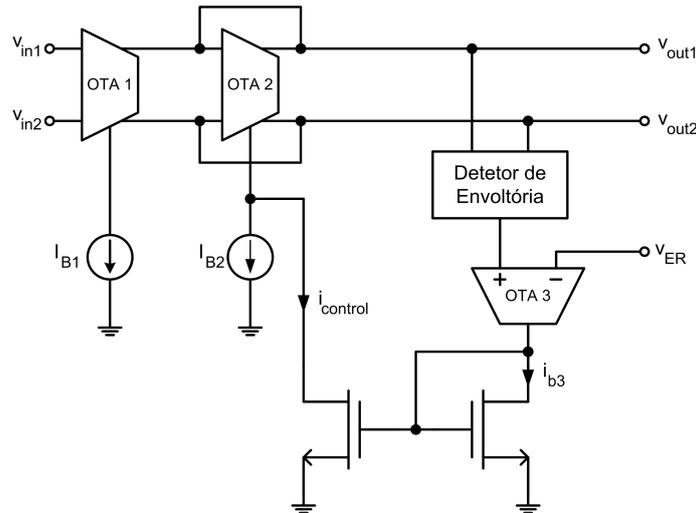


Figura 2.2: Diagrama de blocos de um AGC *Feedback* em modo corrente.

deste tipo de topologia foi apresentado em [6] e pode ser observada na Fig 2.3. Existem algumas vantagens neste tipo de abordagem. Inciando-se a enumerá-las, os circuitos digitais têm melhor imunidade ao ruído. Segundo, os blocos digitais podem ser implementados por um DSP (*Digital Signal Processor*) ou integrados com outros blocos digitais do sistema. Por fim, pode-se combinar o VGA com o DAC (*Digital-to-Analog Converter*), formando-se um VGA controlado digitalmente.

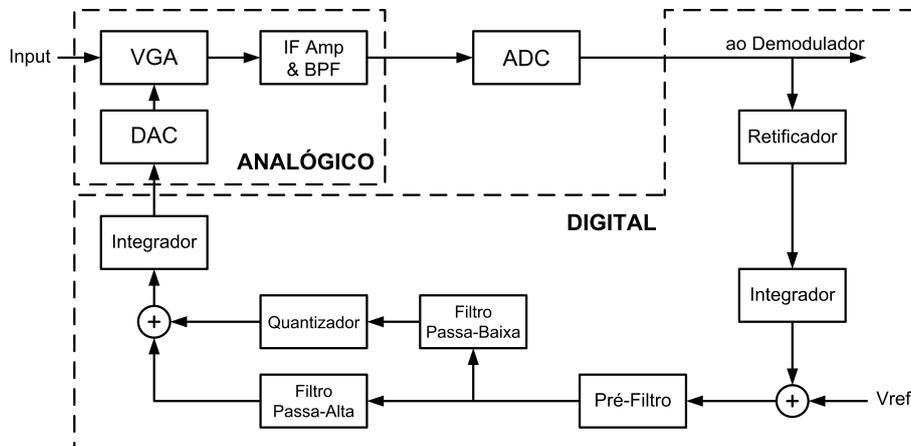


Figura 2.3: Diagrama de blocos de um AGC *Feedback* misto.

O outro tipo básico de arquitetura de um AGC é a *Feedforward*. Os blocos são, em suma, os mesmos; o que muda é a forma como eles estão interligados. Neste caso, o detetor de pico ou de envoltória é posicionado antes do VGA, conforme ilustrado na Figura 2.4. Nos sistemas *feedforward* também se pode optar por uma abordagem com circuitos mistos. Alguns trabalhos empregando redes *feedforward* podem ser vistos em [7] e [8], além da abordagem em modo corrente utilizada em [9].

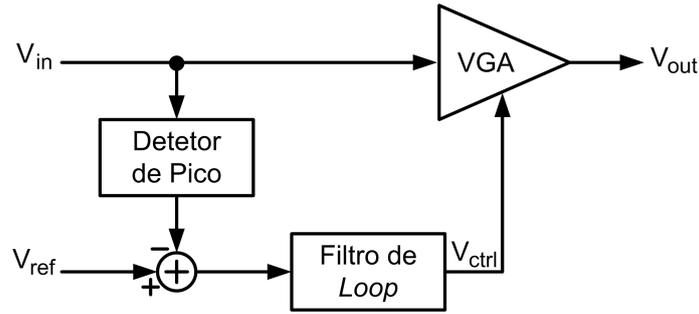


Figura 2.4: Diagrama de blocos de um AGC *Feedforward*.

Quanto às vantagens de cada um, a rede *feedforward* tem melhor capacidade de rastreamento do que a rede *feedback*, entretanto é mais facilmente afetada por desajustes entre o detetor de pico e o VGA, ou por variações nos parâmetros de processo [10].

2.3 Arquitetura de um AGC

Após a introdução realizada na seção anterior, podemos situar de forma mais precisa este trabalho. O controle automático de ganho deste projeto trata-se de um *feedforward* misto, devido, neste caso, às facilidades do controle digital do ganho. Assim, o enfoque a partir deste ponto será nos circuitos desta arquitetura. Na Figura 2.5 tem-se a ideia inicial do diagrama de blocos abordado nesta dissertação. Nas subseções que se seguem cada bloco será analisado e detalhado.

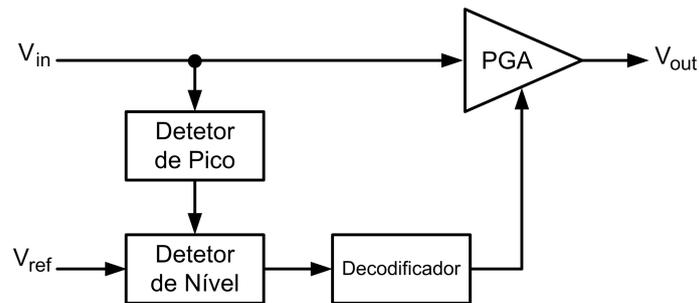


Figura 2.5: Esopo inicial do diagrama de blocos do AGC deste trabalho.

2.3.1 Detetor de Pico

Os detetores de pico (ou detetores de envoltória) têm como função, como o próprio nome já sugere, detetar o valor de pico de um sinal e mantê-lo por um certo período de tempo. Se um novo pico surgir, o detetor deve ser capaz de rastreá-lo. Estão classificados em dois tipos:

- Detetores de pico positivo
- Detetores de pico negativo (ou detetores de vale)

Um detetor de pico positivo é capaz de rastrear os valores máximos positivos de um sinal. Um detetor de pico negativo trabalha de forma similar, porém é capaz de detetar os pontos negativos de menor valor (ou maior valor em módulo). Na Figura 2.6 está ilustrado o funcionamento destes dois tipos de detetores, podendo-se entender de forma mais clara. Naturalmente, apesar de ideal, esta não é uma representação fiel do seu funcionamento, visto que é necessária uma corrente de descarga para que seja possível mapear futuros picos de amplitude menores que seus antecessores. Isto será comentado a seguir.

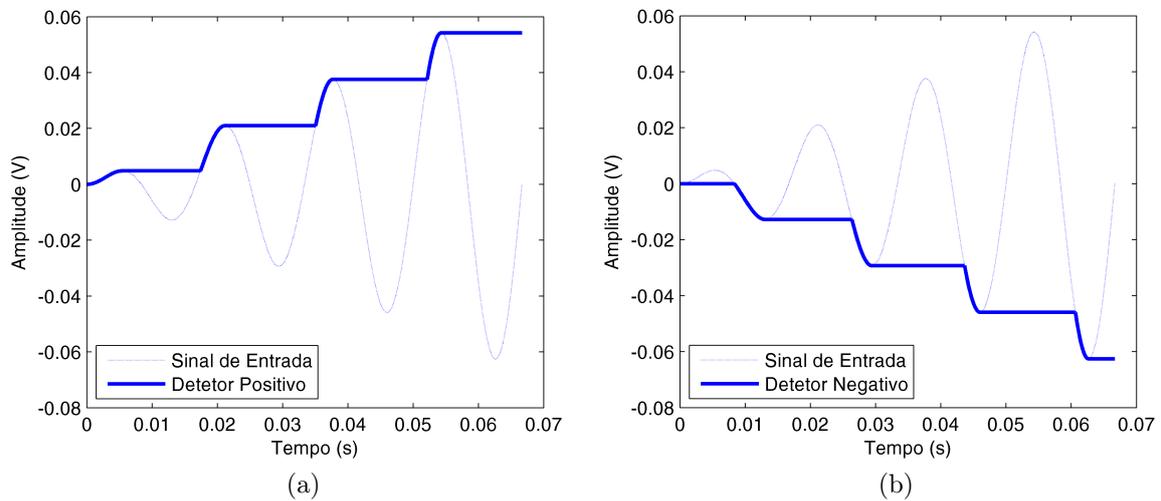


Figura 2.6: Funcionamento de um detetor de pico positivo (a) e um negativo (b).

Iniciaremos com a topologia do detetor mais simples, o que facilitará entender alguns conceitos. Assim, na Figura 2.7 temos um detetor de pico positivo, composto unicamente por um diodo e um capacitor (para um detetor de pico negativo, basta inverter o sentido do diodo). Explicando sua operação, quando a tensão de entrada (V_{in}) é maior do que a tensão de saída (V_{pd}), somada à queda de tensão no diodo, o capacitor carrega-se com aproximadamente o valor da tensão de entrada. Já quando V_{in} é menor do que V_{pd} , o diodo está reversamente polarizado e, portanto, o capacitor mantém a sua carga. Nota-se, desta forma, que este circuito não é capaz de rastrear precisamente o sinal de entrada, uma vez que sempre haverá uma queda de tensão no diodo, sendo sempre a saída decrescida deste valor. Seguindo esta linha de raciocínio, este circuito é insensível a sinais com amplitude menor que a queda de tensão no diodo. Por este mesmo motivo, não sendo utilizado, por isso, em aplicações de pequenos sinais. Além disso, a queda de tensão sobre o diodo depende

da temperatura e da corrente, o que torna o circuito ainda mais impreciso. Outra desvantagem deste circuito é que a impedância de entrada é variável e muito baixa quando o diodo está polarizado diretamente [11].

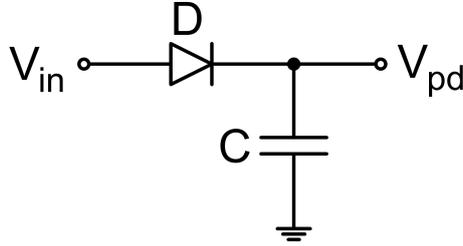


Figura 2.7: Detetor de pico composto por um diodo e um capacitor.

Os detetores de pico têm um compromisso entre a sua acurácia e a sua capacidade de rastreamento, os quais estão relacionados com o *slew-rate* e a corrente de descarga. O tempo de descarga é controlado pela corrente que descarrega o capacitor, fazendo com que a tensão na saída se desvie do verdadeiro valor. Do ponto de vista da acurácia, o melhor seria uma corrente de descarga bem baixa. Já o *slew rate* é referente à taxa com a qual o capacitor consegue se carregar. Assim, para respostas mais rápidas, deve-se aumentar o *slew rate*. Desta forma, um dos caminhos para se obter uma velocidade de rastreamento maior seria diminuindo este capacitor. Entretanto, quanto menor for o capacitor, mais rápido ele se descarregará, piorando a sua acurácia. Portanto, nota-se que temos um compromisso entre estas grandezas, e temos que tentar equilibrá-las de acordo com nossos objetivos.

Visando melhorar a performance deste circuito de detecção básico, algumas topologias foram propostas. Dentre elas, temos algumas topologias clássicas mostradas em [11]. A primeira delas, mostrada na Figura 2.8, realimenta negativamente a tensão V_{pd} , utilizando um amplificador operacional. Isso faz com que esta tensão rastreie V_{in} de forma mais exata — quando V_{in} for maior que V_{pd} —, já que o amplificador operacional trabalhará para igualar V_{pd} a V_{in} , compensando, desta forma, a queda de tensão no diodo. Quando V_{in} for menor do que V_{pd} , a saída permanecerá inalterada e o valor do pico permanecerá armazenado no capacitor. A função do *buffer* de saída (A_2) é isolar o detetor a fim de que os próximos estágios não interfiram no seu funcionamento. Um ponto importante a ser ressaltado é que A_1 deve ser projetado com o devido *slew rate* para garantir o funcionamento adequado e evitar problemas de instabilidade quando estiver operando em malha fechada.

A segunda topologia clássica é exibida na Figura 2.9. Quanto à operação, enquanto a entrada V_{in} é maior do que a tensão V_{pd} armazenada no capacitor, a saída do amplificador operacional vai para nível alto, acionando o transistor M , que funcionará como um seguidor de fonte (*source follower*). Assim, este transistor realiza

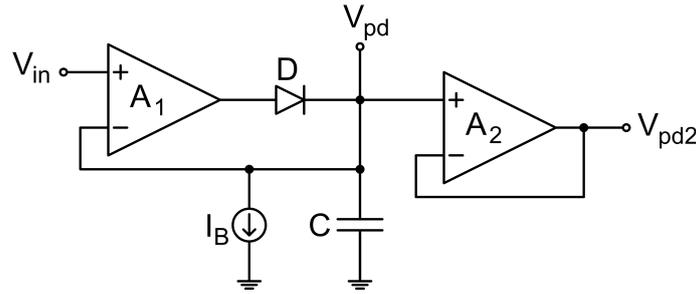


Figura 2.8: Detetor de pico utilizando amplificador operacional.

o carregamento do capacitor. Quando V_{pd} aproxima-se ou fica maior que V_{in} , o transistor entra em corte, ficando armazenado no capacitor o valor do último pico de tensão do sinal de entrada [12]. Portanto, nota-se que o transistor realiza a função do diodo.

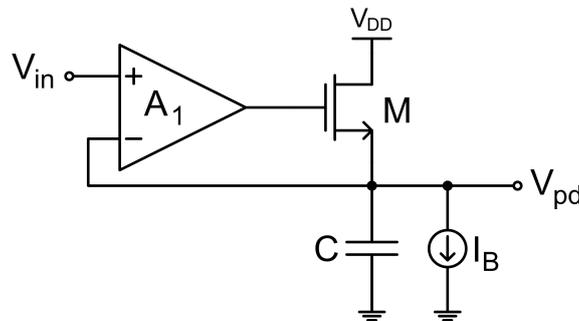


Figura 2.9: Detetor de pico utilizando *source follower*.

Outra topologia bastante encontrada na literatura [13], [14] está apresentada na Figura 2.10. Nela, espelhos de corrente fazem a função do diodo. Enquanto V_n ou V_p for maior do que V_{pd} , haverá corrente através de M_{11} ou M_{14} , que será copiada para M_{12} ou M_{13} , respectivamente. Assim, haverá passagem de corrente por M_3 ou M_6 , que por sua vez espelharão essa corrente para M_4 ou M_5 , respectivamente. Por fim, esta corrente carregará o capacitor. Atente que V_n refere-se ao pico negativo e V_p ao pico positivo. E mais, V_n é o sinal invertido. Então, no caso, este detetor deteta o pico do módulo do sinal. A fonte de corrente I_{BO} é responsável pela descarga. Portanto, por ser capaz de detectar o módulo do sinal, esta é a topologia que foi utilizada neste trabalho.

2.3.2 Detetor de Nível

O circuito detetor de nível tem como objetivo criar sinais digitais que variarão de acordo com a tensão de saída do detetor de pico. A Figura 2.11 exhibe o esquemático do detetor de nível. Trata-se de uma rede resistiva que proverá as tensões

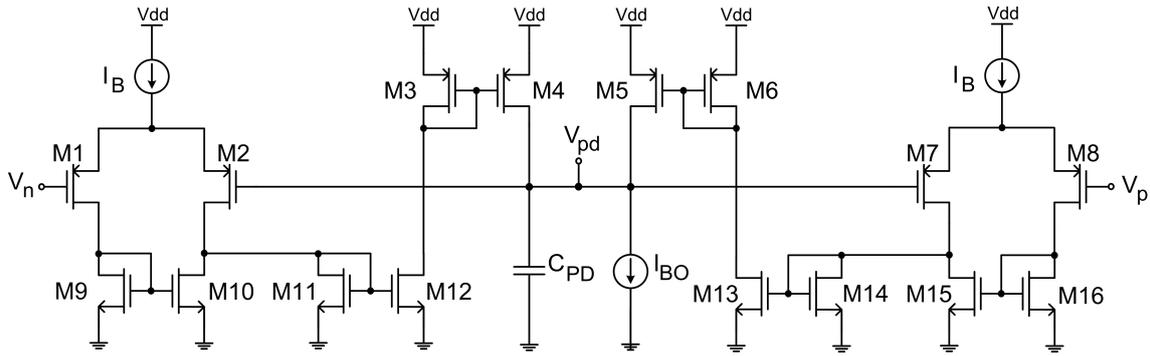


Figura 2.10: Detetor de pico utilizando espelhos de corrente.

de referência para os limiares dos níveis de quantização que serão utilizados para o chaveamento do ganho, além de comparadores analógicos. Os sinais de saída resultantes — $Comp_0$, $Comp_1$, $Comp_2$ e $Comp_3$ — serão tratados pelo próximo bloco, a fim de realimentar o PGA com a informação correta de ganho.

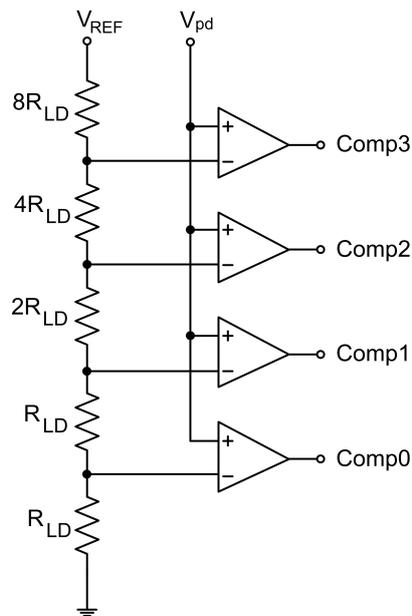


Figura 2.11: Circuito detetor de nível.

2.3.3 Decodificador Lógico

O decodificador lógico é um circuito combinacional responsável por receber os sinais digitais vindos do detetor de nível, e transformar esta informação nos sinais de controle das chaves seletoras de ganho do PGA. O croqui do circuito está mostrado na Figura 2.12. Seu esquemático e projeto serão mostrados no próximo capítulo.

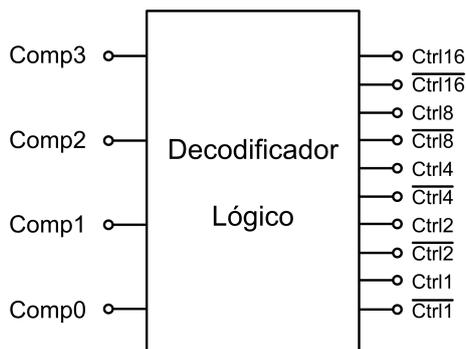


Figura 2.12: Croqui do decodificador lógico.

2.3.4 Amplificador de Ganho Programável

Existem algumas técnicas para se controlar o ganho de um amplificador digitalmente. Uma delas é a utilização da degeneração de fonte [15], [16], [17]. Assim, colocam-se diversos resistores em paralelo, controlados por chaves analógicas [18]. Desta forma, consegue-se aumentar ou diminuir a resistência de degeneração, alterando-se o ganho do amplificador. Pode-se substituir os resistores por transistores MOS operando em triodo [19], já que resistores ocupam grande área de integração, mantendo-se o mesmo esquema de chaves para controle do ganho [20].

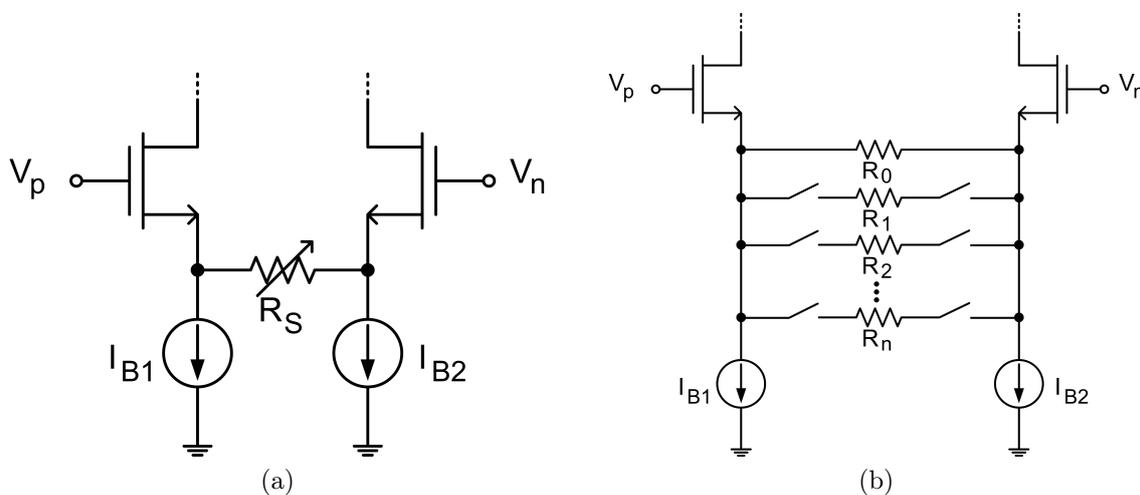


Figura 2.13: PGA utilizando controle de ganho na degeneração de fonte (a) e seu detalhamento (b).

A outra técnica consiste em realimentar o amplificador e controlar seu ganho alterando-se o valor das resistências da malha externa, conforme mostrado na Figura 2.14a, conseguindo-se uma melhor linearidade [21]. Desta forma, conforme apresentado na Figura 2.14b, tem-se o esquema que foi empregado neste projeto: um amplificador que tem seu ganho controlado alterando-se as conexões das chaves

da malha externa, porque, como mencionado, esta topologia apresenta uma melhor linearidade.

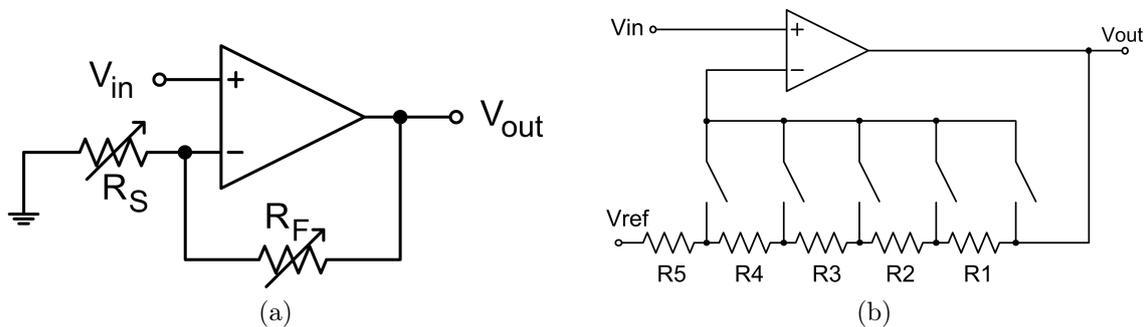


Figura 2.14: PGA utilizando controle de ganho na malha externa (a) e seu detalhamento (b).

2.3.5 Controle de *Offset*

Em sendo o baixo *offset* uma das prioridades deste trabalho, e tendo-se verificado que o mesmo não atingiria patamares suficientemente pequenos mesmo após as tentativas de se reduzi-lo através do escalamento de alguns transistores do amplificador, duas abordagens para a sua redução foram então utilizadas [22]. Como será mostrado matematicamente no Capítulo 3 e verificado por simulação no Capítulo 4, é possível utilizarmos um compensador de *offset* discreto em um circuito contínuo sem que ocorra perda significativa de informação, em virtude da forma como é realizada esta compensação. Outro ponto importante é que foi utilizado um amplificador diferencial de diferença no lugar do amplificador.

O conceito dos DDAs é uma extensão do conceito dos amplificadores operacionais, os quais comparam somente dois sinais *single-ended*. Em um amplificador diferencial de diferença é realizada a comparação entre duas entradas diferenciais, conforme pode ser visualizado no símbolo da Figura 2.15 [23].

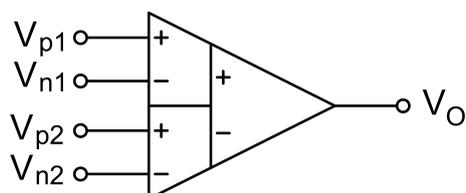


Figura 2.15: Símbolo do DDA.

Assim, a primeira abordagem para redução do *offset*, exibida na Figura 2.16, armazena o *offset* no capacitor na fase B. Na fase A, esta tensão que corresponde ao

offset é somada ao sinal que é realimentado para o amplificador, compensando-se, assim, o mesmo. A segunda abordagem, mostrada na Figura 2.17, também armazena o *offset* no capacitor na fase B. Porém, na fase A, o capacitor é conectado a um outro par diferencial do DDA, compensando-se desta forma, também, o *offset*. Conforme será mostrado futuramente no Capítulo 4, por apresentar melhores resultados, esta segunda abordagem é a que foi adotada neste trabalho.

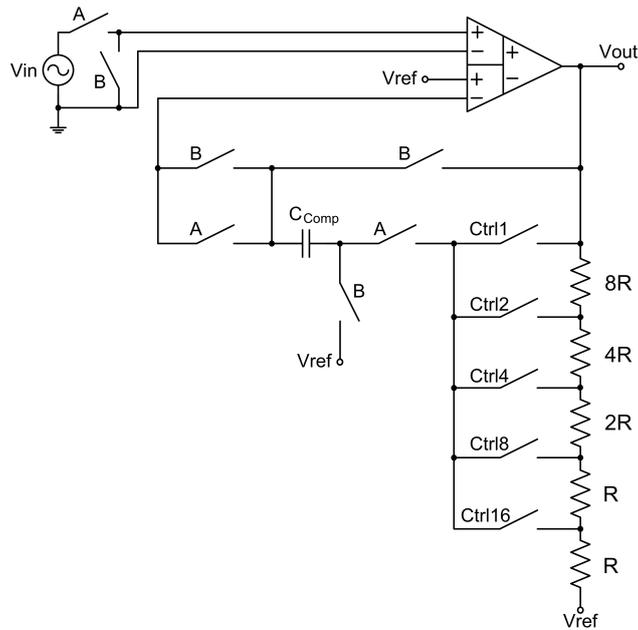


Figura 2.16: Primeira técnica de compensação de *offset*.

Como a compensação poderia ocorrer em qualquer instante de tempo, isto poderia resultar em uma maior perda de informação do sinal, caso ocorresse durante o pico do sinal, como mostrado na Figura 2.18. Para evitar este problema, foi elaborado um controle para o acionamento da compensação. Assim, as chaves do controle da compensação só são acionadas quando a tensão do sinal de entrada cruza o zero (o que corresponde a um cruzamento por 1,2 V na saída). Isto tende a mitigar as perdas, como pode ser notado na Figura 2.19.

A Figura 2.20 exhibe o diagrama de blocos do controle da compensação do *offset*. É necessário atendermos a duas condições para que a compensação seja realizada. Uma diz respeito aos sinais de controle das chaves só ocorrerem após dado período de tempo pré-determinado. Naturalmente, quanto mais espaçados ocorrerem estes pulsos de controle, menor a perda de informação do sinal, já que, durante a compensação, cessa-se a transferência de sinal da entrada para a saída. Os critérios para determinação deste tempo serão explicados no próximo capítulo. Além disso, será mostrado posteriormente por meio de simulações, que a distorção harmônica total (THD – *Total Harmonic Distortion*) não sofre alterações significativas, além de fa-

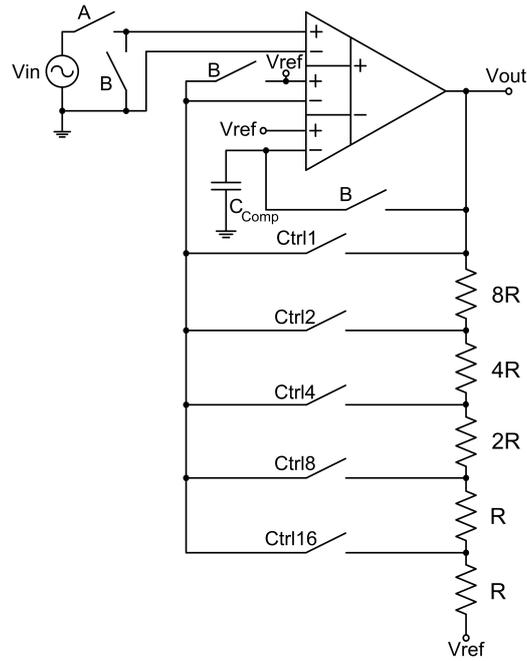


Figura 2.17: Segunda técnica de compensação de *offset*.

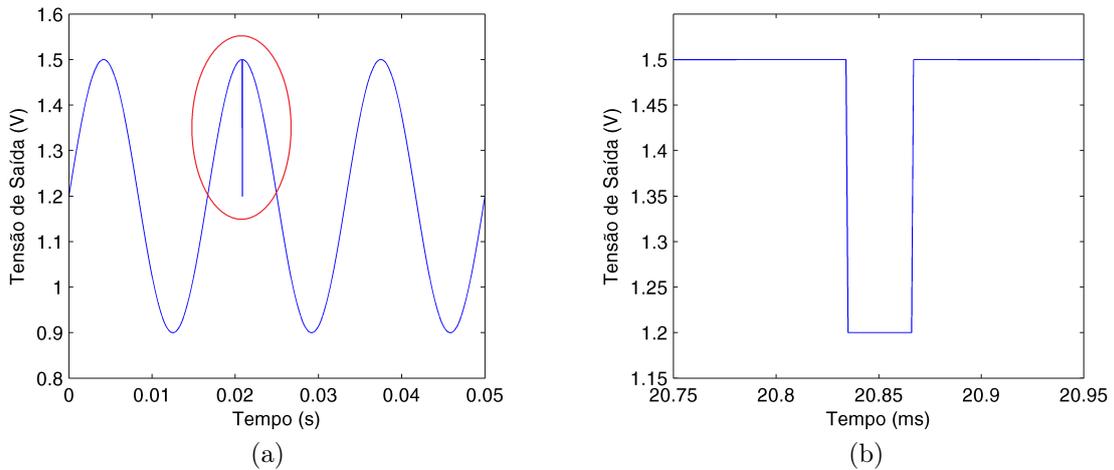


Figura 2.18: Saída após compensação não-controlada (a) e um *zoom* na região de interesse (b).

zermos a integral do sinal para mensurar e mostrar que a perda é suficientemente pequena. A outra condição é que tal acionamento só deve ocorrer quando o sinal de entrada cruzar o zero. Com isso, realiza-se o ajuste fino para uma geração adequada dos pulsos de controle das chaves de compensação.

O funcionamento do sistema de controle da compensação pode ser compreendido mais facilmente observando-se o diagrama de blocos da Figura 2.20 junto com os sinais presentes na Figura 2.21. Assim, observando o diagrama de blocos, vemos o

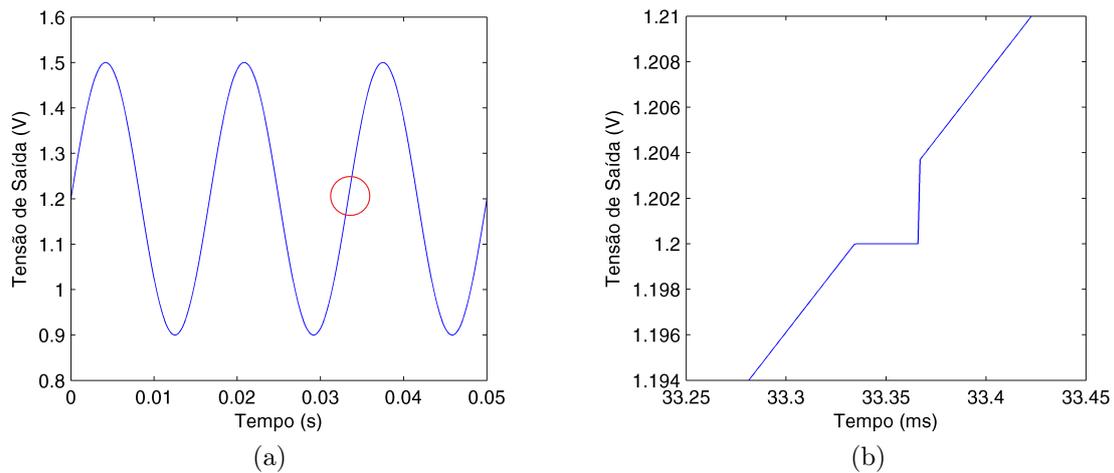


Figura 2.19: Saída após compensação controlada (a) e um *zoom* na região de interesse (b).

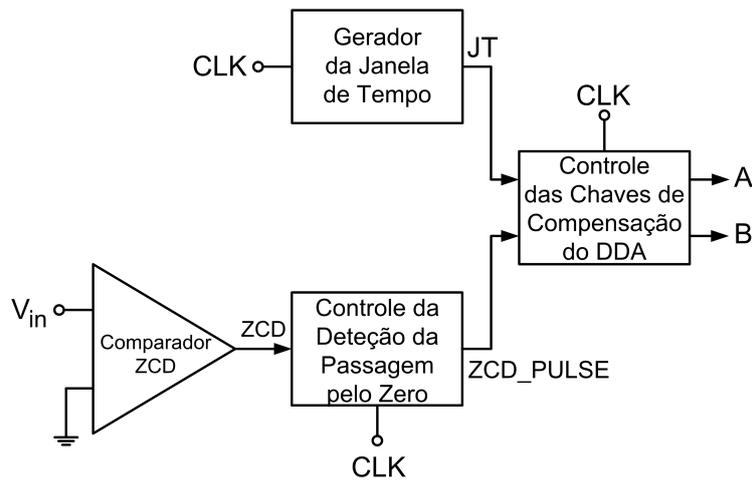
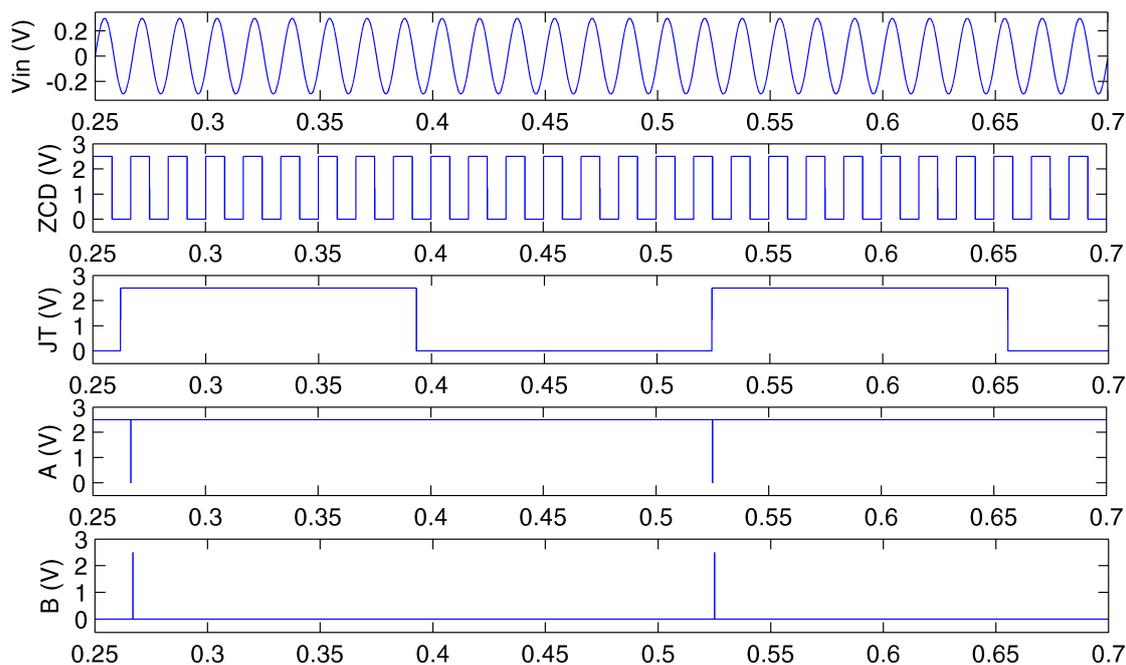
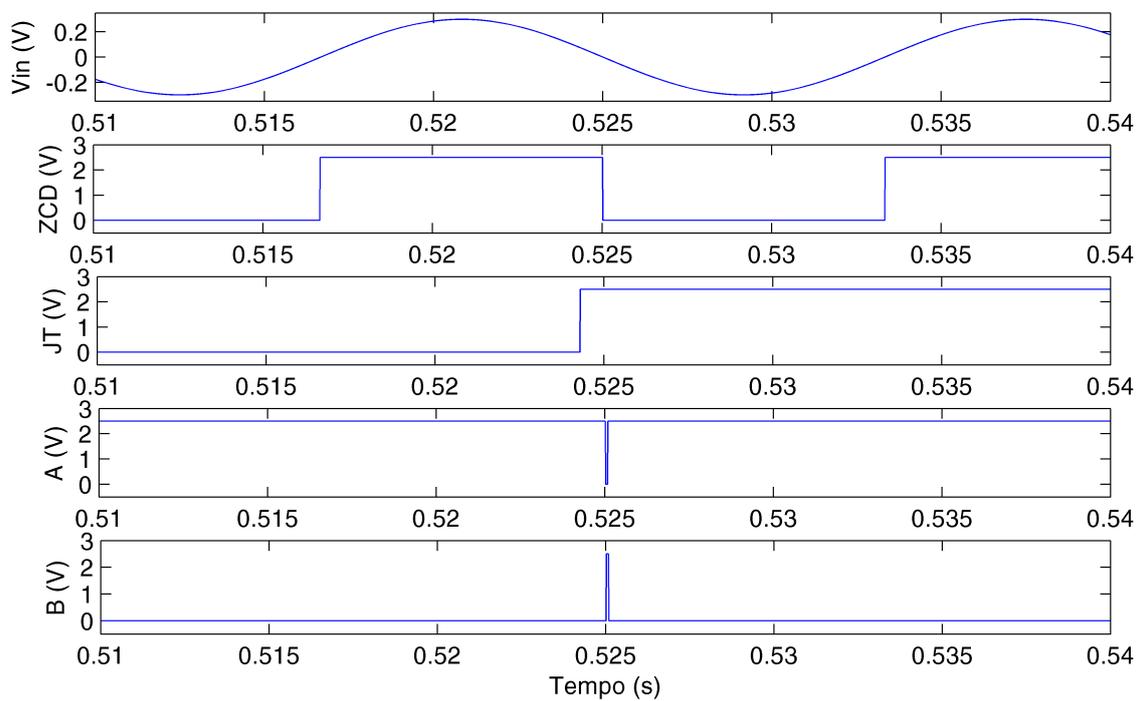


Figura 2.20: Diagrama de blocos do controle da compensação de *offset*.

gerador de janela de tempo, que será responsável por produzir o sinal com intervalo de tempo no qual ocorrerá a compensação. No outro ramo, temos o “Comparador ZCD” (ZCD – *Zero Crossing Detector*), que transformará o sinal de entrada V_{in} em uma onda quadrada. Este sinal será a entrada do bloco “Controle da Detecção da Passagem pelo Zero”, que gerará pulsos de largura estreita a cada vez que o sinal ZCD sofrer uma transição (de subida ou de descida). Por fim, os dois sinais — JT e ZCD_PULSE — entram no bloco “Controle das Chaves de Compensação do DDA”, no qual, enfim, serão gerados os sinais de controle das chaves A e B, responsáveis pela compensação, apenas quando as duas condições forem atendidas simultaneamente. Na Figura 2.21b, pode-se observar com nitidez que quando as condições são atendidas, geram-se os pulsos A e B.



(a)



(b)

Figura 2.21: Funcionamento do controle da compensação de *offset*. (a) e um *zoom* nos pulsos A e B (b).

2.4 Arquitetura deste Trabalho

No que se refere à arquitetura deste trabalho, como não foi encontrado na literatura a utilização de um DDA neste tipo de aplicação, há neste ponto uma inovação. Assim, a utilização de um DDA no PGA, e o controle de compensação *offset* chaveado com detecção pela passagem pelo zero são duas contribuições originais desta dissertação.

Após todo o exposto anterior, pode-se compor o diagrama de blocos do presente trabalho, conforme mostrado na Figura 2.22. Alguns sinais barrados — como \bar{A} , \bar{B} , $\overline{Ctrl_1}$, $\overline{Ctrl_2}$, $\overline{Ctrl_4}$, $\overline{Ctrl_8}$ e $\overline{Ctrl_{16}}$ — foram ocultados para não sobrecarregar a figura. O projeto de cada um dos blocos será explicitado e detalhado no capítulo que se segue.

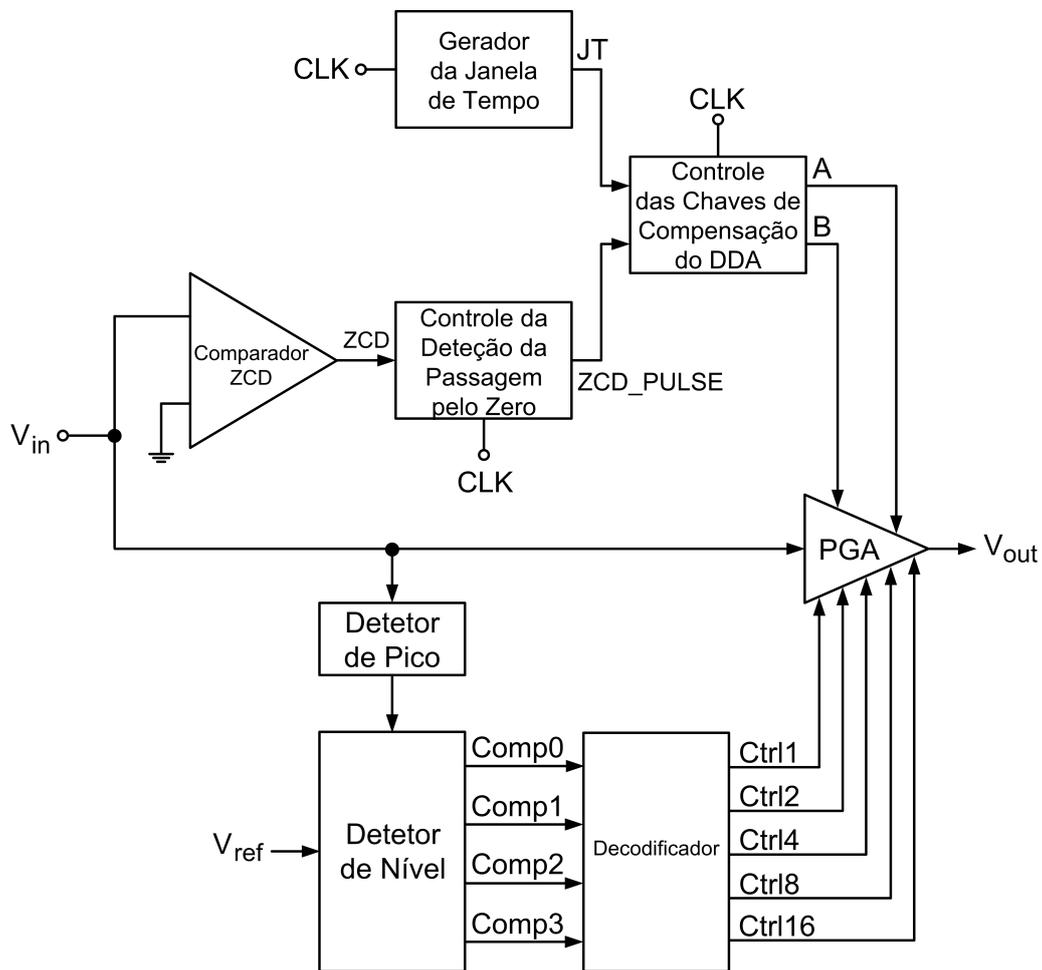


Figura 2.22: Arquitetura final deste trabalho.

Capítulo 3

Projeto

Este projeto foi desenvolvido utilizando-se tecnologia de integração de UMC 130 nm. Objetivando-se um menor consumo de potência, a tensão de alimentação dos circuitos foi de 2,5 V (V_{DD}). Como os transistores do *design kit* utilizado suportam 1,2 V ou 3,3 V, teve-se que utilizar os de 3,3 V para suportar a alimentação de 2,5 V.

Para o dimensionamento de alguns transistores dos circuitos analógicos, as larguras e os comprimentos foram otimizados através de simulação, já que, desta forma, são utilizados modelos mais avançados, comparando-se ao cálculo através do modelo SPICE nível 3.

3.1 Projeto dos Circuitos Digitais Básicos

3.1.1 Portas Lógicas

Utilizando-se a metodologia CMOS complementar para circuitos lógicos, estas portas podem ser facilmente construídas. Nesta metodologia, há uma rede P formada por transistores PMOS, responsável por produzir os níveis lógicos altos na saída (rede *pull-up*); e uma rede N formada por transistores NMOS, responsável pela produção dos níveis lógicos baixos (rede *pull-down*) [24]. Como, para cada combinação das entradas, somente uma das redes estará efetivamente trabalhando na formação do nível lógico da saída, estas redes são ditas complementares. Além disso, dada uma das redes, pode-se obter a outra pelo princípio da dualidade. A topologia do circuito resultante fica da forma da Figura 3.1.

Como a máxima frequência que os circuitos digitais irão operar não é elevada, seu projeto não apresenta muitas dificuldades. Assim, os transistores serão dimensionados com largura W e comprimento L mínimos, ou seja, $W=160$ nm e $L=340$ nm, que são os valores mínimos para os transistores que suportam 3,3 V. Vale comentar que embora frequentemente sejam utilizados transistores PMOS com uma largura maior que os NMOS, em virtude da mobilidade da lacuna ser menor que a do elé-

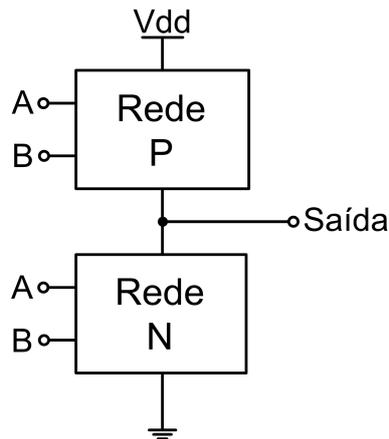


Figura 3.1: Topologia CMOS complementar.

tron, como a frequência do *clock* é baixa — 125 kHz — não houve necessidade de tal compensação no dimensionamento dos transistores PMOS.

3.1.1.1 Portas NOT

Iniciamos com a mais simples das portas, a porta inversora ou porta NOT. Seu esquemático está representado na Figura 3.2.

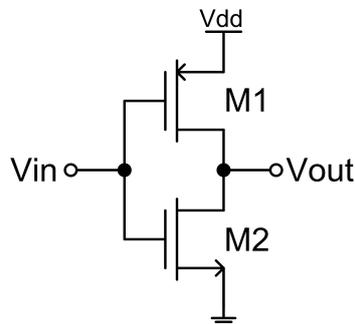


Figura 3.2: Esquemático da porta inversora.

3.1.1.2 Portas NAND

Serão necessárias portas NAND de duas, três e quatro entradas neste projeto. Como a saída de uma porta NAND de duas entradas é dada pela expressão $\overline{A \cdot B}$, que por De Morgan é igual a $\overline{A} + \overline{B}$, chegamos ao esquemático da Figura 3.3a e, por extensão, aos das Figura 3.3b e Figura 3.3c, para as portas NAND de três e quatro entradas, respectivamente.

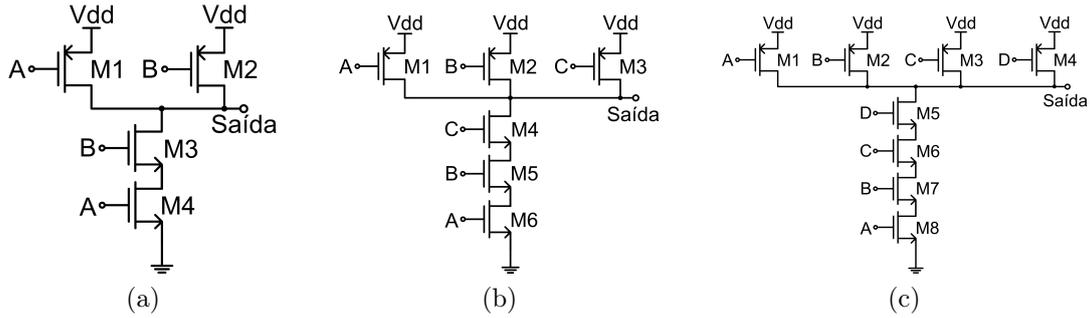


Figura 3.3: Esquemático das portas NAND de duas (a), três (b) e quatro entradas (c).

3.1.1.3 Portas NOR

A saída de uma porta NOR de duas entradas é dada pela expressão $\overline{A+B}$, que por De Morgan é igual a $\overline{A} \cdot \overline{B}$. Desta forma, chegamos ao esquemático da Figura 3.4a.

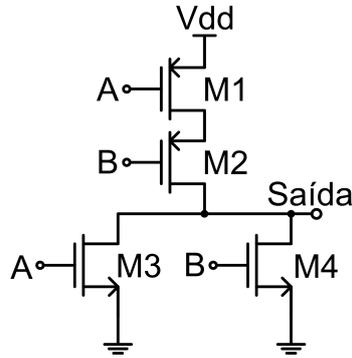


Figura 3.4: Esquemático da porta NOR.

3.1.2 *Flip-Flop* SR NOR

Como pode ser visto na Figura 3.5, o *flip-flop* SR NOR é composto por duas portas NOR conectadas de forma cruzada. Quando as entradas “Set” e “Reset” estão em nível lógico baixo, a saída Q mantém seu nível lógico. Se a entrada “Set” passa para “1” enquanto “Reset” permanece em “0”, a saída Q é forçada para nível lógico alto, e permanece nesse estado mesmo que “Set” retorne para “0”. Analogamente, se a entrada “Reset” é colocada em “1”, enquanto “Set” permanece em “0”, a saída Q é forçada para nível lógico baixo, e permanece nesse estado mesmo que “Reset” volte para “0”. A operação do *flip-flop* SR NOR pode ser vista na Tabela 3.1.

Tabela 3.2: Tabela verdade do *flip-flop* D.

$\overline{\text{Preset}}$	$\overline{\text{Clear}}$	Clock	D	Q
0	0	x	x	Instável
0	1	x	x	0
1	0	x	x	1
1	1	↑	0	0
1	1	↑	1	1
1	1	↓	x	Q_0

3.2 Projeto dos Circuitos Analógicos Básicos

3.2.1 Chaves Analógicas

As chaves analógicas são estruturas muito simples, porém de grande importância e ampla utilização em diversos circuitos eletrônicos, como, por exemplo, os filtros a capacitores chaveados. Na literatura, pode-se encontrar diversas topologias de chaves analógicas. De forma geral, estas topologias visam reduzir os dois principais problemas das chaves: a injeção de cargas e o *clock feedthrough*.

A injeção de cargas é um fenômeno associado ao canal de condução do MOSFET. Quando os transistores da chave estão conduzindo, o canal contendo os portadores está formado. Assim, no instante em que a chave é aberta, parte desses portadores que anteriormente formavam o canal, agora são injetados na saída, produzindo-se um erro no valor desta tensão [26].

O outro efeito é o *clock feedthrough*. O sinal de *clock* usado como tensão de controle afeta a tensão na carga devido ao divisor capacitivo formado pela capacitância da carga e pela capacitância de *overlap* do transistor (capacitância porta-dreno ou porta-fonte) [26].

Assim, visando mitigar estes efeitos indesejáveis, adotou-se a arquitetura da chave analógica complementar com transistores *dummy*, conforme apresentado na Figura 3.7. Seu funcionamento tem por base a hipótese de que quando o canal de condução é desfeito, metade dos portadores migrará para a entrada e a outra metade para a saída. Desta maneira, os transistores *dummy*, que possuem a lógica de controle invertida — ou seja, por exemplo, para a parte NMOS, se o controle de M_2 é feito pelo sinal V_{Ctrl} , o controle dos transistores *dummy* M_5 e M_6 é feito por $\overline{V_{Ctrl}}$ — absorveriam estes portadores, não deixando que interfiram na saída. Portanto, quando forem dimensionados, os transistores *dummy* devem ter metade da área do seu respectivo transistor da chave.

Assim, quanto ao dimensionamento dos transistores, para se minimizar ainda mais os efeitos anteriormente citados, os transistores foram dimensionados com largura mínima. Deste jeito, reduz-se o tamanho do canal e as capacitâncias de *overlap*,

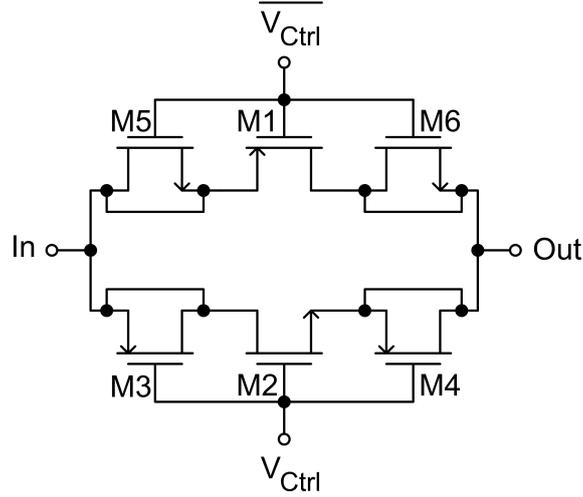


Figura 3.7: Esquemático da chave analógica complementar com transistores *dummy*.

diminuindo, por conseguinte, o erro por eles ocasionados. Entretanto, o tamanho reduzido da largura dos transistores resulta, também, no aumento da resistência da chave quando ligada e, conseqüentemente, em um maior tempo de carga e descarga do capacitor de carga, resultando na redução da velocidade de resposta da chave, sendo que isto deve ser verificado para que não atrapalhe no funcionamento correto do circuito. A Tabela 3.3 mostra como ficou o dimensionamento da chave analógica.

Tabela 3.3: Dimensões dos transistores da chave analógica.

Transistor	W (μm)	L (μm)
M_1, M_2	0,32	0,34
M_3, M_4, M_5, M_6	0,16	0,34

3.2.2 Espelhos de Corrente

3.2.2.1 Espelho de Corrente Simples

A Figura 3.8 mostra a mais simples das implementações de um espelho de corrente. É composto por dois transistores: M_1 , que é conectado como um diodo, e M_2 . A corrente de referência I_{REF} é aplicada à M_1 , fazendo com que ele produza uma tensão V_{GS1} , a qual servirá como tensão de polarização para M_2 [27]. Assumindo que ambos os transistores estejam operando na região de saturação, temos então para M_1

$$I_{REF} = I_{D1} = \frac{k_{pN}}{2\alpha} \frac{W_1}{L_1} (V_{GS1} - V_{thN1})^2 (1 + \lambda V_{DS1}), \quad (3.1)$$

onde $V_{DS1} = V_{GS1}$. Para M_2 pode-se escrever

$$I_O = I_{D2} = \frac{k_{pN} W_2}{2\alpha L_2} (V_{GS2} - V_{thN2})^2 (1 + \lambda V_O), \quad (3.2)$$

onde $V_{GS1} = V_{GS2}$ e $V_{thN1} = V_{thN2}$, e sendo definido V_O como a tensão de saída do espelho (no dreno de M_2). Assim, pode-se obter

$$I_O = \frac{(W_2/L_2)}{(W_1/L_1)} \frac{(1 + \lambda V_O)}{(1 + \lambda V_{DS1})} I_{REF}. \quad (3.3)$$

Desconsiderando-se os efeitos de modulação de canal ($\lambda = 0$), temos

$$I_O = \frac{(W_2/L_2)}{(W_1/L_1)} I_{REF}. \quad (3.4)$$

Como, em geral, os comprimentos dos transistores empregados em um espelho de corrente são iguais, podemos, por fim, chegar à aproximação

$$I_O = \frac{W_2}{W_1} I_{REF}. \quad (3.5)$$

Para pequenos sinais, a resistência de saída é da ordem de

$$r_o = \frac{1}{\lambda I_O}. \quad (3.6)$$

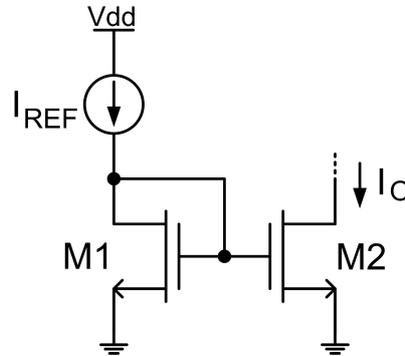


Figura 3.8: Esquemático de um espelho de corrente simples.

Pode-se notar que não há dependência direta dos parâmetros de processo ou da temperatura para se copiar a corrente, o que são questões chave. Além disso, a relação entre I_O e I_{REF} é dada pela razão entre as larguras e comprimentos dos transistores, o que pode ser conseguido com certa precisão nos circuitos integrados. Entretanto, os espelhos de corrente podem se desviar do comportamento ideal devido a alguns fatores. Podemos citar entre eles [27]:

- Descasamento da geometria
- Descasamento dos parâmetros de processo

- Resistências parasitas

Nas equações 3.1 e 3.2, considerou-se que o casamento geométrico era perfeito e que os valores dos parâmetros de processo eram exatamente iguais. Entretanto, nos circuitos reais, sempre há descasamento, seja ele nas dimensões da geometria ou nos parâmetros de processo. E quaisquer desses descasamentos se traduzirá como um erro no espelhamento da corrente.

A geometria W e L , e a tensão de *threshold* V_{th} sofrem com erros sistemáticos e aleatórios durante o processo de fabricação. Os erros sistemáticos não são tão problemáticos, visto que afetam igualmente todos os transistores, e podem ser reduzidos com um *layout* cuidadoso. Já os erros aleatórios são mais críticos, já que produzem variações diferentes em cada transistor. A única forma de tentar contornar este tipo de erro é com o aumento da área dos transistores.

O outro fator que havia sido listado anteriormente é a resistência parasita. As resistências parasitas se devem aos surgimento de diodos reversamente polarizados conectados entre cada fonte ou dreno com o substrato (ou poço). A resistência equivalente dos diodos parasitas pode, em algumas situações, afetar a impedância de saída do espelho e, em espelhos que trabalham com uma corrente muito baixa, a corrente de fuga que flui por estes diodos pode se tornar significativa, alterando-se, assim, o fator de espelhamento [27].

Vale lembrar que as próximas topologias de espelho de corrente a seguir explicadas também são suscetíveis a estes erros de descasamento, mas a influência do λ é menor no cascode. Há diversas outras topologias, mas só serão abordadas as utilizadas neste trabalho.

Finalizando o estudo do espelho de corrente simples, temos que sua tensão máxima de saída é limitada superiormente apenas pela tensão de alimentação (V_{DD}). Porém, o limite inferior é dado pela condição que garante que M_2 continue operando na região de saturação. Assim,

$$V_{O,min} = V_{GS2} - V_{thN2}, \quad (3.7)$$

sendo $V_{GS} - V_{th}$ denominado como tensão de *overdrive*.

Apesar de o espelho simples ser o que apresenta a pior acurácia na cópia das correntes, no que tange a faixa dinâmica, nenhuma outra arquitetura consegue resultados melhores. Assim, conforme será mostrado para os espelhos a seguir, todos necessitam de uma tensão de saída mínima mais alta que este.

3.2.2.2 Espelho de Corrente com Cascode

O problema dos espelhos simples é que $V_{DS1} = V_{GS1} = V_{GS2}$, porém V_{DS2} pode não ser igual a V_{DS1} , já que esta tensão depende de onde a saída do espelho está

ligada, o que gera erros conforme pode ser verificado na Eq. 3.3. Desta forma, para tentar contornar os problemas de modulação de canal, são empregados os espelhos de corrente com cascode. O estágio de saída consiste de dois transistores — M_2 e M_4 — arranjados em cascode, e polarizados por dois outros transistores — M_1 e M_3 — conectados como diodo. O objetivo é fazer com que tenhamos $V_{D1} = V_{D2}$ e, deste jeito, o espelhamento tenda a ser mais perfeito. Da análise do circuito da Figura 3.9, temos que

$$V_{G3} = V_{GS3} + V_{D1}, \quad (3.8)$$

$$V_{G4} = V_{GS4} + V_{D2}. \quad (3.9)$$

Igualando-se as equações 3.8 e 3.9, resulta-se

$$V_{GS3} + V_{D1} = V_{GS4} + V_{D2}, \quad (3.10)$$

na qual, o dimensionamento adequado dos transistores M_3 e M_4 permite que V_{GS3} seja igual a V_{GS4} . Assim, se $\frac{W_4/L_4}{W_3/L_3} = \frac{W_2/L_2}{W_1/L_1}$, então temos que $V_{GS3} = V_{GS4}$ e conseguimos que V_{D1} seja igual a V_{D2} , que era o objetivo inicial. Note que este resultado é válido mesmo se M_3 e M_4 sofrerem efeito de corpo.

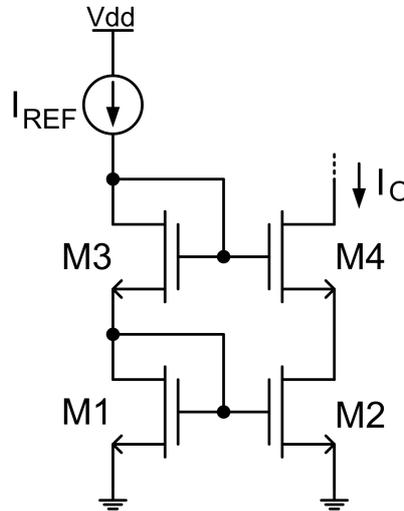


Figura 3.9: Esquemático de um espelho de corrente com cascode.

A resistência de saída é maior com a configuração em cascode. Aplicando-se uma fonte de tensão de teste v_t e sendo i_t a sua corrente, da análise de pequenos sinais temos que

$$v_t = r_{o2}i_t + r_{o4}(1 + gm_4r_{o2})i_t \quad (3.11)$$

$$r_o = \frac{v_t}{i_t} = r_{o2} + r_{o4} + gm_4 r_{o2} r_{o4}. \quad (3.12)$$

Simplificando, já que $gm_4 r_{o2} r_{o4} \gg r_{o2} + r_{o4}$, temos

$$r_o \approx gm_4 r_{o2} r_{o4}. \quad (3.13)$$

Entretanto, este aumento da resistência de saída é conseguido às custas da redução da faixa dinâmica, conforme pode ser observado no equacionamento a seguir:

$$\begin{aligned} V_{O,min} &= V_{G3} - V_{thN3} \\ &= V_{GS3} + V_{GS1} - V_{thN3}. \end{aligned} \quad (3.14)$$

Reescrevendo a equação anterior, pode-se notar que a mínima tensão de saída corresponde a dois *overdrives* mais uma tensão de *threshold*, como explicitado na Eq. 3.15. Este elevado valor de tensão é a grande desvantagem desta topologia.

$$V_{O,min} = (V_{GS3} - V_{thN3}) + (V_{GS1} - V_{thN1}) + V_{thN1}. \quad (3.15)$$

3.2.2.3 Espelho de Corrente de Alta Compliância

Visando reduzir a tensão mínima necessária para a operação do espelho de corrente com cascode, pode-se fazer uma modificação nesta configuração, tendo-se como resultado o circuito retratado na Figura 3.10. Agora a conexão em diodo do transistor M_3 incorpora o transistor M_1 . Por consequência, V_{GS1} deixa de ser igual a V_{DS1} , passando V_{DS1} e V_{DS2} a serem controlados pela porta dos transistores M_3 e M_4 , respectivamente.

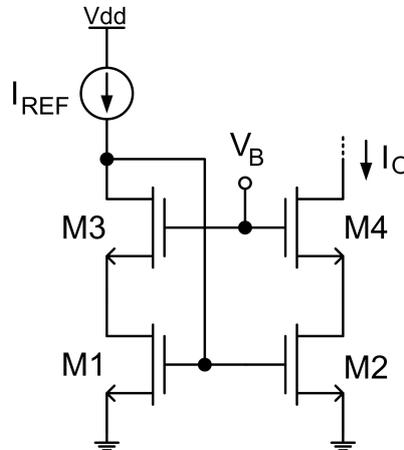


Figura 3.10: Esquemático de um espelho de corrente de alta compliância.

As portas de M_3 e M_4 devem estar polarizadas com uma tensão que mantenha tanto M_1 como M_2 na saturação e, ao mesmo tempo, evite que M_3 entre na região de triodo. Portanto, para M_3 se manter na saturação deve-se obedecer a

$$V_B - V_{thN3} \leq V_{GS1}. \quad (3.16)$$

Já para manter-se M_1 na saturação, temos que

$$V_{GS1} - V_{thN1} \leq V_B - V_{GS3}. \quad (3.17)$$

Juntando-se as duas condições, resulta-se em

$$V_{GS3} + (V_{GS1} - V_{thN1}) \leq V_B \leq V_{GS1} + V_{thN3}. \quad (3.18)$$

Rearranjando a Eq. 3.18, verifica-se que $V_{GS3} + (V_{GS1} - V_{thN1}) \leq V_{GS1} + V_{thN3}$, ou seja, $V_{GS3} - V_{thN3} \leq V_{thN1}$. Desta maneira, o dimensionamento de M_3 deve ser tal que sua tensão de *overdrive* permaneça menor do que uma tensão de *threshold*. De forma similar, a tensão mínima de saída deve ser tal que M_4 continue saturado, que é garantido para:

$$V_{O,min} = V_B - V_{thN3} = V_{GS1}. \quad (3.19)$$

Substituindo-se V_B na equação anterior por $V_{GS3} + V_{GS1} - V_{thN1}$ — lado esquerdo da inequação 3.18 —, tem-se

$$V_{O,min} = (V_{GS3} - V_{thN3}) + (V_{GS1} - V_{thN1}). \quad (3.20)$$

Da Eq. 3.20, vê-se que a tensão mínima necessária corresponde a duas tensões de *overdrive*. Comparativamente ao espelho com cascode, tem-se uma economia de uma tensão de *threshold*, sendo este espelho de alta compliância também denominado por espelho de corrente com cascode de baixa tensão (*low-voltage cascode*) [28].

3.2.3 Par Diferencial

As principais vantagens dos amplificadores diferenciais são a sua melhor imunidade ao ruído externo e sua maior excursão do sinal de saída. A Figura 3.11 mostra o esquemático do par diferencial do amplificador diferencial adotado no amplificador de ganho programável, que será descrito na próxima seção.

Trata-se de um amplificador com degeneração de fonte para tornar a função de transcondutância $gm(V_p - V_n)$ menos dependente das não-linearidades dos transistores. Conforme será discutido na próxima seção, este é um fator importante para o funcionamento do amplificador de ganho programável. A utilização de transistores PMOS com os terminais de substrato conectados às fontes é importante para tornar

o amplificador isento do efeito de corpo.

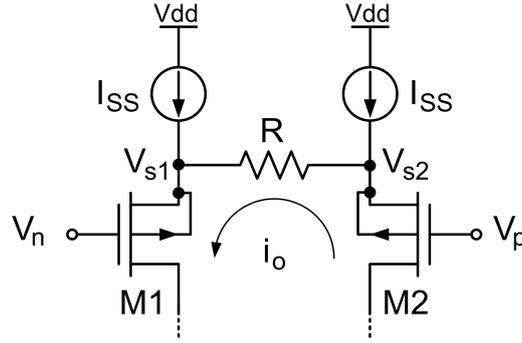


Figura 3.11: Esquemático de um par diferencial com degeneração utilizado no DDA.

Procedendo-se agora à análise do circuito, temos que

$$I_{SS} + i_o = \frac{k_P W}{2\alpha L} (V_{s1} - V_n + V_{thP})^2, \quad (3.21)$$

$$I_{SS} - i_o = \frac{k_P W}{2\alpha L} (V_{s2} - V_p + V_{thP})^2. \quad (3.22)$$

Rearranjando as Eqs. 3.21 e 3.22, obtemos

$$V_{s1} - V_n + V_{thP} = \sqrt{\frac{2\alpha L}{k_P W}} \sqrt{I_{SS} + i_o}, \quad (3.23)$$

$$V_{s1} - V_n + V_{thP} = \sqrt{\frac{2\alpha L}{k_P W}} \sqrt{I_{SS} + i_o}. \quad (3.24)$$

Fazendo-se a Eq. 3.23 menos Eq. 3.24, encontra-se

$$V_{s1} - V_{s2} - V_n + V_p = \sqrt{\frac{2\alpha L}{k_P W}} \left(\sqrt{I_{SS} + i_o} - \sqrt{I_{SS} - i_o} \right). \quad (3.25)$$

Sendo $V_{s1} - V_{s2} = R i_o$ e definindo $V_d = V_p - V_n$, encontramos

$$- R i_o + V_d = \sqrt{\frac{2\alpha L}{k_P W}} \left(\sqrt{I_{SS} + i_o} - \sqrt{I_{SS} - i_o} \right). \quad (3.26)$$

Derivando ambos os lados da Eq. 3.26 em relação a V_d , tem-se

$$- R \frac{\partial i_o}{\partial V_d} + 1 = \sqrt{\frac{2\alpha L}{k_P W}} \left(\frac{\frac{\partial i_o}{\partial V_d}}{2\sqrt{I_{SS} + i_o}} + \frac{\frac{\partial i_o}{\partial V_d}}{2\sqrt{I_{SS} - i_o}} \right). \quad (3.27)$$

Definindo $gm = \frac{\partial i_o}{\partial V_d}$, chega-se em

$$-Rgm + 1 = \sqrt{\frac{2\alpha L}{k_P W}} \frac{gm}{2} \left(\frac{1}{\sqrt{I_{SS} + i_o}} + \frac{1}{\sqrt{I_{SS} - i_o}} \right). \quad (3.28)$$

A transcondutância de pequenos sinais gm_0 equivale a gm quando $i_o = 0$, ou seja,

$$gm_0 = \frac{1}{R + \sqrt{\frac{2\alpha L}{I_{SS} k_P W}}}. \quad (3.29)$$

Pode-se também determinar a máxima tensão de entrada diferencial, fazendo-se $i_o = I_{SS}$ na Eq. 3.26. Assim,

$$\begin{aligned} -RI_{SS} + V_{d_{max}} &= \sqrt{\frac{2\alpha L}{k_P W}} \sqrt{2I_{SS}} \\ V_{d_{max}} &= RI_{SS} + 2\sqrt{\frac{\alpha LI_{SS}}{k_P W}}. \end{aligned} \quad (3.30)$$

3.3 Projeto do Amplificador Diferencial de Diferença

Um DDA ideal amplifica infinitamente a tensão diferencial v_D , além de suprimir completamente as tensões de modo comum. Assim, tendo-se como base a Figura 2.15, temos

$$v_O = \mu v_D = \mu [(v_{p1} - v_{n1}) - (v_{p2} - v_{n2})] \text{ com } \mu \rightarrow \infty. \quad (3.31)$$

Esta combinação linear das tensões dos terminais de entrada pode ser transformada em uma forma mais geral

$$v_O = k [f_1(v_{p1} - v_{n1}) - f_2(v_{p2} - v_{n2})] \text{ com } k \rightarrow \infty. \quad (3.32)$$

se f_1 e f_2 forem funções idênticas, além de serem inversíveis, ou seja,

$$f_1(v) = f_2(v) \quad (3.33)$$

$$\frac{df(v)}{dv} \neq 0 \text{ para todo } v. \quad (3.34)$$

A Eq. 3.32 pode ser modelada pelo diagrama de blocos da Figura 3.12, o qual pode ser implementado por transistores MOS ou bipolares. As diferenças de tensão $(v_{p1} - v_{n1})$ e $(v_{p2} - v_{n2})$ são convertidas por dois transdutores em duas diferenças

de corrente Δi_1 e Δi_2 . Estas transcondutâncias correspondem às funções f_1 e f_2 da Eq. 3.32. A subtração das correntes de saída é feita diretamente pela conexão dos dois blocos diferenciais nos barramentos Σ_+ e Σ_- . Por fim, o bloco de saída amplifica a corrente diferencial Δi_D deste barramento pelo fator k .

Assumindo que a saída v_O seja realimentada para a entrada 2 do DDA, de forma que $V_{p2} - V_{n2} = \gamma v_O$, onde γ é o ganho da malha de realimentação. Aplicando este resultado à Eq. 3.32, temos que:

$$v_O = k [f_1(v_{p1} - v_{n1}) - f_2(\gamma v_O)]. \quad (3.35)$$

Dividindo ambos os lados da Eq.3.35 por k , e fazendo k tender ao infinito, temos que $f_1(v_{p1} - v_{n1}) = f_2(\gamma v_O)$. Aplicando a condição $f_1(v) = f_2(v)$, temos finalmente que

$$v_O = \frac{1}{\gamma} (v_{p1} - v_{n1}). \quad (3.36)$$

O interessante desta implementação é que esses dispositivos devem ser perfeitamente casados e que o amplificador tenha um alto ganho k , fatos que são tangíveis para circuitos integrados [23].

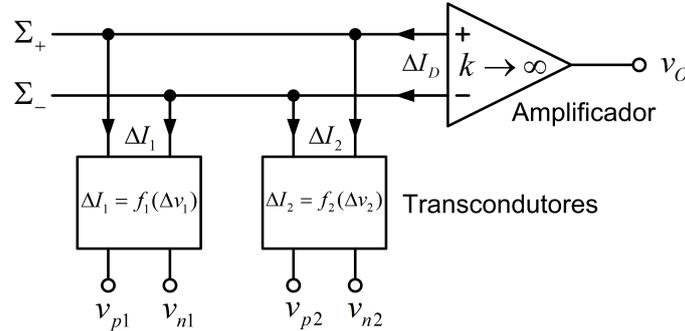


Figura 3.12: Diagrama de blocos do DDA.

O esquemático do DDA está mostrado na Figura 3.13. Nesta figura está identificado o circuito de polarização, o DDA e o estágio de saída em classe AB. Nota-se a presença de um terceiro par diferencial, que é utilizado unicamente para a compensação de *offset*, não interferindo no controle de ganho. Outro ponto que pode causar estranheza é o modo comum do sinal de entrada ser zero, e a tensão de alimentação do circuito ser de 0 a V_{DD} , o que aparentemente limitaria as excursões negativas da entrada. Entretanto, como o par diferencial é composto por transistores PMOS, consegue-se excursionar até valores da ordem de $-V_{thP}$. Logo, nota-se que a máxima excursão permitida não será muito elevada.

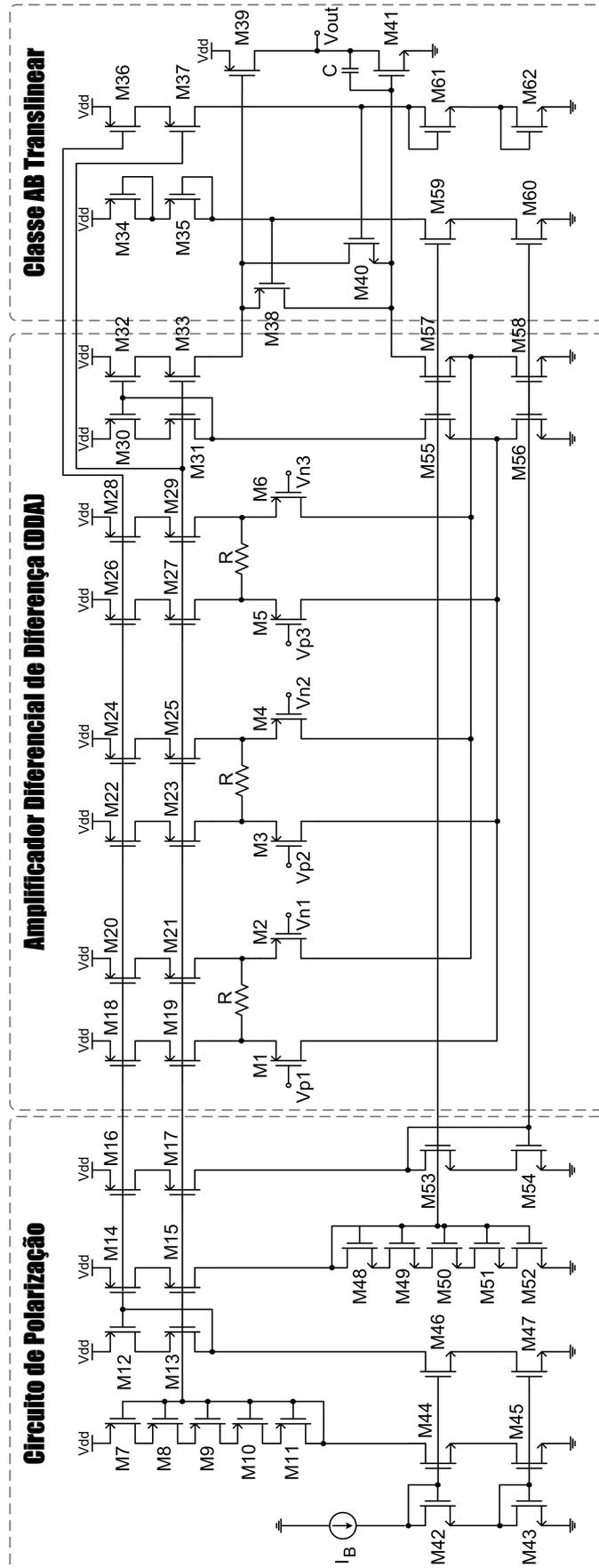


Figura 3.13: Esquemático do amplificador diferencial de diferença.

Tendo-se identificado que os espelhos de corrente eram os principais responsáveis pela introdução de *offset* no circuito, foi realizada uma análise de descasamento dos mesmos para saber o seu comportamento e a forma de atenuá-lo. Assim, foi utilizado o modelo de Pelgrom, que propõe o cálculo da estatística do descasamento em função de certos parâmetros [29]. Por simplicidade, apesar dos espelhos de corrente utilizados no DDA serem espelhos cascode de alta compliância, para este cálculo foi considerado que se tratava de um espelho simples, visto que o efeito introduzido pelos outros dois transistores é de segunda ordem. Calcularemos, então, os desvio padrão da corrente de saída I_o do espelho em função do desvio padrão da tensão de *threshold* $\sigma_{V_{th}}$ e do desvio oriundo da geometria σ_β . Tais desvios relativos são dados pelas expressões

$$\hat{\sigma}_\beta = \frac{\sigma_\beta}{\beta} = \frac{A_\beta}{\sqrt{2WL}} \quad (3.37)$$

$$\hat{\sigma}_{V_{th}} = \frac{\sigma_{V_{th}}}{V_{th}} = \frac{A_{V_{th}}}{\sqrt{2WL}}, \quad (3.38)$$

sendo os parâmetros A_β e $A_{V_{th}}$ fornecidos pelos fabricantes de circuitos integrados aos projetistas. Tais parâmetros também são utilizados na análise de Monte Carlo pelo simulador.

Então, equacionando-se as correntes do espelho, temos

$$\begin{cases} I_{REF} = \frac{\beta_1}{2\alpha}(V_{gs} - V_{th1})^2 \\ I_o = \frac{\beta_2}{2\alpha}(V_{gs} - V_{th2})^2 \end{cases} \quad (3.39)$$

Obtendo-se V_{gs} na primeira equação do sistema 3.39, e substituindo-o em I_o , temos

$$I_o = \frac{\beta_2}{2\alpha} \left(\sqrt{\frac{2\alpha I_{REF}}{\beta_1}} + V_{th1} - V_{th2} \right)^2 \quad (3.40)$$

Calculando-se as derivadas parciais de I_o em função de β_1 , β_2 , V_{th1} e V_{th2} , e considerando-se um espelhamento 1:1, ou seja, $\beta_1 = \beta_2 = \beta$ e $V_{th1} = V_{th2} = V_{th}$, encontramos

$$\begin{cases} \frac{\partial I_o}{\partial \beta_1} = -\frac{I_{REF}}{\beta} \\ \frac{\partial I_o}{\partial \beta_2} = \frac{I_{REF}}{\beta} \\ \frac{\partial I_o}{\partial V_{th1}} = \sqrt{\frac{2\beta I_{REF}}{\alpha}} \\ \frac{\partial I_o}{\partial V_{th2}} = -\sqrt{\frac{2\beta I_{REF}}{\alpha}} \end{cases} \quad (3.41)$$

Agora é possível calcularmos a variação σ_{I_o} , referente à corrente de saída, segundo

$$\sigma_{I_o}^2 = \left(\frac{\partial I_o}{\partial \beta_1} \right)^2 \sigma_{\beta_1}^2 + \left(\frac{\partial I_o}{\partial \beta_2} \right)^2 \sigma_{\beta_2}^2 + \left(\frac{\partial I_o}{\partial V_{th1}} \right)^2 \sigma_{V_{th1}}^2 + \left(\frac{\partial I_o}{\partial V_{th2}} \right)^2 \sigma_{V_{th2}}^2. \quad (3.42)$$

Assim, substituindo-se o sistema de equações 3.41 em 3.42, e considerando-se $\sigma_{\beta_1} = \sigma_{\beta_2} = \sigma_\beta$ e $\sigma_{V_{th1}} = \sigma_{V_{th2}} = \sigma_{V_{th}}$, obtemos

$$\sigma_{I_o}^2 = \frac{2I_{REF}^2}{\beta^2} \sigma_\beta^2 + \frac{4\beta I_{REF}}{\alpha} \sigma_{V_{th}}. \quad (3.43)$$

Assumindo que $I_o = I_{REF}$ e $\hat{\sigma}_{I_o} = \frac{\sigma_{I_o}}{I_o}$, tem-se

$$\begin{aligned} \hat{\sigma}_{I_o}^2 &= \frac{2}{\beta^2} \sigma_\beta^2 + \frac{4\beta}{\alpha I_{REF}} \sigma_{V_{th}}^2 \\ &= 2\hat{\sigma}_\beta^2 + \frac{4\beta}{\alpha I_{REF}} V_{th}^2 \hat{\sigma}_{V_{th}}^2. \end{aligned} \quad (3.44)$$

Substituindo-se as Eqs. 3.37 e 3.38 em 3.44, obtem-se, por fim

$$\hat{\sigma}_{I_o}^2 = \frac{A_\beta^2}{WL} + \frac{2k_p V_{th}^2}{\alpha I_{REF}} \frac{A_{V_{th}}^2}{L^2}. \quad (3.45)$$

Desta forma, sabendo-se como se comporta o desvio da corrente dos espelhos, com o auxílio das simulações de Monte Carlo, foram otimizadas as dimensões dos transistores que compõem os espelhos. Assim, foram realizadas simulações de Monte Carlo para obtenção dos valores da média e do desvio padrão do *offset* de saída. Primeiramente, foi considerado somente o descasamento dos transistores NMOS, os quais tiveram as suas dimensões escaladas, ou seja, suas dimensões que haviam sido previamente projetadas (W e L) foram multiplicadas por um fator, tendo como resultado os gráficos da Figura 3.14. Posteriormente, repetiu-se este procedimento para os transistores PMOS, obtendo-se os gráficos da Figura 3.15. Nesta análise de Monte Carlo foram também consideradas, além do descasamento, as variações de processo. Como o escalamento trás consigo um aumento quadrático da área do transistor — já que são escalados a largura e o comprimento —, deve-se ter em mente o custo-benefício do mesmo. Assim, para os transistores NMOS, que têm, neste caso, uma maior parcela de contribuição para o *offset*, principalmente no que tange o desvio padrão, foi adotado um escalamento com o fator 6. Já para os PMOS, o escalamento adotado foi 4. Vê-se que estes valores estão próximos aos “joelhos” de seus respectivos gráficos.

Passando-se ao estágio de saída, temos que este se trata de um classe AB formado pelos transistores M_{38} e M_{40} , os quais controlam a operação em classe AB de M_{39}

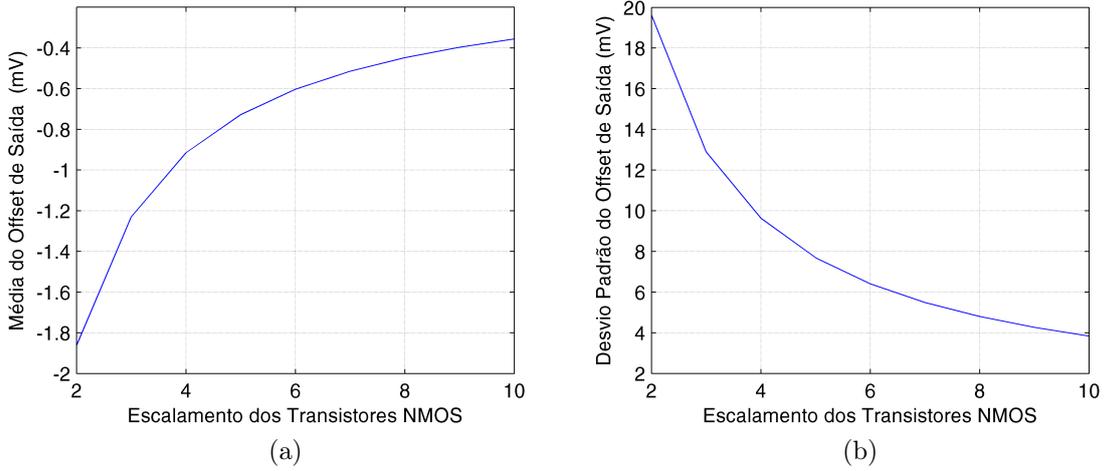


Figura 3.14: Média (a) e desvio padrão do *offset* (b) em função do escalamento dos transistores NMOS.

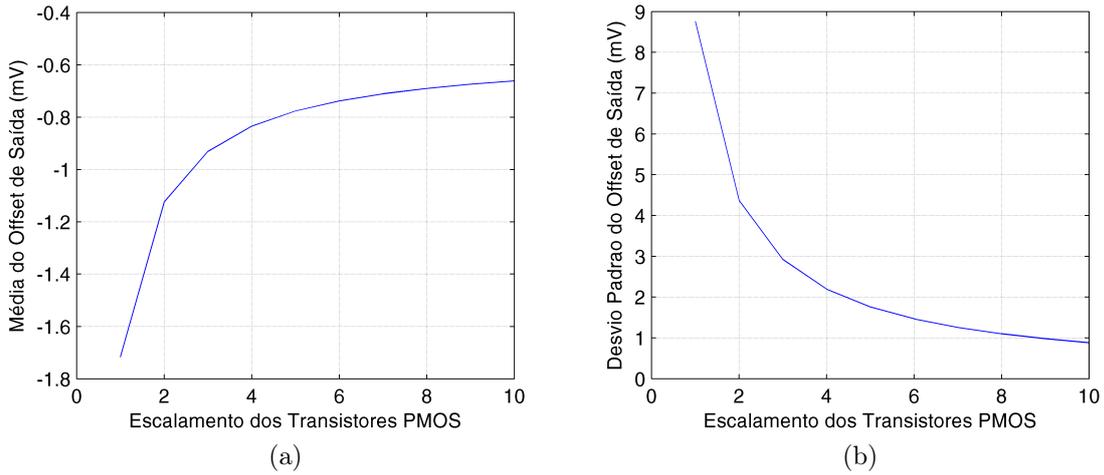


Figura 3.15: Média (a) e desvio padrão do *offset* (b) em função do escalamento dos transistores PMOS.

e M_{41} . Os transistores conectados como diodo M_{34} e M_{35} , e M_{61} e M_{62} polarizam as portas dos transistores M_{38} e M_{40} , respectivamente. Estes transistores compõem dois *loops* translineares — um formado por M_{34} , M_{35} , M_{38} e M_{39} ; e o outro por M_{62} , M_{61} , M_{40} e M_{41} —, que determinam as correntes quiescentes I_{D39} e I_{D41} [30].

A estrutura do *loop* translinear está destacada na Figura 3.16 para facilitar a sua identificação no circuito. Este tipo de interconexão dos transistores garante que

$$V_{GS39} + V_{GS38} = V_{GS34} + V_{GS35}. \quad (3.46)$$

Sendo $V_{GSi} = \sqrt{\frac{2\alpha}{k_{pP}} \frac{I_i}{W_i} I_{Di}} + V_{thP}$, pode-se chegar a

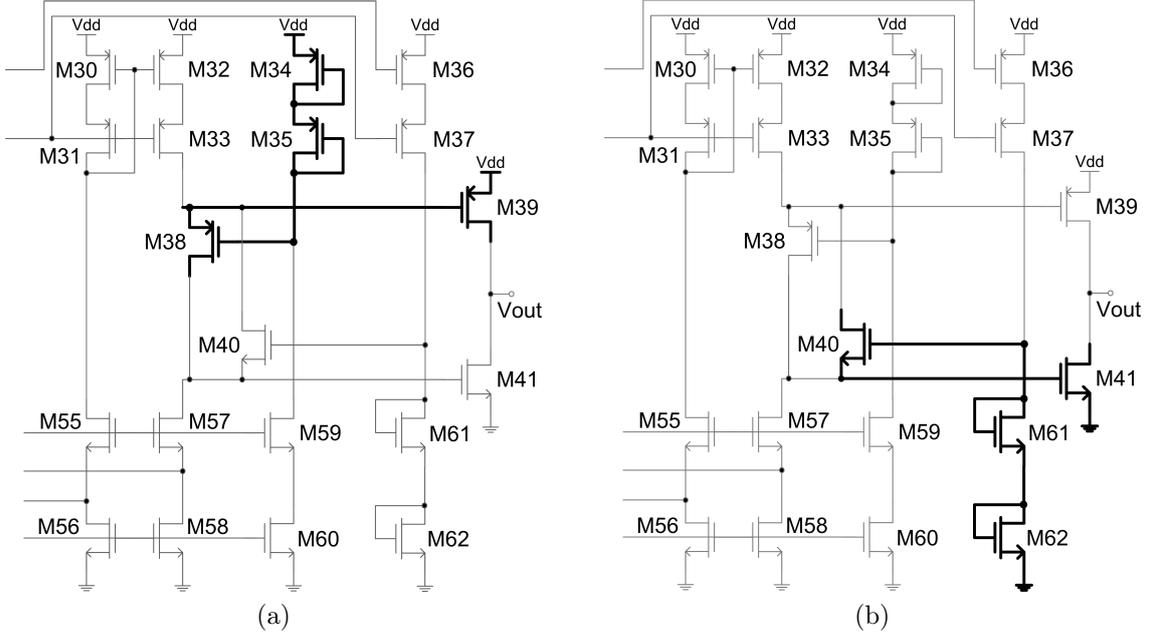


Figura 3.16: Destaque para o *loop* translinear PMOS (a) e NMOS (b).

$$\sqrt{\frac{I_{D39}}{W_{39}/L_{39}}} = \sqrt{\frac{I_{D34}}{W_{34}/L_{34}}} + \sqrt{\frac{I_{D35}}{W_{35}/L_{35}}} - \sqrt{\frac{I_{D38}}{W_{38}/L_{38}}}. \quad (3.47)$$

Dimensionando-se M_{34} igual a M_{35} , além da relação $\frac{I_{D34}}{W_{34}/L_{34}}$ igual a $\frac{I_{D38}}{W_{38}/L_{38}}$, tem-se

$$\sqrt{\frac{I_{D39}}{W_{39}/L_{39}}} = \sqrt{\frac{I_{D34}}{W_{34}/L_{34}}}. \quad (3.48)$$

Desta forma, a corrente de M_{39} fica precisamente determinada pela corrente de M_{34} , dependendo da corrente do espelho que o polariza M_{34} , além da relação W/L . E mais, se dimensionarmos M_{39} com uma relação de aspecto igual a M_{34} , obtém-se $I_{D39} = I_{D34}$.

Explicando o funcionamento do classe AB, a tensão alternada da porta de M_{39} é transferida para a porta de M_{41} — e vice-versa — pelo circuito de controle composto por M_{38} e M_{40} . Exemplificando, seja um sinal positivo na porta de M_{39} . Este sinal positivo produzirá um acréscimo na corrente de M_{38} e uma conseqüente redução na corrente de M_{40} , já que o somatório destas correntes é fixo. Assim, há também uma elevação do sinal na porta de M_{41} . Portanto, o transistor M_{41} drena corrente do nó de saída e M_{39} é mantido com uma corrente mínima, determinada pelo *loop* translinear M_{34} , M_{35} , M_{38} e M_{39} . Isto acontecerá até que a corrente de M_{38} alcance novamente seu valor inicial de polarização.

A mesma análise pode ser feita para um sinal positivo na porta de M_{41} , o que

resultará em uma corrente sendo fornecida por M_{39} para o nó de saída, e M_{41} mantido com uma corrente mínima, determinada pelo *loop* translinear formado por M_{62} , M_{61} , M_{40} e M_{41} .

Atendo-se à operação em pequenos sinais do controle do classe AB, note que a tensão alternada v_{gs38} e v_{gs40} é determinada pelas tensões de suas fontes, já que não há sinal em suas portas. Assim, v_{gs38} e v_{gs40} tornam-se, respectivamente, v_{s38} e v_{s40} . Portanto, um sinal positivo na fonte de M_{38} gera um incremento na corrente deste transistor no valor de $gm_{38}v_{s38}$, que é igual ao decremento na corrente de M_{40} , que é dado por $gm_{40}v_{s40}$. Já que este somatório das corrente é fixo, $gm_{38}v_{s38} = gm_{40}v_{s40}$; então se $gm_{38} = gm_{40}$, temos que $v_{s38} = v_{s40}$ e a transferência de tensão entre as portas de M_{39} e M_{41} é completa. Por conseguinte, a soma das tensões alternadas *gate-source* destes transistores será constante, ou seja,

$$\sqrt{\frac{\alpha_P i_{d39}}{k_{pP} W_{39}/L_{39}}} + \sqrt{\frac{\alpha_N i_{d41}}{k_{pN} W_{41}/L_{41}}} = \text{constante.} \quad (3.49)$$

Entretanto, sabe-se que, na prática, como M_{38} e M_{40} são transistores de naturezas diferentes — PMOS e NMOS, respectivamente —, este casamento é muito difícil, resultando em algum *offset* na saída. Entretanto, tal problema será mitigado pela atuação do sistema de compensação de *offset*.

Assim, o dimensionamento feito para o DDA encontra-se na Tabela 3.4. O valor da corrente de polarização I_B foi de $4 \mu\text{A}$, do resistor R foi de $100 \text{ k}\Omega$, e do Capacitor C foi de 500 fF .

Tabela 3.4: Dimensões dos transistores do DDA.

Transistor	W (μm)	L (μm)	M
$M_1, M_2, M_3, M_4, M_5, M_6$	38	3	1
$M_7, M_8, M_9, M_{10}, M_{11}, M_{38}, M_{39}$	9,2	1	2
$M_{12}, M_{13}, M_{14}, M_{15}, M_{16},$ $M_{17}, M_{30}, M_{31}, M_{32}, M_{33}$	36,8	4	2
$M_{18}, M_{19}, M_{20}, M_{21}, M_{22}, M_{23},$ $M_{24}, M_{25}, M_{26}, M_{27}, M_{28}, M_{29}$	36,8	4	1
M_{34}, M_{35}	9,2	1	1
M_{36}, M_{37}	27,6	4	1
$M_{40}, M_{41}, M_{42}, M_{43}, M_{44}, M_{45}, M_{46},$ $M_{47}, M_{48}, M_{49}, M_{50}, M_{51}, M_{52}$	1,8	1	2
M_{53}	10,8	6	6
M_{54}	10,8	6	2
M_{55}, M_{57}	16,2	6	6
M_{56}, M_{58}	32,4	6	2
M_{59}	8,1	6	3
M_{60}	8,1	6	1
M_{61}, M_{62}	1,8	1	1

3.4 Projeto do Detetor de Pico

O esquemático do detetor de pico está representado na Figura 3.17. O carregamento da saída pode ser realizado em função dos sinais V_p ou V_n . Assim, para evitar escrever duas vezes equações similares, adotaremos a nomenclatura $V_{p,n}$, que representa V_p ou V_n . Então, pela análise do circuito, quando o módulo de $V_{p,n}$ é maior que V_{pd} , temos que

$$gm(V_{pd} - V_{p,n}) = I_{BO} + C_{PD} \frac{dV_{pd}}{dt}, \quad (3.50)$$

Entretanto, quando o módulo de $V_{p,n}$ é menor que V_{pd} , a transcondutância gm efetiva é nula, sendo, então, a parcela $gm(V_{pd} - V_{p,n})$ igual a zero. Conseqüentemente, temos que o descarregamento ocorrerá com uma taxa constante, dada por

$$\frac{dV_{pd}}{dt} = -\frac{I_{BO}}{C_{PD}}. \quad (3.51)$$

Vendo-se as equações anteriores, nota-se que é possível adequar a capacidade de rastreamento do circuito alterando-se os valores de C_{PD} e I_{BO} , enquanto a acurácia está mais relacionada a gm e C_{PD} .

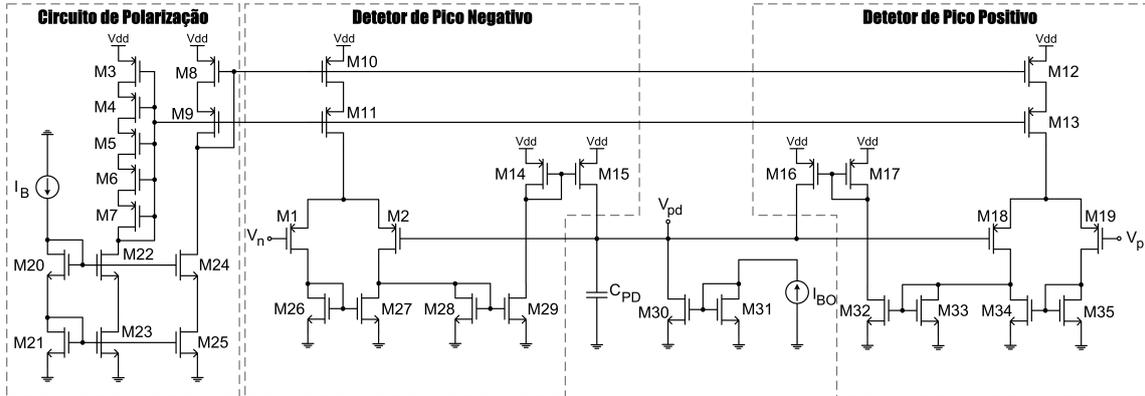


Figura 3.17: Esquemático do detetor de pico.

Assim, foi adotada uma corrente de polarização I_B igual a $1 \mu A$, corrente de descarga I_{BO} de $1 nA$ e um capacitor C_{PD} de $2 nF$. O alto valor da capacitância foi necessário para se conseguir um *ripple* da ordem de $4 mV$ com uma corrente de descarga I_{BO} que não fosse extremamente baixa, fato tal que traria muitas dificuldades para a sua geração. O dimensionamento dos transistores está listado na Tabela 3.5.

3.5 Projeto do Detetor de Nível

O circuito do detetor de nível já foi mostrado na Figura 2.11. As faixas de ganho foram definidas segundo a Tabela 3.6, e podem facilmente ser alteradas caso haja

Tabela 3.5: Dimensões dos transistores do detetor de pico.

Transistor	W (μm)	L (μm)	M
M_1, M_2, M_{18}, M_{19}	40	1	2
$M_3, M_4, M_5, M_6, M_7, M_8, M_9, M_{10},$ $M_{11}, M_{12}, M_{13}, M_{14}, M_{15}, M_{16}, M_{17}$	4	1	2
$M_{20}, M_{21}, M_{22}, M_{23}, M_{24}, M_{25}, M_{26}, M_{27}$ $M_{28}, M_{29}, M_{30}, M_{31}, M_{32}, M_{33}, M_{34}, M_{35}$	1	1	2

alguma necessidade ou para utilização em outros projetos. O valor adotado para a resistência R_{LD} foi de $5 \text{ k}\Omega$ e V_{REF} de $1,2 \text{ V}$. O projeto dos comparadores utilizados no detetor de nível será detalhado a seguir.

Tabela 3.6: Faixas de ganho programável.

Tensão de Entrada	Ganho de Tensão
$0 \leq V_{in} \leq 37,5 \text{ mV}$	16
$37,5 \text{ mV} < V_{in} \leq 75 \text{ mV}$	8
$75 \text{ mV} < V_{in} \leq 150 \text{ mV}$	4
$150 \text{ mV} < V_{in} \leq 300 \text{ mV}$	2
$V_{in} > 300 \text{ mV}$	1

3.5.1 Comparador com Histerese

É necessário que o comparador do detetor de nível tenha histerese, visto que o sinal V_{pd} proveniente do detetor de pico apresenta um *ripple* da ordem de 4 mV . Assim, para que o controle de ganho não sofra, potencialmente, com um chaveamento equivocado em virtude deste *ripple*, é necessário adicionar histerese na transição negativa da ordem deste *ripple*. Desta forma, o comparador adotado encontra-se na Figura 3.18.

Assumindo que i_{op} seja maior que i_{on} tal que M_{25} e M_{26} estejam conduzindo e M_{23} e M_{24} estejam cortados, além de $\beta_{23} = \beta_{26} = \beta_A$ e $\beta_{24} = \beta_{25} = \beta_B$ [12], onde $\beta_i = k_p \frac{W_i}{L_i}$. Nessas circunstâncias, v_{on} é aproximadamente 0 e v_{op} é dado por

$$v_{op} = \sqrt{\frac{2\alpha i_{op}}{\beta_A}} + V_{thN}. \quad (3.52)$$

Se começarmos a aumentar i_{on} e diminuir i_{op} , o chaveamento começa a ocorrer quando a tensão V_{GS} do transistor M_{23} está em torno de V_{th} . Se mantivermos este processo de aumento de i_{on} e diminuição de i_{op} , V_{GS23} torna-se maior que V_{th} e M_{24} começa a drenar a corrente que antes escoava por M_{26} . Isto diminui a tensão V_{DS} de M_{24} e M_{26} , o que, conseqüentemente, faz com que M_{25} pare de conduzir ($V_{GS25} = V_{DS24,26}$).

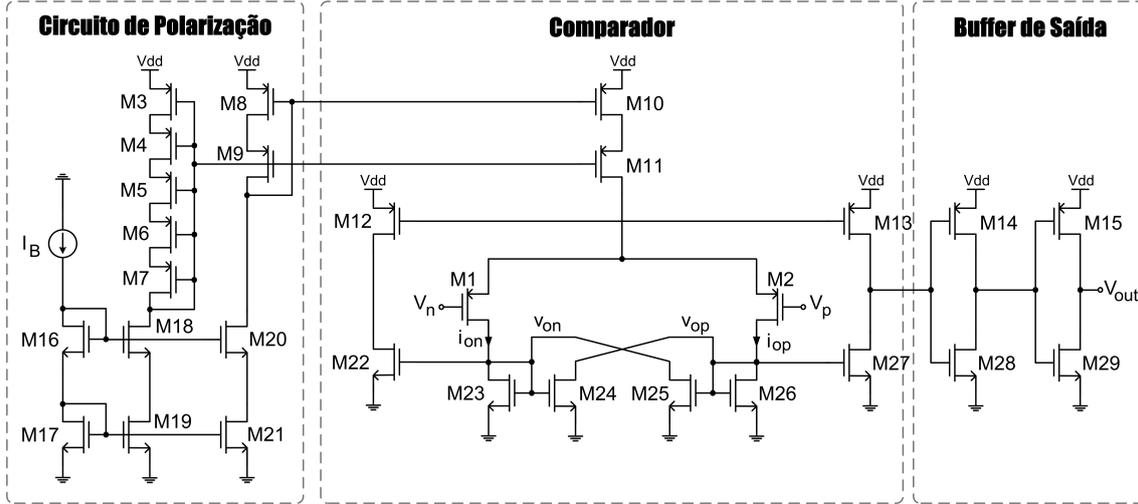


Figura 3.18: Esquemático do comparador do detetor de nível.

Quando M_{23} está na iminência de conduzir, ou seja, seu V_{GS} está próximo de V_{th} , mas as correntes de dreno de M_{23} e M_{24} são ainda zero, a corrente que flui por M_{25} é

$$i_{on} = \frac{\beta_B}{2\alpha}(v_{in} - V_{th})^2, \quad (3.53)$$

e a corrente que flui por M_{26} é

$$i_{op} = \frac{\beta_A}{2\alpha}(v_{in} - V_{th})^2. \quad (3.54)$$

Note que a corrente de M_{25} , no instante em que ocorre o chaveamento, espelha a corrente de M_{26} segundo a equação

$$i_{op} = \frac{\beta_A}{\beta_B} i_{on}. \quad (3.55)$$

Se $\beta_A = \beta_B$, então a transição ocorre quando as correntes i_{op} e i_{on} são iguais. Um desbalanceamento nos β s introduzirá histerese ao comparador. O ponto, então, em que ocorrerá o chaveamento é

$$V_H = \frac{I_B}{gm} \frac{\frac{\beta_B}{\beta_A} - 1}{\frac{\beta_B}{\beta_A} + 1} \text{ para } \beta_B > \beta_A. \quad (3.56)$$

Do que foi exposto anteriormente, e tendo-se utilizado uma corrente de polarização I_B de $4 \mu\text{A}$, resultou-se o dimensionamento dos transistores, que está mostrado na Tabela 3.7.

Tabela 3.7: Dimensões dos transistores do comparador do detetor de nível.

Transistor	W (μm)	L (μm)
$M_1, M_2, M_{22}, M_{23}, M_{24}, M_{26}, M_{27}$	20	2
$M_3, M_4, M_5, M_6, M_7, M_8, M_9, M_{10}, M_{11}, M_{12}, M_{13}$	6	2
M_{14}, M_{15}	4	0,34
$M_{16}, M_{17}, M_{18}, M_{19}, M_{20}, M_{21}$	2	2
M_{25}	20	1,7
M_{28}, M_{29}	1	0,34

3.6 Projeto do Decodificador

O decodificador, apresentado na Figura 3.19, é o bloco responsável por receber os sinais digitais do detetor de nível e convertê-los nos sinais para acionamento das chaves que controlam o ganho do PGA. Assim, pode-se montar a Tabela 3.8, que representa as saídas do decodificador — $Ctrl_1, Ctrl_2, Ctrl_4, Ctrl_8, Ctrl_{16}$ — que devem estar ativas de acordo com as dadas combinações do sinais provenientes do detetor de nível — $Comp_0, Comp_1, Comp_2$ e $Comp_3$.

Tabela 3.8: Tabela verdade do decodificador.

$Comp_3$	$Comp_2$	$Comp_1$	$Comp_0$	$Ctrl_{16}$	$Ctrl_8$	$Ctrl_4$	$Ctrl_2$	$Ctrl_1$
0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	0
0	0	1	0	0	0	1	0	0
0	0	1	1	0	0	1	0	0
0	1	0	0	0	0	0	1	0
0	1	0	1	0	0	0	1	0
0	1	1	0	0	0	0	1	0
0	1	1	1	0	0	0	1	0
1	0	0	0	x	x	x	x	1
1	0	0	1	x	x	x	x	1
1	0	1	0	x	x	x	x	1
1	0	1	1	x	x	x	x	1
1	1	0	0	x	x	x	x	1
1	1	0	1	x	x	x	x	1
1	1	1	0	x	x	x	x	1
1	1	1	1	x	x	x	x	1

Da análise da Tabela 3.8, podem ser feitas as devidas simplificações e, desta forma, chegamos a

$$Ctrl_1 = Comp_3, \quad (3.57)$$

$$Ctrl_2 = Comp_2 \cdot \overline{Comp_3}, \quad (3.58)$$

$$Ctrl_4 = Comp_1 \cdot \overline{Comp_2} \cdot \overline{Comp_3}, \quad (3.59)$$

$$Ctrl_8 = Comp_0 \cdot \overline{Comp_1} \cdot \overline{Comp_2} \cdot \overline{Comp_3}, \quad (3.60)$$

$$Ctrl_{16} = \overline{Comp_0} \cdot \overline{Comp_1} \cdot \overline{Comp_2} \cdot \overline{Comp_3}. \quad (3.61)$$

Tendo-se já feito o projeto das devidas portas lógicas anteriormente — Subseção 3.1.1 —, torna-se direta a obtenção do circuito do decodificador, conforme exibido na Figura 3.19. Nota-se, nesta figura, a presença também dos sinais de saída barrados, que serão necessários para o acionamento das chaves analógicas complementares.

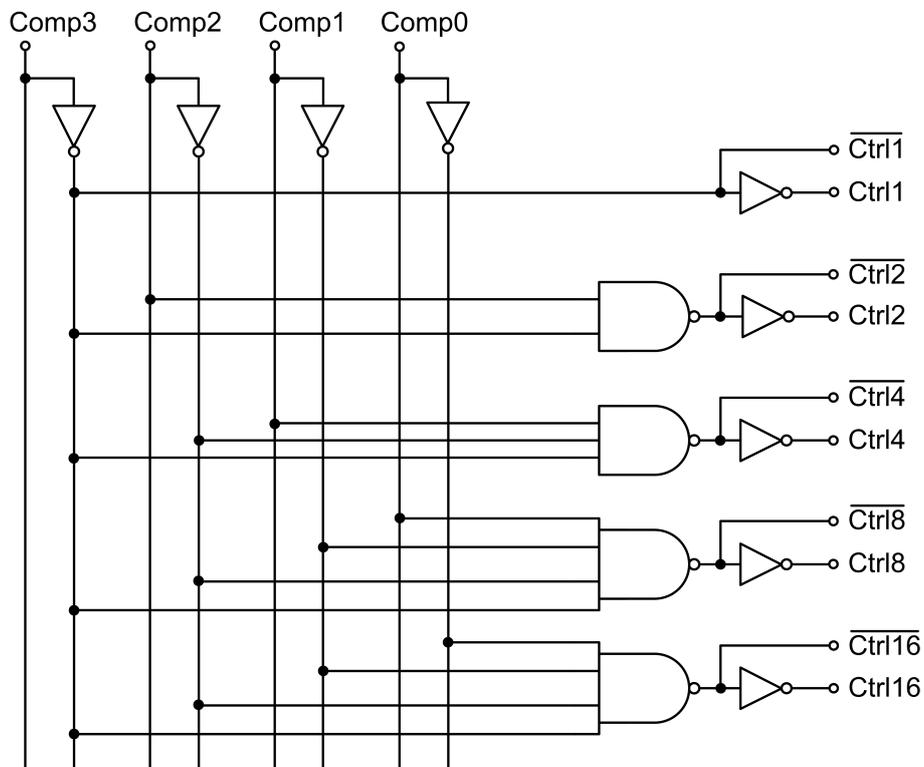


Figura 3.19: Esquemático do decodificador.

3.7 Projeto do Sistema de Controle da Compensação

3.7.1 Projeto do Divisor de Frequência

Para geração do intervalo entre os pulsos da compensação do *offset*, é necessário que o sinal de *clock* tenha a sua frequência diminuída, para obtenção do período adequado. Como a frequência do *clock* é de 125 kHz — período de $8 \mu\text{s}$ —, e tendo-se verificado após algumas simulações que a compensação deveria ocorrer a cada intervalo de cerca de 250 ms, chega-se a configuração da Figura 3.20. Temos 15 *flip-flops* D conectados em série de forma a obtermos sucessivas divisões por dois na frequência. Assim, o período do sinal de saída JT é $8 \mu\text{s} \times 2^{15} = 262,144 \text{ ms}$, sendo este o intervalo com o qual ocorrem as compensações. Como o período do sinal de entrada V_{in} igual a 16,667 ms (60 Hz), isto quer dizer que a cada 15,7 períodos do sinal de entrada temos a primeira condição da compensação atendida. Relembrando, a outra condição é atendida sempre que V_{in} cruza o zero.

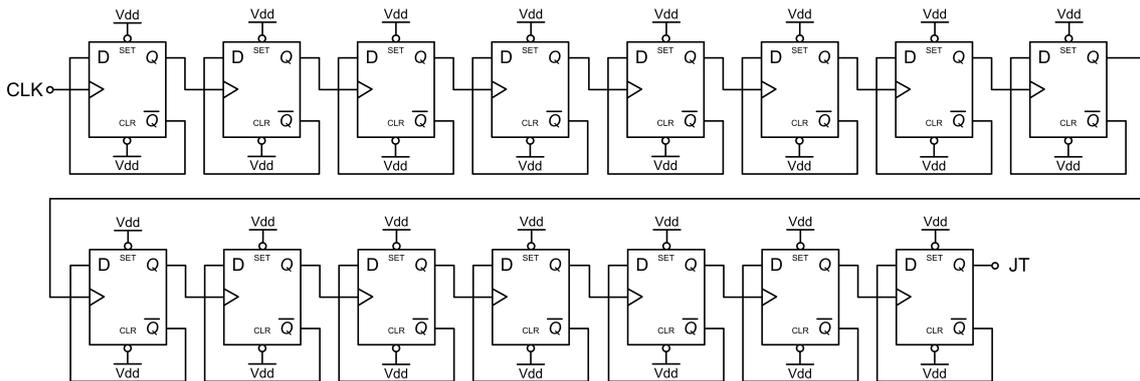


Figura 3.20: Esquemático do divisor de frequência gerador da janela de tempo.

3.7.2 Projeto do Comparador de Passagem pelo Zero

O objetivo deste bloco é comparar o sinal de entrada V_{in} com 0 V, ou seja, se V_{in} for maior que 0, tem-se na saída do comparador 2,5 V; se menor, tem-se 0 V na saída. Assim, converte-se o sinal de entrada em um sinal digital, que será utilizado no controle da compensação do *offset*. Apesar de parecer uma tarefa simples, cabe lembrar que a alimentação que este projeto utiliza é de 0 V a 2,5 V, o que adiciona certa complexidade à tarefa. Poder-se-ia ter optado pela utilização do sinal da saída do PGA para realizar esta tarefa, o que facilitaria bastante, já que a saída apresenta patamares de tensão maiores, além de ter o modo comum em 1,2 V. Porém, se o *offset* inicial da saída fosse muito elevado, poderia haver alguma situação em que,

embora pouco provável, a compensação nunca fosse realizada.

Portanto, um comparador de alta performance foi empregado para esta função. Seu diagrama de blocos está apresentado na Figura 3.21. Este comparador é composto por três estágios: pré-amplificação, circuito de decisão com histerese e *buffer* de saída. O bloco de pré-amplificação é responsável por aumentar a sensibilidade do comparador, isto é, eleva o nível mínimo do sinal de entrada que a histerese consegue responder, além de isolar o sinal de entrada do ruído de chaveamento gerado pela histerese. O circuito de decisão indica qual dos sinais de entrada é maior. Finalmente, o *buffer* de saída amplifica esta tensão e apresenta em sua saída um sinal digital [12].

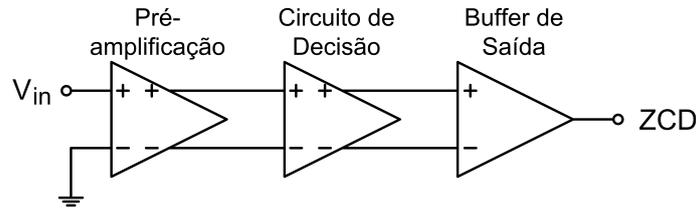


Figura 3.21: Diagrama de blocos do comparador detector de passagem pelo zero.

A Figura 3.22 mostra o esquemático do comparador de passagem pelo zero [12]. O circuito de pré-amplificação se trata de um amplificador diferencial com carga ativa, sendo uma das entradas aterradas. O dimensionamento de M_1 e M_2 é realizado considerando-se a transcondutância gm , a qual estabelece o ganho deste estágio. Pode-se relacionar as tensões de entrada com as correntes de saída (AC) segundo

$$i_{op} = \frac{gm}{2}(v_{in} - 0) = -i_{on}. \quad (3.62)$$

Note que se $v_{in} > 0$, então i_{op} é positivo e i_{on} é negativa. Entretanto, aqui temos um problema. Não há como se garantir M_1 e M_2 na saturação, já que a porta de M_1 está ligada a um sinal de modo comum zero, e M_2 está ligado ao terra. Entretanto, como o bloco seguinte é um circuito de decisão (histerese), conectado a um *buffer* de saída, o sinal será transformado em uma onda digital, amenizando tal problema.

O circuito de decisão utiliza a realimentação positiva da conexão cruzada das portas dos transistores M_6 e M_7 para aumentar seu ganho. A histerese já foi explicada quando se abordou o comparador do detector de nível — Subseção 3.5.1.

O *buffer* de saída é a parte responsável pela pós-amplificação, gerando em sua saída um sinal digital. O ganho de tensão deste bloco, desconsiderando o ganho adicionado pelo inversor colocado em sua saída, é dado por

$$A_{v_{buffer}} = gm_{11}(r_{o11}||r_{o18}). \quad (3.63)$$

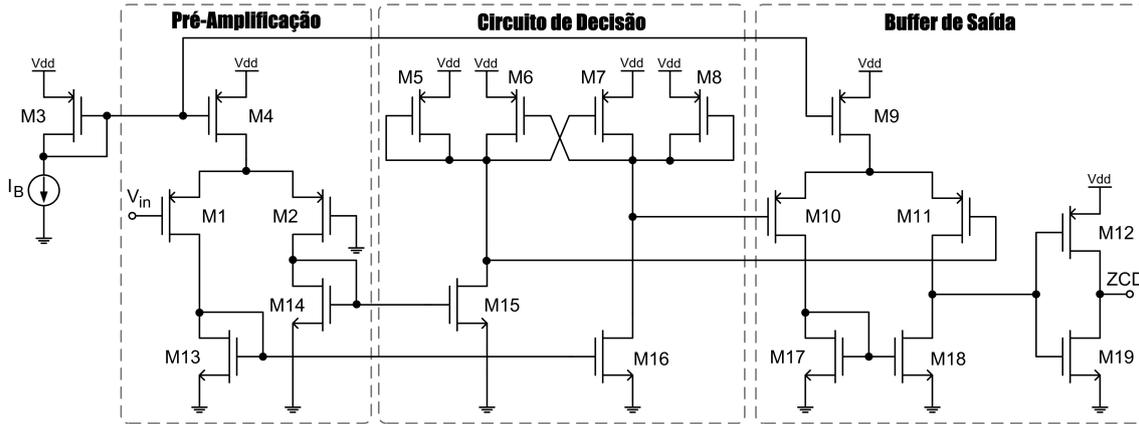


Figura 3.22: Esquemático do comparador de passagem pelo zero.

Do exposto acima resulta o dimensionamento dos transistores do comparador de passagem pelo zero, conforme pode ser visto na Tabela 3.9.

Tabela 3.9: Dimensões dos transistores do comparador de passagem pelo zero.

Transistor	W (μm)	L (μm)
$M_1, M_2, M_{13}, M_{14}, M_{15}, M_{16}, M_{17}, M_{18}$	80	3
M_3, M_4, M_5, M_8, M_9	10	3
M_6, M_7	10,1	3
M_{10}, M_{11}	20	1
M_{10}	4	0,34
M_{19}	1	0,34

3.7.3 Projeto do Detetor de Passagem pelo Zero

Este sistema tem como objetivo detetar as transições tanto positivas como negativas do sinal ZCD, proveniente do comparador explicado na subseção anterior, gerando um pulso de largura estreita quando isto ocorrer. Assim, foi desenvolvido o circuito mostrado na Figura 3.23. Nota-se que os *flip-flops* FFD_1 e FFD_2 são acionados pelas transições positivas e negativas do sinal ZCD, respectivamente. O acionamento de um destes *flip-flops* ativa o *flip-flop* $FFSR_1$, o qual habilita o início da contagem da largura dos pulsos de saída A e B, contagem tal realizada pelo divisor de frequência composto por FFD_3 , FFD_4 , FFD_5 e FFD_6 . A saída do $FFSR_1$ também é responsável por controlar o *clear* do FFD_7 . Como resultado, temos os sinais ZCD_PULSE e $\overline{ZCD_PULSE}$ na saída do *latch*. O sinal $\overline{ZCD_PULSE}$ ainda é responsável por controlar a ativação do FFD_7 , o qual zera todo o sistema para que possa se fazer a deteção da próxima transição do sinal ZCD.

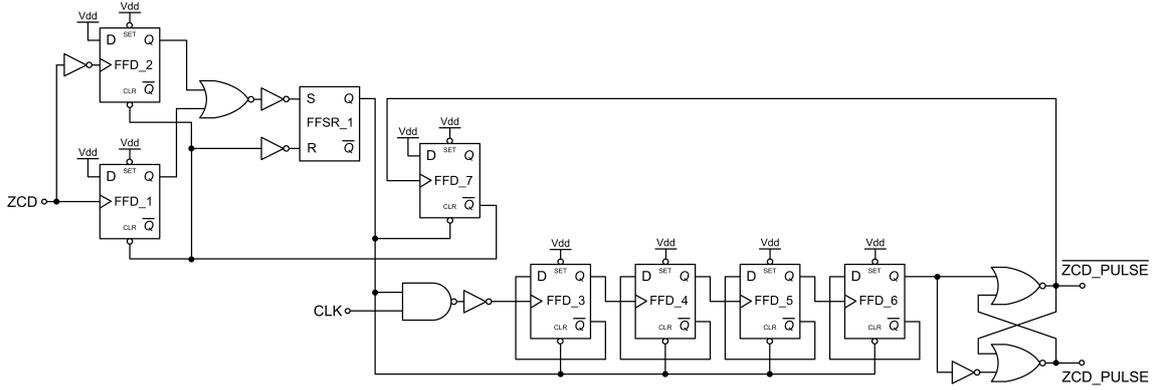


Figura 3.23: Esquemático do detector de passagem pelo zero.

3.7.4 Projeto do Controle das Chaves de Compensação do *Offset*

Este é o bloco responsável pela geração dos sinais que controlam as chaves da compensação do *offset*. Trata-se de um sistema muito similar ao anterior, conforme pode ser notado na Figura 3.24. Quando o sinal *JT* passa para o nível lógico alto (primeira condição para a compensação), o FFD_1 é ativado. Assim, da próxima vez que o sinal de entrada V_{in} passar pelo zero (segunda condição para a compensação), um pulso — ZCD_PULSE — é produzido pelo detector de passagem pelo zero, e, conseqüentemente, ativa-se o $FFSR_1$. A saída deste *flip-flop* controla o *clear* do FFD_5 , além de habilitar o início da contagem da largura dos pulsos das fases A e B. Como o divisor de frequência é composto por três *flip-flops* D — FFD_2 , FFD_3 e FFD_4 —, a largura dos pulsos de saída é $32 \mu s$, visto que como o *clock* é de 125 kHz, a largura do seu pulso é de $4 \mu s$, a qual é multiplicada por 2^3 , chegando-se aos $32 \mu s$. O pulso A é responsável por ativar a saída do FFD_5 , o qual tem como função zerar todo o sistema, preparando-o para que esteja apto novamente a realizar a geração dos pulsos de controle subsequentes. O *latch* colocado na saída tem como objetivo fazer com que as fases A e B não apresentem sobreposição (*overlap*), o que certamente prejudicaria o funcionamento do sistema.

Como nestes $32 \mu s$ nos quais ocorre a compensação não há transferência da entrada para a saída, devemos verificar se esta interrupção não gera algum problema. Assim, calcularemos o valor RMS (RMS — *Root Mean Square*) da tensão de saída e o respectivo erro relativo. Sabe-se que o valor RMS de um sinal é dado por

$$f_{RMS} = \lim_{T \rightarrow \infty} \sqrt{\frac{1}{T} \int_0^T [f(t)]^2 dt}, \quad (3.64)$$

sendo, portanto, o valor RMS de uma senoide de amplitude A igual a

$$\begin{aligned}
\epsilon_R &= \frac{|V_{Senoide_{RMS}} - V_{o_{RMS}}|}{|V_{Senoide_{RMS}}|} \\
&= \frac{\frac{A}{\sqrt{2}} - \frac{A}{\sqrt{2}} \sqrt{\left[\frac{T - T_0}{T} + \frac{1}{4\pi f T} \text{sen}(4\pi f T_0) \right]}}{\frac{A}{\sqrt{2}}} \\
&= 1 - \sqrt{\left[\frac{T - T_0}{T} + \frac{1}{4\pi f T} \text{sen}(4\pi f T_0) \right]}. \tag{3.67}
\end{aligned}$$

Nota-se que quanto mais próximo de 0 for T_0 , menor será o erro relativo. Pela aproximação $\text{sen}(\theta) \approx \theta$, para θ pequeno, vê-se que o erro relativo tende para zero. Substituindo-se, na Eq. 3.67, f por 60 Hz, T por 266,667 ms e T_0 por 32 μs , encontramos um erro relativo teórico de 0,00000058%. Assim, podemos assumir que a compensação não afeta o valor RMS do sinal de saída, conforme foi comentado no capítulo anterior.

Capítulo 4

Simulações

Para validar o sistema proposto, simulações utilizando alguns componentes ideais foram realizadas. Depois de verificado o funcionamento adequado do circuito, os blocos ideais foram sucessivamente substituídos até que o conjunto estivesse inteiramente descrito por transistores do modelo BSIM3v3. O simulador utilizado foi o *Spectre*.

4.1 Simulação do Amplificador Diferencial de Diferença

Conforme mencionado no Capítulo 3, a excursão máxima do sinal de entrada do DDA não é muito elevada. Através de simulações de Monte Carlo, feita para garantir a confiabilidade da medida, chegou-se a uma excursão máxima de entrada de 350 mV.

Posteriormente, a próxima simulação realizada foi para a obtenção da resposta em frequência do DDA, a qual pode ser observada na Figura 4.1. No caso, a tensão de entrada foi conectada a um dos pares diferenciais, e as entradas dos outros pares foram conectadas à tensão de referência. A carga utilizada na saída do DDA foi de 200 fF. Desta forma, o DDA está operando como integrador na maior parte da faixa de frequência e o polo em baixa frequência se deve à impedância de saída que não é ideal. Na Tabela 4.1, estão listados o ganhos DC, a frequência de corte de 3 dB, o produto ganho-banda (GB) e a margem de fase do DDA.

Tabela 4.1: Caracterização do DDA.

Parâmetros	DDA
Ganho DC	57,5 dB
Frequência de corte de 3 dB	159 Hz
Ganho-Banda	116,4 kHz
Margem de Fase	87,47°

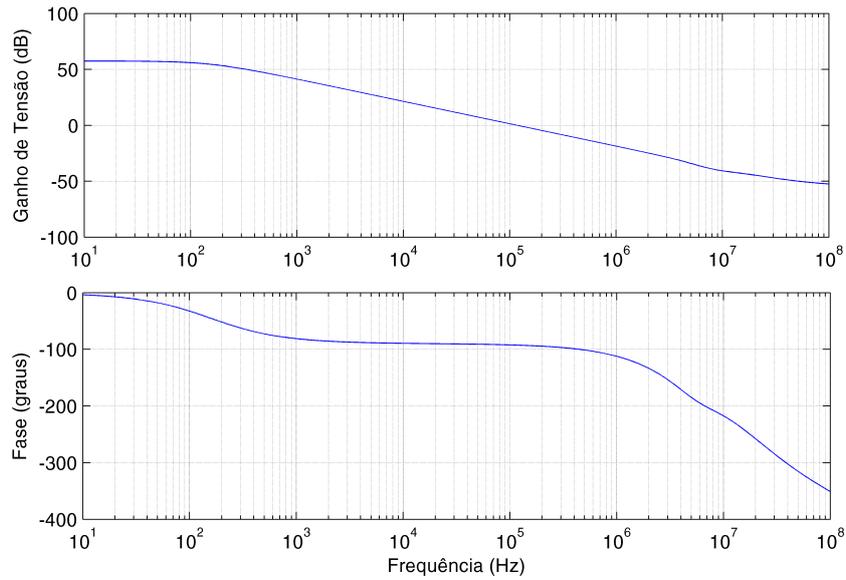


Figura 4.1: Resposta em frequência do DDA em malha aberta.

Outras respostas em frequência importantes e que devem ser verificadas são quando o DDA está realimentado com os ganhos determinados, ou seja, quando o DDA está sendo utilizado como PGA, que é a sua verdadeira aplicação. Assim, na Figura 4.2 pode-se observar as respostas em frequência para as configurações com ganho de tensão 1, 2, 4, 8 e 16, que correspondem respectivamente a 0 dB, 6,02 dB, 12,04 dB, 18,06 dB e 24,08 dB.

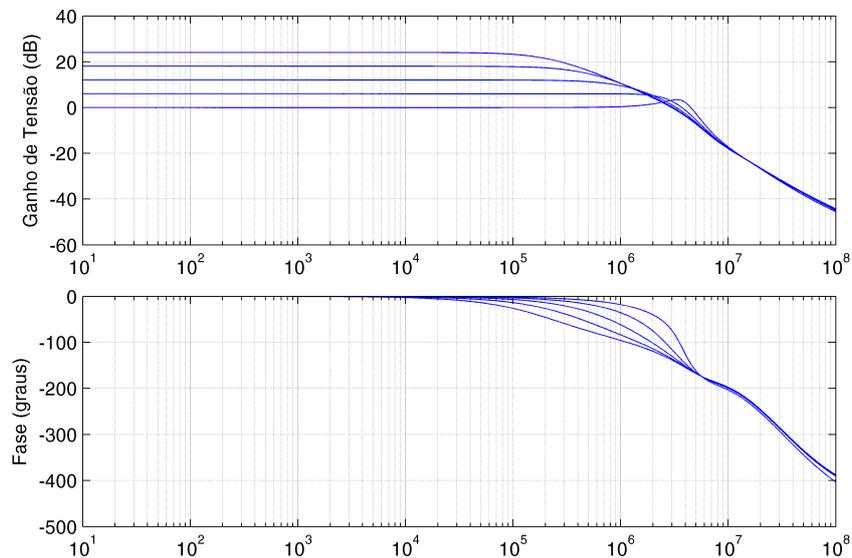


Figura 4.2: Resposta em frequência do PGA.

Da análise de Monte Carlo das respostas em frequência, obtém-se a estatística da média μ e do desvio padrão σ para cada ganho, os quais estão listados na Tabela 4.2.

Tabela 4.2: Estatística da análise de Monte Carlo dos Ganhos do DDA.

Ganho de Tensão	Média μ	Desvio Padrão σ
$A_v = 1$	0,99861	0,00136
$A_v = 2$	1,99715	0,00271
$A_v = 4$	3,99406	0,00543
$A_v = 8$	7,98717	0,01087
$A_v = 16$	15,97060	0,02183

Quanto ao *offset*, foram realizadas simulações de Monte Carlo para mensurá-lo para o DDA com e sem compensação de *offset*. Foram feitas as simulações para as situações extremas de ganho, ou seja, para ganho unitário e para ganho igual a 16. As simulações foram realizadas com a tensão de entrada V_{in} igual a zero, e repetidas com $V_{in} = 300$ mV para $A_V = 1$, e $V_{in} = 18,75$ mV para $A_V = 16$. Os resultados da Figura 4.3 referem-se ao caso sem compensação, e podem ser consultados as médias μ e os desvios padrão σ na figura. Nota-se que o sinal de entrada introduz *offset*, provavelmente em virtude de efeitos não-lineares, principalmente no caso de ganho unitário.

Foram repetidas as simulações citadas anteriormente para o primeiro esquema de compensação de *offset*, mostrado na Figura 2.16. Os resultados estão apresentados na Figura 4.4.

Seguiu-se o mesmo critério de simulação para o esquema de compensação de *offset* mostrado na Figura 2.17. Os resultados estão na Figura 4.5. Nota-se que, comparado ao esquema de compensação anterior, este apresenta melhores resultados, sendo adotado, pois, por este trabalho, conforme dito no Capítulo 2.

A fim de promover uma mais fácil visualização e comparação dos resultados, os mesmos foram reunidos na Tabela 4.3.

Tabela 4.3: Estatística da análise de Monte Carlo do *offset*.

Configuração	A_v	V_{in} (mV)	μ_{Offset}	σ_{Offset}
Sem Compensação	$A_v = 1$	0	-0,755826 mV	5,604623 mV
		300	-0,902036 mV	7,172388 mV
	$A_v = 16$	0	-12,108950 mV	89,688929 mV
		18,75	-12,151430 mV	89,733838 mV
Esquema de Compensação 1	$A_v = 1$	0	-64,575200 μ V	60,831002 μ V
		300	-0,168780 mV	1,671480 mV
	$A_v = 16$	0	-0,870653 mV	0,865574 mV
		18,75	-1,692358 mV	0,902680 mV
Esquema de Compensação 2	$A_v = 1$	0	7,205089 μ V	24,675468 μ V
		300	-150,395900 μ V	410,625606 μ V
	$A_v = 16$	0	54,926800 μ V	267,322725 μ V
		18,75	-887,700000 μ V	258,581308 μ V

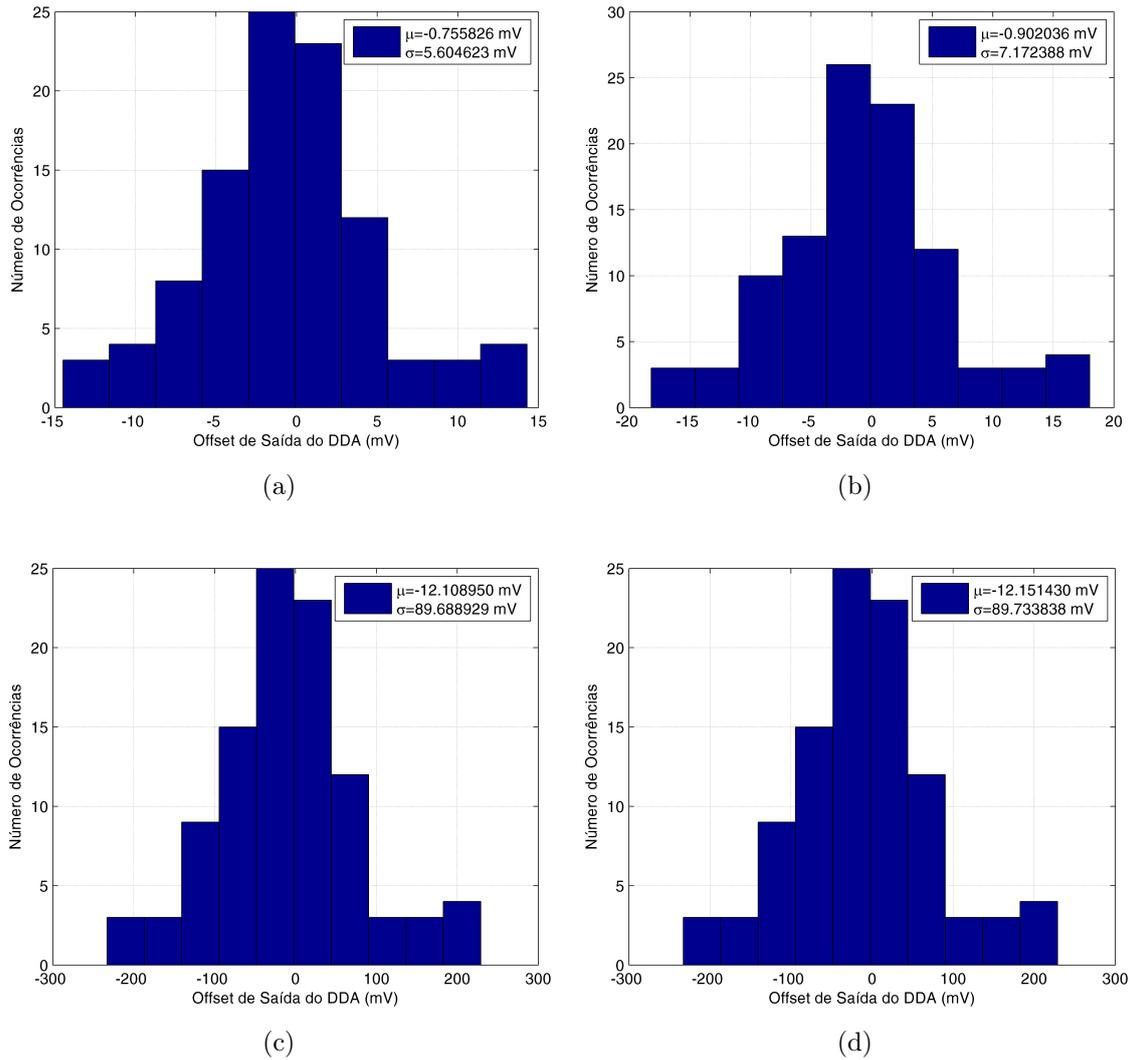


Figura 4.3: Histograma da tensão de *offset* de saída do DDA sem compensação para $V_{in}=0$ e $A_V=1$ (a); $V_{in}=300 \text{ mV}$ e $A_V=1$ (b); $V_{in}=0$ e $A_V=16$ (c); e $V_{in}=18,75 \text{ mV}$ e $A_V=16$ (d).

Passaremos agora à análise do THD para o caso do DDA sem compensação de *offset*. Também para o THD foram utilizadas as configurações do DDA com $V_{in} = 300 \text{ mV}$ para $A_V = 1$, e $V_{in} = 18,75 \text{ mV}$ para $A_V = 16$, conforme mostrado na Figura 4.6.

Como foi escolhido o segundo esquema de compensação, só serão apresentadas as análises de THD para esta configuração. Para o cálculo do THD, foi escolhido um intervalo correspondente a um ciclo de compensação de *offset* (aproximadamente 262 ms). Assim, temos como resultado os histogramas da Figura 4.7.

Novamente, para uma mais fácil visualização e comparação dos resultados referentes ao THD, os mesmos foram reunidos na Tabela 4.4.

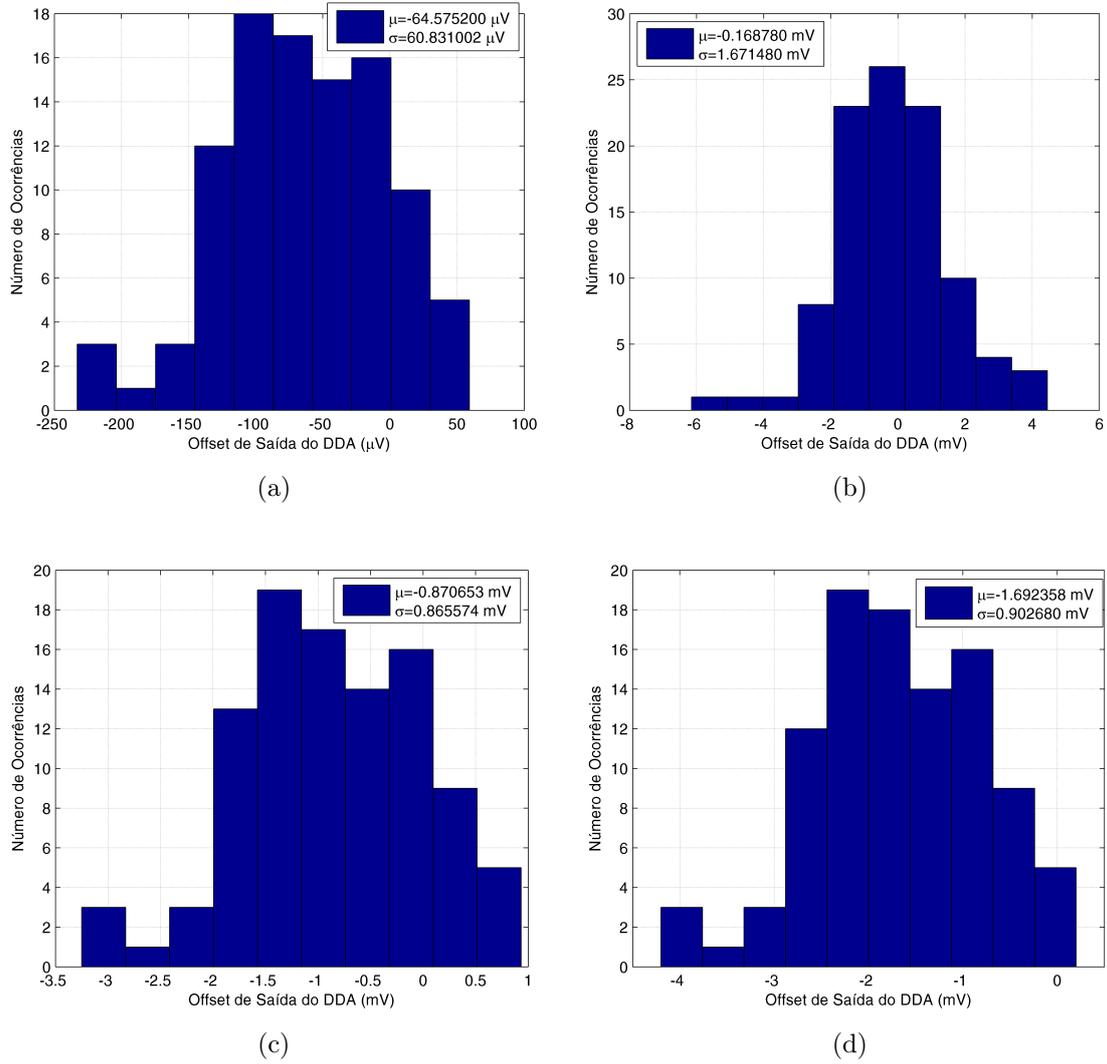
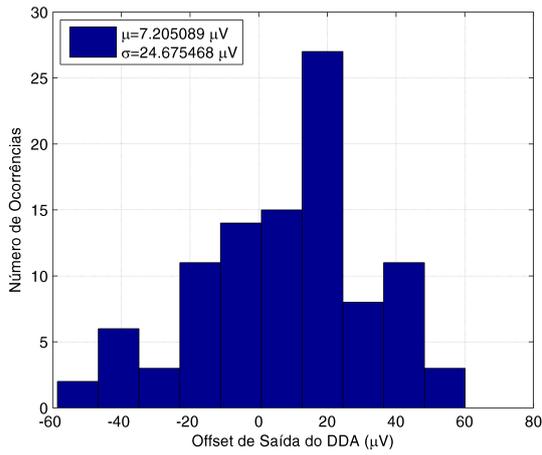


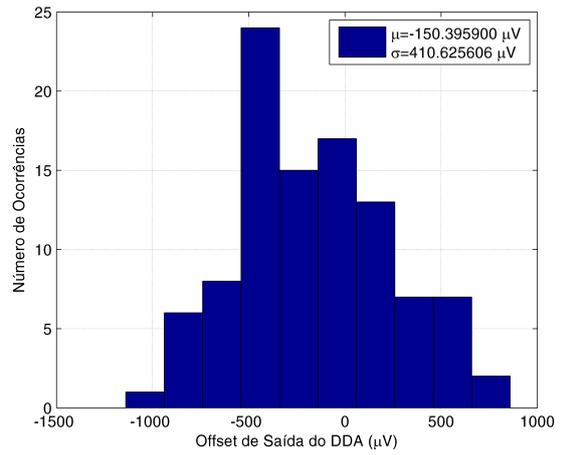
Figura 4.4: Histograma da tensão de *offset* de saída do DDA para o primeiro esquema de compensação para $V_{in}=0$ e $A_V=1$ (a); $V_{in}=300 \text{ mV}$ e $A_V=1$ (b); $V_{in}=0$ e $A_V=16$ (c); e $V_{in}=18,75 \text{ mV}$ e $A_V=16$ (d).

Tabela 4.4: Estatística da análise de Monte Carlo do THD.

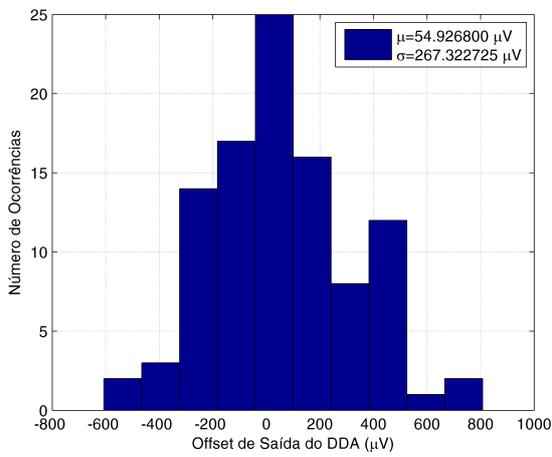
Configuração	A_v	V_{in} (mV)	μ_{THD}	σ_{THD}
Sem Compensação	$A_v = 1$	300	0,526737 %	0,482791 %
	$A_v = 16$	18,75	0,015534 %	0,008815 %
Esquema de Compensação 2	$A_v = 1$	300	0,205526 %	0,090268 %
	$A_v = 16$	18,75	0,648730 %	0,148237 %



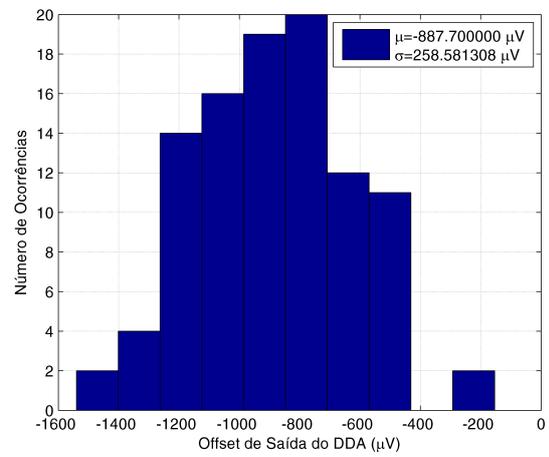
(a)



(b)

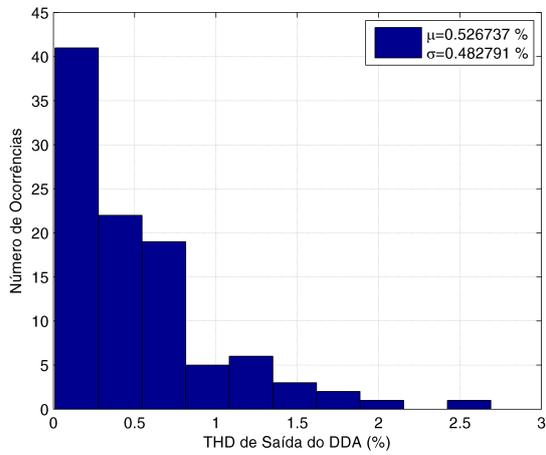


(c)

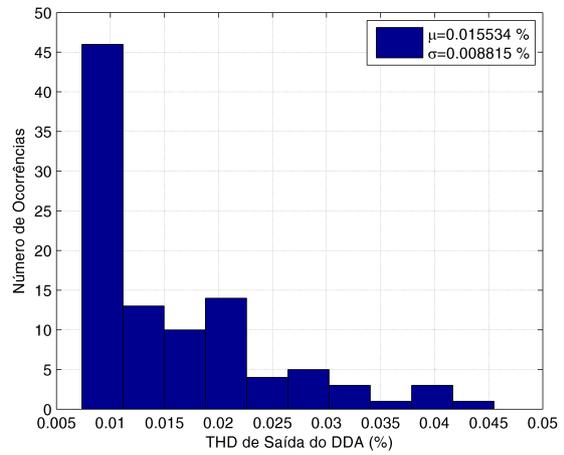


(d)

Figura 4.5: Histograma da tensão de *offset* de saída do DDA para o segundo esquema de compensação para $V_{in}=0$ e $A_V=1$ (a); $V_{in}=300$ mV e $A_V=1$ (b); $V_{in}=0$ e $A_V=16$ (c); e $V_{in}=18,75$ mV e $A_V=16$ (d).

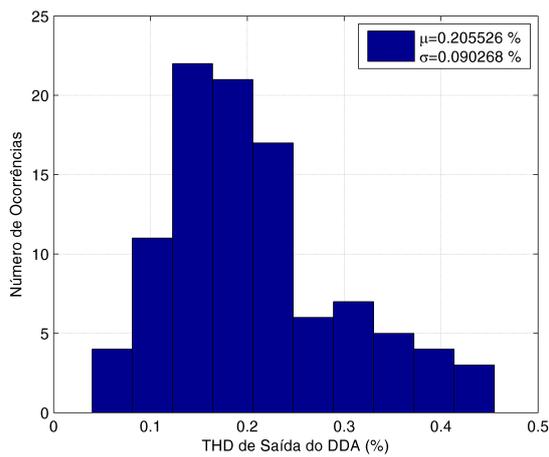


(a)

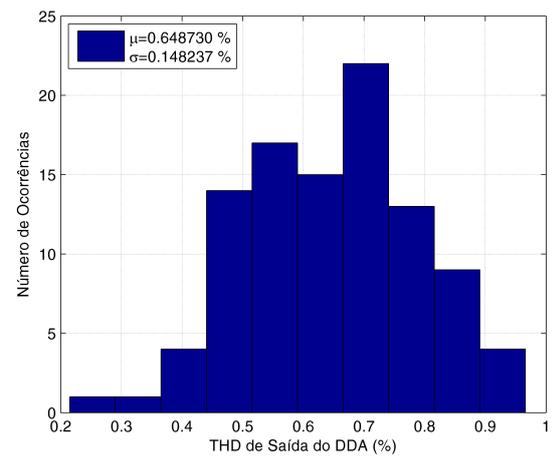


(b)

Figura 4.6: Histograma do THD de saída do DDA sem compensação para $V_{in}=300$ mV e $A_V=1$ (a); e para $V_{in}=18,75$ mV e $A_V=16$ (b).



(a)



(b)

Figura 4.7: Histograma do THD de saída do DDA com compensação para $V_{in}=300$ mV e $A_V=1$ (a); e $V_{in}=18,75$ mV e $A_V=16$ (b).

À primeira vista, a redução do THD da configuração sem compensação de *offset* (Figura 4.6a) para a com compensação (Figura 4.7a) pode parecer contraditória, afinal quando se realiza a compensação, cessa-se a transferência de tensão da entrada para a saída por um período de tempo, introduzindo-se, assim, distorção. Mas, conforme pode ser observado na Figura 4.8, obtido na configuração do DDA com ganho unitário, há uma correlação entre o THD e o *offset*, isto é, quanto maior for o *offset*, pior tenderá a ser o THD. Assim, como diminuímos o *offset* consideravelmente quando realizamos a sua compensação (comparar Figura 4.3b e Figura 4.5b), o THD também tende a reduzir consideravelmente. E, além disso, como a distorção introduzida pela compensação é pequena, visto que o intervalo de tempo em que esta ocorre também o é, tem-se que no resultado final, ocorre uma redução do THD.

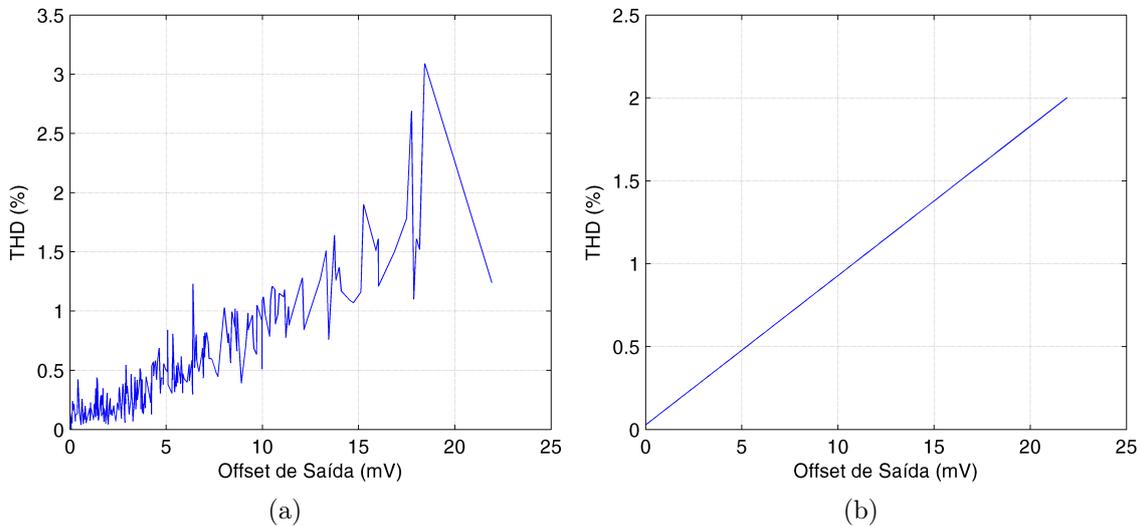


Figura 4.8: Gráfico do THD *vs.* tensão de *offset* de saída do DDA (a) e seu respectivo ajuste linear (b).

4.2 Simulação do Detetor de Pico

Para se verificar o funcionamento do detetor de pico, foi realizada uma simulação na qual foi introduzido um sinal de entrada senoidal de 300 mV de amplitude. Após 75 ms sua amplitude é reduzida para 150 mV, e com 525 ms de simulação sua amplitude retorna novamente para 300 mV. O *ripple* encontrado foi da ordem da 4 mV. O gráfico pode ser observado na Figura 4.9.

Também foi realizada uma simulação de Monte Carlo, na qual foram variados os parâmetros de processo, bem como os descasamentos, conforme mostrado na Figura 4.10. Nota-se que a principal variação entre as rodadas está no tempo de descarga.

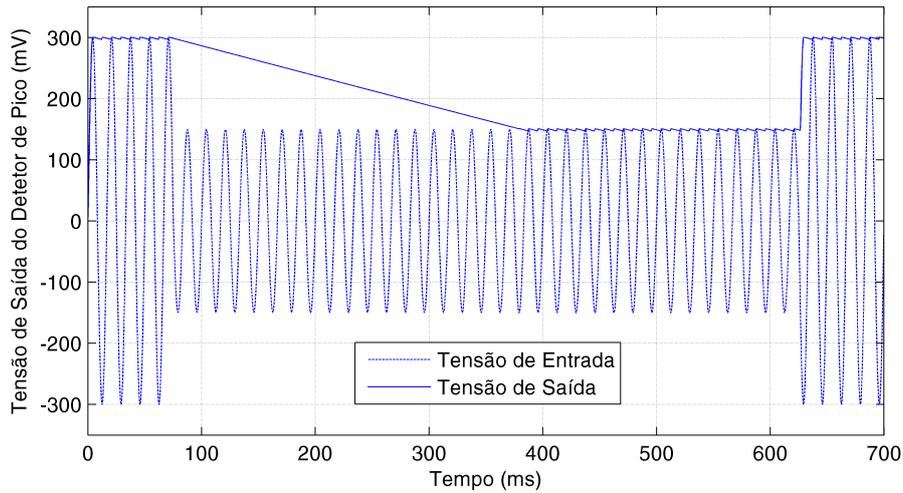


Figura 4.9: Simulação do detetor de pico.

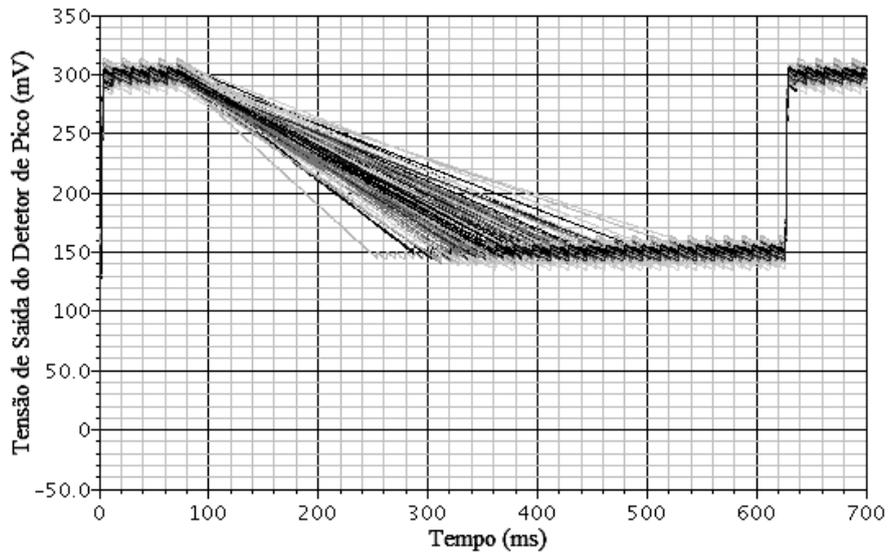


Figura 4.10: Simulação de Monte Carlo do detetor de pico.

4.3 Simulação do Detetor de Nível e Decodificador

A simulação do detetor de nível e do decodificador foi realizada conjuntamente, como mostrado no diagrama de blocos da Figura 4.11. Foi conectada uma rampa de tensão crescente na entrada do detetor de nível (V_{pd}). Após atingir 350 mV, a rampa decresce até zero. Assim, como exibido na Figura 4.12, temos como resultado os sinais que controlam o ganho do PGA, que estão de acordo com o previsto pela Tabela 3.6.

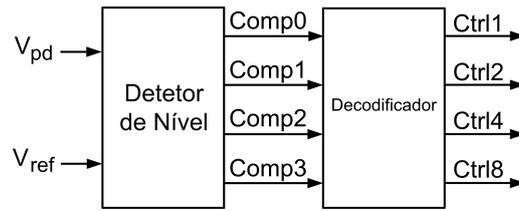


Figura 4.11: Diagrama de blocos da simulação do detetor de nível e do decodificador.

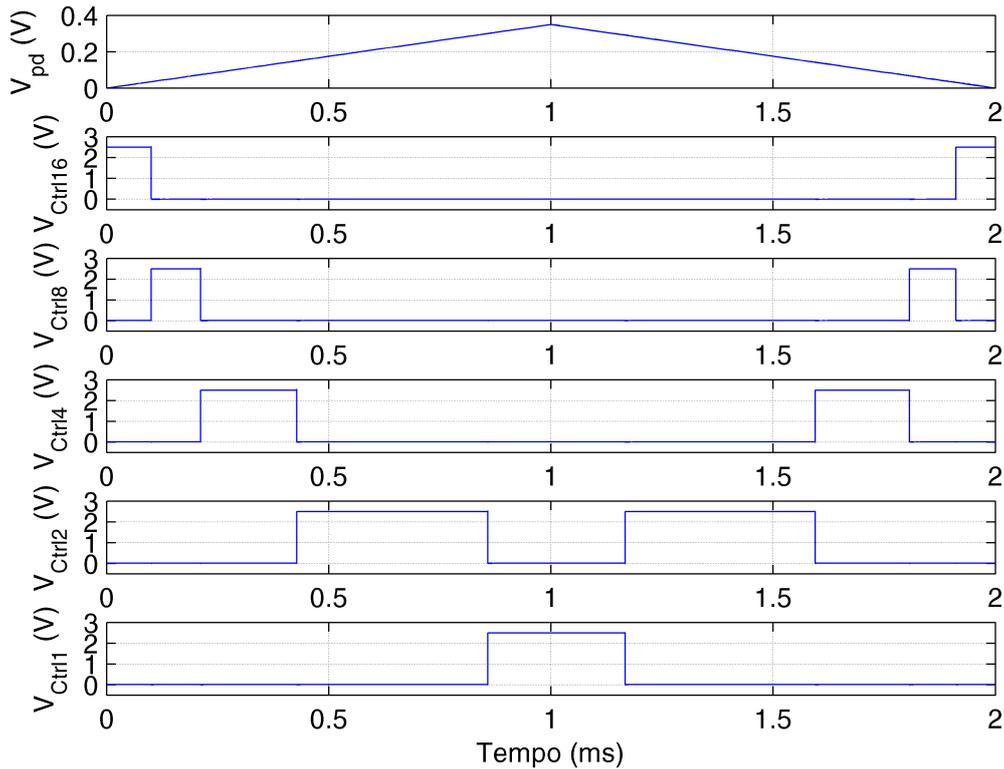
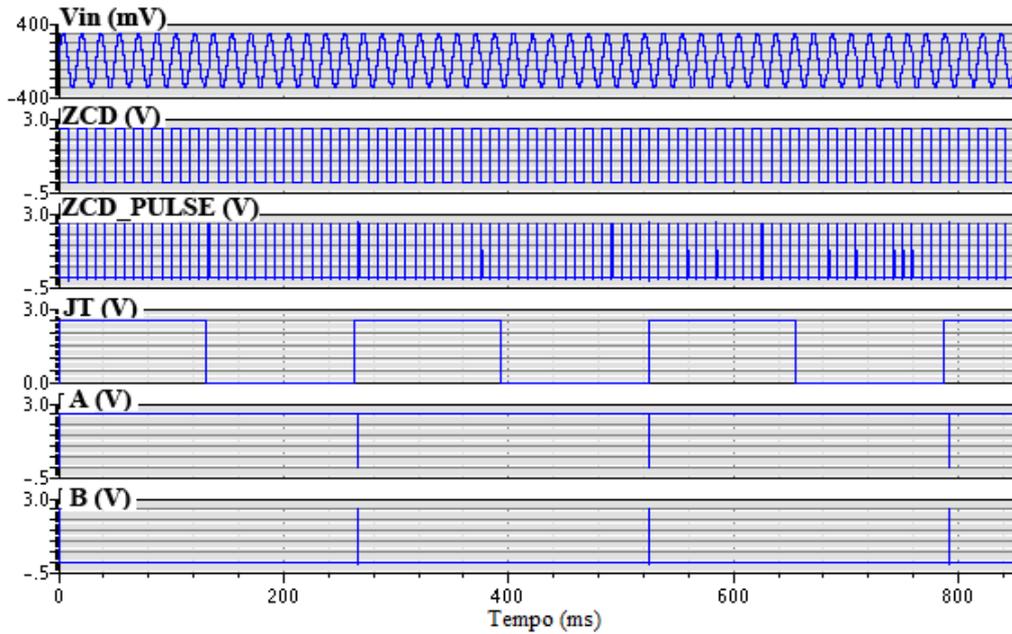


Figura 4.12: Simulação do detetor de nível e do decodificador.

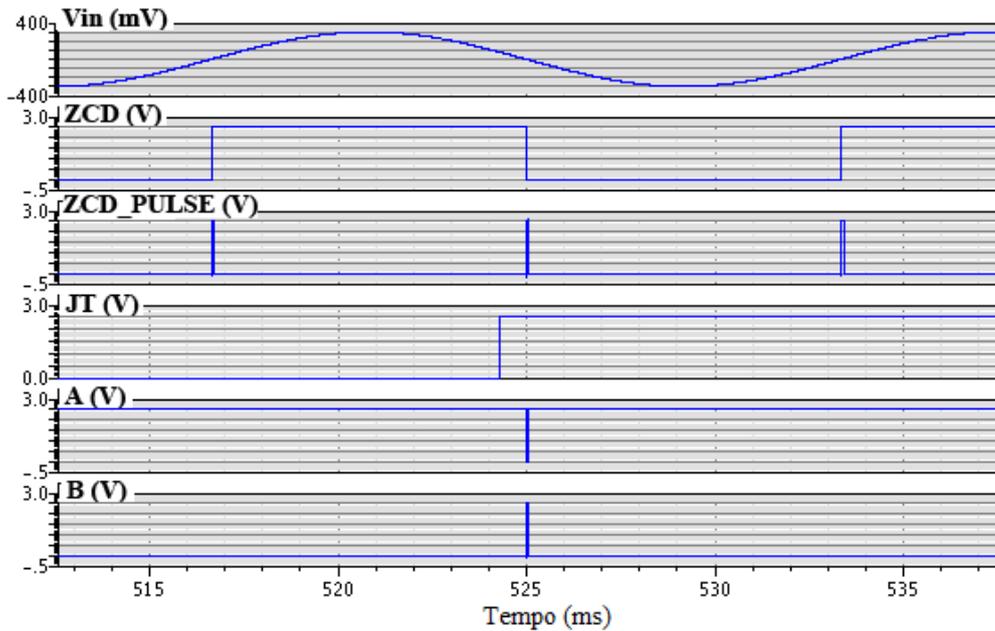
4.4 Simulação do Sistema de Controle da Compensação de *Offset*

O comportamento do sistema de controle da compensação de *offset* está apresentado na Figura 4.13. Nota-se que o mesmo está funcionando adequadamente, ou seja, a compensação só é ativada — sinais A e B — após atendidas as condições do intervalo de tempo — sinal JT —, e do cruzamento pelo zero do sinal de entrada — sinal *ZCD_PULSE*.

Uma simulação interessante de ser mostrada é a do comportamento do *offset* do DDA junto com a operação do sistema de controle da sua compensação. Para que o *offset* possa ser observado de forma clara, a entrada de sinal do DDA foi aterrada



(a)



(b)

Figura 4.13: Simulação do sistema de controle da compensação de *offset* (a) e um *zoom* nos pulsos de controle A e B (b).

e seu ganho foi fixado em um, porém o sinal foi mantido na entrada do sistema de controle, para que este pudesse funcionar. Assim, como resultado da análise de Monte Carlo, obteve-se a Figura 4.14a. Vê-se que quando ocorre a compensação, o *offset* tende para valores próximos a zero. Entretanto, conforme o capacitor que armazena a tensão compensação vai descarregando — veja a Figura 4.14b —, o *offset* aumenta gradativamente, até que um novo ciclo de compensação seja realizado, o

capacitor recarregado, e, assim, o *offset* novamente tenda para zero. Desta forma, controla-se e mantém-se o *offset* confinado dentro de uma faixa aceitável de valores, tornando viável a sua posterior correção pelos outros blocos do circuito do *smart meter*. Sem o esquema de compensação de *offset* deste trabalho, o mesmo alcançaria valores elevados — reveja a Tabela 4.3 —, o que possivelmente saturaria os blocos subsequentes.

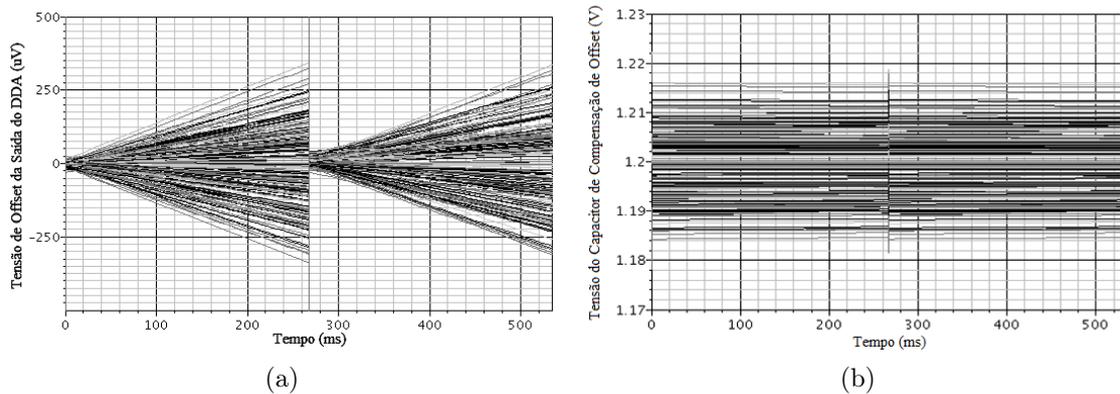


Figura 4.14: Compensação do *offset* de saída do DDA.

4.4.1 Simulação do Comparador de Passagem pelo Zero

O bloco mais sensível do sistema de controle da compensação de *offset* é o comparador de passagem pelo zero. Em virtude dos descasamentos e das variações do processo de fabricação, a detecção do zero pode sofrer alguns desvios. Isto faria com que a compensação não ocorresse exatamente no cruzamento da tensão de entrada pelo zero, porém isto não é um fator crítico para o funcionamento do sistema. Assim, foram realizadas simulações de Monte Carlo com alguns valores de tensão de entrada, como exibido na Figura 4.15. Pode-se notar que quanto menor for o valor da tensão de entrada, maior o desvio na detecção do zero.

4.5 Simulação do Sistema Completo

Tendo-se testado e verificado todos os blocos do AGC, pode-se agora simular o sistema completo, conforme podem ser vistos os resultados na Figura 4.16. Assim, foi utilizado um sinal de entrada senoidal inicialmente com amplitude de 320 mV. Após 75 ms, a amplitude passa a 20 mV, e com 1225 ms de simulação sua amplitude retorna novamente para 320 mV. Quando a tensão de entrada começa a aumentar, a saída do detetor de pico também o faz, acompanhando V_{in} . Como a tensão de entrada atinge rapidamente 320 mV, ocorre um progressivo e rápido chaveamento

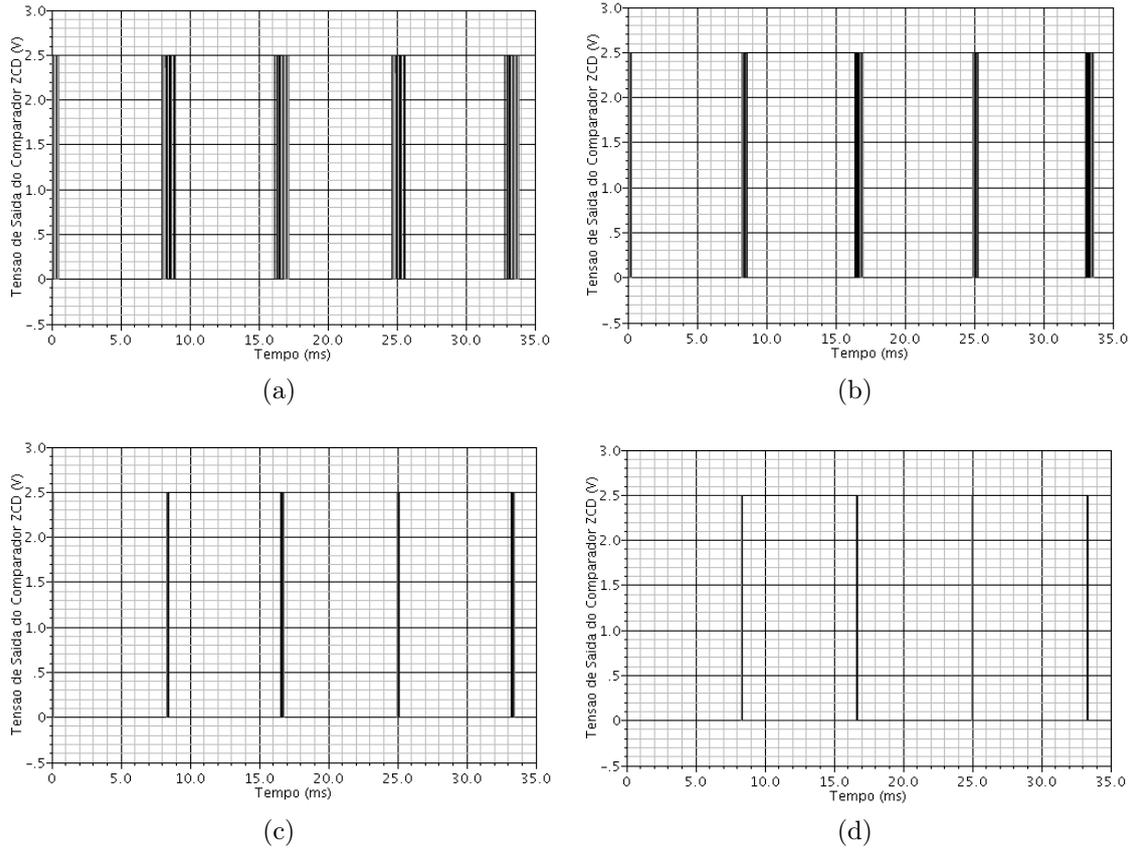


Figura 4.15: Simulação de Monte Carlo do comparador de passagem pelo zero para um tensão de entrada de 18,75 mV (a), 37,5 mV (b), 75 mV (c) e 150 mV (d).

inicial do ganho para $A_v = 1$, no qual se estabiliza. Após 75 ms, com a queda da amplitude da tensão de entrada, a saída do detetor de pico começa a descarregar até chegar ao nível de amplitude atual. Esta gradativa diminuição da tensão da saída do detetor de pico acarreta na respectiva alteração do chaveamento do ganho do PGA, quando tal tensão passa pelos patamares de tensão do chaveamento (reveja a Tabela 3.6). Isto gera um consequente aumento da tensão de saída do PGA, até que atinja o ganho correto (neste caso, $A_v = 16$) e se estabilize, fato que ocorre por volta de 700 ms. Em $t=1225$ ms, a tensão de entrada retorna para 320 mV, e o ganho do PGA é alterado rapidamente de 16 para 1. Este rápido chaveamento do ganho que ocorre no instante inicial — e, similarmente, por volta de 1225 ms — está destacado na Figura 4.17. Inicialmente, como a saída do detetor de pico ainda é zero, o ganho é igual a 16 (ganho máximo). Conforme a saída deste detetor vai aumentando, o ganho muda para 8, posteriormente para 4, para 2 e, finalmente, para 1, com o qual se estabiliza. Estes quatro chaveamentos de ganho podem ser vistos com nitidez nesta figura. Ressalta-se, também, que a saída só alcançou a mesma amplitude para $V_{in} = 320$ mV e $V_{in} = 20$ mV, pois a queda da tensão de entrada foi de 16 vezes, e este é um dos possíveis ganhos do PGA. O objetivo do PGA não é manter a saída

constante, mas sim dentro de uma determinada faixa de tensão.

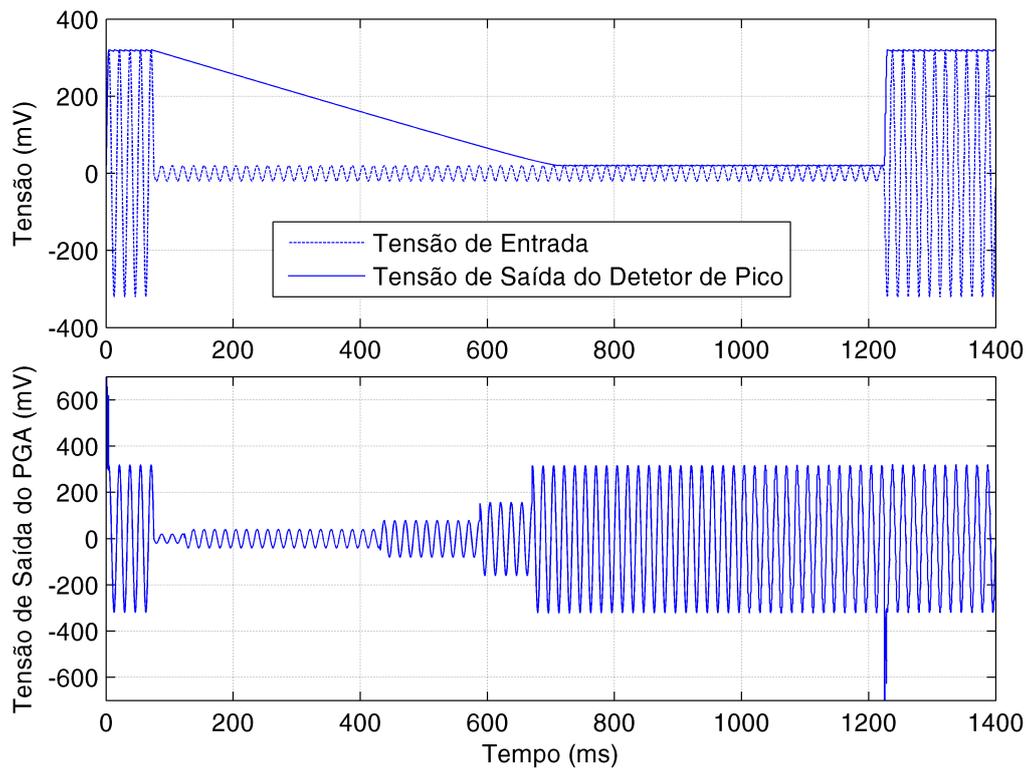


Figura 4.16: Simulação do sistema completo.

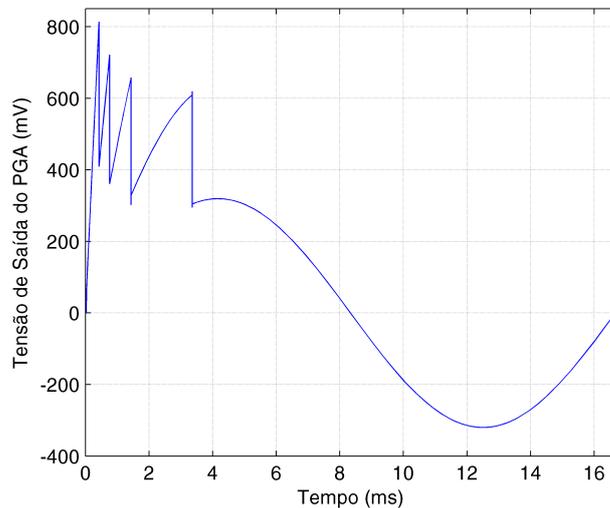


Figura 4.17: Simulação do sistema completo com *zoom* no chaveamento do ganho.

Repetiu-se a simulação anterior, entretanto, fazendo-se agora uma análise de Monte Carlo com 50 rodadas. O resultado está apresentado na Figura 4.18. Observa-se que, embora os descasamentos e variações de processo introduzam algumas alterações no comportamento do sistema, como, por exemplo, o ponto no tempo no

qual ocorrem os chaveamentos do ganho, o sistema funciona adequadamente. A Figura 4.19a mostra o chaveamento de ganho das rodadas quando ocorre a redução da amplitude de entrada para 20 mV — ocorrida em $t=75$ ms — e o ganho tem que ser alterado para 16. Quando esta fase transitória termina, todas as rodadas já se encontram em seu estado permanente, conforme exibido na Figura 4.19b. Em $t=1,225$ s, a tensão de entrada retorna para 320 mV e o ganho é alterado novamente para 1, como pode ser notado na Figura 4.20a. Vale observar nesta figura também que o erro de ganho para $A_v=16$ afeta mais o sistema que para $A_v=1$, o que é esperado, já que o erro absoluto é maior para ganhos maiores, como mostrado na Tabela 4.2. Como o detetor de pico rastreia transições positivas quase instantaneamente, este chaveamento de ganho ocorre com uma velocidade muito superior, como evidenciado na Figura 4.20b.

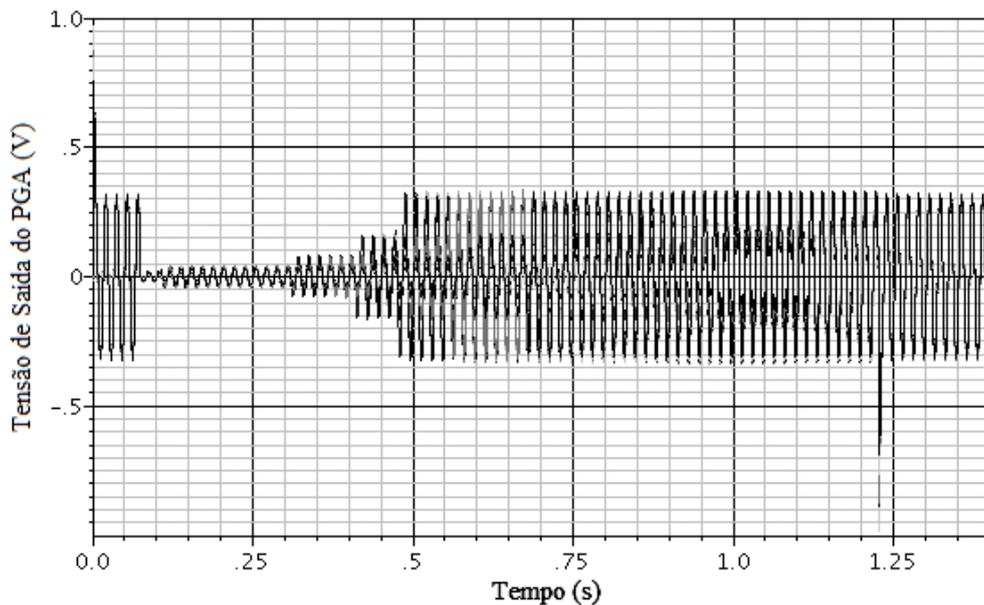


Figura 4.18: Simulação de Monte Carlo do sistema completo.

Quanto ao valor RMS, considerando-se um sinal de entrada senoidal de 300 mV de amplitude, obteve-se a sua respectiva saída e mediu-se o valor RMS em um ciclo de compensação. O valor RMS obtido para a entrada foi de 0,2121 V e o da saída foi 0,2119 V. Assim, temos um erro relativo de 0,0943 %. Seria obtido um erro relativo menor e mais próximo ao estipulado teoricamente caso o *offset* residual — aquele que não é removido mesmo com a compensação utilizada — fosse eliminado, já que na teoria o cálculo do valor RMS foi realizado para *offset* nulo. Desta forma, apenas para efeito de comparação com o valor RMS teórico, eliminou-se o *offset* residual de saída ($-95,11 \mu\text{V}$) artificialmente via processamento de dados, para se determinar unicamente as perdas provocadas pela compensação. Assim, chegou-se a um valor RMS de saída de 0,2121 V, não havendo precisão para o cálculo do erro.

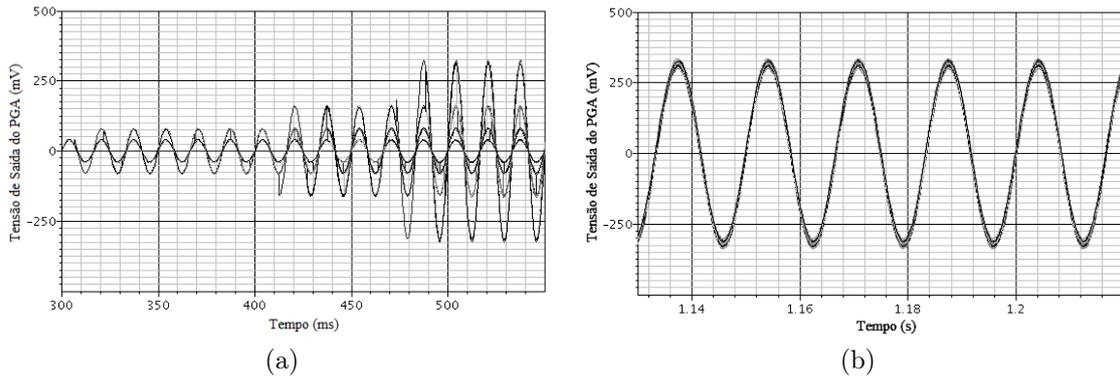


Figura 4.19: Evolução do chaveamento de $A_v=1$ para $A_v=16$ da Simulação de Monte Carlo (a) e seu regime permanente (b).

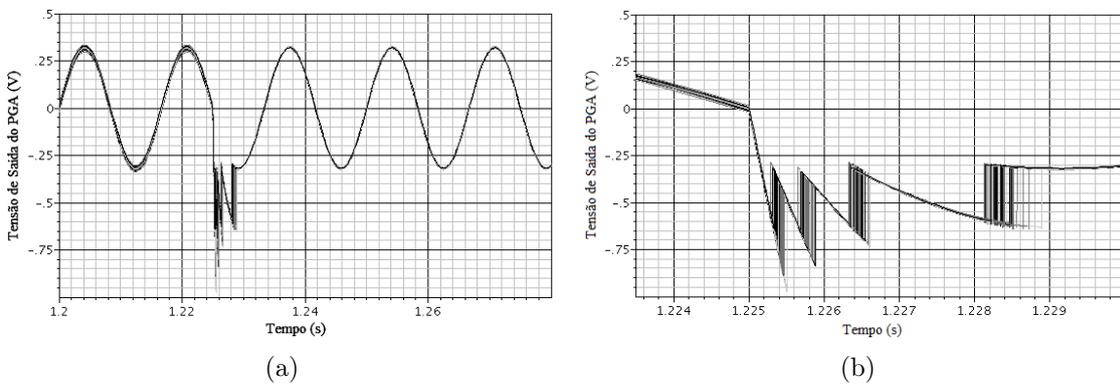


Figura 4.20: Evolução do chaveamento de $A_v=16$ para $A_v=1$ da Simulação de Monte Carlo (a) e seu respectivo *zoom* (b).

Por fim, as simulações indicaram que o consumo de potência do PGA referente à sua polarização é igual a $283,655 \mu\text{W}$.

Capítulo 5

Conclusões

5.1 Conclusões Gerais

O objetivo deste trabalho foi o desenvolvimento de um amplificador de ganho programável com cinco faixas de ganho, com baixo *offset* de saída, baixa distorção harmônica e baixo consumo de potência, e a sua utilização em um controle automático de ganho.

Um ponto interessante deste trabalho foi a utilização de um DDA para a elaboração do PGA. Isto foi necessário visto que, em virtude da aplicação para qual este se destinava — um medidor inteligente de energia elétrica —, o modo comum da entrada era zero e o da saída devia apresentar um determinado valor, no caso 1,2 V.

Já que o esquema de compensação de *offset* utilizado é característico de sistemas discretos, e o sistema proposto é contínuo no tempo, tem-se a introdução de certas perdas inevitáveis. Desta forma, visando minimizar estas perdas, um sistema de controle foi proposto. Tal sistema se mostrou eficiente ao que se propôs, ou seja, realizar a compensação quando o sinal de tensão de entrada passar pelo zero.

Os resultados encontrados foram satisfatórios. O esquema de compensação de *offset* gerou uma redução da média e do desvio padrão do *offset* para o caso de $A_v = 1$ e $V_{in} = 300$ mV de, respectivamente, 6 e 17,5 vezes. Já para o caso $A_v = 16$ e $V_{in} = 18,75$ mV a melhora foi ainda maior: 13,7 para a média e 347 vezes para o desvio padrão. Ressalta-se que isto foi conseguido mantendo-se baixos os valores do THD, além de mínimas as perdas referentes ao valor RMS da saída, conforme proposto inicialmente pela teoria e mostrado posteriormente pelas simulações (veja as Tabelas 4.3 e 4.4).

Através das simulações de Monte Carlo, constatou-se a robustez do circuito quanto às variações de processo. Isto é primordial para a garantia de funcionamento dos circuitos integrados em geral. O único problema encontrado deveu-se aos descasamentos, que geraram um espalhamento na detecção do zero no comparador

de passagem pelo zero (veja a Figura 4.15). Entretanto, isto não trouxe grandes malefícios para o funcionamento do sistema, acarretando apenas num deslocamento do pulso de compensação, o qual pode não ocorrer exatamente no zero.

Portanto, o sistema como um todo se mostrou satisfatório para a sua aplicação em um medidor inteligente de energia elétrica.

5.2 Trabalhos Futuros

Quanto aos trabalhos futuros, visando desenvolver o sistema inteiro dentro do circuito integrado (*System on Chip*), um desdobramento interessante seria o desenvolvimento de um detetor de pico que utilizasse uma capacitância menor, visto que um capacitor de 2 nF é inviável de ser integrado.

Outro ponto a ser desenvolvido é a confecção do *layout* das máscaras do circuito integrado. Com os sistemas trabalhando adequadamente e os *layouts* prontos, a próxima etapa é fabricar o *chip*. Com o *chip* fabricado, pode-se realizar os testes em bancada para verificar, na prática, o comportamento e o funcionamento do sistema.

Por fim, não há pontos que impeçam a migração deste projeto para outras tecnologias de fabricação. Porém, vale ressaltar que para tecnologias de integração menores, pode ser que haja uma diminuição da máxima tensão de entrada — que para este trabalho, conforme mencionado no texto, foi 350 mV —, já que este valor depende de V_{th} . Para tecnologias de integração maiores, é provável que haja um aumento dessa máxima excursão da tensão de entrada.

Referências Bibliográficas

- [1] CHOW, H.-C., WANG, I.-H. “High performance automatic gain control circuit using a S/H peak-detector for ASK receive”, *9th International Conference on Electronics, Circuits and Systems*, v. 2, pp. 429–432, Dezembro de 2002.
- [2] KÜPFMÜLLER, K. “Über die Dynamik der selbsttätigen Verstärkungsregler”, *Elektrische Nachrichtentechnik*, v. 5, n. 11, pp. 459–467, 1928. On the Dynamics of Automatic Gain Controllers (artigo traduzido).
- [3] PÉREZ, J., CALVO, B., CELMA, S. “A High-Performance CMOS Feedforward AGC Circuit for a WLAN Receiver”, *IEEE Transactions on Industrial Electronics*, v. 57, n. 8, pp. 2851–2857, Agosto de 2010.
- [4] HSU, Y.-P., LIN, Y.-T., CHEN, C.-H., et al. “A Feed-Forward Automatic-Gain Control Amplifier for Biomedical Applications”, *Asia-Pacific Microwave Conference*, pp. 1–4, Dezembro de 2007.
- [5] SILVA-MARTINEZ, J., SALCEDO-SUNER, J. “A CMOS automatic gain control for hearing aid devices”, *Proceedings of the 1998 IEEE International Symposium on Circuits and Systems*, v. 1, pp. 297–300, 1998.
- [6] ELWAN, H., TARIM, T., ISMAIL, M. “Digitally programmable dB-linear CMOS AGC for mixed-signal applications”, *IEEE Circuits and Devices Magazine*, v. 14, n. 4, pp. 8–11, Julho de 1998.
- [7] ALEGRE, J., CALVO, B., CELMA, S. “A High Performance CMOS Feedforward AGC Circuit for Wideband Wireless Receivers”, *IEEE International Symposium on Industrial Electronics*, pp. 1657–1661, 2008.
- [8] YANG, S.-H., WANG, C.-C. “Feed-forward Output Swing Prediction AGC with Parallel-Detect Singular-Store Peak Detector”, *IEEE International Symposium on Circuits and Systems*, pp. 2965–2968, Maio de 2012.

- [9] LI, F., YANG, H., WANG, Y., et al. “Current Mode Feed-Forward Gain Control for 0.8V CMOS Hearing Aid”, *IEEE International Symposium on Circuits and Systems*, pp. 793–796, Maio de 2011.
- [10] WENZHAO, W., YAQIN, C., QI, Z. “Implementation of mixed feedback/-feedforward analog and digital AGC”, *Proceedings of 4th International Conference on Microwave and Millimeter Wave Technology*, pp. 377–381, Agosto de 2004.
- [11] PARK, S.-B., WILSON, J., ISMAIL, M. “The CHIP - Peak Detectors for Multistandard Wireless Receivers”, *IEEE Circuits and Devices Magazine*, v. 22, n. 6, pp. 6–9, 2006.
- [12] BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. John Wiley & Sons, Inc, 2010. ISBN: 0470881321.
- [13] SANIELEVICI, S., CIOFFI, K., AHRARI, B., et al. “A 900-MHz transceiver chipset for two-way paging applications”, *IEEE Journal of Solid-State Circuits*, v. 33, n. 12, pp. 2160–2168, Dezembro de 1998.
- [14] CHEUNG, H. Y., CHEUNG, K. S., LAU, J. “A low power monolithic AGC with automatic DC offset cancellation for direct conversion hybrid CDMA transceiver used in telemetering”, *The 2001 IEEE International Symposium on Circuits and Systems*, v. 4, pp. 390–393, Maio de 2001.
- [15] GARIMELLA, S. “Highly Linear Wide Dynamic Swing CMOS Transconductance Multiplier Using Source-Degeneration V-I Converters”, *21st International Conference on VLSI Design*, pp. 300–304, Janeiro de 2008.
- [16] LEWINSKI, A., SILVA-MARTINEZ, J. “A High-Frequency Transconductor Using a Robust Nonlinearity Cancellation”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 53, n. 9, pp. 896–900, Setembro de 2006.
- [17] MONSURRO, P., PENNISI, S., SCOTTI, G., et al. “Linearization Technique for Source-Degenerated CMOS Differential Transconductors”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 54, n. 10, pp. 848–852, Outubro de 2007.
- [18] CALVO, B., CELMA, S., MARTINEZ, P., et al. “1.8 V-100 MHz CMOS programmable gain amplifier”, *Proceedings of 2006 IEEE International Symposium on Circuits and Systems*, Maio de 2006.

- [19] KRUMMENACHER, F., JOEHL, N. “A 4-MHz CMOS continuous-time filter with on-chip automatic tuning”, *IEEE Journal of Solid-State Circuits*, v. 23, n. 3, pp. 750–758, Junho de 1988.
- [20] CALVO, B., CELMA, S., SANZ, M. “A High-Linear 160-MHz CMOS PGA”, *Proceeding of the 30th European Solid-State Circuits Conference*, pp. 115–118, Setembro de 2004.
- [21] HSU, C.-C., WU, J.-T. “A highly linear 125-MHz CMOS switched-resistor programmable-gain amplifier”, *IEEE Journal of Solid-State Circuits*, v. 38, n. 10, pp. 1663–1670, Outubro de 2003.
- [22] ENZ, C.C.; TEMES, G. “Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization”, *Proceedings of the IEEE*, v. 84, n. 11, pp. 1584–1614, Novembro de 1996.
- [23] SACKINGER, E., GUGGENBUHL, W. “A versatile building block: the CMOS differential difference amplifier”, *IEEE Journal of Solid-State Circuits*, v. 22, n. 2, pp. 287–294, Abril de 1987.
- [24] WESTE, N. H. E., HARRIS, D. *CMOS VLSI Design: A Circuits and Systems Perspective*. Pearson - Addison Wesley, 2004. ISBN: 0321149017.
- [25] *Single Positive-Edge-Triggered D-Type Flip-Flop with Clear and Preset*. Texas Instruments, Abril de 1999. SN74LVC2G74 Datasheet.
- [26] GREGORIAN, R., TEMES, G. C. *Analog MOS integrated circuits for signal processing*. John Wiley & Sons, 1986.
- [27] MALOBERTI, F. *Analog Design for CMOS VLSI Systems*. Kluwer Academic Publishers, 2001. ISBN: 0792375505.
- [28] RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, address = "New York, USA", 2001. ISBN: 0071188398.
- [29] PELGROM, M., DUINMAIJER, A., WELBERS, A. “Matching properties of MOS transistors”, *IEEE Journal of Solid-State Circuits*, v. 24, n. 5, pp. 1433–1439, Outubro de 1989.
- [30] ZHANG, P., YE, F., REN, J. “Class-AB CMOS buffer with floating class-AB control”, *2011 IEEE 9th International Conference on ASIC*, pp. 120–123, Outubro de 2011.