



UMA NOVA TÉCNICA PARA MEDIÇÃO ON-CHIP DE RAZÕES DE CAPACITÂNCIAS

Gustavo dos Santos de Campos

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Antonio Petraglia

Carlos Fernando Teodósio Soares

Rio de Janeiro
Outubro de 2012

UMA NOVA TÉCNICA PARA MEDIÇÃO ON-CHIP DE RAZÕES DE
CAPACITÂNCIAS

Gustavo dos Santos de Campos

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO
LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA
(COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE
DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

Prof. Antonio Petraglia, Ph. D.

Prof. Carlos Fernando Teodósio Soares, D. Sc.

Prof. Fernando Antônio Pinto Barúqui, D. Sc.

Prof. Estêvão Coelho Teixeira, D. Sc.

RIO DE JANEIRO, RJ – BRASIL

OUTUBRO DE 2012

Campos, Gustavo dos Santos de

Uma Nova Técnica para Medição On-Chip de Razões de Capacitâncias / Gustavo dos Santos de Campos. – Rio de Janeiro: UFRJ/COPPE, 2012.

XVI, 130, p.: il.; 29.7cm

Orientadores: Antonio Petraglia

Carlos Fernando Teodósio Soares

Dissertação (mestrado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, 2012.

Referências Bibliográficas: p. 127 – 130.

1. Microeletrônica. 2. Filtros a Capacitores Chaveados. 3. Filtros Estruturalmente Passa-Tudo. I. Petraglia, Antonio, *et al.* II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

DEDICATÓRIA

Aos meus avós.

AGRADECIMENTOS

Agradeço ao meu pai Rubinstein Pereira de Campos e minha mãe Maria de Fátima dos Santos de Campos pelo apoio e incentivo durante esta difícil etapa;

Aos meus orientadores: Antonio Petraglia e Carlos Fernando Teodósio Soares, pelo auxílio, motivação e paciência durante todo o processo;

Aos meus amigos e família que em diversos momentos me ajudaram ao longo desta jornada e sempre depositaram confiança e acreditaram no meu potencial;

Agradeço à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) pelo suporte financeiro fornecido na forma de bolsa de estudos.

Resumo da Dissertação apresentada à COPPE/ UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

UMA NOVA TÉCNICA PARA MEDIÇÃO ON-CHIP DE RAZÕES DE CAPACITÂNCIAS

Gustavo dos Santos de Campos

Outubro / 2012

Orientadores: Antonio Petraglia

Carlos Fernando Teodósio Soares

Programa: Engenharia Elétrica

Diversos circuitos eletrônicos, voltados para aplicações na área de instrumentação, como filtros e conversores (A/D e D/A) necessitam que as razões de capacitâncias sejam realizadas com precisão bastante elevada. Visando verificar a precisão nas implementações, após a fabricação do circuito integrado, este trabalho propõe uma nova técnica para medição *on-chip* das razões de capacitâncias. Baseado numa topologia a capacitores chaveados, a estrutura de medidas é capaz de determinar, através da sua resposta em frequência, a razão de capacitâncias de interesse. A partir da comparação dos valores teóricos e experimentais, os erros de implementação podem ser mensurados. Visando comprovar o funcionamento da estrutura proposta, foi fabricado um circuito contendo quatro matrizes com a mesma razão, porém apresentando diferentes arranjos. Além disso, as mesmas quatro matrizes são copiadas e posicionadas em outra região do circuito integrado, buscando verificar a influência dos efeitos de variação dos gradientes de processo. Resultados experimentais, incluindo valores médios e desvios padrão, são utilizados para caracterização e determinação da matriz que apresentou menor sensibilidade em relação aos erros proporcionados pelo processo de fabricação. Espera-se que este estudo seja capaz de promover novas técnicas para melhorar o desenvolvimento e *layout* de circuitos integrados.

Abstract of Dissertation presented to COPPE/ UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

A NEW TECHNIQUE FOR ON-CHIP MEASUREMENT OF CAPACITANCE RATIOS

Gustavo dos Santos de Campos

October / 2012

Advisors: Antonio Petraglia

Carlos Fernando Teodósio Soares

Department: Electrical Engineering

Important classes of electronic circuits that can be implemented in integrated circuits, for instrumentation applications, such as filters and converters (ADC and DAC), require highly accurate and precise capacitance ratios. In order to verify the accuracy achieved by the fabrication circuit, this work presents a new procedure to measure on-chip capacitance ratios. Based on a switched-capacitor technique, the proposed structure is able to measure, using the circuit frequency response, the capacitance ratios of interest. By comparing theoretical and experimental results, the implemented errors can be analyzed. To verify the effectiveness of the proposed technique, a prototype circuit has been designed comprising four different matrices that realize the same capacitance ratio. Besides, these four matrices have been copied and implemented in a different region of the chip in order to verify the effects caused by the process gradients. Measurement results, including average values and standard deviations, are used to determine the matrix configurations that are less sensitive to process fabrication errors. It is expected that this study provides designers new insights to improve analog device dimensioning and layout techniques.

SUMÁRIO

1	INTRODUÇÃO.....	1
1.1	Tema.....	1
1.2	Motivações.....	1
1.3	Objetivos.....	5
1.4	Metodologia.....	5
1.5	Revisão Bibliográfica.....	7
1.6	Organização.....	9
2	ESTRUTURA DE MEDIDAS.....	12
2.1	Projeto dos Filtros Estruturalmente Passa-Tudo.....	13
2.2	Projeto do Filtro a Capacitores Chaveados.....	19
2.3	Organização dos Capacitores em Circuitos Integrados.....	29
2.3.1	Matriz sem Compensação.....	34
2.3.2	Matriz com Centroide Comum sem Compensação de Momento.....	36
2.3.3	Matriz Insensível a Gradientes de Variação de Processo sem Simetria.....	37
2.3.4	Matriz com Centroide Comum e Compensação de Momento.....	40
3	PROJETO DOS COMPONENTES DA ESTRUTURA DE MEDIDAS.....	44
3.1	Capacitor Unitário.....	45
3.2	Chaves Analógicas.....	49
3.3	Amplificadores de Transcondutância (OTAs).....	53
3.4	Decodificador Binário.....	64
3.5	Gerador de Corrente de Polarização dos OTAs.....	68
3.6	<i>Layout</i> do Circuito Integrado.....	72
4	RESULTADOS DE SIMULAÇÃO.....	74
4.1	Simulações do Modelo Esquemático.....	75
4.2	Simulações do Modelo Extraído.....	82

5	RESULTADOS EXPERIMENTAIS.....	87
5.1	Projeto do Circuito de Testes.....	88
5.1.1	Circuitos para Entrada e Saída de Sinal.....	89
5.1.2	Circuitos Reguladores da Tensão na Entrada.....	91
5.1.3	Circuito para Polarização dos OTAs.....	92
5.1.4	Circuito Gerador de Fases.....	94
5.2	Metodologia de Medição.....	98
5.3	Resultados de Medição.....	102
6	CONCLUSÕES.....	116
6.1	Análise e Comparação dos Resultados.....	117
6.2	Trabalhos Futuros.....	121
	REFERÊNCIAS BIBLIOGRÁFICAS.....	127

Lista de Figuras

<i>Figura 1.1 – Layout de componentes baseados na técnica de centroide comum.....</i>	3
<i>Figura 2.1 – Diagrama de blocos da seção passa-tudo $A_2(z)$.....</i>	14
<i>Figura 2.2 – Diagrama de blocos da seção passa-tudo $A_2(z)$ em topologia estruturalmente passa-tudo.....</i>	15
<i>Figura 2.3 – Resposta em frequência do filtro para diferentes coeficientes.....</i>	18
<i>Figura 2.4 – Diagrama de polos e zeros para coeficientes de valor (a) 0,5, (b) 2,0, (c) 1,0, (d)1/3.....</i>	19
<i>Figura 2.5 - Comparação entre as respostas em frequência projetada e resultante das variações dos parâmetros do processo de fabricação.....</i>	20
<i>Figura 2.6 – Ideia geral dos circuitos a capacitores chaveados.....</i>	20
<i>Figura 2.7 – Topologia estruturalmente passa-tudo a capacitores chaveados de $A(z)$.....</i>	23
<i>Figura 2.8 – Circuito a capacitores chaveados que realiza a função $H(z)$.....</i>	24
<i>Figura 2.9 – Diagrama de blocos da estrutura de medidas.....</i>	25
<i>Figura 2.10 – Resposta em frequência da estrutura de medidas considerando descasamento no somador.....</i>	28
<i>Figura 2.11 – Exemplos de matrizes de capacitores para análise.....</i>	32
<i>Figura 2.12 – Matriz sem compensação.....</i>	34
<i>Figura 2.13 – Layout da matriz sem compensação.....</i>	35
<i>Figura 2.14 – Matriz de capacitores na topologia centroide comum simétrica....</i>	36
<i>Figura 2.15 – Layout da matriz em centroide comum simétrica.....</i>	37
<i>Figura 2.16 – Matriz insensível a gradientes de variação de processo sem simetria.....</i>	38
<i>Figura 2.17 – Layout da matriz insensível sem compensação.....</i>	39

<i>Figura 2.18 – Matriz em centroide comum e compensação de momento.....</i>	42
<i>Figura 2.19– Layout da matriz em centroide comum e compensação de momento.....</i>	43
<i>Figura 3.1 – Geometria do capacitor unitário utilizado.....</i>	46
<i>Figura 3.2 – Layout do capacitor unitário.....</i>	48
<i>Figura 3.3 – Modelo do transistor MOS e capacitâncias parasitas.....</i>	49
<i>Figura 3.4 – Exemplo do efeito das capacitâncias parasitas no transistor MOS..</i>	50
<i>Figura 3.5 – Chaves complementares com transistores dummy.....</i>	50
<i>Figura 3.6 – Tempo de estabilização para diferentes áreas de transistores.....</i>	51
<i>Figura 3.7 – Esquemático para verificação do funcionamento das chaves analógicas.....</i>	52
<i>Figura 3.8 – Resultados de simulação das chaves analógicas.....</i>	52
<i>Figura 3.9 – Layout das chaves analógicas.....</i>	53
<i>Figura 3.10 – OTA em cascode dobrado regulado e saída simples.....</i>	54
<i>Figura 3.11 – Filtro a capacitores chaveados com determinação da carga na saída dos amplificadores de transcondutância.....</i>	60
<i>Figura 3.12 – Layout dos OTAs para as cargas de 300 fF(a), 1,8 pF (b) e 30 pF (c).....</i>	63
<i>Figura 3.13 – Função do decodificador binário na seleção de matrizes.....</i>	65
<i>Figura 3.14 – Decodificador 3x8 desenvolvido a partir de portas lógicas.....</i>	66
<i>Figura 3.15 – Entradas aplicadas no Decodificador 3x8.....</i>	67
<i>Figura 3.16 – Resultados de simulação do Decodificador 3x8.....</i>	67
<i>Figura 3.17 – Layout do Decodificador 3x8.....</i>	68
<i>Figura 3.18 – Gerador de polarização para os OTAs.....</i>	69
<i>Figura 3.19 – Layout do gerador de polarização para os OTAs.....</i>	71
<i>Figura 3.20 – Layout da estrutura de medidas.....</i>	72
<i>Figura 4.1 – Resposta em frequência das matrizes fornecida pelo modelo esquemático.....</i>	76

<i>Figura 4.2 – Respostas em frequência considerando os resultados teóricos e o modelo esquemático.....</i>	77
<i>Figura 4.3 – Resposta no domínio do tempo para uma tensão de 1 V na entrada (a) e (b) cálculo da DFT a partir da resposta no domínio do tempo.....</i>	79
<i>Figura 4.4 – Efeito de clock feedthrough na análise no tempo para amplitude de 1 V.....</i>	80
<i>Figura 4.5 – Análise de Monte Carlo da estrutura de medidas.....</i>	81
<i>Figura 4.6 – Respostas dos modelos esquemático e extraído com interligações ideais.....</i>	83
<i>Figura 4.7 – Respostas em frequência do modelo extraído (a) completa e (b) em torno do zero de transmissão, para as quatro configurações de matrizes.....</i>	84
<i>Figura 4.8 – Comparação das respostas em frequências fornecidas pelo simulador.....</i>	85
<i>Figura 5.1 – Circuito para entrada de sinal externo.....</i>	89
<i>Figura 5.2 – Resultado de medição do circuito para entrada de sinal externo.....</i>	90
<i>Figura 5.3 – Circuito regulador de tensão para (a) tensão positiva e (b) tensão negativa.....</i>	92
<i>Figura 5.4 – Resistor de precisão de valor nominal (a) 10 kΩ e (b) 100 Ω.....</i>	93
<i>Figura 5.5 – Circuito capaz de gerar duas fases sem sobreposição.....</i>	95
<i>Figura 5.6 – Gerador de fases a partir do circuito discreto (a) e (b) verificação da condição de sobreposição dos sinais.....</i>	95
<i>Figura 5.7 – Verificação do funcionamento do circuito integrado considerando (a) o gerador de fases e (b) a sua resposta transiente.....</i>	96
<i>Figura 5.8 – Parte final do circuito a capacitores chaveados.....</i>	97
<i>Figura 5.9 – Sinal gerado a partir do gerador da Tektronix (a) e (b) verificação das condições de funcionamento do circuito integrado.....</i>	98
<i>Figura 5.10 – Circuito completo utilizado para medição dos resultados.....</i>	99
<i>Figura 5.11 – Resultado fornecido pelo analisador de redes para (a) matriz sem compensação e (b) matriz com centroide comum sem compensação de momento.....</i>	101
<i>Figura 5.12 – Fotografia microscópica do circuito integrado fabricado.....</i>	103

<i>Figura 5.13 – Comparação das respostas em frequência do circuito integrado...</i>	103
<i>Figura 5.14 – Matriz de capacitores em configuração sem compensação: (a) topologia adotada e (b) layout desenvolvido.....</i>	104
<i>Figura 5.15 – Resposta em frequência da matriz de capacitores em configuração sem compensação: Posicionada (a) à esquerda do circuito e (b) à direita do circuito.....</i>	106
<i>Figura 5.16 – Matriz de capacitores em centroide comum simétrica sem compensação de momento: (a) topologia adotada e (b) layout desenvolvido.....</i>	107
<i>Figura 5.17 – Resposta em frequência da matriz de capacitores em centroide comum sem compensação de momento: Posicionada (a) à esquerda e (b) à direita do circuito.....</i>	108
<i>Figura 5.18 – Matriz de capacitores sem simetria e insensível a variações de gradiente de processo: (a) topologia adotada e (b) layout desenvolvido.....</i>	109
<i>Figura 5.19 – Resposta em frequência da matriz insensível a variações de gradiente de processo sem simetria: Posicionada (a) à esquerda e (b) à direita do circuito.....</i>	110
<i>Figura 5.20 – Matriz de capacitores com centroide comum e compensação de momento: (a) topologia adotada e (b) layout desenvolvido.....</i>	111
<i>Figura 5.21 – Resposta em frequência da matriz de capacitores em centroide comum e com compensação de momento: Posicionada (a) à esquerda e (b) à direita do circuito.....</i>	112
<i>Figura 6.1 – Circuito esquemático incluindo capacitâncias parasitas.....</i>	122
<i>Figura 6.2 – Novo layout visando minimizar erros na resposta em frequência....</i>	123
<i>Figura 6.3 – Comparação das respostas em frequência considerando os circuitos esquemático e extraído originais e o novo extraído proposto.....</i>	124
<i>Figura 6.4 – Layout do circuito gerador de fases.....</i>	125

Lista de Tabelas

<i>Tabela 2.1- Posicionamento dos zeros de transmissão para diferentes valores de a.....</i>	17
<i>Tabela 2.2- Valores de C_a/C_b e suas respectivas frequências dos zeros de transmissão.....</i>	24
<i>Tabela 3.1 – Dimensionamento dos transistores da chave analógica.....</i>	51
<i>Tabela 3.2: Dimensionamento dos transistores do OTA carga 300 fF.....</i>	56
<i>Tabela 3.3: Dimensionamento dos transistores do OTA carga 1,8 pF.....</i>	56
<i>Tabela 3.4: Dimensionamento dos transistores do OTA carga 30 pF.....</i>	56
<i>Tabela 3.5: Polarização dos transistores do OTA carga 300 fF.....</i>	57
<i>Tabela 3.6: Polarização dos transistores do OTA carga 1,8 pF.....</i>	58
<i>Tabela 3.7: Polarização dos transistores do OTA carga 30 pF.</i>	59
<i>Tabela 3.8: Parâmetros obtidos por simulação dos diferentes amplificadores.....</i>	60
<i>Tabela 3.9: Tabela verdade do Decodificador 3x8.....</i>	65
<i>Tabela 3.10: Dimensionamento dos transistores do gerador de polarização.....</i>	70
<i>Tabela 3.11: Resultados de simulação do gerador de polarização.....</i>	70
<i>Tabela 3.12: Área ocupada por cada componente em um circuito integrado.....</i>	73
<i>Tabela 4.1: Fontes simulando um gerador de duas fases sem overlapping.....</i>	76
<i>Tabela 4.2: Resultados do nível de THD da estrutura de medidas.....</i>	79
<i>Tabela 4.3: Resultados da análise de ruído da estrutura de medidas.....</i>	80
<i>Tabela 4.4: Resultados da relação sinal-ruído da estrutura de medidas.....</i>	81
<i>Tabela 4.5: Posicionamento do zero de transmissão para cada configuração de matrizes.....</i>	84
<i>Tabela 5.1: Valores nominais dos componentes utilizados nos reguladores de tensão.....</i>	91

<i>Tabela 5.2: Resumo dos resultados obtidos para cada configuração de matrizes.....</i>	113
<i>Tabela 6.1: Características dos trabalhos sobre medição de razões de capacitâncias.....</i>	121
<i>Tabela 6.2: Valores nominais das capacitâncias parasitas que influenciam na resposta.....</i>	123

Lista de Símbolos

Aqui é exibida uma lista contendo alguns símbolos utilizados, com seus respectivos significados e a primeira ocorrência dos mesmos ao longo do texto. Os símbolos que não estejam presentes nesta lista ou têm seu significado convencional, ou estão explicados imediatamente após sua ocorrência.

Símbolo	Significado	Página
OTA	Amplificador de Transcondutância	1
SC	Capacitores Chaveados	2
CC	Centroide Comum	3
W	Largura de canal do transistor	40
L	Comprimento de canal do transistor	40
A_p	Área aproximadamente constante para o parâmetro de interesse	40
S_p	Variação do parâmetro de interesse no espaço	40
D_x	Distância entre capacitores unitários	40
k	Constante de Boltzmann ($k \approx 1,38 \times 10^{-23}$ J/K)	45
T	Temperatura expressa em Kelvin	45
C_a	Capacitância por unidade de área	46
C_p	Capacitância por unidade de perímetro	46
C_{GS}	Capacitância entre porta e fonte	49
C_{BG}	Capacitância entre porta e substrato	49
C_{BS}	Capacitância entre fonte e substrato	49
C_{GD}	Capacitância entre porta e dreno	49
C_{BD}	Capacitância entre dreno e substrato	49
A_s	Amplitude do sinal de entrada	80
A_n	Amplitude do sinal de ruído	80
σ	Desvio padrão no arranjo de interesse	105
e	Erro de implementação nas razões	106
f_{ext}	Frequência do zero de transmissão do circuito extraído	106

Capítulo 1

Introdução

1.1 – Tema

Este trabalho pretende mostrar os resultados de simulação e experimentais de um circuito capaz de medir com alta precisão as razões de capacitâncias em circuitos integrados. Os resultados serão acompanhados de uma análise estatística que fornecerá grandezas extremamente relevantes como a média, desvio padrão e os erros. Esses resultados podem fornecer parâmetros importantes como os erros de implementação das razões de capacitâncias, decorrentes do processo de fabricação CMOS.

Além disso, o trabalho também apresentará o projeto dos diversos componentes necessários para o funcionamento da estrutura de medidas. Dessa forma, serão discutidos os amplificadores de transcondutância (OTAs), as chaves analógicas, os capacitores, os componentes auxiliares na estrutura e o circuito de testes.

1.2 – Motivações

Diversos circuitos eletrônicos voltados para aplicações na área de instrumentação – filtros analógicos, conversores analógico-digital e digital-analógico – necessitam que as razões de capacitâncias sejam empregadas com precisão bastante elevada.

No processo de fabricação CMOS, usualmente ocorrem erros aleatórios que podem promover variações na faixa de 40% nos valores absolutos dos componentes [1]. Supondo, por exemplo, um filtro, cujos coeficientes sejam implementados a partir dos valores absolutos dos componentes e, além disso, os erros afetem esses componentes de maneira semelhante, verifica-se que a resposta em frequência obtida irá apresentar o

mesmo formato, porém com especificações como a frequência de corte deslocada. Esse fato acarreta no funcionamento incorreto do filtro.

Dessa forma, novas propostas foram apresentadas visando atender às especificações de forma correta e viabilizar o projeto de filtros analógicos confiáveis em circuitos integrados. Uma que se tornou bastante popular foi a técnica conhecida como capacitores chaveados (SC) [5], [27] e [30]. Essa técnica é baseada na capacidade do processo de fabricação de realizar elementos muito bem casados. No caso dos capacitores chaveados, os coeficientes serão determinados exclusivamente por razões entre capacitores [2], [3], ou seja, os coeficientes serão dados por valores relativos.

Para proporcionar um melhor casamento entre os componentes, diversas técnicas de *layout* são empregadas [15] e [20]. Erros considerados sistemáticos podem ser minimizados com técnicas adequadas e o erro nos valores relativos dos componentes, isto é, na razão entre capacitâncias, pode ser inferior a 0,1% [1]. Com isso, os capacitores chaveados podem apresentar resultados bastante precisos, mesmo que haja variação nos valores absolutos devido ao processo de fabricação CMOS.

Sendo assim, neste trabalho será utilizado um circuito capaz de medir com alta precisão as razões de capacitâncias em circuitos integrados. Este circuito, apresentado inicialmente em [6] e [7], é composto por filtros estruturalmente passa-tudo a capacitores chaveados. A técnica é baseada no fato de que a resposta em frequência da soma de dois desses filtros produz zeros de transmissão em frequências pré-determinadas, que dependem diretamente da razão entre duas capacitâncias [2], [3], [6]. Assim, através da frequência do zero de transmissão, as razões de capacitâncias poderão ser medidas indiretamente.

Em [7] foram apresentados os projetos dos diversos componentes que seriam utilizados no filtro, isto é, os amplificadores de transcondutância e as chaves analógicas. Nesse caso, os componentes foram escolhidos considerando topologias que minimizassem os erros na resposta em frequência do filtro. Isso foi feito de forma a verificar, exclusivamente, os erros das matrizes de capacitores utilizadas.

Como já foi mencionado, técnicas de *layout* podem ser empregadas buscando minimizar os erros decorrentes do processo de fabricação CMOS [20]. Esses erros, considerados erros sistemáticos, podem ser ocasionados devido a alguns fatores - ao descasamento área/perímetro, às capacitâncias de interconexão, dentre outros [15]. Uma das técnicas consiste exatamente no arranjo dos capacitores unitários em forma

matricial e, até então, uma configuração simétrica baseada em centroide comum (CC) viria a minimizar, com bastante eficiência, grande parte desses erros [18].

A configuração em centroide comum simétrica é amplamente utilizada em *layouts* de circuitos integrados analógicos, pois é capaz de reduzir consideravelmente os erros promovidos pelos gradientes de processo, incluindo o efeito térmico [20], [37]. A técnica consiste basicamente em arranjar os componentes de forma a apresentarem uma simetria em relação a um ponto central, conhecido como centroide. As Figs. 1.1 (a) e (b) ilustram pequenas configurações baseadas nessa técnica.

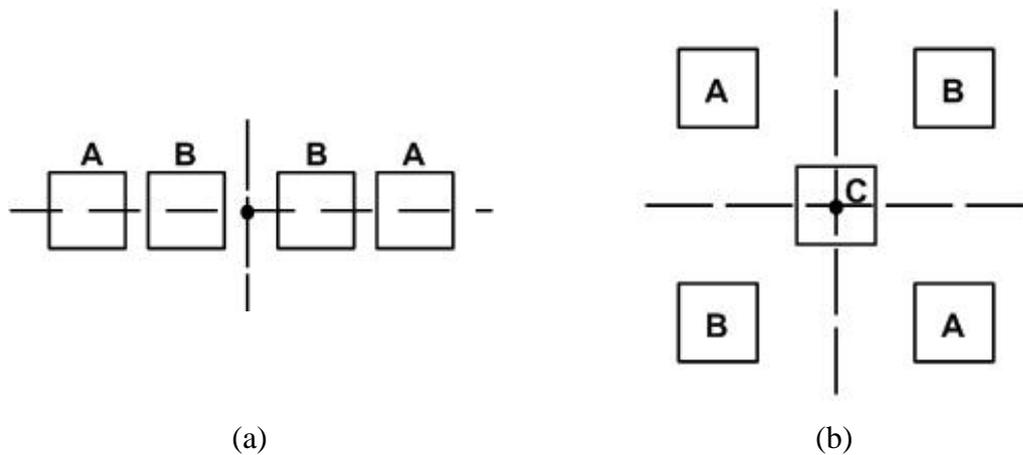


Figura 1.1 – *Layout* de componentes baseados na técnica de centroide comum.

A prova do funcionamento da topologia em centroide comum pode ser feita através da verificação a partir do modelo de primeira ordem que é capaz de descrever, de forma satisfatória, os efeitos de gradientes de processo em circuitos integrados [17]. Uma verificação teórica mais elaborada do conceito pode ser encontrada na literatura, porém sempre baseada nos efeitos de gradientes de processo [4], [20], [34], [37]. Durante a apresentação das matrizes de capacitores no Capítulo 2, esse modelo será apresentado e a topologia em centroide comum será analisada.

Contudo, estudos mais recentes mostram que, apesar da técnica de centroide comum apresentar uma insensibilidade aos gradientes de processo, ela pode não apresentar um arranjo simétrico. O trabalho desenvolvido em [4] discute uma forma de arranjo dos capacitores que minimiza os erros sistemáticos do processo de fabricação, inclusive em situações em que a configuração em centroide comum simétrica seria possível.

A técnica descrita anteriormente é baseada na minimização de uma função custo que buscaria englobar os parâmetros mais importantes relacionados aos erros de implementação das razões de capacitâncias. Dessa forma, poderia ser definida a partir de uma grandeza matemática, a proximidade de uma configuração de matrizes da configuração considerada ideal [4]. Essa função custo, baseada nos conceitos de centroide e momento de inércia presentes na física, será responsável pela denominação do arranjo a ser analisado posteriormente.

Buscando verificar essas propostas, este trabalho propõe a continuidade do projeto desenvolvido em [7]. Será discutido de forma bastante cuidadosa o projeto dos capacitores do filtro. Serão considerados erros sistemáticos para o dimensionamento correto dos capacitores e o procedimento adotado será o mesmo que o apresentado em [5]. Além disso, as matrizes serão apresentadas considerando técnicas de *layout* adequadas para diferentes tipos de topologia. Também serão apresentados os componentes auxiliares para o funcionamento do circuito integrado – decodificador, gerador de fases, espelhos de corrente para polarização dos OTAs (amplificadores de transcondutância) e possíveis circuitos externos – e os resultados de simulação e experimentais.

A partir da comparação dos resultados de simulação e de medição, serão tomadas as devidas conclusões. Com isso, será possível determinar a viabilidade das configurações de matrizes de capacitores, diferentes das tradicionalmente utilizadas e a sua influência na resposta em frequência do filtro a capacitores chaveados.

Esse estudo pode auxiliar os projetistas de circuitos analógicos e fornecer uma nova ferramenta que visa à organização de capacitores em um circuito integrado, buscando minimizar os erros do processo de fabricação e apresentando resultados superiores aos até então presentes na literatura. Além disso, poderá disponibilizar um mecanismo de medidas que mostra com precisão a razão de capacitâncias empregada e se ela atende de forma satisfatória às especificações fornecidas para o bom funcionamento de um determinado produto.

1.3 – Objetivos

O trabalho proposto visa atender a uma das principais dificuldades no projeto de circuitos analógicos: manter as especificações inicialmente fornecidas, mesmo que existam erros aleatórios ou sistemáticos que irão promover variações nos valores absolutos dos componentes.

Espera-se que o circuito proposto seja capaz de fornecer, com precisão elevada, os erros de implementação nas razões de capacitâncias. Com os resultados experimentais disponíveis, espera-se verificar o tipo de configuração de capacitores que apresentou menores erros e compará-las com as configurações presentes na literatura.

Este projeto visa também auxiliar os projetistas de circuitos analógicos a realizar o estudo de novas configurações que permitam minimizar os erros de realização e tornar o projeto de circuitos analógicos mais robustos a variações no processo de fabricação.

1.4 – Metodologia

Este trabalho pode ser dividido em quatro fases distintas: Projeto dos componentes necessários para o funcionamento da estrutura de medidas, obtenção dos resultados experimentais, análise dos resultados e comparação com os valores de simulação e as conclusões acompanhadas dos trabalhos futuros.

A primeira fase consistirá no projeto dos componentes do filtro a capacitores chaveados. Os componentes essenciais – capacitores unitários, chaves analógicas e amplificadores de transcondutância – terão a escolha das suas topologias e técnicas de projeto discutidas. Além desses componentes, será necessário o projeto de componentes auxiliares, capazes de satisfazer a algumas funções específicas no circuito integrado. Esses componentes terão sua estrutura apresentada e suas funções devidamente discutidas. Simulações serão apresentadas de forma a verificar o funcionamento dos componentes e, posteriormente, de toda a estrutura de medidas.

A segunda fase do projeto consistirá no desenvolvimento do circuito de testes e nas medições dos circuitos integrados. O desenvolvimento do circuito de testes, nesse caso, é de grande importância, pois durante a fabricação do circuito integrado não foi

desenvolvido um circuito capaz de gerar as correntes e tensões de referência para a polarização dos componentes.

Sendo assim, serão utilizados resistores de precisão e potenciômetros para gerar as correntes de referência. Como os resistores de precisão apresentam valores com erros muito pequenos, a corrente de referência obtida dessa forma irá apresentar um valor com precisão satisfatória.

De forma a evitar possíveis variações em torno da tensão de entrada do circuito integrado, serão projetados dois reguladores de tensão. Esses dois reguladores se tornam necessários devido à polarização simétrica aplicada no projeto. Quanto às entradas e saídas do circuito integrado, serão utilizados apenas amplificadores em configuração inversora com ganho unitário, visando isolar o circuito integrado dos circuitos de teste.

Outro circuito que faria parte do circuito de testes é o gerador das fases de acionamento das chaves para o circuito a capacitores chaveados. Na literatura um circuito bastante simples, composto unicamente por portas lógicas, é amplamente utilizado e garante a principal condição de funcionamento do circuito a capacitores chaveados, isto é, a geração de duas fases sem *overlapping*.

Com o projeto e verificação do funcionamento do circuito de testes, serão iniciadas as medições com auxílio de um analisador de espectros. De maneira a desconsiderar a resposta em frequência do circuito de testes, será feita uma calibração inicial da ponteira de medição. O circuito integrado é retirado e, mantendo a polarização ligada, é feito um curto-circuito da entrada para a saída. Então, mede-se a resposta em frequência desse conjunto e, em seguida, realiza-se a sua compensação.

No que se refere à técnica de medição adotada, inicialmente, será feita a análise da resposta em frequência ao longo de toda a banda do sinal. O objetivo dessa medida será verificar o comportamento geral do circuito integrado e se ele apresenta os resultados esperados, além de localizar a frequência onde ocorre o zero de transmissão do filtro. Em seguida será feita uma medição apenas em torno da frequência do zero de transmissão, com a maior resolução disponível pelo aparelho. Com isso pode-se obter o valor do posicionamento do zero de transmissão com a maior precisão possível.

Após realizar a medição dos 15 circuitos integrados fabricados, será iniciada a fase três do trabalho, isto é, a análise dos resultados experimentais e comparação com os valores teóricos.

Com o auxílio do software *MatLab*, serão calculadas as médias, desvios padrão e os erros percentuais para cada uma das matrizes de capacitores desenvolvidas. Além disso, serão obtidas também as curvas das respostas em frequência. Com a disponibilidade desses valores, pode-se determinar qual configuração de matriz de capacitores apresentou os melhores resultados e se as respostas em frequência obtidas estão de acordo com a análise teórica desenvolvida. O resultado experimental também será comparado com os resultados fornecidos pela simulação do circuito extraído e pela análise de *Monte Carlo* presente em [7].

Após a análise dos resultados, as conclusões poderão ser desenvolvidas e os trabalhos futuros apresentados. Dessa forma, será verificado se o circuito de medição proposto é capaz de atender de forma satisfatória aos objetivos iniciais do projeto.

1.5 – Revisão Bibliográfica

A medição de capacitâncias em circuitos integrados é um assunto bastante explorado na literatura. Suas aplicações variam desde a simples verificação de uma capacitância parasita, até as implementações em sensores capacitivos e modelagem do comportamento de circuitos integrados analógicos.

Como suas aplicações são extensas, os circuitos capazes de atender a essas necessidades variam desde estruturas bastante simples a estruturas com um nível de complexidade elevado. No geral, as medições são feitas de forma indireta, ou seja, a partir de uma determinada grandeza medida que dependerá diretamente da razão, ou até mesmo da diferença entre as capacitâncias de interesse.

Uma forma de medição direta de um valor de capacitância consiste em um sistema conhecido como ponte RLC. Esse dispositivo é capaz de medir, externamente ao circuito integrado, valores não só de capacitâncias como também indutâncias e resistências. Contudo, um dispositivo de medidas externo consideraria em suas medições capacitâncias indesejadas, como a capacitância do *pad*, que influenciaria diretamente nos resultados fornecidos, introduzindo uma alta parcela de erro. Assim, as formas de medição mais exploradas, buscando resultados mais precisos, são realizadas com circuitos de medição internos, isto é, circuitos de testes projetados em circuitos integrados.

Uma das ideias exploradas é baseada na técnica de *floating gate* e é apresentada em [8]. O circuito capaz de realizar a medição das razões é bastante simples e consiste em um transistor em configuração de seguidor de fonte. Dois capacitores são inseridos no *gate* do transistor e uma tensão é aplicada na entrada de um dos capacitores, enquanto se mantém fixa uma corrente no transistor. A partir da medição da tensão no *source* pode-se obter o valor da razão de capacitâncias de interesse. Um ponto importante da topologia proposta é que a tensão de *threshold* do transistor pode sofrer determinadas flutuações. Para evitar esse problema utilizam-se transistores com dimensões bastante elevadas. O ponto negativo dessa topologia é que a medição só poderá ser feita com precisão caso a carga no *floating gate* seja mantida.

Esse tipo de circuito também foi utilizado em [14] ao explorar métodos para modelar o comportamento de circuitos integrados analógicos. A necessidade de um circuito de medidas interno foi resultante da influência de componentes externos que poderiam introduzir um erro considerável na medição. Contudo, a medição proposta é feita de forma diferente, visando aumentar a precisão da medida e cancelar determinadas não linearidades.

Outro circuito bastante simples que era capaz de medir capacitâncias foi apresentado em [9] e [10]. A técnica consistia em dois circuitos idênticos, porém um apresentando a capacitância a ser medida. A partir da diferença entre as correntes nos circuitos seria possível determinar a capacitância de interesse. No entanto, esse trabalho se restringia a medição de capacitâncias parasitas – entre trilhas, *crosstalk*, dentre outras – e para que os resultados fornecidos fossem precisos, técnicas de *layout* que buscavam melhorar o casamento entre os componentes se tornava essencial. Esse tipo de trabalho forneceria uma maneira bastante simples de mensurar e verificar a influência de capacitâncias parasitas em circuitos integrados.

Estruturas mais complexas que desempenham funções semelhantes também podem ser encontradas. Em [11] a ideia de aplicar a técnica de circuitos a capacitores chaveados de duas fases já pode ser encontrada. Contudo, a topologia proposta é altamente afetada por não linearidades como o ganho finito e o *offset* dos amplificadores e o efeito de *clock feedthrough* das chaves analógicas. Circuitos de compensação e um comparador foram utilizados, buscando minimizar as não linearidades propostas, levando a um circuito complexo cuja área ocupada seria muito superior ao próprio circuito de medição.

A topologia proposta em [12] apresentará as mesmas não linearidades discutidas anteriormente e circuitos diferentes de compensação. Porém, o circuito de medição é baseado em um circuito chaveado de três fases que utiliza um DAC (*Digital-to-Analog Converter*) e um SAR (*Successive Approximation Register*) para realização das medidas de razões. A topologia extremamente complexa e a necessidade de um circuito para compensação de não linearidades geram um *tradeoff* em relação à acurácia dos resultados fornecidos.

Outra estrutura capaz de fornecer uma medição das capacitâncias de interesse é encontrada em [13]. O sistema de medidas é baseado em um oscilador e um microcontrolador. A medição é feita a partir da contagem do período de oscilação e, a partir de uma capacitância de referência, pode ser determinada a medição da razão de interesse. As desvantagens dessa topologia estão relacionadas à área de circuito integrado fabricado e a capacidade do microcontrolador em identificar períodos de oscilação distintos e distinguir aqueles que correspondem à medida desejada. Caso essa interpretação aconteça de forma errada, toda a medição é comprometida e resultados errôneos são fornecidos.

A estrutura proposta neste trabalho se difere em relação às demais em um aspecto: utilizará a resposta em frequência de um filtro para determinar a razão de capacitâncias empregada. A partir de um circuito a capacitores chaveados de duas fases e, utilizando as características de funções estruturalmente passa-tudo, as medições fornecerão resultados precisos sem a necessidade de circuitos de compensação. Os resultados obtidos com a topologia proposta serão comparados com os trabalhos discutidos nessa seção para verificar a real eficiência do método proposto.

1.6 – Organização

O desenvolvimento descrito neste trabalho contará basicamente com dois tipos de análises. A primeira, pertencente aos capítulos iniciais, terá um caráter mais teórico, enquanto a segunda tratará de uma análise mais elaborada dos resultados obtidos experimentalmente e sua comparação com os resultados de simulação. A seguir, será feita uma breve descrição de cada um dos capítulos que farão parte deste projeto e da pesquisa que vem sendo realizada.

No Capítulo 2 será introduzida a estrutura de medidas. Seu funcionamento será verificado a partir de análises teóricas e de simulação que culminarão no circuito a capacitores chaveados proposto. Além disso, as matrizes de capacitores utilizadas serão apresentadas. Cada um dos métodos de organização será detalhado e explicado a partir do modelo de primeira ordem proposto e que representa de maneira satisfatória os efeitos do processo de fabricação [17].

O Capítulo 3 apresentará o projeto de todos os componentes necessários para elaboração da estrutura de medidas. Inicialmente, será discutido o projeto dos capacitores unitários do filtro. Técnicas que buscam estabelecer, principalmente, um casamento entre área e perímetro [15] serão aplicadas. A não realização desse tipo de estratégia levaria a um erro na implementação dos capacitores no circuito integrado. Após a definição do capacitor unitário a ser utilizado, o próximo passo consiste na organização das matrizes de capacitores. Serão apresentadas as matrizes propostas e o tipo de organização adotado.

Os componentes do filtro a capacitores chaveados – chaves analógicas e amplificadores de transcondutância – serão abordados e suas topologias e formas de dimensionamento serão discutidas. Contudo, para a fabricação do circuito integrado, outros componentes necessitaram ser projetados. Dessa forma, esses outros componentes serão apresentados e terão seu funcionamento e topologia discutidos.

Além disso, o Capítulo 3 também contará com os resultados de simulação dos componentes individuais e os seus respectivos *layouts*. Serão consideradas técnicas buscando melhorar o casamento dos componentes e evitar erros devido ao processo de fabricação [20].

O Capítulo 4 contará com os resultados de simulação da estrutura de medidas. Os resultados do circuito esquemático e do circuito extraído serão apresentados e comparados com os resultados teóricos.

Com o aspecto teórico já bem desenvolvido, o Capítulo 5 tratará dos resultados experimentais do circuito integrado. Serão apresentados o projeto do circuito de testes e as técnicas utilizadas na medição do CI, buscando uma maior precisão nos resultados fornecidos.

Todos os equipamentos utilizados serão devidamente documentados e os resultados obtidos serão analisados com o software *MatLab*. A partir dos resultados experimentais fornecidos (média, desvio padrão e erros percentuais) haverá uma

comparação com os valores teóricos apresentados e os erros de realização serão discutidos.

O Capítulo 6 trará as conclusões elaboradas a partir das análises contidas nos capítulos anteriores e das comparações com as topologias presentes na literatura. Além disso, o capítulo contará com uma seção de trabalhos futuros que poderão englobar diversos aspectos relacionados aos resultados apresentados.

Capítulo 2

Estrutura de Medidas

O desenvolvimento de circuitos capazes de medir, com alta precisão, razões de capacitâncias em circuitos integrados são propostos ao longo dos anos em diversos trabalhos [11], [12], [13]. Apesar de utilizarem diversas técnicas, os problemas ligados a não linearidades – *offset* e ganho finito de amplificadores operacionais e os efeitos de injeção de carga e *clock feedthrough* das chaves analógicas – resultavam em circuitos de compensação complexos e que ocupariam maior área que o circuito a ser medido.

Portanto, uma nova forma de medição de razão de capacitores em circuitos integrados é proposta, buscando obter resultados bastante precisos, sem a necessidade de complexos circuitos de compensação. A estrutura de medidas consistirá em um filtro elíptico de terceira ordem, implementado a partir da soma de filtros estruturalmente passa-tudo a capacitores chaveados.

A medição será realizada a partir do posicionamento da frequência do zero de transmissão, que dependerá exclusivamente da razão de capacitâncias de interesse. Os filtros estruturalmente passa-tudo foram adotados devido a sua capacidade de gerar zeros de transmissão bastante precisos em frequências pré-determinadas, mesmo na ocorrência de variações produzidas pelo processo de fabricação [2], [3] e [6].

As razões de capacitâncias serão geradas a partir de matrizes de capacitores unitários. Essa técnica é utilizada de forma a realizar um casamento entre área/perímetro que minimiza possíveis erros de implementação nos capacitores em circuitos integrados [15]. Como as matrizes de capacitores serão elaboradas com diferentes arranjos, um modelo de primeira ordem que simula os efeitos de gradiente de processo será apresentado e cada matriz poderá ser analisada.

A partir dos resultados de simulação e experimentais, seria possível determinar, com alta precisão, a matriz que veio a apresentar resultados superiores, isto é, a matriz que apresentou menores erros de implementação nas razões. Além disso, a capacidade do filtro em medir com precisão as razões de capacitâncias em um circuito integrado

poderia ampliar sua aplicação em testes de produtos industriais – visando verificar as especificações antes da sua comercialização – e na verificação do efeito de encapsulamento na resposta em frequência de um filtro.

Desta forma, o capítulo contará com a apresentação e análise da estrutura de medidas. Inicialmente, será discutida a parte teórica envolvida, incluindo simulações que comprovam o funcionamento da estrutura, para que o circuito a capacitores chaveados possa ser desenvolvido. Este também será simulado, utilizando componentes ideais, de maneira a verificar se a topologia proposta realiza de fato a função de transferência desejada. As matrizes de capacitores também serão apresentadas e discutidas.

2.1 – Projeto dos Filtros Estruturalmente Passa-Tudo

Os blocos que desempenham funções passa-tudo apresentam, no geral, suas aplicações voltadas para a equalização de fase de uma determinada função de transferência [25]. Características como o valor de magnitude unitário para todas as frequências, as baixas perdas e o baixo coeficiente de sensibilidade possibilitaram a sua aplicação na resolução de diversos problemas relacionados ao projeto de filtros digitais.

Uma das suas aplicações mais interessantes é a capacidade em realizar funções de transferência de ordem ímpar¹, a partir da soma de duas seções passa-tudo, isto é,

$$H(z) = \frac{1}{2}(A_1(z) + A_2(z)), \quad (2.1)$$

onde $A_1(z)$ e $A_2(z)$ compõem as seções passa-tudo. Vale ressaltar que ao somar a ordem das duas seções acima é obtida a ordem do filtro original.

Com essa aplicação, torna-se possível a implementação de filtros passa-baixa de *Butterworth*, *Chebyshev*, tipos I e II, e elíptico. A técnica, detalhada em [39], é baseada no diagrama de polos e zeros da função de transferência inicial.

Considere uma função de transferência de terceira ordem, cujos polos são determinados por p_1 , p_1^* e p_2 . Nesse caso a seção passa-tudo $A_1(z)$ será composta pelos polos p_1 e p_1^* , enquanto a seção $A_2(z)$ será composta pelo pólo p_2 . Caso a função de

¹ Em funções de transferência de ordem par essa técnica também poderá ser aplicada, desde que sejam permitidos coeficientes complexos tanto no numerador, quanto no denominador.

transferência presente ordens mais elevadas, o mesmo procedimento deve ser feito, ou seja, os polos das seções passa-tudo serão sempre organizados de forma intercalada.

Baseado na técnica descrita acima e na característica dos filtros passa-tudo em gerar uma magnitude unitária para qualquer frequência, as seções passa-tudo serão compostas por:

$$A_1(z) = \frac{|p_1|^2 - 2\text{Re}\{p_1\}z^{-1} + z^{-2}}{1 - 2\text{Re}\{p_1\}z^{-1} + |p_1|^2z^{-2}} \quad (2.2)$$

$$A_2(z) = \frac{z^{-1} - p_2}{(1 - p_2z^{-1})} \quad (2.3)$$

Antes de iniciar a teoria que envolve a estrutura de medidas, cabe uma pequena explicação sobre a topologia estruturalmente passa-tudo. As equações acima desempenham funções passa-tudo, isto é, apresentam valor de magnitude unitária para toda faixa de frequências.

Contudo, ao serem implementadas em circuitos integrados, os coeficientes dessas funções poderão sofrer variações decorrentes do processo de fabricação CMOS. Como essas variações são aleatórias, os coeficientes do numerador e denominador poderão sofrer alterações distintas em seus valores nominais, resultando em um bloco que não preservaria as características originais dos filtros passa-tudo.

Uma forma de manter essas características, mesmo na ocorrência de variações do processo de fabricação, é através da topologia estruturalmente passa-tudo. A Fig. 2.1 ilustra o diagrama de blocos da seção $A_2(z)$ que será utilizada como exemplo para obtenção da topologia desejada.

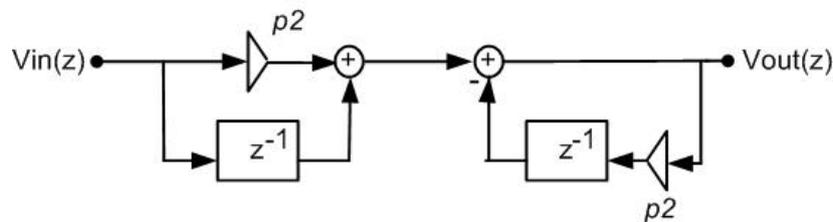


Figura 2.1 – Diagrama de blocos da seção passa-tudo $A_2(z)$.

A figura acima mostra que dois multiplicadores de valores iguais são utilizados para gerar os coeficientes do numerador e denominador da função. Caso haja variações decorrentes do processo de fabricação, o problema descrito anteriormente persistiria e um descasamento nos valores desses dois multiplicadores faria com que o filtro deixasse de apresentar as características de um filtro passa-tudo. No entanto, representando a função $A_2(z)$ a partir da sua equação a diferenças e reorganizando os termos, o seguinte resultado poderá ser obtido:

$$V_{out}(z) + p_2 V_{out}(z)z^{-1} = p_2 V_{in}(z) + V_{in}(z)z^{-1}, \quad (2.4)$$

$$V_{out}[n] + p_2 V_{out}[n - 1] = p_2 V_{in}[n] + V_{in}[n - 1], \quad (2.5)$$

$$V_{out}[n] = p_2 (V_{in}[n] - V_{out}[n - 1]) + V_{in}[n - 1]. \quad (2.6)$$

O diagrama de blocos na Fig. 2.2 ilustra a nova configuração. Conforme pode ser notado, tanto o coeficiente do numerador quanto o do denominador são gerados por um único multiplicador. Caso houvesse uma variação do valor desse multiplicador, numerador e denominador da função seriam igualmente afetados, preservando as características do filtro passa-tudo.

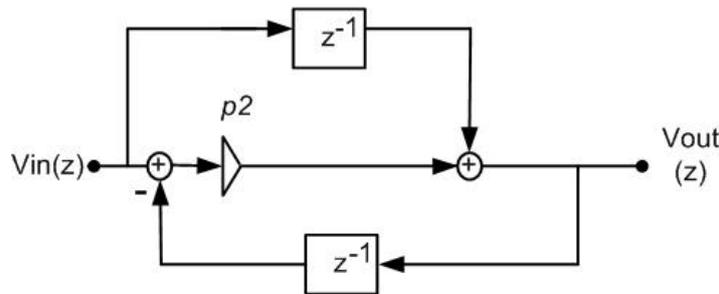


Figura 2.2 – Diagrama de blocos da seção passa-tudo $A_2(z)$ em topologia estruturalmente passa-tudo.

Portanto, a topologia estruturalmente passa-tudo consiste em rearranjar a função de transferência inicial de maneira que os coeficientes sejam dados por um único termo multiplicativo. Dessa maneira, o processo de fabricação promoveria variações iguais nos termos do numerador e denominador da função de transferência, mantendo a resposta em frequência desejada.

Com base na teoria apresentada, este trabalho propõe o desenvolvimento de um filtro elíptico de terceira ordem em topologia estruturalmente passa-tudo. O filtro será, portanto, decomposto a partir da soma de duas seções passa-tudo

$$H(z) = \frac{1}{2}(A(z^2) + z^{-1}B(z^2)), \quad (2.7)$$

onde $A(z)$ e $B(z)$ são seções passa-tudo e dadas pelas seguintes funções de transferência:

$$A(z) = \frac{z^{-1} + a}{1 + az^{-1}} \text{ e } B(z) = 1. \quad (2.8)$$

Desenvolvendo a função de transferência do filtro elíptico, representado por $H(z)$, o resultado obtido será

$$H(z) = \frac{1}{2} \left(\frac{z^{-2} + a}{1 + az^{-2}} + z^{-1} \right), \quad (2.9)$$

$$H(z) = \frac{1}{2} \frac{(a + z^{-1} + z^{-2} + az^{-3})}{1 + az^{-2}}, \quad (2.10)$$

$$H(z) = \frac{1}{2} \frac{(1 + z^{-1})(a + (1 - a)z^{-1} + az^{-2})}{1 + az^{-2}}. \quad (2.11)$$

A análise da função de transferência descrita acima mostrará que os polos da função estão localizados no eixo imaginário em $0, j\sqrt{a}$ e $-j\sqrt{a}$, enquanto os zeros serão encontrados no círculo unitário em $-1, e^{j\omega_n}$ e $e^{-j\omega_n}$, onde

$$\omega_n = \cos^{-1} \left(\frac{a - 1}{2a} \right) \quad (2.12)$$

é a frequência do zero de transmissão do filtro.

Algumas considerações importantes deverão ser feitas a partir dos resultados obtidos. As expressões descritas acima só serão válidas se a função de transferência em questão apresentar zeros complexos. Para isso, a terá as seguintes restrições

$$a \neq 1 \text{ e } a > 1/3. \quad (2.13)$$

No entanto, garantir que a função de transferência apresente zeros complexos não é a única restrição em torno da estrutura de medidas proposta. Caso os polos na função de transferência apresentem valores fora do círculo de raio unitário, a estrutura de medidas será instável. Dessa forma, deve-se garantir que os valores de a adotados satisfaçam a condição

$$a < 1, \quad (2.14)$$

visando preservar as condições de estabilidade do filtro.

De maneira a comprovar a teoria apresentada, algumas simulações poderão ser feitas com o software *MatLab*, baseando sua análise na função de transferência do filtro. Essa verificação torna-se importante, pois o passo seguinte consistirá na representação da função de transferência em uma topologia estruturalmente passa-tudo a capacitores chaveados.

O primeiro passo consiste na verificação da resposta em frequência do filtro. Alguns valores distintos de a serão considerados e o posicionamento do zero de transmissão será avaliado. Os resultados obtidos, apresentados na Tabela 2.1 e na Fig. 2.3, consideram a frequência do zero de transmissão desnormalizada, isto é, metade da frequência de chaveamento utilizada neste projeto, no caso 500 kHz, corresponde a π rad/s.

Tabela 2.1- Posicionamento dos zeros de transmissão para diferentes valores de a .

a	ω_n (kHz)
0,4	384,8
0,5	333,5
0,6	304,2
0,7	284,2
0,8	270,0
0,9	258,8

Os resultados apresentados pela tabela acima mostram que o posicionamento do zero de transmissão é, de fato, alterado pelo coeficiente de interesse. Além disso,

observa-se um comportamento decrescente no posicionamento do zero de transmissão, à medida que os valores de a se aproximam da condição referente à estabilidade da estrutura de medidas.

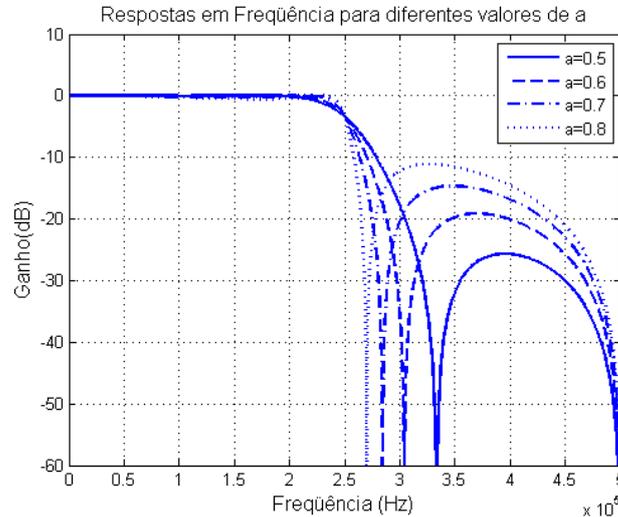
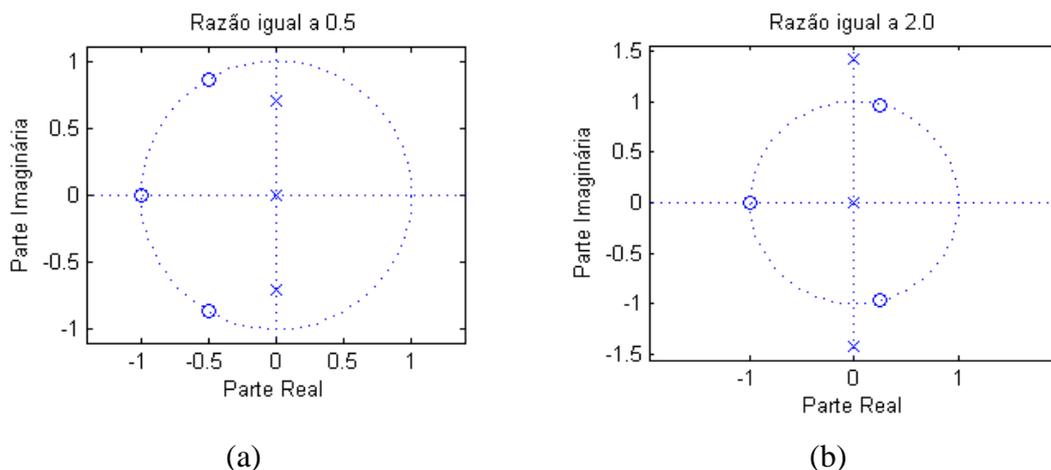


Figura 2.3 – Resposta em frequência do filtro para diferentes coeficientes.

As Figs. 2.4 (a), (b), (c) e (d) exibem o diagrama de polos e zeros da função de transferência. A Fig. 2.4 (a) consiste em uma simples verificação para o caso de 0,5, valor contido na tabela anterior, enquanto as seguintes consistem nos casos em que há restrições em torno do valor do coeficiente aplicado. A Fig. 2.4 (b) ilustra valores de a que não satisfazem a condição apresentada em (2.14), isto é, apresenta polos fora do círculo unitário, configurando a característica de instabilidade do filtro. Enquanto isso, as Figs. 2.4 (c) e (d) não apresentam zeros complexos, impossibilitando o aparecimento do zero de transmissão na resposta em frequência e confirmando a validade de (2.13).



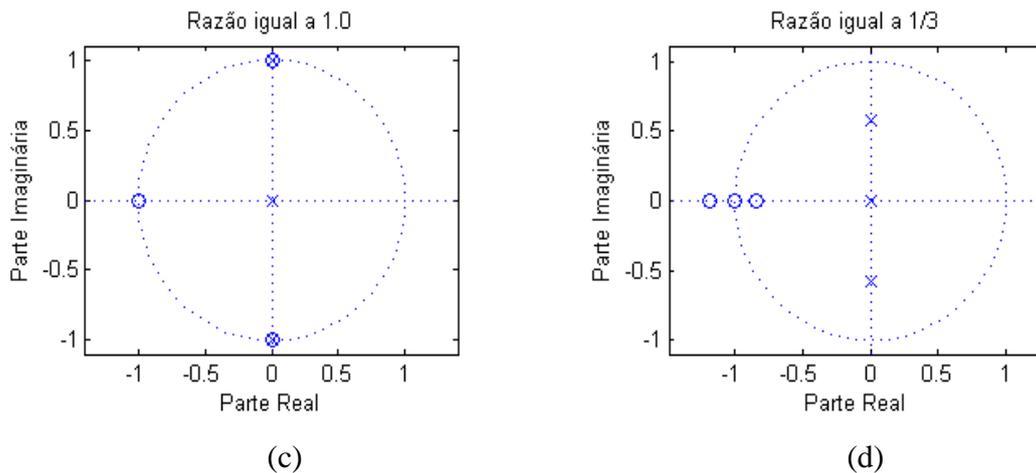


Figura 2.4 – Diagrama de polos e zeros para coeficientes de valor (a) 0,5, (b) 2,0, (c) 1,0, (d)1/3.

Com a confirmação dos resultados teóricos obtidos para a função de transferência, cabe determinar a topologia a capacitores chaveados capaz de realizá-la. A seguir será feita uma breve descrição do funcionamento dos circuitos a capacitores chaveados que serão usados como base teórica para melhor compreensão do circuito que será posteriormente apresentado.

2.2 – Projeto do Filtro a Capacitores Chaveados

A dificuldade no projeto de filtros analógicos em circuitos integrados consiste na preservação das características iniciais do projeto. Os componentes podem sofrer variações em torno de 40% dos seus valores nominais [1], resultando em filtros com especificações diferentes das inicialmente planejadas.

Como esses erros costumam atuar quase da mesma forma em todos os componentes – devido às técnicas de casamento empregadas – o erro funciona como um escalamento da resposta em frequência, conforme ilustrado na Fig. 2.5. Esse fato condenaria o projeto inicial, pois especificações importantes, como a frequência de corte do filtro, não seriam atendidas.

Uma maneira de tentar solucionar esse problema foi a utilização de sistemas de sintonia automática. Esses sistemas foram apresentados com diversas topologias por diferentes autores [35], [36]. A ideia básica consiste em um sistema realimentado que

irá promover o deslocamento da frequência de corte do filtro original de forma a manter as características iniciais do projeto.

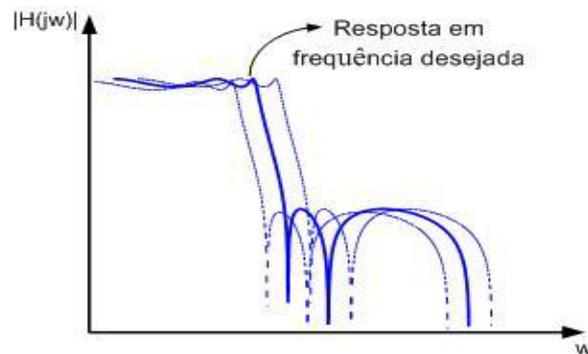
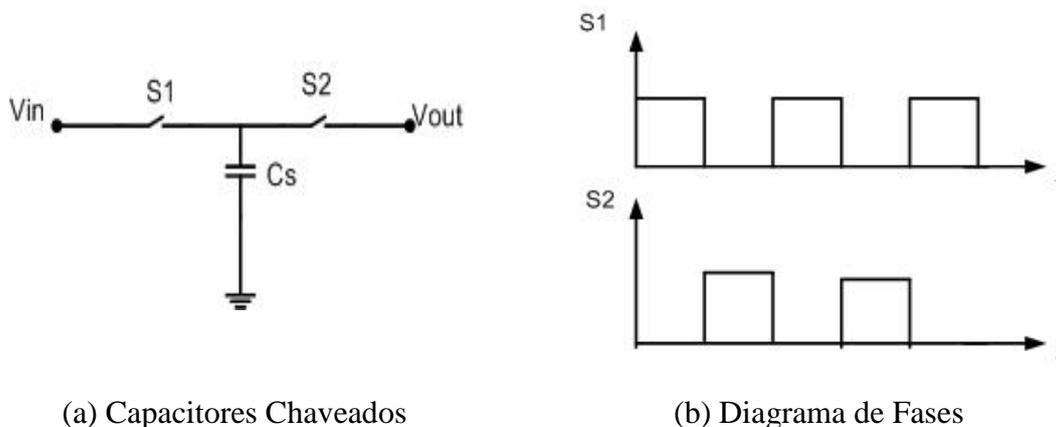


Figura 2.5 - Comparação entre as respostas em frequência projetada e resultante das variações dos parâmetros do processo de fabricação.

Todavia, o problema em torno do tamanho dos componentes e do tamanho final do circuito integrado ainda era um empecilho para filtros com polos em baixas frequências. Além disso, era necessário o desenvolvimento de uma nova técnica que permitisse a realização de filtros analógicos que mantivessem suas especificações sem a necessidade de um sistema de sintonia automática, e que os projetos para frequências mais baixas fossem viabilizados. A técnica ficou conhecida como capacitores chaveados e foi inicialmente discutida em [29], [30] e [31].

A ideia dos circuitos a capacitores chaveados é apresentada na Fig. 2.6 e consiste, basicamente, na transferência de carga realizada por um capacitor.



(a) Capacitores Chaveados

(b) Diagrama de Fases

Figura 2.6 – Ideia geral dos circuitos a capacitores chaveados.

A única restrição que envolve a aplicação dos capacitores chaveados está na questão do período de abertura e fechamento das chaves analógicas. Deve-se garantir, para manter o funcionamento correto do circuito, que as chaves atuem de forma complementar, ou seja, quando a chave S_1 estiver fechada, a chave S_2 estará aberta e vice versa. Há alguns circuitos capazes de atender a essa condição fundamental e serão discutidos em capítulos posteriores.

A análise dos capacitores chaveados pode ser feita a partir da transferência de carga elétrica. No fechamento da chave S_1 , o capacitor será completamente carregado com a tensão de entrada

$$q_i = C_s V_{in}. \quad (2.15)$$

No momento que há a abertura da chave S_1 e o fechamento da chave S_2 a carga final presente no capacitor será dada por

$$q_f = C_s V_{out}. \quad (2.16)$$

A variação de carga elétrica será então determinada a partir da capacitância e da diferença entre as tensões de entrada e saída

$$\Delta Q = q_f - q_i = C_s (V_{out} - V_{in}). \quad (2.17)$$

A corrente média pode ser definida a partir da variação da carga elétrica em relação ao tempo. Dessa forma, a corrente média é

$$i = \frac{\Delta Q}{T} = \frac{C_s (V_{out} - V_{in})}{T}. \quad (2.18)$$

No caso de um simples resistor a corrente no circuito pode ser determinada a partir da relação entre a tensão no resistor e o valor da resistência

$$i = \frac{(V_{out} - V_{in})}{R_{eq}}. \quad (2.19)$$

Igualando as duas expressões anteriores, o seguinte resultado é obtido:

$$R_{eq} = \frac{T}{C_s}. \quad (2.20)$$

O resultado acima traz conclusões bastante interessantes. No caso dos capacitores chaveados, a relação entre período de chaveamento e o valor da capacitância são equivalentes a um resistor. Dessa maneira, o projeto de filtros analógicos pode ser feito utilizando unicamente capacitores, chaves analógicas e amplificadores operacionais.

Como toda topologia, os circuitos a capacitores chaveados possuem vantagens e desvantagens. A principal vantagem está na não necessidade de um sistema de sintonia automática. Um filtro composto por elementos passivos apresenta constantes de tempo RC e, como fora mencionado, as variações nos parâmetros do processo de fabricação CMOS poderiam alterar o valor da constante de tempo, levando à imprecisão na frequência de corte do filtro.

Baseado nas equações acima, a constante de tempo em um filtro a capacitores chaveados seria dada por TC/C_s , isto é, pela relação entre duas capacitâncias. Apesar do processo de fabricação apresentar variações de ordem de grandeza bastante elevada nos valores absolutos, ele é capaz de realizar elementos muito bem casados. Com técnicas adequadas de *layout*, o projetista é capaz de obter uma precisão de cerca de 0,1% [1] nessas implementações.

Vantagens ligadas ao tamanho final do circuito também serão observadas. Os capacitores e chaves analógicas irão ocupar área muito menor que resistores de valores equivalentes, dependendo do período de chaveamento. Dessa maneira, a área final do circuito integrado será menor e o custo de fabricação será reduzido. Contudo, o problema da injeção de carga se torna mais evidente nesse tipo de circuito [26]. Técnicas para sua compensação voltarão a ser discutidas.

Inúmeros circuitos e funções de transferências podem ser realizados em topologias a capacitores chaveados. O projeto de blocos básicos pode ser visto em trabalhos anteriores [7].

As características apresentadas anteriormente motivaram a realização das funções de transferência discutidas em (2.7) e (2.8) na topologia a capacitores chaveados. Dessa forma, a primeira seção passa-tudo poderá ser implementada a partir de um circuito a capacitores chaveados de duas fases. O circuito correspondente é ilustrado pela Fig. 2.7 e sua função de transferência é dada por

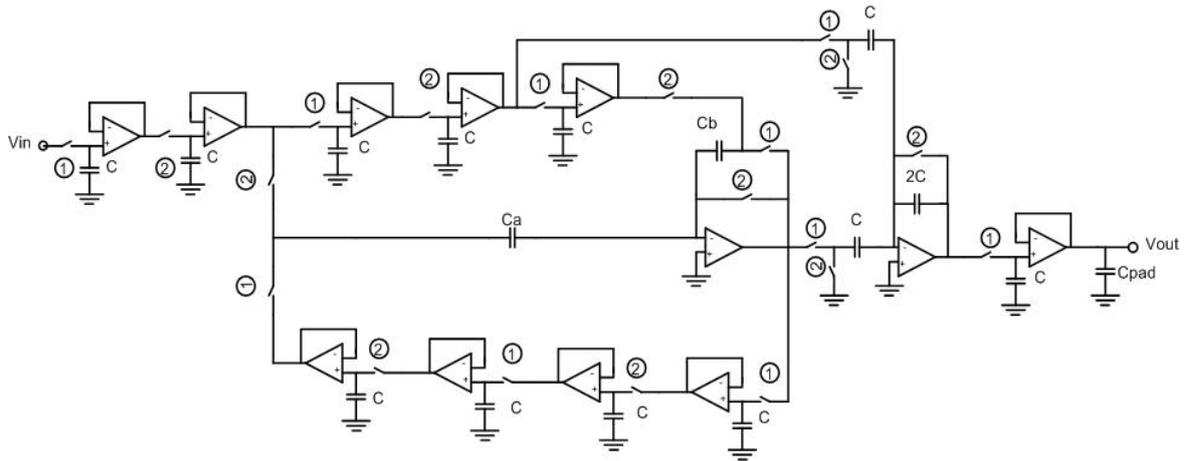


Figura 2.8 – Circuito a capacitores chaveados que realiza a função $H(z)$.

Antes de iniciar o projeto dos componentes, uma verificação da estrutura de medidas deverá ser feita, considerando componentes ideais, isto é, amplificadores operacionais com ganho infinito e impedância de saída zero e chaves analógicas sem resistência quando fechadas. Para isso, será utilizado um software de simulação de circuitos a capacitores chaveados denominado Asiz versão estudante². Os valores obtidos para os zeros de transmissão, para a frequência desnormalizada, considerando diferentes razões de capacitâncias são apresentados na Tabela 2.2.

Tabela 2.2- Valores de C_a/C_b e suas respectivas frequências dos zeros de transmissão.

C_a/C_b	ω_n (kHz)
0,4	384,9
0,5	333,4
0,6	304,1
0,7	284,4
0,8	270,1
0,9	258,9

Comparando os valores obtidos nas duas tabelas deste capítulo, pode-se concluir que a estrutura de medidas realiza a função de transferência desejada. Dessa forma, a análise da estrutura de medidas pode prosseguir e os erros em torno do descasamento dos capacitores poderão ser avaliados.

² Disponibilizado gratuitamente no site www.coe.ufrj.br/~acmq

Os erros relacionados ao descasamento dos capacitores poderão ser divididos em três grupos distintos: os erros relacionados aos capacitores dos *buffers*, aos do somador de saída e aos responsáveis pela medição da razão de interesse. O objetivo é verificar a influência dos dois primeiros no posicionamento do zero de transmissão da resposta em frequência da estrutura de medidas.

Os *buffers* são responsáveis por gerar os atrasos na função de transferência da estrutura de medidas. Ao projetar esses componentes, deve-se garantir que o capacitor de saída seja completamente carregado com a tensão de entrada, durante o tempo de chaveamento. No dimensionamento dos amplificadores de transcondutância, considere-se um tempo de carregamento com relativa folga em relação ao tempo de chaveamento do circuito. Com isso, caso os amplificadores apresentem um ganho elevado, mesmo na ocorrência de pequenas variações em torno dos valores dos capacitores unitários, a resposta em frequência da estrutura de medidas será preservada.

Dessa forma, cabe verificar cuidadosamente os erros promovidos pelo descasamento entre os capacitores do somador. A Fig. 2.9 ilustra o diagrama de blocos da estrutura de medidas.

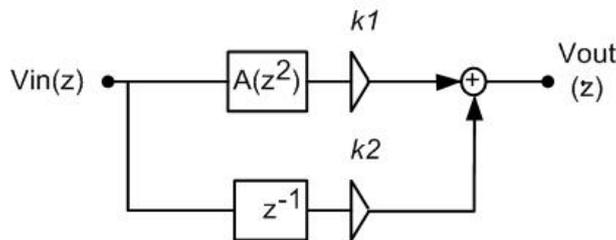


Figura 2.9 – Diagrama de blocos da estrutura de medidas.

Caso os coeficientes k_1 e k_2 ilustrados na figura acima apresentem o valor 0,5, a equação desenvolvida em (2.9) será mantida e o posicionamento do zero de transmissão na resposta em frequência do filtro será preservado. Portanto, o objetivo é verificar a relação entre o posicionamento do zero de transmissão e o descasamento entre os dois termos multiplicativos.

Para isso, seja a função de transferência do filtro ideal dada por

$$H(z) = \frac{1}{2}(A(z^2) + z^{-1}), \quad (2.23)$$

onde $A(z)$ é a função passa-tudo já discutida. Por se tratar de uma função passa-tudo as seguintes propriedades são atendidas:

$$\begin{aligned} |A(e^{j\omega})| &= 1; \forall \omega \\ |A(e^{j2\omega})| &= 1; \forall \omega \end{aligned} \quad (2.24)$$

Na frequência do zero de transmissão do filtro ideal, a seguinte expressão poderá ser obtida:

$$|H(e^{j\omega_0})| = \frac{1}{2} |A(e^{j2\omega_0}) + e^{-j\omega_0}| = 0, \quad (2.25)$$

onde ω_0 é a frequência do zero de transmissão do filtro. Desenvolvendo a expressão anterior tem-se

$$A(e^{j2\omega_0}) = -e^{-j\omega_0}, \quad (2.26)$$

$$A(e^{j2\omega_0}) = e^{-j\omega_0} e^{-j\pi} = e^{-j(\omega_0 + \pi)}. \quad (2.27)$$

Considerando agora o caso de descasamento entre os capacitores do somador, a função de transferência seria dada por

$$H_2(z) = k_1 A(z^2) + k_2 z^{-1}. \quad (2.28)$$

De forma a garantir que o módulo da função de transferência acima apresente um mínimo na frequência do zero de transmissão ω_0 , a seguinte igualdade deverá ser provada:

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = 0, \quad (2.29)$$

quando $\omega = \omega_0$. Partindo de (2.29) e desenvolvendo a expressão acima:

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = \frac{d}{d\omega} [H_2(e^{j\omega}) \cdot H_2(e^{-j\omega})], \quad (2.30)$$

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = \frac{d}{d\omega} [(k_1 A(e^{j2\omega}) + k_2 e^{-j\omega}) \cdot (k_1 A(e^{-j2\omega}) + k_2 e^{j\omega})]. \quad (2.31)$$

Expressando a função passa-tudo a partir de sua forma polar,

$$A(e^{j2\omega}) = |A(e^{j2\omega})|e^{-j\Phi(\omega)}, \quad (2.32)$$

e substituindo em (2.32):

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = \frac{d}{d\omega} [(k_1|A(e^{j2\omega})|e^{j\Phi(\omega)} + k_2e^{-j\omega}) (k_1|A(e^{j2\omega})|e^{-j\Phi(\omega)} + k_2e^{j\omega})] \quad (2.33)$$

Agora, aplicando a propriedade apresentada em (2.24) e desenvolvendo a expressão obtida

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = \frac{d}{d\omega} [(k_1e^{j\Phi(\omega)} + k_2e^{-j\omega})(k_1e^{-j\Phi(\omega)} + k_2e^{j\omega})], \quad (2.34)$$

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = \frac{d}{d\omega} [k_1^2 + k_2^2 + k_1k_2e^{j(\Phi(\omega)+\omega)} + k_1k_2e^{-j(\Phi(\omega)+\omega)}], \quad (2.35)$$

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = \frac{d}{d\omega} [k_1^2 + k_2^2 + 2k_1k_2\cos(\Phi(\omega) + \omega)], \quad (2.36)$$

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 = -2k_1k_2\text{sen}(\Phi(\omega) + \omega) \left[\frac{d}{d\omega} \Phi(\omega) + 1 \right]. \quad (2.37)$$

A partir de (2.27) a seguinte igualdade poderá ser obtida:

$$\Phi(\omega_0) = -(\omega_0 + \pi). \quad (2.38)$$

Adotando a igualdade acima e calculando a derivada no ponto desejado, isto é, na frequência do zero de transmissão

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 |_{\omega=\omega_0} = -2k_1k_2\text{sen}(\Phi(\omega_0) + \omega_0) \left[\frac{d}{d\omega} \Phi(\omega_0) + 1 \right], \quad (2.39)$$

$$\frac{d}{d\omega} |H_2(e^{j\omega})|^2 |_{\omega=\omega_0} = -2k_1k_2\text{sen}(-\pi) \left[\frac{d}{d\omega} \Phi(\omega_0) + 1 \right] = 0. \quad (2.40)$$

O resultado acima traz conclusões extremamente importantes no que diz respeito ao posicionamento do zero de transmissão na ocorrência do descasamento entre os capacitores do somador. Mesmo que ocorra o descasamento, a frequência do zero de

transmissão permanecerá inalterada e a única alteração observada será no fator de qualidade. A Fig. 2.10 comprova a validade da demonstração apresentada. Nela está ilustrada a resposta em frequência do filtro, considerando fatores multiplicativos distintos para cada uma das seções passa-tudo. Esses fatos concluem que a função de transferência, além de apresentar a resposta em frequência desejada, é extremamente robusta a possíveis descasamentos entre os capacitores que compõem tanto os *buffers* quanto o somador.

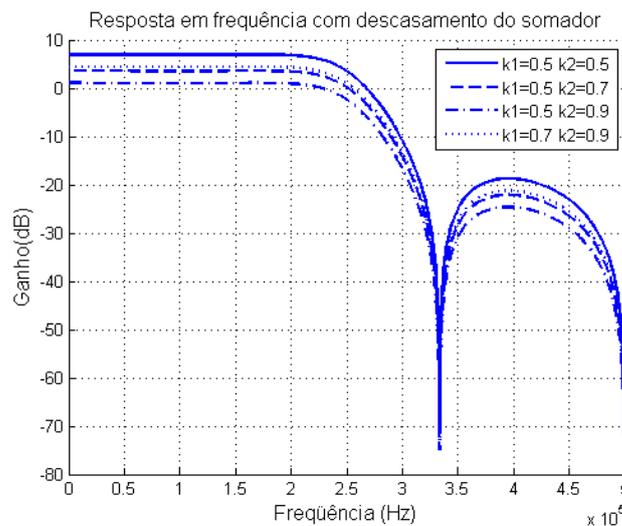


Figura 2.10 – Resposta em frequência da estrutura de medidas considerando descasamento no somador.

Com a base teórica que envolve a estrutura de medidas bem desenvolvida e simulações que comprovam o seu funcionamento já apresentadas, o próximo passo consiste no desenvolvimento das matrizes de capacitores que serão utilizadas. A seção a seguir trará algumas explicações sobre as técnicas de projeto de capacitores em circuitos integrados, seguidos de uma forma de analisar os efeitos de gradientes de processo. A partir daí, as matrizes serão apresentadas e discutidas de forma a compreender as vantagens e desvantagens nas suas organizações.

2.3 – Organização dos Capacitores em Circuitos Integrados

No processo de fabricação CMOS, os capacitores podem ser construídos utilizando componentes distintos. Devido à maior linearidade [1], as implementações mais comuns consistem em capacitores formados por poly/poly e metal/metal, isto é, duas placas de silício policristalino ou de metal, respectivamente, separadas por uma fina camada de óxido.

Neste projeto, optou-se por construir os capacitores a partir de duas placas de silício policristalino, separados por uma camada de óxido. As menores dimensões apresentadas por esse tipo de capacitor [5] e, conseqüentemente, a menor área de circuito integrado utilizada, foi determinante para sua aplicação no trabalho.

Em circuitos integrados, o valor final da capacitância é dado pela área e pelo perímetro das placas de um capacitor [22]. A dependência em relação ao perímetro se deve ao chamado efeito de borda, que consiste no espalhamento do campo elétrico além das bordas das placas do capacitor.

Devido ao efeito de borda, também conhecido como efeito de franja, o projetista de circuitos analógicos deve, então, realizar o casamento adequado, considerando a relação área/perímetro. Por exemplo, caso o projetista deva implementar uma razão entre capacitores $C_1/C_2 = \eta$, não só a razão entre áreas, como também a razão entre os perímetros, devem apresentar o valor estimado.

Uma forma de conseguir esse casamento é através da associação de capacitores unitários idênticos em paralelo [15], [20]. Essa técnica consiste na utilização de um único capacitor capaz de implementar os demais capacitores necessários. Supondo que o projetista deva implementar uma razão de capacitâncias igual a 5/8, ou seja,

$$C_1/C_2 = 5/8, \tag{2.41}$$

o capacitor C_1 poderia ser implementado através da associação de cinco capacitores unitários em paralelo, enquanto C_2 através de oito. Dessa forma, a razão de capacitâncias é dada por:

$$C_1/C_2 = 5C/8C = 5/8, \quad (2.42)$$

onde C é a capacitância do capacitor unitário projetado.

Essa técnica permite não só um melhor casamento para os componentes, como também reduz o efeito de capacitâncias parasitas [5]. Além disso, o tempo de projeto é reduzido, já que um único capacitor deverá ser projetado, enquanto os demais são obtidos a partir da organização desses capacitores em paralelo.

Os capacitores podem sofrer com diferentes fontes de erros que, em geral, são classificadas em dois grandes grupos: os erros aleatórios e os erros sistemáticos. O não casamento da relação área/perímetro, por exemplo, levaria a um erro considerado sistemático no projeto dos capacitores.

Os erros aleatórios consistem na maior limitação em torno da precisão obtida pelos dispositivos. São erros que não podem ser corrigidos com técnicas de projeto e *layout*. São modelados a partir de variáveis aleatórias e seus efeitos são discutidos em diversos artigos como [23] e [24]. As principais fontes de erros aleatórios no projeto dos capacitores MOS são: a espessura irregular da camada de óxido que separa as duas placas do material, as irregularidades nas bordas dos capacitores ocasionadas pelo efeito de corrosão (*overetching*) e alterações na constante dielétrica do óxido.

Os erros sistemáticos são ocasionados a partir do *layout* dos componentes em um circuito integrado. São erros que podem ser corrigidos a partir de técnicas de projeto e *layout* adequadas. Segundo [15], a principal fonte de erro sistemático consiste exatamente no descasamento entre área e perímetro das placas do capacitor. Outras fontes de erros sistemáticos são: a proximidade dos dispositivos, as capacitâncias de interconexão, o descasamento nas interconexões, dentre outros.

As informações contidas em [15] e [20] levam o projetista a adotar diversas técnicas de *layout* para minimizar os erros sistemáticos que podem ocorrer nos capacitores. A utilização de capacitores unitários para realizar o casamento da relação área/perímetro, a adição de capacitores *dummy* para minimizar erros relacionados aos efeitos de proximidade dos dispositivos e à questão da corrosão, a aplicação de anéis de guarda e o arranjo simétrico dos capacitores unitários são apenas algumas das soluções propostas.

Portanto, segundo as técnicas de projeto discutidas, a utilização de capacitores unitários organizados de forma matricial nos *layouts* seria a melhor forma de

implementar os capacitores em circuitos integrados, evitando erros decorrentes do processo de fabricação.

Como os circuitos a capacitores chaveados dependem unicamente da relação entre capacitâncias, considere um circuito composto pela razão A/B, onde A e B são valores inteiros positivos. Sabe-se que terão que ser organizados A+B capacitores unitários, de forma que um número A de capacitores estejam associados em paralelo e B capacitores estejam organizados da mesma forma.

Todavia, devido a erros relacionados a gradientes de variação de processo, a razão entre capacitâncias realmente implementada no circuito integrado de interesse será

$$\frac{C_A}{C_B} = \frac{\sum_{I=1}^A C_I}{\sum_{J=1}^B C_J} = \frac{A \frac{1}{A} \sum_{I=1}^A C_I}{B \frac{1}{B} \sum_{J=1}^B C_J} \quad (2.43)$$

onde C_i e C_j consistem nas capacitâncias reais que implementam os capacitores C_A e C_B .

Caso os valores médios das capacitâncias unitárias que implementam os capacitores C_A e C_B sejam iguais, nenhum erro na implementação das razões de capacitâncias no circuito integrado será verificado.

Uma forma de analisar o posicionamento dos capacitores unitários, buscando um arranjo imune às variações de gradientes de processo, pode ser feita através de um modelo linear de primeira ordem. Esse modelo consiste em uma aproximação que representa muito bem os efeitos a serem verificados [6], [17]. Sendo assim, o modelo é dado pela expressão

$$C_{xy} = C + \alpha x + \beta y \quad (2.44)$$

onde C_{xy} é a capacitância unitária nas coordenadas x e y do posicionamento do capacitor unitário em uma matriz de capacitores e as constantes α e β são componentes dos gradientes de processo.

Para compreender melhor o modelo utilizado, as Figs. 2.11 (a) e (b) apresentam duas matrizes de capacitores unitários. Os valores que compreendem a variação nos gradientes de processo são apresentados nas linhas horizontais e verticais ao lado da

matriz de capacitores. Os capacitores identificados pela mesma letra na figura são os capacitores unitários que são associados em paralelo para formar um determinado capacitor do circuito. Os capacitores não identificados na figura consistem em capacitores *dummys*, responsáveis por evitar erros sistemáticos relacionados à vizinhança dos componentes de interesse.

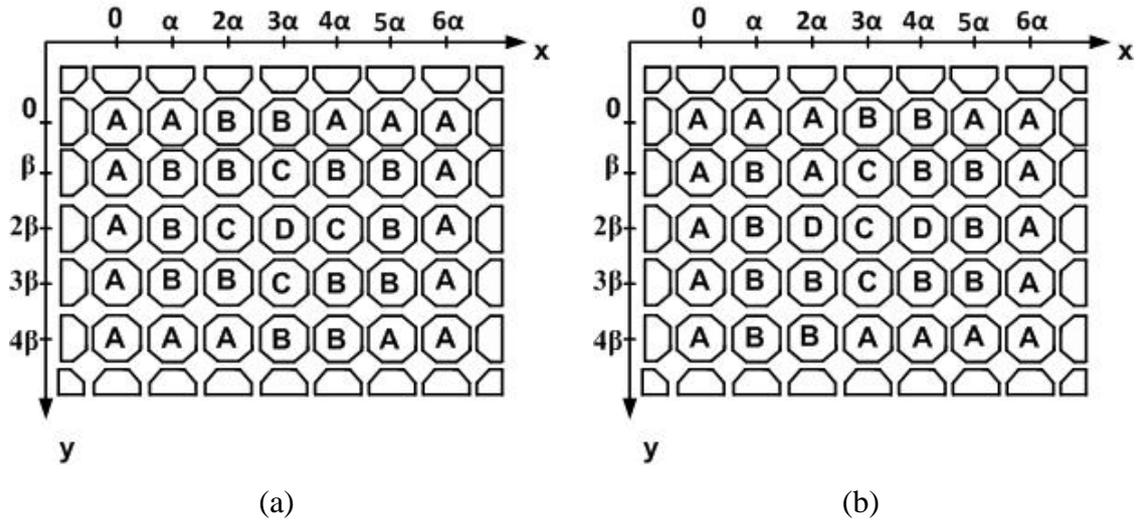


Figura 2.11 – Exemplos de matrizes de capacitores para análise.

Utilizando o modelo discutido para os capacitores da primeira matriz, as seguintes capacitâncias médias são obtidas:

$$\langle C_{xy} \rangle_A = \frac{1}{16}(16C + 48\alpha + 32\beta) = (C + 3\alpha + 2\beta), \quad (2.45)$$

$$\langle C_{xy} \rangle_B = \frac{1}{14}(14C + 42\alpha + 28\beta) = (C + 3\alpha + 2\beta), \quad (2.46)$$

$$\langle C_{xy} \rangle_C = \frac{1}{4}(4C + 12\alpha + 8\beta) = (C + 3\alpha + 2\beta), \quad (2.47)$$

$$\langle C_{xy} \rangle_D = \frac{1}{1}(C + 3\alpha + 2\beta) = (C + 3\alpha + 2\beta). \quad (2.48)$$

Repetindo o processo para a segunda matriz, os resultados obtidos serão:

$$\langle C_{xy} \rangle_A = \frac{1}{17}(17C + 52\alpha + 33\beta) = \left(C + \frac{52}{17}\alpha + \frac{33}{17}\beta \right), \quad (2.49)$$

$$\langle C_{xy} \rangle_B = \frac{1}{13}(13C + 38\alpha + 27\beta) = \left(C + \frac{38}{13}\alpha + \frac{27}{13}\beta \right), \quad (2.50)$$

$$\langle C_{xy} \rangle_C = \frac{1}{3}(3C + 9\alpha + 6\beta) = (C + 3\alpha + 2\beta), \quad (2.51)$$

$$\langle C_{xy} \rangle_D = \frac{1}{2}(2C + 6\alpha + 4\beta) = (C + 3\alpha + 2\beta). \quad (2.52)$$

Comparando as médias obtidas nos dois exemplos, verifica-se que a primeira matriz apresentou a mesma média para todos os capacitores. Dessa maneira, mesmo na ocorrência de gradientes de variação no processo fabricação, as razões de capacitâncias seriam preservadas e os resultados fornecidos seriam mais precisos que a segunda matriz.

O método descrito acima será utilizado para analisar as matrizes de capacitores contidas neste projeto, fornecendo uma base teórica para a análise dos resultados de simulação e experimentais.

No total, oito matrizes de capacitores, contendo a mesma razão de capacitâncias, serão projetadas: $C_A/C_B = 1/2$, com C_A contendo oito capacitores e C_B contendo dezesseis capacitores em paralelo. No entanto, somente quatro delas terão topologias diferentes. As mesmas quatro topologias serão duplicadas e inseridas em um ponto mais distante do *layout*, visando, através dos resultados experimentais, verificar a influência de erros aleatórios no posicionamento do zero de transmissão do filtro a capacitores chaveados.

A seguir, cada uma das topologias elaboradas neste trabalho será apresentada. Suas características principais serão discutidas e o *layout* será analisado a partir do modelo de primeira ordem descrito. Os resultados teóricos serão obtidos para posterior verificação no circuito integrado. O projeto e *layout* do capacitor unitário serão explicados no capítulo seguinte.

2.3.1– Matriz sem Compensação

A primeira matriz a ser analisada consiste em uma matriz sem compensação. Esta é composta pelo arranjo mais simples de capacitores possível e seu objetivo foi, além de verificar o funcionamento do filtro a capacitores chaveados, comparar os resultados com os arranjos mais complexos, visando verificar as vantagens em cada implementação. A Fig. 2.12 apresenta a configuração da matriz sem compensação com os eixos na horizontal e vertical para analisar os efeitos de gradiente de processo.

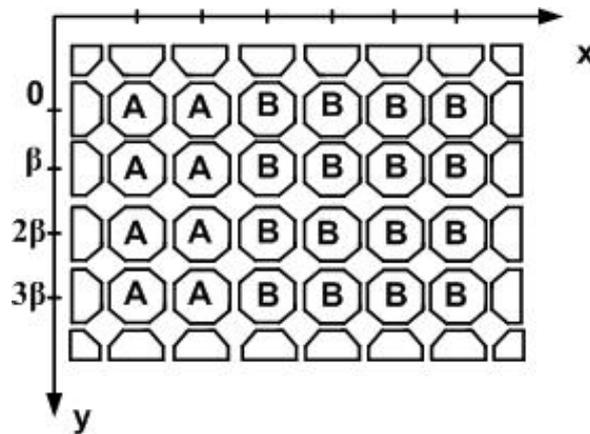


Figura 2.12 – Matriz sem compensação.

A figura acima mostra que os capacitores que correspondem a C_A estão organizados totalmente à esquerda da matriz, enquanto os capacitores pertencentes a C_B estão posicionados à direita da matriz. Os capacitores não identificados correspondem a capacitores *dummy*, cuja função já foi explicada na seção anterior.

A análise da matriz quanto à influência de gradientes de variação de processo mostra que os valores médios das capacitâncias C_A e C_B são:

$$\langle C_{xy} \rangle_A = \frac{1}{8}(8C + 4\alpha + 12\beta) = \left(C + \frac{1}{2}\alpha + \frac{3}{2}\beta \right), \quad (2.53)$$

$$\langle C_{xy} \rangle_B = \frac{1}{16}(16C + 56\alpha + 24\beta) = \left(C + \frac{7}{2}\alpha + \frac{3}{2}\beta \right). \quad (2.54)$$

Como os valores médios dos capacitores diferem, espera-se que a matriz sem compensação seja sensível a gradientes de processo, vindo a apresentar resultados menos precisos que as matrizes que serão discutidas a seguir.

A grande vantagem desta organização consiste no roteamento interno da matriz. Como os capacitores unitários pertencentes a um mesmo capacitor estão posicionados bastante próximos, a conexão desses capacitores se torna bastante simples e evita possíveis capacitâncias parasitas decorrentes do cruzamento das interligações. A Fig. 2.13 consiste no *layout* da matriz sem compensação.

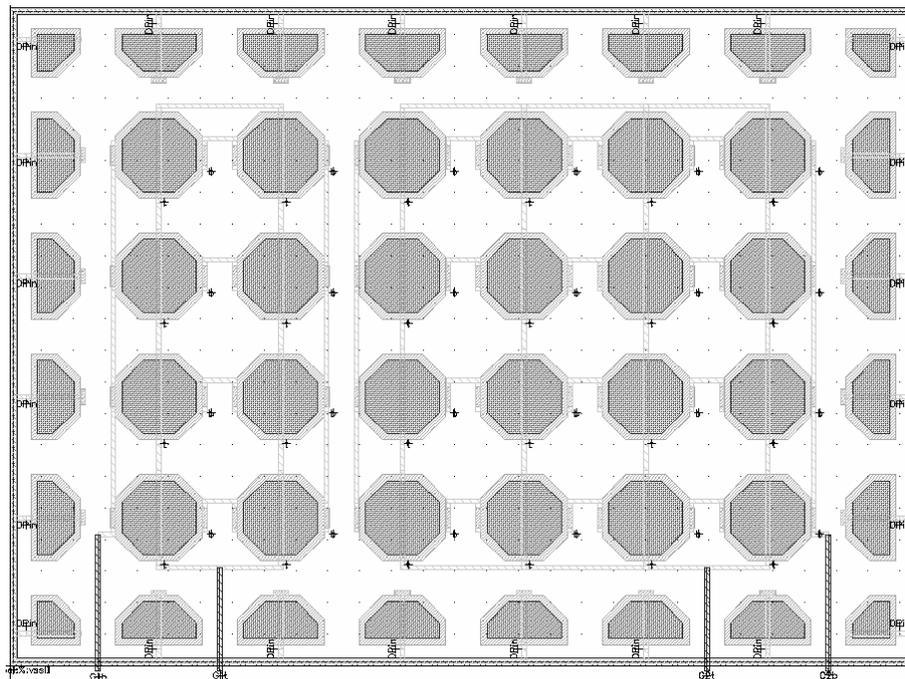


Figura 2.13 – *Layout* da matriz sem compensação.

Conforme ilustrado no *layout*, o roteamento interno da matriz é bastante simples, evitando qualquer cruzamento entre as trilhas que poderiam gerar o aparecimento de capacitâncias parasitas. Esse fato vem a facilitar a medição, pois o erro no resultado fornecido pela estrutura de medidas seria unicamente gerado pela variação decorrente dos parâmetros de processo.

2.3.2 – Matriz com Centroide Comum sem Compensação de Momento

A matriz com centroide comum sem compensação de momento consiste na tradicional matriz com centroide comum simétrica.

Para compreender melhor os benefícios trazidos pela configuração em centroide comum simétrica, será feita a análise da matriz de capacitores contida no projeto e baseada nesta configuração. A Fig. 2.14 ilustra a matriz de capacitores nessa topologia.

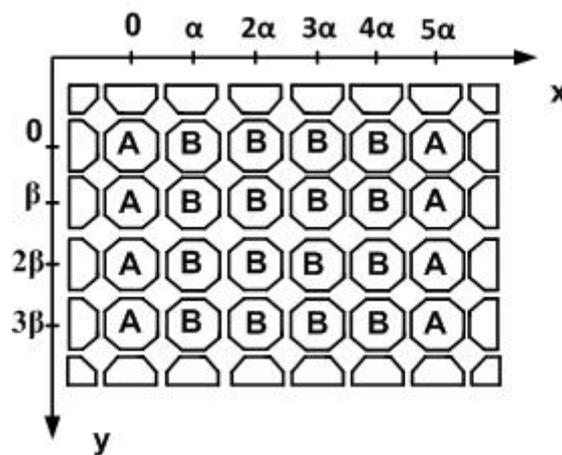


Figura 2.14 – Matriz de capacitores na topologia centroide comum simétrica.

A análise da matriz mostra que os valores médios das capacitâncias C_A e C_B são dados por:

$$\langle C_{xy} \rangle_A = \frac{1}{8}(8C + 20\alpha + 12\beta) = \left(C + \frac{5}{2}\alpha + \frac{3}{2}\beta\right), \quad (2.55)$$

$$\langle C_{xy} \rangle_B = \frac{1}{16}(16C + 40\alpha + 24\beta) = \left(C + \frac{5}{2}\alpha + \frac{3}{2}\beta\right). \quad (2.56)$$

O resultado apresentado traz uma característica extremamente positiva para essa configuração. As médias das capacitâncias são exatamente as mesmas, isto é, caso erros de gradientes de processo atuem no circuito integrado, as capacitâncias sofreriam as mesmas variações. Esse fato seria responsável pela conservação dos valores de razão de capacitores e minimização dos erros de implementação.

A Fig. 2.15 apresenta o *layout* da matriz de capacitores em centroide comum sem compensação de momento. Uma característica evidente no *layout* é a questão da simetria adotada. Não só o posicionamento dos capacitores unitários na matriz, mas também o próprio roteamento dos capacitores satisfazem essa determinação.

Após a análise teórica do circuito, espera-se que esta configuração seja capaz de fornecer um resultado bastante preciso no posicionamento do zero de transmissão do filtro a capacitores chaveados. Esses resultados devem ser superiores, por exemplo, aos obtidos com a matriz sem compensação discutida na subseção anterior.

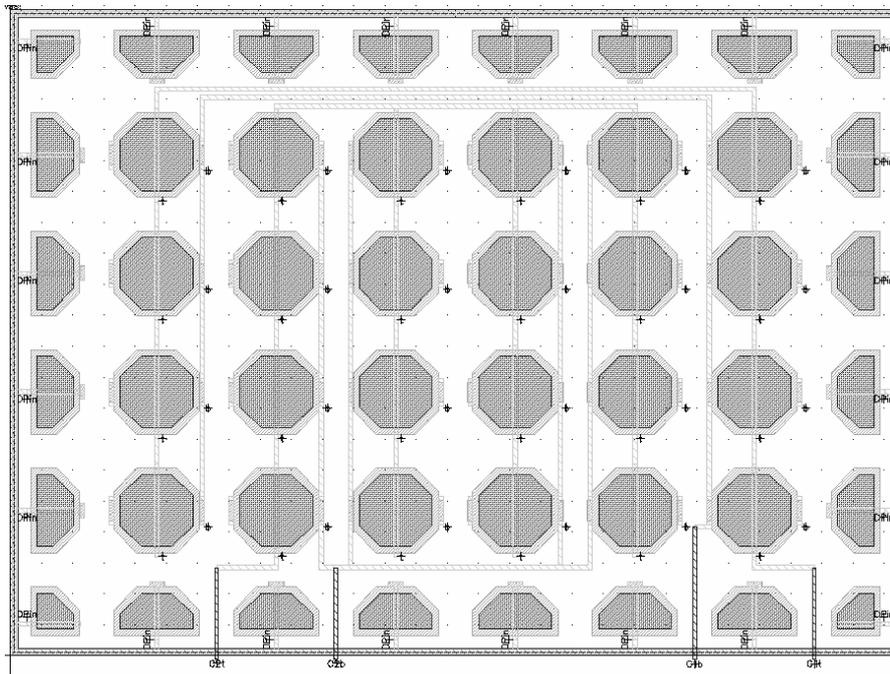


Figura 2.15 – *Layout* da matriz em centroide comum simétrica.

2.3.3 – Matriz Insensível a Gradientes de Variação de Processo sem Simetria

A matriz em centroide comum com simetria em relação ao centro da matriz é capaz de fornecer resultados teóricos bastante satisfatórios no projeto de circuitos integrados analógicos. No entanto, esse tipo de configuração apresentará limitações ligadas ao número de capacitores unitários necessários para elaboração das razões de interesse.

O teorema presente em [18] estabelece que a configuração com centroide comum simétrica só poderá ser aplicada quando todos os capacitores forem compostos por um número par de capacitores unitários ou quando houver, no máximo, um único capacitor com número ímpar desses capacitores.

Um exemplo básico consiste em um filtro cujos coeficientes são dados a partir da relação de alguns capacitores. Caso mais de um dos capacitores seja elaborado a partir de um número ímpar de capacitores unitários em paralelo, a configuração em centroide comum simétrica não poderá ser aplicada. Somente um dos capacitores poderia ser mantido com um valor ímpar de capacitores unitários, enquanto os demais deveriam ser recalculados a partir de um valor par. Para um filtro com especificações rígidas, essas aproximações poderiam não ser toleradas no projeto.

Contudo, há a possibilidade de gerar matrizes de capacitores insensíveis a gradientes de processo em centroide comum, mas sem utilizar uma configuração simétrica. Graças a essas novas topologias, denominadas neste trabalho de matrizes insensíveis a gradientes de variação de processo sem simetria, a elaboração de matrizes de capacitores com valores ímpares de capacitores unitários foram permitidas.

A Fig. 2.16 apresenta a matriz insensível a gradientes de variação de processo sem simetria que será utilizada neste trabalho.

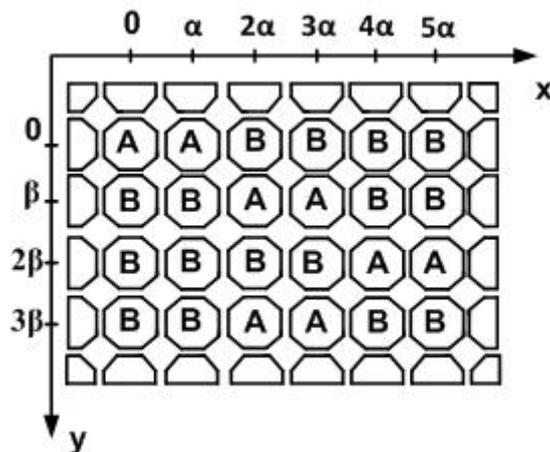


Figura 2.16 – Matriz insensível a gradientes de variação de processo sem simetria.

Conforme pode ser observado na figura acima, a matriz de capacitores proposta não segue nenhuma das características estabelecidas no caso da configuração em centroide comum simétrica para a minimização dos efeitos de gradientes de processo.

Porém, realizando o cálculo das médias a partir do modelo de primeira ordem, os seguintes resultados foram obtidos:

$$\langle C_{xy} \rangle_A = \frac{1}{8}(8C + 20\alpha + 12\beta) = \left(C + \frac{5}{2}\alpha + \frac{3}{2}\beta \right), \quad (2.57)$$

$$\langle C_{xy} \rangle_B = \frac{1}{16}(16C + 40\alpha + 24\beta) = \left(C + \frac{5}{2}\alpha + \frac{3}{2}\beta \right). \quad (2.58)$$

A configuração proposta, assim como na topologia em centroide comum simétrica, apresentou as mesmas médias para as capacitâncias desenvolvidas. A capacidade de gerar matrizes insensíveis, mesmo sem utilizar a configuração em centroide comum simétrica, pode ser uma estratégia bastante viável dependendo das características do projeto.

Apesar dessa característica relacionada aos parâmetros de processo, o roteamento das interconexões mais confuso, conforme pode ser visto na Fig. 2.17, poderia proporcionar o aparecimento de capacitâncias parasitas decorrentes da interligação dos componentes e cruzamento das vias.

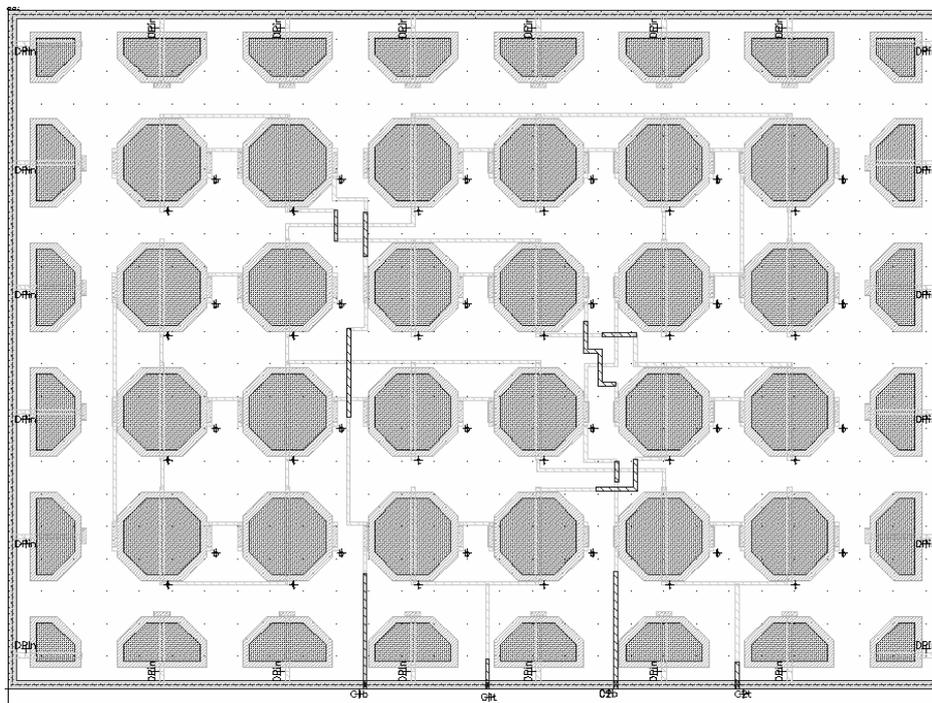


Figura 2.17 – Layout da matriz insensível sem compensação.

Considerando essa questão do roteamento, caso uma matriz possa ser implementada nas duas configurações descritas, isto é, em centroide comum simétrica ou insensível a gradientes de processo sem compensação de momento, espera-se que o resultado mais preciso seja fornecido pela topologia em centroide comum simétrica.

2.3.4 – Matriz com Centroide Comum e Compensação de Momento

A possibilidade de gerar configurações de matrizes de capacitores insensíveis a gradientes de processo, sem a utilização da configuração em centroide comum simétrica, conduziu à pesquisa em torno da configuração que minimizaria os erros decorrentes do gradiente de variação do processo de fabricação.

A procura pelo *layout* ótimo poderia ser feita a partir de uma função custo que levaria em consideração algumas figuras de mérito – erros nas razões de capacitâncias, minimização do erro médio, melhor roteamento, dentre outros.

Durante a busca para encontrar o *layout* ótimo, ou seja, aquele que reduziria a função custo e, conseqüentemente, minimizaria os erros de gradientes de processo, o trabalho desenvolvido em [4] propõe uma nova forma de organização dos capacitores unitários baseado na minimização dos erros aleatórios.

A análise é inicialmente desenvolvida a partir do modelo de *Pelgrom*, que diz que a variância nas capacitâncias de dois capacitores unitários poderá ser dada por

$$\sigma^2(C_{xy}) = \frac{A_p^2}{WL} + S_p^2 D_x^2, \quad (2.59)$$

onde os capacitores unitários são retangulares de largura W, comprimento L e com uma separação D_x . As constantes A_p e S_p são dependentes do processo de fabricação.

A expressão acima mostra que a variância nos capacitores unitários é reduzida não só quando a área dos capacitores aumenta, mas também quando mais próximos os capacitores forem distribuídos no *layout*.

Considerando as capacitâncias unitárias como variáveis aleatórias independentes com o mesmo valor esperado, o objetivo se torna a minimização das suas variâncias.

Partindo das mesmas considerações anteriores, as variâncias nas médias das capacitâncias unitárias serão:

$$VAR \left[\frac{1}{A} \sum_{I=1}^A C_I \right] = \frac{\sigma_A^2}{A}, \quad (2.60)$$

$$VAR \left[\frac{1}{B} \sum_{J=1}^B C_J \right] = \frac{\sigma_B^2}{B}, \quad (2.61)$$

onde σ_A^2 e σ_B^2 são as variâncias dos capacitores unitários.

O resultado acima mostra que quanto maior o número de capacitores unitários responsáveis por realizar um determinado valor de capacitor, menor será sua variância e, conseqüentemente, melhor será o casamento entre as capacitâncias.

A informação anterior, aliada à regra de *Pelgrom*, traz importantes informações para a organização dos capacitores unitários em circuitos integrados. Os capacitores que apresentarem maior número de capacitores unitários em paralelo, segundo (2.60) e (2.61), apresentarão menor variância, enquanto aqueles compostos por um menor número de componentes apresenta um valor mais elevado. Como ilustrado na regra de *Pelgrom*, a variância é diretamente proporcional à distância entre os componentes no circuito integrado fabricado. Dessa forma, pode-se compensar a questão do menor número de capacitores unitários aproximando-os durante a elaboração do *layout*. Assim, tanto as capacitâncias que apresentam um maior número de capacitores unitários, quanto as que apresentam um menor número terão suas respectivas variâncias minimizadas, aumentando a precisão dos resultados.

O trabalho proposto em [4] busca otimizar essas informações e fornecer matrizes insensíveis a variações de gradientes de processo, aliadas com as informações adquiridas com o modelo de *Pelgrom* e a minimização das variâncias. Para isso, foi desenvolvida uma função custo, capaz de mensurar os efeitos discutidos e motivar a escolha da topologia adequada. Uma grandeza utilizada capaz de mensurar a minimização da variância foi o conceito de momento de inércia presente na física.

O momento de inércia mede a dificuldade em se alterar o estado de movimento de um corpo em rotação. Segundo suas características, quanto mais afastados os pontos de massa estiverem do eixo de revolução, maior será o valor do momento de inércia.

Além disso, se as maiores massas estiverem posicionadas próximas ao eixo de revolução e as menores mais afastadas, menor será o momento de inércia.

No caso das matrizes de capacitores unitários o conceito pode ser aplicado da seguinte forma: O eixo de revolução será atribuído ao centro da matriz, enquanto as massas serão determinadas a partir do inverso do número de capacitores unitários em paralelo. Dessa maneira, aqueles que apresentarem maior número de capacitores unitários terão menor “massa” e, se posicionados mais afastados do eixo de rotação, menor será o momento de inércia. Assim, a função custo seria minimizada quando os capacitores que apresentam menor número de capacitores unitários em paralelo estão localizados próximos ao eixo de rotação, representando adequadamente as ideias apresentadas em (2.59) e (2.60).

Dessa forma, uma nova matriz, denominada matriz em centroide comum com compensação de momento, ilustrada na Fig. 2.18, pode ser desenvolvida, visando obter resultados superiores aos até então presentes na literatura.

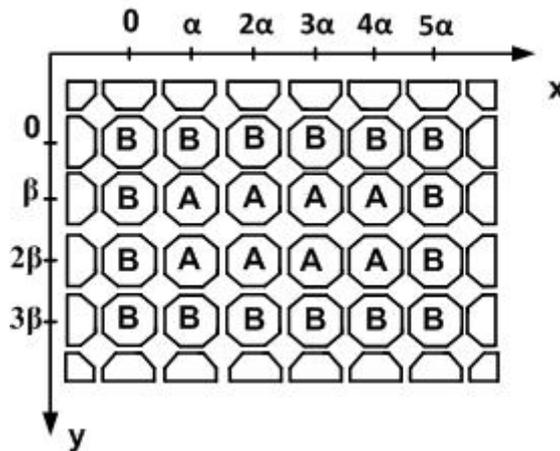


Figura 2.18 – Matriz em centroide comum e compensação de momento.

Novamente, calculando os valores médios das capacitâncias da matriz, os valores encontrados são:

$$\langle C_{xy} \rangle_A = \frac{1}{8}(8C + 20\alpha + 12\beta) = \left(C + \frac{5}{2}\alpha + \frac{3}{2}\beta \right), \quad (2.62)$$

$$\langle C_{xy} \rangle_B = \frac{1}{16}(16C + 40\alpha + 24\beta) = \left(C + \frac{5}{2}\alpha + \frac{3}{2}\beta \right). \quad (2.63)$$

A configuração proposta minimiza os erros de gradiente de processo, conforme indicado na análise descrita acima. Além disso, minimiza as variâncias em torno dos valores de capacitâncias, baseado na compensação de momento descrita no início dessa subseção. Com o *layout*, apresentado na Fig. 2.19, espera-se que esse tipo de configuração apresente resultados superiores em relação às topologias anteriormente comentadas.

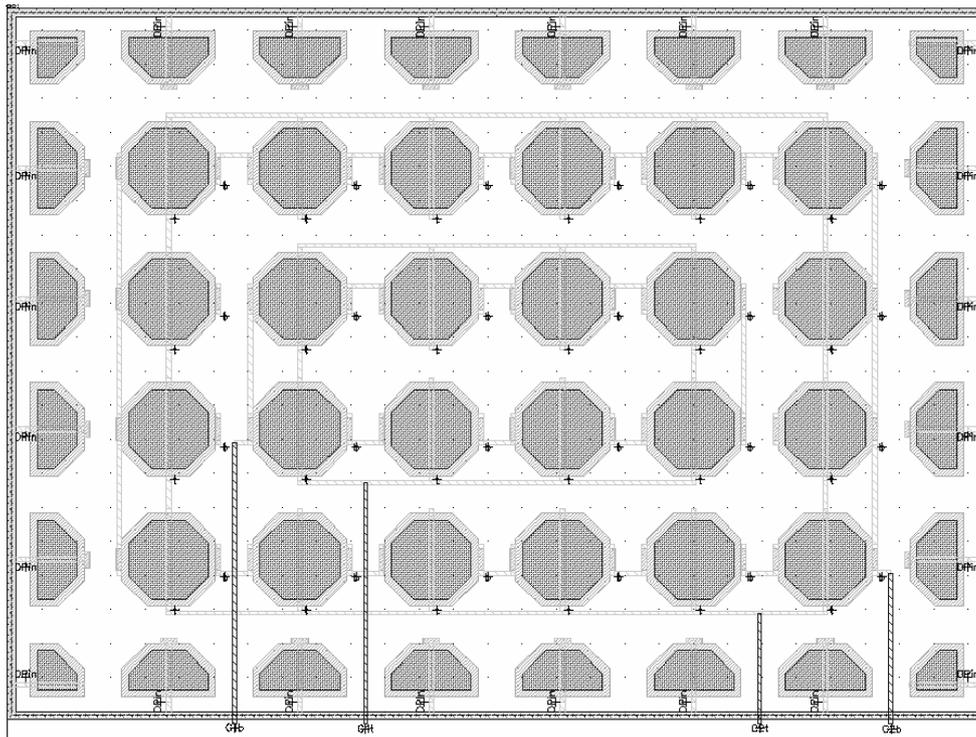


Figura 2.19– *Layout* da matriz em centroide comum e compensação de momento.

Com a apresentação das matrizes de capacitores concluída, o Capítulo 3 consistirá no projeto dos componentes necessários para o funcionamento da estrutura de medidas proposta. O capítulo será iniciado com o projeto dos componentes essenciais para o funcionamento do circuito – capacitores unitários, chaves analógicas e amplificadores de transcondutância – e depois trará os componentes auxiliares cujas funções serão apresentadas.

Simulações que envolvem o funcionamento dos componentes individuais serão apresentados e o filtro completo será montado. Os resultados teóricos que envolvem toda a estrutura de medidas serão discutidos no capítulo seguinte.

Capítulo 3

Projeto dos Componentes da Estrutura de Medidas

Os componentes do filtro a capacitores chaveados podem ser divididos em dois grupos distintos. O primeiro grupo é composto pelos componentes essenciais, isto é, os capacitores unitários, as chaves analógicas e os amplificadores de transcondutância, todos responsáveis pela elaboração da função de transferência na topologia desejada. O segundo grupo engloba os componentes auxiliares, ou seja, aqueles componentes que não fazem parte do circuito a capacitores chaveados, porém suas funções são necessárias para o funcionamento correto da estrutura de medidas.

Os amplificadores e as chaves analógicas devem ter seu projeto cuidadosamente elaborado, de forma que os resultados apresentados sejam bastante precisos. Possíveis erros no projeto desses componentes levariam ao mau funcionamento da estrutura de medidas e, conseqüentemente, em um posicionamento inadequado do zero de transmissão. Dessa forma, tanto a topologia desses componentes, quanto as simulações que envolvem suas operações devem ser escolhidas e analisadas de forma a minimizar possíveis erros.

Os componentes auxiliares também terão suas topologias e aplicações devidamente discutidas. No geral, suas funções serão ligadas à polarização dos amplificadores de transcondutância e seleção de matrizes. Simulações que comprovam o seu funcionamento serão apresentadas, confirmando, portanto, a validade de todos os componentes responsáveis para o funcionamento correto da estrutura de medidas.

As simulações serão realizadas com o simulador *Spectre* presente no software de circuitos integrados da *Cadence* para uma tecnologia CMOS de 0,35 μm . As simulações apresentadas consistirão em testes para o funcionamento dos componentes individuais. Após confirmação do funcionamento dos componentes, os *layouts* serão elaborados para fabricação do circuito integrado. Técnicas amplamente discutidas na literatura [15], [20] que visam manter um casamento adequado dos componentes serão utilizadas de

forma que o projeto seja robusto, mesmo na ocorrência de variações decorrentes do processo de fabricação.

Sendo assim, este capítulo contará com o projeto de todos os componentes responsáveis pelo funcionamento da estrutura de medidas. Cada um deles será devidamente discutido e testado para que, no capítulo posterior, os resultados teóricos da estrutura de medidas possam ser analisados.

3.1 – Capacitor Unitário

O capítulo anterior trouxe as principais considerações a serem adotadas no projeto dos capacitores em circuitos integrados. Essas considerações consistiriam na minimização dos erros sistemáticos e, conseqüentemente, na maior precisão em torno dos resultados obtidos. Como uma das técnicas consiste na implementação de capacitores unitários, visando minimizar o descasamento na relação área/perímetro, só será necessário projetar um único capacitor. Os demais serão obtidos a partir da associação desses capacitores unitários em paralelo. A técnica de projeto foi a mesma adotada em [5] e [36], visto os resultados positivos obtidos.

O primeiro passo consiste na determinação do valor da capacitância unitária. Alguns fatores podem ser determinantes na escolha de uma capacitância que atenda às necessidades do projeto como: o ruído térmico e o tamanho final do componente.

O valor da capacitância estará diretamente relacionada à questão de ruído térmico introduzido no circuito. A potência média do ruído térmico pode ser modelada a partir da expressão

$$v_n^2 = \frac{kT}{C}, \quad (3.1)$$

onde T é a temperatura, expressa em Kelvin, k é a constante de Boltzmann e C é a capacitância vista pela chave analógica [5].

Essa expressão mostra que a potência média de ruído térmico cai à medida que há o aumento da capacitância unitária do circuito. Porém, um aumento significativo da capacitância unitária poderia não só levar a um crescimento da área de circuito integrado ocupado, mas também ao aumento de potência consumida, devido à maior

corrente de polarização fornecida aos OTAs, de forma a atender às especificações do projeto.

Dessa forma, a capacitância escolhida deve atender de maneira satisfatória às duas condições impostas. Uma capacitância muito pequena levaria não só ao aumento expressivo da potência de ruído térmico, mas também a capacitâncias parasitas da mesma ordem de grandeza, enquanto uma capacitância muito grande levaria a um aumento excessivo do circuito integrado e um maior consumo de potência. Para atender às duas restrições, adotou-se uma capacitância unitária com valor de 100 fF.

O próximo passo consiste na geometria do *layout* dos capacitores unitários. A geometria terá um formato octogonal, conforme ilustrado na Fig. 3.1. Esse tipo de geometria reduz efeitos indesejados (efeito de *undercut*) que viria a promover variações em torno do valor da capacitância unitária [5], [37] e é mais evidente em ângulos mais fechados.

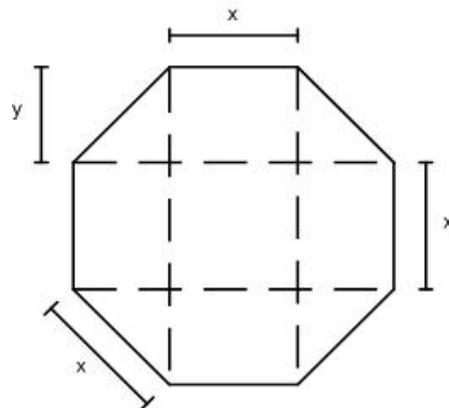


Figura 3.1 – Geometria do capacitor unitário utilizado.

Conforme mencionado, a capacitância final será determinada não só pela área do capacitor, mas também pelo seu perímetro. O valor final da capacitância poderá ser dado pela expressão

$$C = C_a A + C_p P, \quad (3.2)$$

onde A e P serão a área e o perímetro do capacitor respectivamente e C_a e C_p são parâmetros fornecidos pelo processo de fabricação que indicam a capacitância por unidade de área e a capacitância por unidade de perímetro.

A área e o perímetro do capacitor serão dados por

$$A = x^2 + 4xy + 2y^2 \text{ e} \quad (3.3)$$

$$P = 8x. \quad (3.4)$$

A partir de um simples cálculo geométrico, podem ser estabelecidas as relações entre x e y . Considerando somente o triângulo formado pela divisão do capacitor presente na figura anterior, a relação entre as duas grandezas seria dada por

$$x = \sqrt{2}y. \quad (3.5)$$

Combinando as três relações anteriores com a expressão obtida em (3.2), o valor da capacitância é dado por

$$C = 4y^2 C_a (1 + \sqrt{2}) + 8\sqrt{2} C_p y. \quad (3.6)$$

Os valores das capacitâncias por unidade de área e perímetro variam de acordo com o processo de fabricação utilizado. Nesse projeto utilizou-se o processo da AMS (*Austriamicrosystems*) de $0,35 \mu\text{m}$. No manual do fabricante, foi encontrado que os valores máximos para as capacitâncias por unidade de área e por unidade de perímetro são

$$C_a = 0,96 \text{ fF}/\mu\text{m}^2 \text{ e } C_p = 0,089 \text{ fF}/\mu\text{m}. \quad (3.7)$$

A utilização dos valores máximos para as capacitâncias se deve em virtude das características de projeto dos amplificadores de transcondutância. O dimensionamento dos OTAs é feito a partir da carga capacitiva presente na saída. Dessa forma, utilizando os valores máximos, pode-se garantir que os capacitores projetados não apresentarão uma capacitância maior que o valor adotado para o dimensionamento do amplificador.

Dessa forma, a equação de segundo grau presente em (3.6) poderá ser resolvida para $C = 100 \text{ fF}$, e os valores obtidos serão

$$y = \begin{cases} 3,5 \mu\text{m} \\ -3,3 \mu\text{m} \end{cases} \quad (3.8)$$

Uma das soluções possíveis é negativa e como a grandeza trabalhada só poderá assumir valores positivos, essa solução é automaticamente descartada. Com o valor restante e a partir de (3.5), a outra dimensão do capacitor poderá ser encontrada. Portanto, os valores finais para o dimensionamento do capacitor serão:

$$y = 3,5 \mu m \text{ e } x = 4,8 \mu m . \quad (3.9)$$

Com as grandezas já calculadas, o *layout* do capacitor unitário poderá ser desenvolvido. A Fig. 3.2 ilustra o *layout* do capacitor que será utilizado no projeto. Os demais capacitores serão feitos a partir da associação desses capacitores.

A camada mais escura do *layout* consiste na camada superior de silício policristalino, enquanto a mais clara é a camada inferior. Os cálculos são realizados para as dimensões da placa superior. Verifica-se que a placa inferior é feita com dimensões maiores em virtude de um possível desalinhamento das máscaras utilizadas para a fabricação do componente.

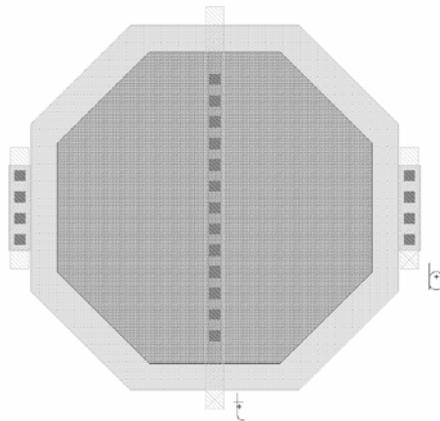


Figura 3.2 – *Layout* do capacitor unitário.

O *layout* do capacitor foi o mesmo utilizado em todas as matrizes apresentadas no capítulo anterior. No entanto, por critério de organização, optou-se por apresentar o projeto do capacitor unitário em um capítulo destinado somente ao projeto dos componentes do filtro.

3.2 – Chaves Analógicas

As chaves analógicas consistem em estruturas bastante simples cuja função é extremamente importante para o funcionamento correto do filtro a capacitores chaveados. Diversas topologias de chaves analógicas podem ser encontradas, contudo a busca se resume a uma topologia que poderá minimizar possíveis erros que prejudicariam a resposta em frequência do filtro original.

No geral, as chaves analógicas poderão apresentar dois efeitos indesejados que poderiam interferir no bom funcionamento da estrutura de medidas: os efeitos de injeção de carga e o *clock feedthrough*. O primeiro é originado a partir do momento que a chave é aberta, logo após a condução. Nesse instante, o canal de condução é desfeito e parte das cargas outrora presente no canal será injetada no capacitor de saída, promovendo um erro na quantidade de carga acumulada, resultando em uma tensão indesejada na saída.

O efeito de *clock feedthrough* é ocasionado devido à presença de capacitâncias parasitas nos próprios transistores utilizados. A Fig. 3.3 ilustra o modelo de um transistor MOS considerando suas capacitâncias parasitas. Como pode ser observado, há uma capacitância parasita entre os terminais de *gate* e *source* do transistor (C_{gs}). Como na saída das chaves analógicas haverá uma capacitância, forma-se um divisor capacitivo entre os terminais e, com isso, parte do sinal de *clock* aplicado no *gate* do transistor - sinal que é responsável pela abertura ou fechamento das chaves - é transferido para a saída do circuito.

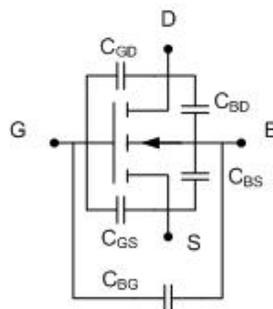


Figura 3.3 – Modelo do transistor MOS e capacitâncias parasitas.

A Fig. 3.4 exemplifica a situação discutida acima. Considera-se uma chave analógica simples com uma capacitância na saída e a capacitância parasita C_{gs} sendo

responsável pelo surgimento de um divisor capacitivo capaz de prejudicar o bom funcionamento do circuito.

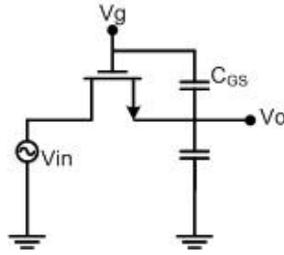


Figura 3.4 – Exemplo do efeito das capacitâncias parasitas no transistor MOS.

Em [7] foram apresentadas as chaves analógicas desde as suas topologias mais simples, até circuitos capazes de minimizar os efeitos discutidos. A topologia que atenderia de forma satisfatória às necessidades do projeto é apresentada na Fig. 3.5 e consiste na utilização de chaves complementares com transistores *dummy*.

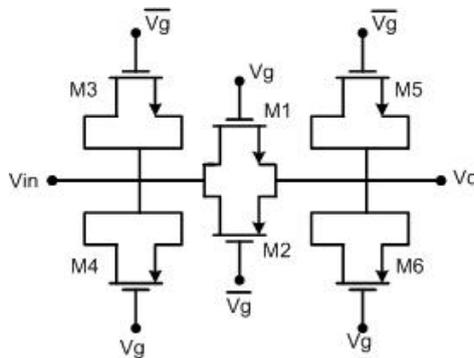


Figura 3.5 – Chaves complementares com transistores *dummy*.

Nesse caso, os transistores da chave são compostos por M1 e M2, enquanto os demais, M3, M4, M5 e M6, são considerados transistores *dummy*. A técnica que envolve essa topologia é baseada na hipótese de que quando os transistores que compõem a chave analógica entram em corte, os transistores *dummy* entram em condução e metade das cargas que formavam o canal dos transistores da chave são escoadas para a saída e a outra metade para a entrada do circuito sendo, então, absorvidas pelos canais dos transistores *dummy*. Estima-se, portanto, que durante o dimensionamento das chaves, cada transistor *dummy* deve apresentar metade da área dos transistores da chave complementar.

Com a topologia já escolhida, cabe realizar o dimensionamento dos transistores das chaves analógicas. A técnica de projeto é completamente detalhada em [7] e busca, além do tempo de estabilização – tempo que o capacitor leva para se carregar de -1 V a 0,99 V – a minimização da área dos transistores que compõem a chave analógica. Dessa maneira, os efeitos discutidos anteriormente serão minimizados. A Tabela 3.1 apresenta o dimensionamento dos transistores das chaves analógicas.

Tabela 3.1 – Dimensionamento dos transistores da chave analógica.

Transistor	W (μm)	L (μm)
M ₁	1,0	0,5
M ₂	1,0	0,5
M ₃	0,5	0,5
M ₄	0,5	0,5
M ₅	0,5	0,5
M ₆	0,5	0,5

A Fig. 3.6 ilustra a análise paramétrica realizada para dimensionar os transistores da chave analógica. Como a frequência de chaveamento é de 1,0 MHz, deve-se garantir que em metade do período de chaveamento, isto é, cerca de 0,5 μs o capacitor de saída seja completamente carregado. Como para $W = 0,5 \mu\text{m}$ a condição de carregamento é satisfeita, o valor foi escolhido de forma a também minimizar o efeito de capacitâncias parasitas.

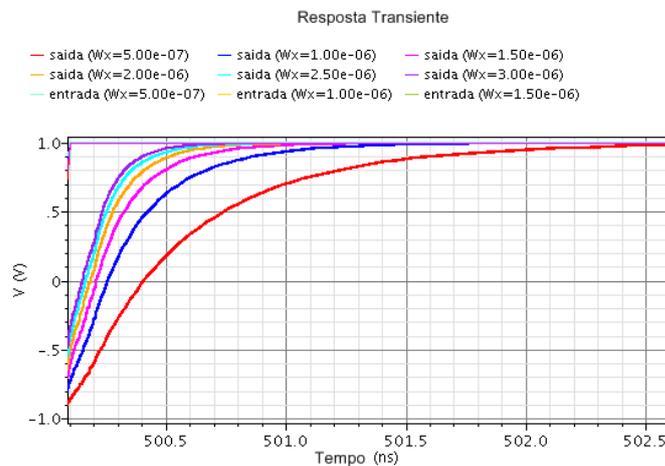


Figura 3.6 – Tempo de estabilização para diferentes áreas de transistores.

Uma forma bastante simples de verificar o funcionamento da chave analógica, após o seu dimensionamento, consiste em um circuito composto pela própria chave analógica, uma fonte de tensão e um resistor, conforme ilustrado na Fig. 3.7.

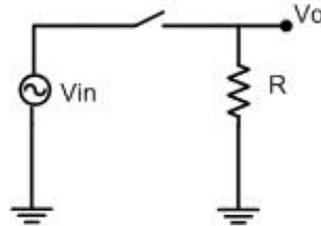


Figura 3.7 – Esquemático para verificação do funcionamento das chaves analógicas.

Dessa forma, durante o fechamento da chave, ela se comportará como um curto circuito, gerando uma queda de tensão no resistor de carga. Já durante a sua abertura, não será observada nenhuma queda de tensão no resistor de carga, visto que a chave se comportaria como um circuito aberto. A Fig. 3.8 apresenta os resultados de simulação obtidos considerando fontes perfeitamente complementares com período de $1\mu\text{s}$ controlando a chave analógica, uma fonte na entrada com o dobro do período das fontes de controle e um resistor de carga com valor nominal de $10\text{ k}\Omega$.

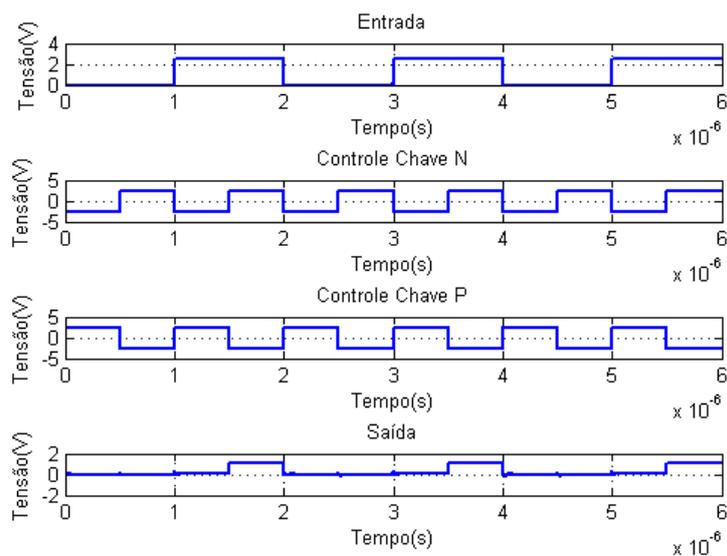


Figura 3.8 – Resultados de simulação das chaves analógicas.

Os resultados acima comprovam o funcionamento da chave analógica. Um fato que merece destaque é que a queda de tensão no resistor de saída corresponde a um valor inferior à tensão fornecida pela entrada. Isso comprova que a chave analógica apresenta uma resistência, cerca de $12\text{ k}\Omega$, capaz de realizar um divisor resistivo com a saída, quando a chave é fechada.

Tendo realizado o projeto e teste completo das chaves analógicas, o próximo passo consistiu no desenvolvimento do *layout* da estrutura. Esse é ilustrado na Fig. 3.9 e será novamente visualizado no *layout* do circuito completo.

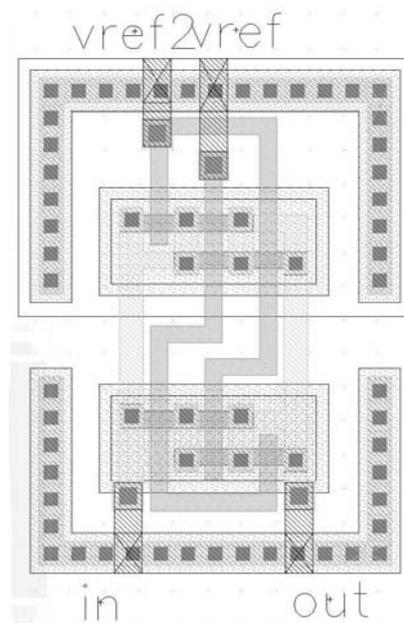


Figura 3.9 – *Layout* das chaves analógicas.

3.3 – Amplificadores de Transcondutância (OTAs)

Os amplificadores operacionais são estruturas fundamentais no projeto de circuitos a capacitores chaveados. Através desses componentes torna-se viável o projeto de somadores, integradores, *buffers* e outros circuitos. Contudo, em circuitos a capacitores chaveados, torna-se comum a utilização de amplificadores de transcondutância (OTAs). A sua utilização é motivada pelo fato da não necessidade de compensação de forma a garantir a sua estabilidade [1].

Essa topologia apresentará um ganho bastante elevado devido ao aumento da impedância de saída, promovido tanto pela configuração em *cascode*, quanto ao uso da realimentação negativa do transistor responsável pela regulação [34]. Apesar de a saída diferencial proporcionar melhores desempenhos relacionados a aspectos como o ruído, o THD e os erros gerados pelas chaves analógicas, optou-se pela utilização de saídas simples, em virtude da complexidade no desenvolvimento dos *buffers* e da não necessidade de dois pares de capacitâncias para medição das razões.

O projeto dos amplificadores de transcondutância poderá ser dividido em algumas etapas. A primeira etapa consiste na determinação das correntes de polarização e das transcondutâncias de cada amplificador utilizado. Esses dois parâmetros serão responsáveis pela sua caracterização e poderão ser obtidos a partir da carga observada na saída de cada um dos amplificadores.

Antes de dar prosseguimento ao projeto, uma escolha é feita a partir dos resultados anteriores. Como as cargas observadas na saída podem apresentar uma série de valores distintos, vários amplificadores de transcondutância seriam necessários. Nesse momento, poderão ser projetados o número exato de amplificadores necessários ou, conforme adotado neste trabalho, somente alguns OTAs com valores que possam atender às demais especificações. Ao realizar esse procedimento, a área do circuito é aumentada, visto que alguns amplificadores estariam superdimensionados de forma a considerar uma carga na saída maior que a carga realmente apresentada, contudo o tempo de projeto é reduzido consideravelmente.

A segunda etapa do projeto consiste na utilização de um modelo comportamental. Este, empregando a linguagem Verilog-A, é capaz de simular o amplificador desejado a partir de um modelo comportamental, contendo as principais características do amplificador. Essa estratégia também é responsável por reduzir o tempo de projeto necessário, pois dispensa a necessidade do dimensionamento dos transistores do OTA para a verificação do funcionamento do circuito.

Após a verificação dos resultados com o Verilog-A, inicia-se a última etapa com dimensionamento dos transistores que compõem o amplificador. Isso será feito a partir de uma varredura DC no simulador *Spectre* e utilizando um modelo BSIM 3v3. Toda a técnica de projeto, desde a determinação das correntes de polarização até a área dos transistores finais dos amplificadores, são completamente detalhadas em [7].

As tabelas a seguir detalham as características mais relevantes dos amplificadores de transcondutância projetados. Vale ressaltar que três amplificadores

necessitaram ser projetados de forma a satisfazer às especificações em torno da carga presente na saída dos OTAs.

Tabela 3.2: Dimensionamento dos transistores do OTA carga 300 fF.

Transistor	W (μm)	L (μm)
M ₁ , M ₂	0,5	1,0
M ₃	1,8	1,0
M ₄ , M ₅	7,2	1,0
M ₆ , M ₇ , M ₈ , M ₉ , M ₁₀ , M ₁₁ , M ₁₂ , M ₁₃ , M ₁₄ , M ₁₅ , M ₁₆ , M ₁₇	0,9	1,0
M ₁₈ , M ₁₉ , M ₂₀ , M ₂₁ , M ₂₂ , M ₂₃ , M ₂₄ , M ₂₅	3,6	1,0

Tabela 3.3: Dimensionamento dos transistores do OTA carga 1,8 pF.

Transistor	W (μm)	L (μm)
M ₁ , M ₂ , M ₁₀ , M ₁₁ , M ₁₂ , M ₁₃ , M ₁₆	2,6	1,0
M ₃ , M ₂₀ , M ₂₁ , M ₂₂ , M ₂₄	10	1,0
M ₄ , M ₅	40	1,0
M ₆ , M ₇ , M ₈ , M ₉ , M ₁₄ , M ₁₅ , M ₁₇	5	1,0
M ₁₈ , M ₁₉ , M ₂₃ , M ₂₅	20	1,0

Tabela 3.4: Dimensionamento dos transistores do OTA carga 30 pF.

Transistor	W (μm)	L (μm)
M ₁ , M ₂	48	1,0
M ₃	216	1,0
M ₄ , M ₅	580	1,0
M ₆ , M ₇ , M ₈ , M ₉ , M ₁₄ , M ₁₅ , M ₁₇	108	1,0
M ₁₈ , M ₁₉ , M ₂₃ , M ₂₅	290	1,0
M ₁₀ , M ₁₁ , M ₁₂ , M ₁₃ , M ₁₆	11	1,0
M ₂₀ , M ₂₁ , M ₂₂ , M ₂₄	29	1,0

Na Tabela 3.5 são listadas as correntes de polarização dos transistores que fazem parte dos amplificadores de transcondutância.

Tabela 3.5: Polarização dos transistores do OTA carga 300 fF.

Transistor	I (μ A)	V _{GS} (V)
M ₁	3,591	1,569
M ₂	3,591	1,569
M ₃	7,181	1,095
M ₄	7,195	-1,367
M ₅	7,195	-1,367
M ₆	3,6	1,561
M ₇	3,6	1,095
M ₈	3,6	1,562
M ₉	3,6	1,095
M ₁₀	3,6	1,562
M ₁₁	3,6	1,095
M ₁₂	3,6	1,562
M ₁₃	3,6	1,095
M ₁₄	3,604	1,095
M ₁₅	3,604	1,095
M ₁₆	3,599	1,092
M ₁₇	3,604	1,558
M ₁₈	3,6	-1,367
M ₁₉	3,6	-1,74
M ₂₀	3,599	-1,367
M ₂₁	3,599	-1,745
M ₂₂	3,6	-1,355
M ₂₃	3,604	-1,732
M ₂₄	3,6	-1,354
M ₂₅	3,603	-1,758

Tabela 3.6: Polarização dos transistores do OTA carga 1,8 pF.

Transistor	I (μ A)	V _{GS} (V)
M ₁	21,51	1,632
M ₂	21,51	1,632
M ₃	43,01	1,132
M ₄	43,19	-1,359
M ₅	43,19	-1,359
M ₆	21,6	1,608
M ₇	21,6	1,132
M ₈	21,6	1,61
M ₉	21,6	1,132
M ₁₀	11,4	1,61
M ₁₁	11,4	1,132
M ₁₂	11,4	1,611
M ₁₃	11,4	1,132
M ₁₄	21,68	1,132
M ₁₅	21,67	1,132
M ₁₆	10,8	1,119
M ₁₇	21,68	1,603
M ₁₈	21,6	-1,359
M ₁₉	21,6	-1,729
M ₂₀	10,8	-1,359
M ₂₁	10,8	-1,735
M ₂₂	11,4	-1,356
M ₂₃	21,68	-1,723
M ₂₄	11,4	-1,355
M ₂₅	21,68	-1,9

Tabela 3.7: Polarização dos transistores do OTA carga 30 pF.

Transistor	I (μ A)	V _{GS} (V)
M ₁	358,7	1,614
M ₂	358,7	1,614
M ₃	717,3	1,094
M ₄	719,3	-1,383
M ₅	719,3	-1,383
M ₆	360	1,557
M ₇	360	1,094
M ₈	360	1,558
M ₉	360	1,094
M ₁₀	36,69	1,558
M ₁₁	36,69	1,094
M ₁₂	36,69	1,558
M ₁₃	36,69	1,094
M ₁₄	360,5	1,094
M ₁₅	360,5	1,094
M ₁₆	37,66	1,094
M ₁₇	360,5	1,65
M ₁₈	360	-1,383
M ₁₉	360	-1,758
M ₂₀	37,66	-1,383
M ₂₁	37,66	-1,763
M ₂₂	36,69	-1,365
M ₂₃	360,5	-1,748
M ₂₄	36,69	-1,365
M ₂₅	360,5	-1,748

Por fim, a Tabela 3.8 traz os resultados das demais simulações realizadas com os amplificadores de transcondutância.

Tabela 3.8: Parâmetros obtidos por simulação dos diferentes amplificadores.

Parâmetros\ OTA	OTA Carga 300 fF	OTA Carga 1.8 pF	OTA Carga 30 pF
Ganho (dB)	83,22	64,8	94,05
Frequência de Corte (Hz)	566,6	4,114 k	169,7
GBW (MHz)	8,209	7,149	8,554
Margem de Fase (°)	88,35	88,51	88,51
<i>Slew Rate</i> (V/ μ s)	19,95	19,62	20,78
Ruído equivalente na entrada ($\times 10^{-9} V^2$)	60,6562	11,1643	0,4829
Faixa Dinâmica (dB) (@THD = 1%)	8,868	24,06	28,54

A Fig. 3.11 ilustra o filtro a capacitores chaveados projetado. A fim de caracterizar os amplificadores de transcondutância, a figura apresenta a carga utilizada para o projeto de cada OTA. Vale ressaltar que alguns deles foram superdimensionados visando reduzir o tempo de projeto e desenvolvimento dos *layouts*.

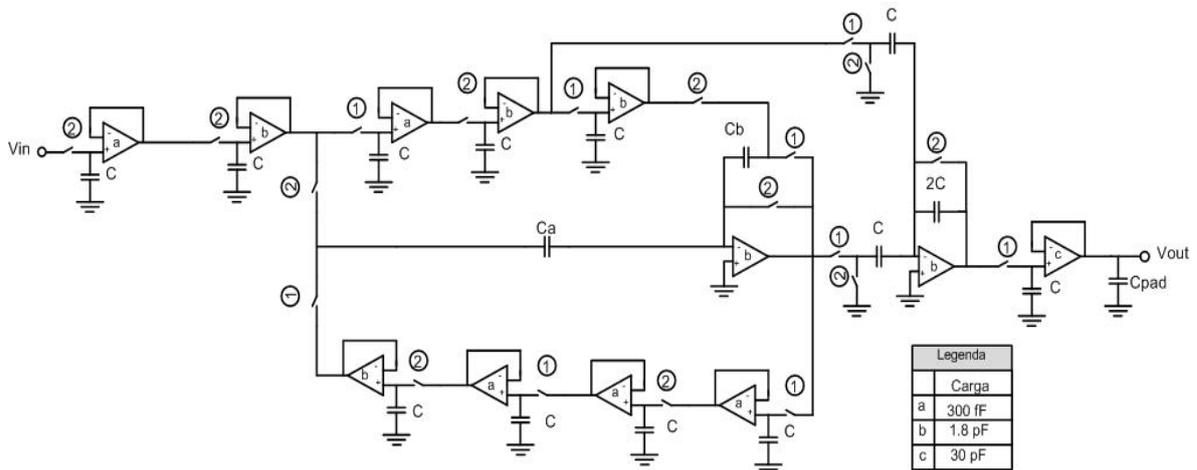
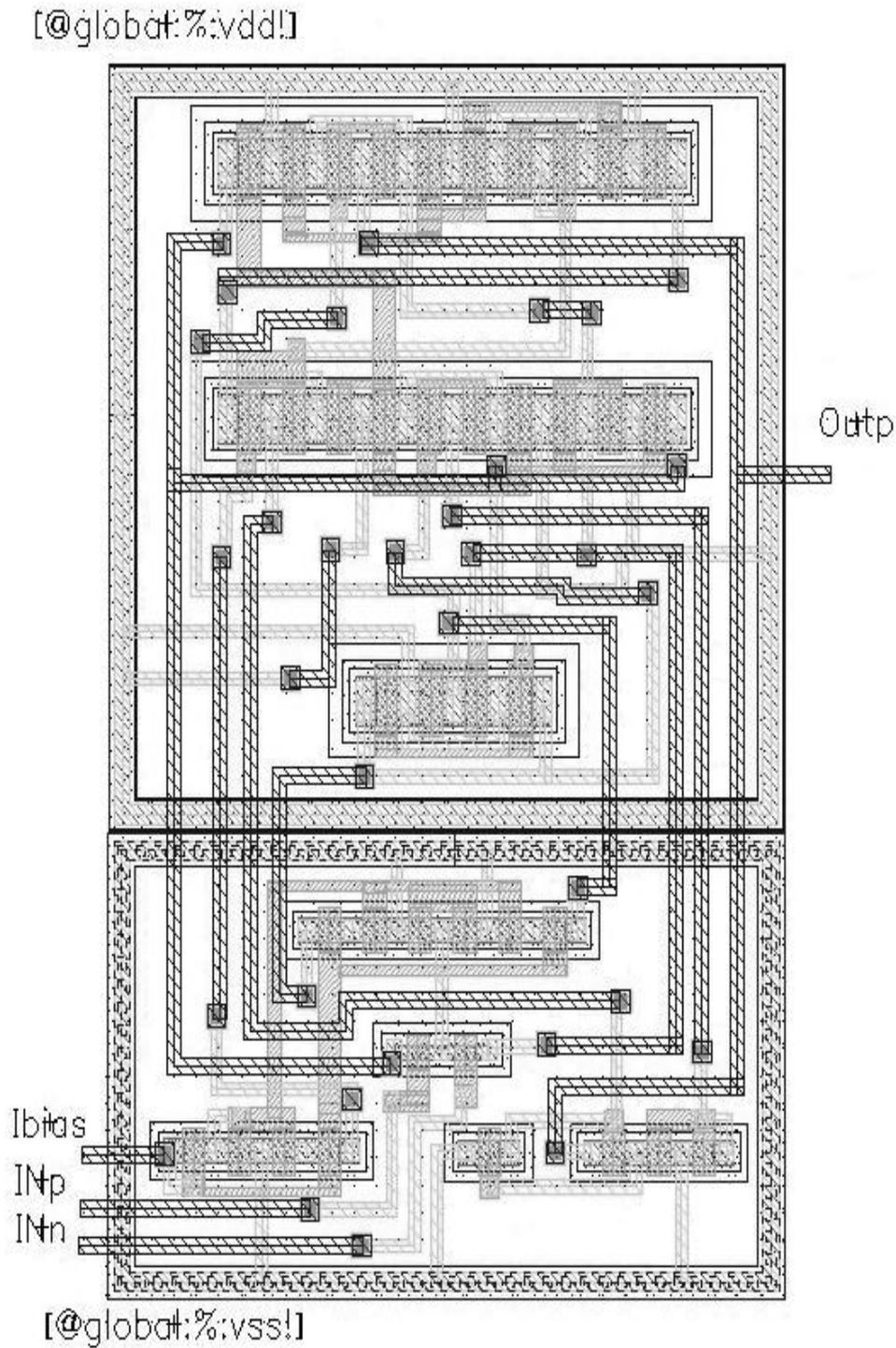


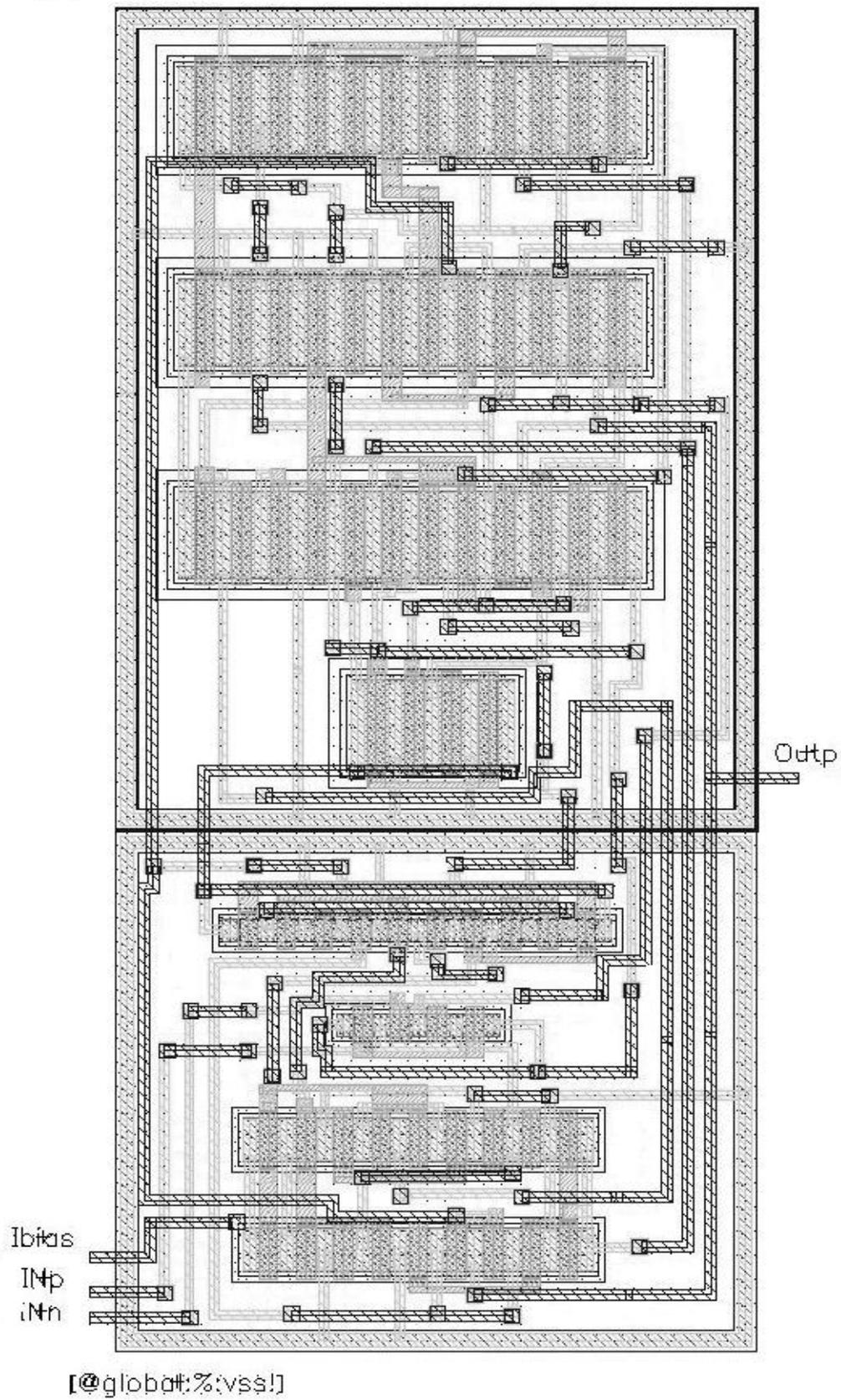
Figura 3.11 – Filtro a capacitores chaveados com determinação da carga na saída dos amplificadores de transcondutância.

Com o projeto dos amplificadores de transcondutância já realizados e as simulações comprovando o seu funcionamento, foram desenvolvidos os *layouts* dos três amplificadores. As Figs. 3.12 (a), (b) e (c) apresentam os *layouts* para as cargas de 300 fF, 1,8 pF e 30 pF respectivamente.

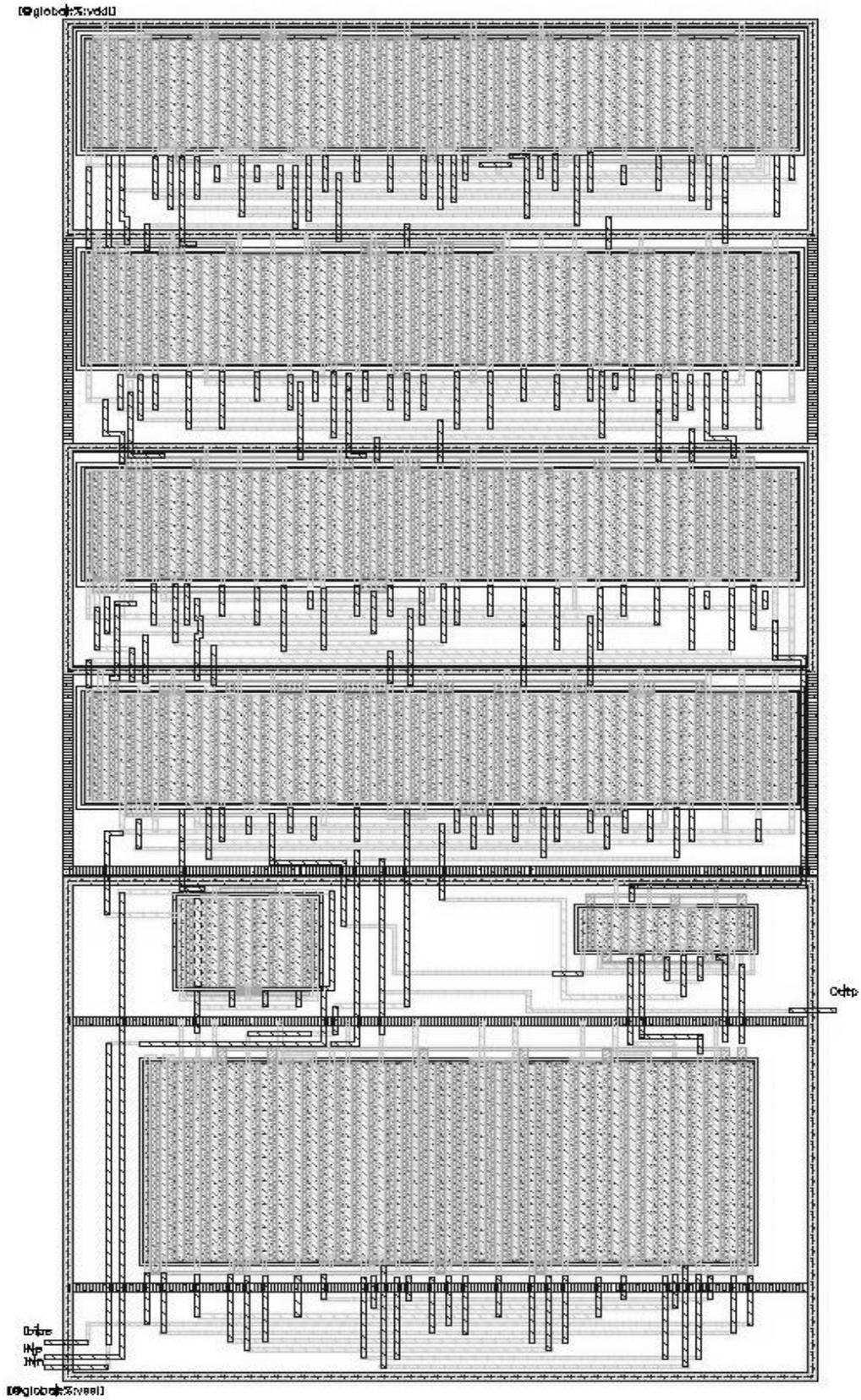


(a)

[@global:%:vdd!]



(b)



(c)

Figura 3.12 – *Layout* dos OTAs para as cargas de 300 fF(a), 1,8 pF (b) e 30 pF (c).

Com o desenvolvimento desses *layouts*, o projeto dos componentes essenciais para o funcionamento do filtro a capacitores chaveados está realizado. A seguir, serão apresentados os componentes auxiliares que foram desenvolvidos para desempenhar funções pontuais no circuito integrado. No geral, essas funções estarão ligadas à polarização, seleção de matrizes, geração de fases do circuito chaveado, entre outras.

Depois de terem seus projetos e testes individuais discutidos, o capítulo seguinte trará as simulações da estrutura de medidas, incluindo uma análise de *Monte Carlo* capaz de fornecer os resultados considerando variações decorrentes do processo de fabricação e descasamento dos componentes.

3.4 – Decodificador Binário

Um decodificador binário é uma estrutura amplamente utilizada em projetos de circuitos digitais. Suas aplicações envolvem situações em que um conjunto de valores tenha sido codificado usando um código binário e, posteriormente, seja necessária a decodificação para exercer determinadas funções. Exemplos típicos da utilização do decodificador são: decodificação de um código de operação (*opcode*) em uma instrução de computador, decodificação do endereço referenciado quando há um acesso à memória, dentre outros [38].

O decodificador consistirá em um sistema combinacional, podendo apresentar n entradas binárias e 2^n saídas binárias. No entanto, somente uma única saída estará em nível lógico alto para uma determinada combinação de entrada, ou seja, o decodificador será capaz de indicar que um determinado vetor binário de entrada corresponderá a um valor inteiro na saída.

A aplicação dessa estrutura no projeto surge a partir da necessidade de realizar a medição de diferentes matrizes de capacitores com uma única estrutura de medidas. A partir de uma entrada binária, o decodificador será capaz de ativar ou desativar as chaves que controlarão as matrizes a serem analisadas. Essa alternativa também é responsável por reduzir a área final do circuito integrado, tornando desnecessário replicar OTAs e chaves analógicas para cada matriz de capacitores. A Fig. 3.13 ilustra a aplicação, de forma simplificada, do decodificador e sua função no circuito integrado proposto.

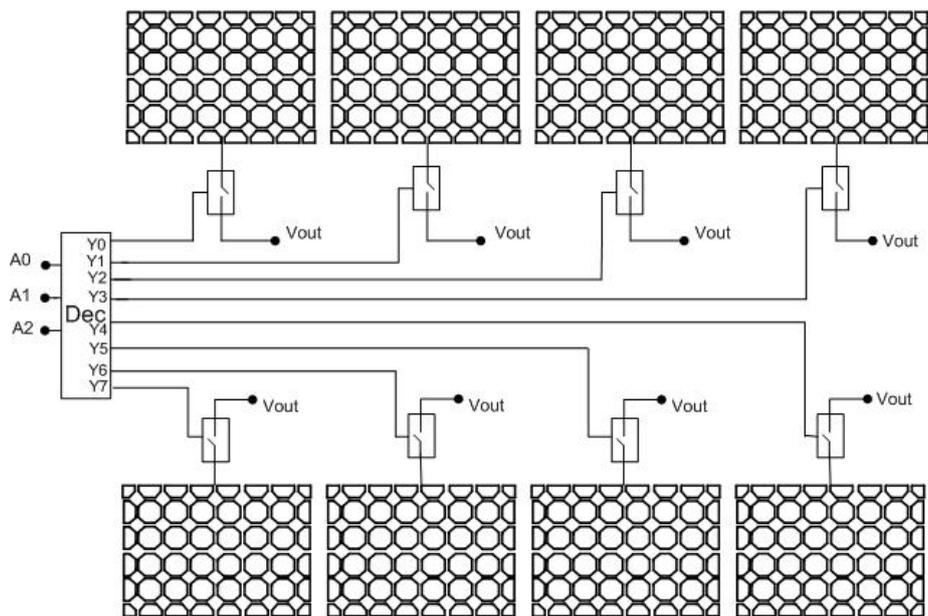


Figura 3.13 – Função do decodificador binário na seleção de matrizes.

Como o projeto estima que um total de oito matrizes serão desenvolvidas, o decodificador capaz de suprir essa necessidade consiste em um Decodificador 3x8, isto é, um decodificador com três entradas e oito saídas. A Tabela 3.9 apresenta a tabela verdade do decodificador proposto, onde A_0 (LSB), A_1 e A_2 (MSB) consistem nas entradas do circuito.

Tabela 3.9: Tabela verdade do Decodificador 3x8.

A_2	A_1	A_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

A partir da tabela verdade acima, já seria possível desenvolver o circuito combinacional capaz de desempenhar a função desejada. Contudo, uma importante informação ainda precisa ser considerada no projeto do decodificador.

O sinal da saída do decodificador será responsável pelo controle das chaves analógicas, capazes de realizar a seleção das matrizes de interesse. Como essas chaves consistem em chaves complementares, não só o sinal de controle necessita ser fornecido, mas também o sinal complementar. Uma forma de incluir o sinal complementar é a utilização de uma porta lógica NOT em cada uma das saídas propostas. Dessa forma, as matrizes poderão ser selecionadas e o objetivo do projeto poderá ser atendido. O circuito final do decodificador é apresentado na Fig. 3.14.

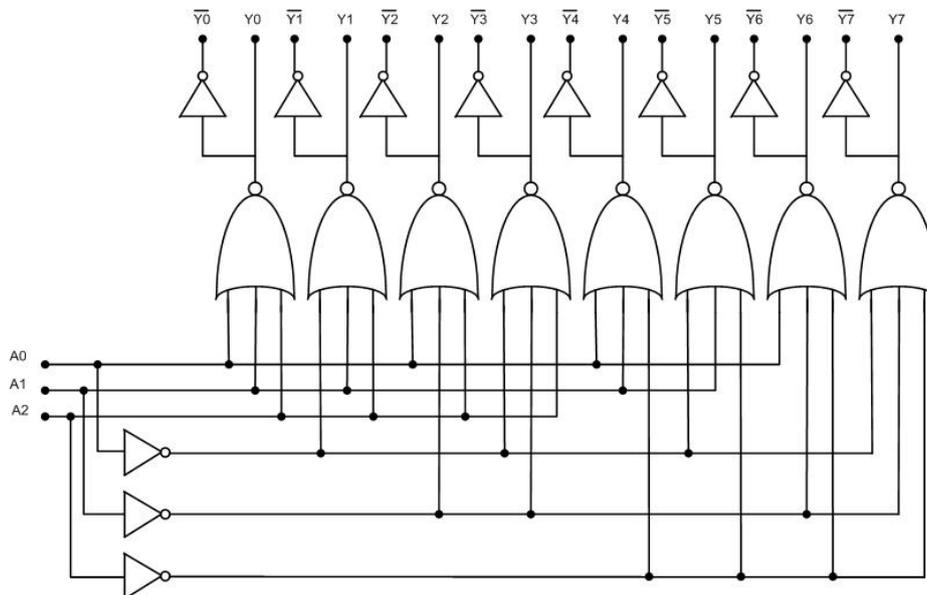


Figura 3.14 – Decodificador 3x8 desenvolvido a partir de portas lógicas.

Antes do desenvolvimento do *layout* do decodificador, algumas simulações foram realizadas para verificar o funcionamento da estrutura projetada. Os sinais de entrada, observados na Fig. 3.15, foram gerados com fontes de onda quadrada de diferentes períodos, capazes de gerar todas as combinações possíveis de vetores. Os resultados são apresentados na Fig. 3.16.

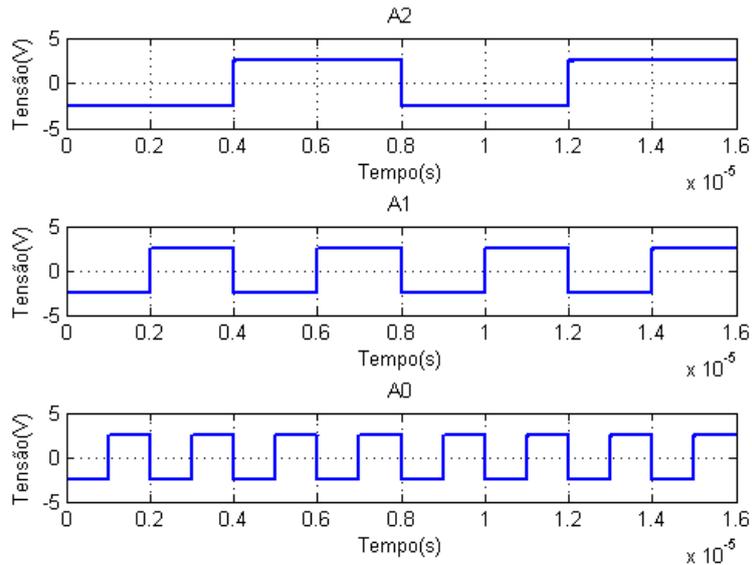


Figura 3.15 – Entradas aplicadas no Decodificador 3x8.

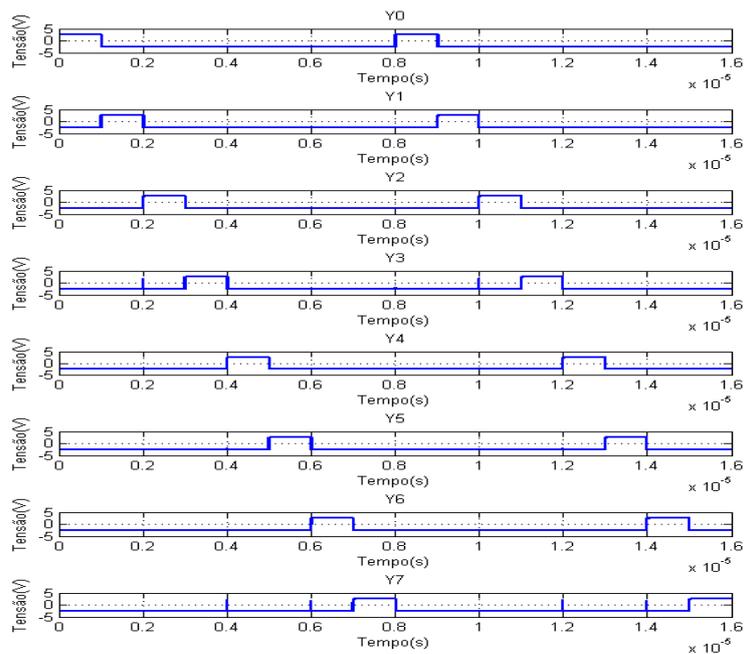


Figura 3.16 – Resultados de simulação do Decodificador 3x8.

A figura acima mostra que para cada vetor de entrada somente uma saída é selecionada.

Assim, confirmando a funcionalidade do circuito a partir dos resultados de simulação, o *layout* do decodificador poderá ser desenvolvido para sua aplicação no circuito integrado. Esse *layout* é apresentado na Fig. 3.17 e as técnicas para seu

desenvolvimento foram as mesmas que as utilizadas para os demais circuitos apresentados.

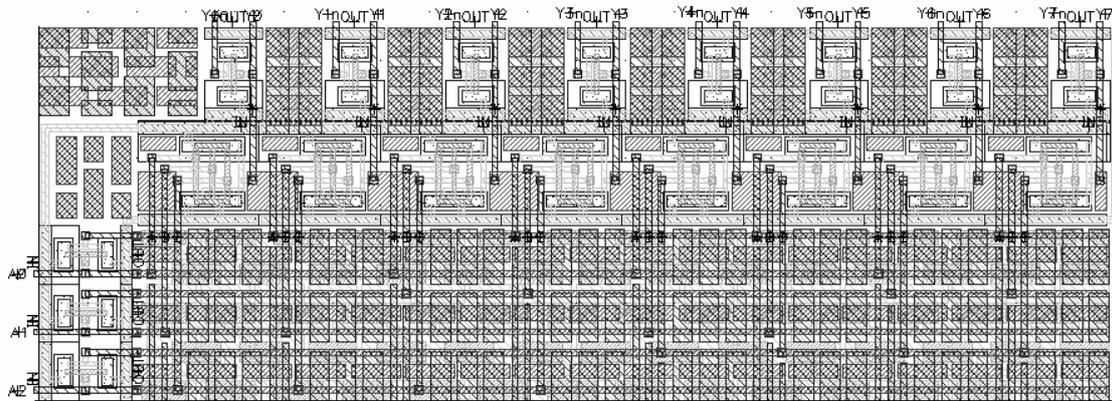


Figura 3.17 – *Layout* do Decodificador 3x8.

Com o projeto do decodificador finalizado, as matrizes de capacitores poderão enfim ser selecionadas para realização das medições. Contudo, outro problema que necessita ser solucionado envolve a polarização dos amplificadores de transcondutância. A seção abaixo trará uma descrição do problema e a solução encontrada de modo a satisfazer às especificações do projeto.

3.5 – Gerador de Corrente de Polarização dos OTAs

Para que seja possível realizar a medição de um circuito integrado após a sua fabricação, é necessário que esse seja encapsulado. O encapsulamento consiste em uma forma de garantir uma conexão segura entre os terminais do circuito integrado e as placas físicas. Dessa forma, esse mecanismo é capaz de garantir a transmissão de energia sem causar danos físicos nos circuitos integrados e nas placas utilizadas.

Contudo, apesar do grande número de encapsulamentos existentes, o número finito de pinos de saída disponíveis para as conexões com o circuito integrado se torna uma limitação no projeto. Sendo assim, alguns circuitos são desenvolvidos visando reduzir a quantidade de pinos de saída necessários.

Os amplificadores de transcondutância necessitam de correntes de polarização para seu funcionamento. Tais correntes foram calculadas durante o projeto dos

amplificadores e será diferente dependendo da carga na saída de cada um deles. Como o número de amplificadores é elevado – cinco para a carga de 300 fF, seis para a carga de 1,8 pF e um para a carga de 30 pF – disponibilizar um pino de saída para a polarização de cada um dos amplificadores seria adequado somente para situações relacionadas ao *debug* do circuito projetado.

Uma forma de resolver essa questão foi realizar o projeto de um gerador de polarização para os OTAs. O circuito, ilustrado na Fig. 3.18, consiste em uma série de espelhos de corrente, onde as razões de aspecto dos transistores são capazes de fornecer a corrente de polarização desejada a partir de uma única corrente de referência.

A corrente de referência a ser utilizada deve ser escolhida de forma que seu valor possa ser obtido com precisão e de maneira simples externamente. Dessa forma, optou-se pela implementação de uma corrente de 100 μ A. Esta será obtida através de resistores de precisão, que apresentam tolerância de 1% e que voltarão a ser mencionados durante o projeto do circuito de testes.

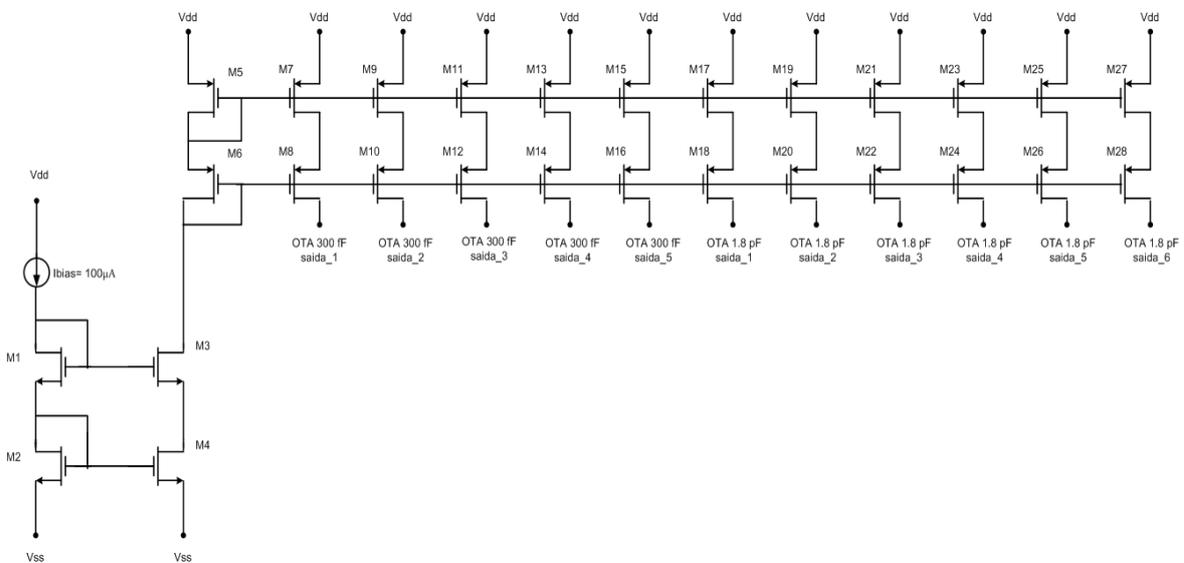


Figura 3.18 – Gerador de polarização para os OTAs.

O circuito acima foi utilizado unicamente para a polarização dos amplificadores com cargas de 300 fF e 1,8 pF. A corrente elevada, comparada aos demais amplificadores neste projeto, necessária para a polarização do amplificador com carga de 30 pF resultaria em transistores com razões de aspecto muito grandes, que não só aumentariam significativamente o tamanho do *layout* do dispositivo, como também

dificultariam o casamento entre os transistores empregados. A Tabela 3.10 apresenta o dimensionamento dos transistores do gerador de polarização.

Tabela 3.10: Dimensionamento dos transistores do gerador de polarização.

Transistor	W(μm)	L (μm)
M ₁ , M ₂ , M ₃ , M ₄	21,0	1,0
M ₅ , M ₆	88,0	1,0
M ₇ , M ₈ , M ₉ , M ₁₀ , M ₁₁ , M ₁₂ , M ₁₃ , M ₁₄ , M ₁₅ , M ₁₆	3,8	1,0
M ₁₇ , M ₁₈ , M ₁₉ , M ₂₀ , M ₂₁ , M ₂₂ , M ₂₃ , M ₂₄ , M ₂₅ , M ₂₆ , M ₂₇ , M ₂₈	20,0	1,0

Uma forma de verificar o funcionamento do circuito apresentado foi através da realização de simulações DC, inserindo os amplificadores de transcondutância e suas respectivas cargas na saída, nos terminais de saída do gerador de polarização. A partir daí, a simulação seria capaz de fornecer a corrente de polarização nos terminais de entrada dos OTAs e os valores poderiam ser comparados com os valores teóricos. A Tabela 3.11 apresenta os resultados obtidos e a comparação com os valores projetados.

Tabela 3.11: Resultados de simulação do gerador de polarização.

	Valor Teórico (μA)	Valor Simulado (μA)
OTA 300 fF saída_1	3,6	3,601
OTA 300 fF saída_2	3,6	3,601
OTA 300 fF saída_3	3,6	3,601
OTA 300 fF saída_4	3,6	3,601
OTA 300 fF saída_5	3,6	3,601
OTA 1.8 pF saída_1	21,6	22,09
OTA 1.8 pF saída_2	21,6	22,09
OTA 1.8 pF saída_3	21,6	22,09
OTA 1.8 pF saída_4	21,6	22,09
OTA 1.8 pF saída_5	21,6	22,09
OTA 1.8 pF saída_6	21,6	22,09

A tabela anterior confirma a validade do projeto do gerador de polarização. Sendo assim, o número de pinos de saída destinados à polarização dos amplificadores de transcondutância é reduzido a dois – um para gerar a corrente de referência do gerador e outro capaz de polarizar, diretamente, o OTA com carga de 30 pF.

O *layout*, apresentado na Fig. 3.19, deve ser elaborado de forma que os transistores sejam bem casados. Como o gerador é essencialmente composto por espelhos de corrente, o não casamento adequado dos componentes levaria a valores de correntes de polarização diferentes dos obtidos por simulação.

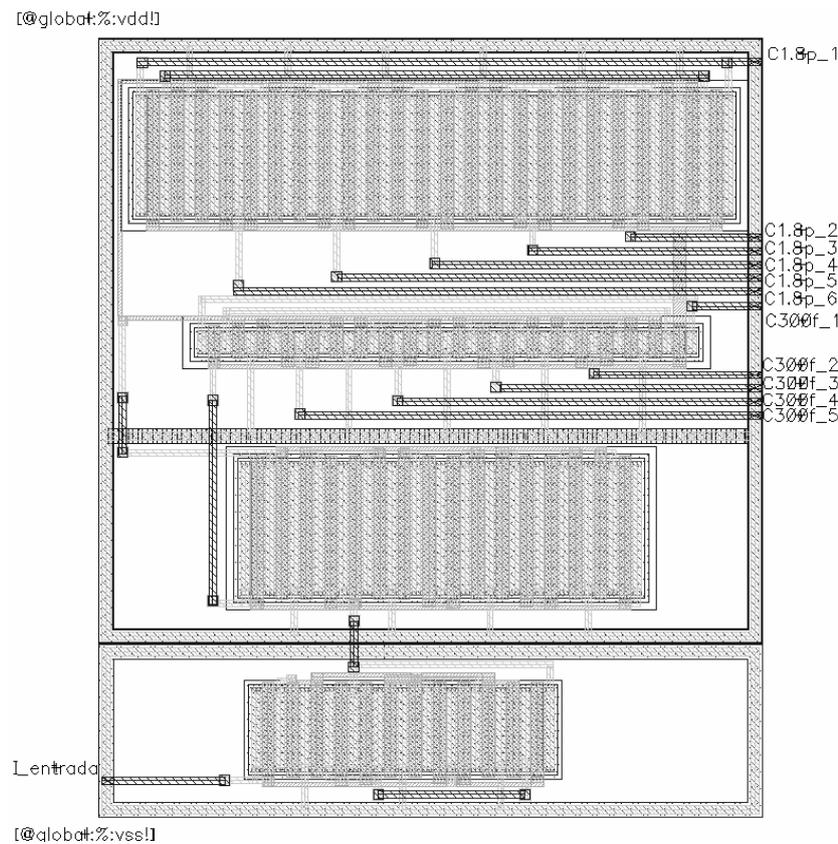


Figura 3.19 – *Layout* do gerador de polarização para os OTAs.

Com o desenvolvimento do gerador de polarização, todos os componentes necessários para o funcionamento adequado da estrutura de medidas – essenciais e auxiliares – já foram desenvolvidos. A partir dos *layouts* elaborados, será possível realizar o *layout* completo do filtro a capacitores chaveados. Todas as características do *layout* final serão apresentadas a seguir, enquanto as simulações do circuito completo estarão presentes no próximo capítulo.

3.6 – *Layout* do Circuito Integrado

Após o projeto e teste de todos os componentes discutidos anteriormente, torna-se viável o desenvolvimento do *layout* completo da estrutura de medidas. O *layout* deverá ser elaborado considerando técnicas que buscam minimizar os efeitos promovidos pelo processo de fabricação [1], [15], [20].

De forma a obter resultados mais precisos, outra restrição envolve o roteamento dos componentes da estrutura de medidas. Como o circuito integrado virá a apresentar sinais analógicos e digitais, deve-se garantir o menor número de cruzamentos possíveis entre essas vias. Caso contrário, poderá ser introduzida uma parcela de erro no sinal de saída levando ao mau funcionamento do circuito.

Outra restrição envolve o posicionamento das matrizes de capacitores no *layout*. Como um dos objetivos é medir os efeitos aleatórios promovidos pelo processo de fabricação – através de matrizes iguais, posicionadas com relativa distância – deve-se garantir que o conjunto de matrizes apresente uma distância capaz de mensurar os efeitos desejados.

Com base nessas especificações, o *layout*, ilustrado na Fig. 3.20, foi desenvolvido. Para a sua elaboração, foram necessários: 12 OTAs (5 para carga de 300 fF, 6 para a carga de 1,8 pF e um para a carga de 30 pF), 52 chaves analógicas (20 para o circuito a capacitores chaveados e 32 para a seleção de matrizes), 1 decodificador, 1 gerador de polarização e 15 capacitores unitários para utilização nos *buffers*.

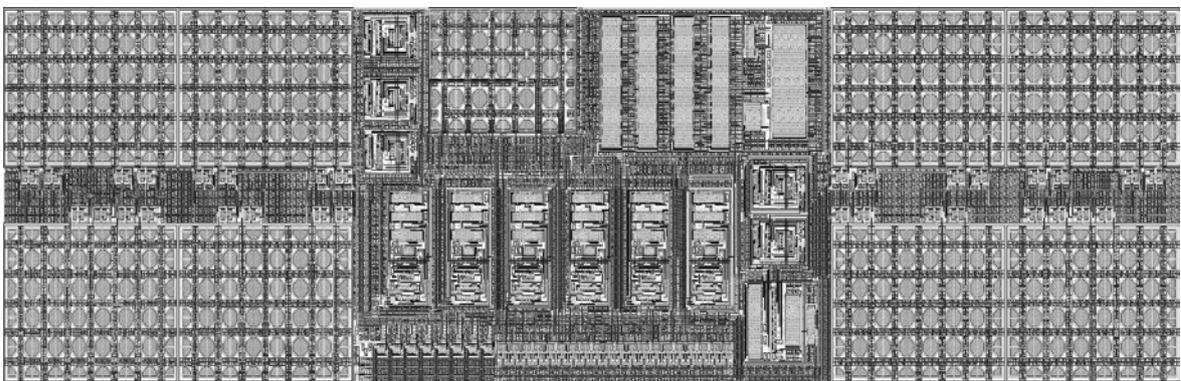


Figura 3.20 – *Layout* da estrutura de medidas.

Um dos fatores mais relevantes no desenvolvimento de *layouts* de circuitos integrados consiste na área ocupada pelo circuito. Através dela será obtido o custo de fabricação do circuito integrado que poderá fornecer parâmetros importantes como, por exemplo, a viabilidade do projeto. A Tabela 3.12 apresenta a área ocupada por cada um dos componentes da estrutura de medidas.

Tabela 3.12: Área ocupada por cada componente em um circuito integrado.

Componente	Dimensões (μm)	Área (mm^2)
OTA carga 300 fF	29,975 x 45,125	0,0014
OTA carga 1.8 pF	34,150 x 76,750	0,0026
OTA carga 30 pF	90,225 x 185,400	0,0167
Chave Analógica	11,500 x 15,200	0,0002
Decodificador	110,625 x 38,950	0,0043
Gerador de Polarização	54,200 x 64,100	0,0035
Matriz de Capacitores unitários	120,100 x 81,800	0,0098
Matriz de Razão de Capacitores	146,650 x 104,350	0,0153

Após desenvolvimento do *layout* completo, as dimensões ocupadas foram de 962,00 μm x 245,375 μm , isto é, uma área final de 0,236 mm^2 . Diante das características do projeto, a área ocupada foi considerada satisfatória e o circuito integrado foi fabricado.

O capítulo seguinte trará os resultados de simulação do circuito esquemático e do circuito extraído. Os resultados obtidos serão comparados com os resultados teóricos, visando verificar a eficiência do circuito desenvolvido. Os resultados do circuito medido serão apresentados no Capítulo 5, juntamente com uma análise estatística dos resultados gerais.

Capítulo 4

Resultados de Simulação

No Capítulo 2 foi descrita toda a base teórica que envolve o projeto da estrutura de medidas. Resultados teóricos foram obtidos com o emprego de softwares como *MatLab* – análise da função de transferência do filtro – e *Asiz* – simulação do circuito a capacitores chaveados considerando componentes ideais – de forma a confirmar a validade do projeto. Além disso, o problema que envolve a organização dos capacitores em circuitos integrados também foi discutido, levando ao desenvolvimento das matrizes de capacitores unitários utilizadas no projeto, com seus respectivos *layouts*.

No Capítulo 3 foram apresentados os projetos de todos os componentes que fazem parte da estrutura de medidas. Seu desenvolvimento foi acompanhado de simulações, visando verificar o seu funcionamento. Após os resultados de simulação, foi possível desenvolver os *layouts* de cada componente. Sendo assim, os capacitores unitários, os amplificadores de transcondutância, as chaves analógicas, o decodificador e o gerador de polarização tiveram seus projetos desenvolvidos.

Após o projeto e confirmação do funcionamento de cada componente da estrutura de medidas, simulações mais detalhadas poderão ser realizadas. Essas simulações serão capazes de verificar o comportamento do circuito, considerando o projeto dos componentes, em nível de transistores, além de verificar os efeitos indesejados decorrentes do desenvolvimento do *layout* da estrutura proposta.

Para a realização das simulações, será utilizado o simulador *Spectre*, que faz parte do software *Cadence*. Esse software será capaz de realizar as simulações que envolvem o circuito esquemático, isto é, considerando o projeto dos componentes, incluindo suas não idealidades e o projeto do circuito extraído, que permite uma simulação mais realista do circuito projetado ao considerar efeitos parasitas decorrentes do *layout* desenvolvido [5].

O modelo do transistor utilizado pelo *Spectre* é o BSIM 3v3. Os valores dos parâmetros desse modelo foram fornecidos pela empresa detentora do processo CMOS

0,35 μm adotado nesse projeto. Além das simulações que envolvem o circuito esquemático e o circuito extraído, será realizada uma simulação de *Monte Carlo*, que será capaz de mostrar o comportamento da resposta desejada mediante a consideração de fatores como o descasamento entre os componentes e as variações dos parâmetros de processo.

Para a obtenção da resposta em frequência do circuito a capacitores chaveados serão realizadas duas análises. A primeira será uma PSS (*Periodic Steady-State*) buscando o ponto de operação desejado e, a segunda, uma PAC (*Periodic AC*), visando obter a resposta em frequência da estrutura de medidas.

Dessa forma, a seção seguinte apresentará os resultados do circuito esquemático. As simulações considerando componentes reais, isto é, incluindo não linearidades, serão responsáveis por fornecer um critério de comparação com os resultados teóricos adquiridos, além de disponibilizar parâmetros importantes como, por exemplo, o consumo de potência do circuito. A seção posterior contará com simulações que envolvem o circuito extraído, buscando verificar a influência de componentes parasitas e sua influência na resposta em frequência do filtro.

4.1 – Simulações do Modelo Esquemático

As simulações envolvendo o modelo esquemático visam verificar a capacidade do circuito projetado em implementar a função de transferência desejada. Contudo, essa simulação se diferenciará das apresentadas no Capítulo 2, pois levará em consideração o dimensionamento dos transistores que compõem cada dispositivo e, com isso, haverá a inclusão de características não ideais dos componentes. Esses efeitos como, por exemplo, o ganho finito dos amplificadores de transcondutância e o *clock feedthrough* das chaves analógicas poderão gerar alterações na resposta em frequência do filtro, podendo prejudicar o seu funcionamento.

Além disso, essas simulações são capazes de fornecer informações extremamente relevantes no projeto de circuitos integrados. Através de diferentes análises, parâmetros importantes como o consumo de potência, o THD (*Total Harmonic Distortion*) e o SNR (*Signal-to-Noise Ratio*) serão obtidos e poderão servir como critérios de comparação com trabalhos anteriores.

As simulações do modelo esquemático verificarão apenas a resposta em frequência para quatro matrizes de capacitores, organizadas de forma distinta. Como o objetivo das matrizes duplicadas consiste na análise de efeitos aleatórios e promovidos pelo roteamento dos componentes, durante a fabricação do circuito integrado, os resultados de simulação seriam os mesmos, visto que o simulador é incapaz de realizar essas verificações.

As primeiras simulações a serem analisadas consistirão na resposta em frequência para cada configuração de matriz. Como se optou pela implementação de um circuito gerador de fases externo ao circuito integrado, duas fontes com as especificações contidas na Tabela 4.1 foram aplicadas. A Fig. 4.1 apresenta a resposta em frequência para as configurações de matrizes aplicadas.

Tabela 4.1: Fontes simulando um gerador de duas fases sem *overlapping*.

Especificação\ fonte	Fonte Fase 1	Fonte Fase 2
V_1 (V)	2,5	2,5
V_2 (V)	-2,5	-2,5
Tempo de atraso (ns)	500,0	0,0
Tempo de subida (ps)	100,0	100,0
Tempo de descida (ps)	100,0	100,0
Período (μ s)	1,0	1,0
Largura de pulso (ns)	500,0	500,0

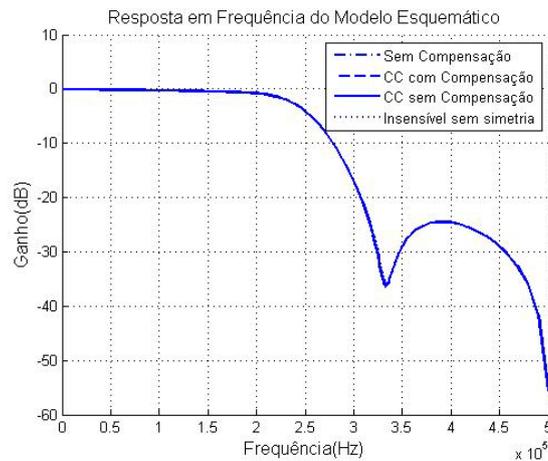


Figura 4.1 – Resposta em frequência das matrizes fornecida pelo modelo esquemático.

Como pode ser observado, além da resposta em frequência completa, o posicionamento do zero de transmissão foi exatamente o mesmo para cada uma das configurações ($\omega_n=333,5$ kHz). Esse fato se deve pelas características de simulação do modelo esquemático, isto é, pela ausência de efeitos de gradiente de processo e de componentes parasitas decorrentes das interconexões das matrizes nas simulações. Dessa forma, o circuito esquemático não é capaz de fornecer, por exemplo, a configuração de matrizes que apresentam melhores resultados.

Apesar da resposta em frequência do modelo esquemático apresentar limitações ligadas à precisão do posicionamento do zero de transmissão para cada configuração de matrizes, através dela pode ser determinada a validade do projeto da estrutura de medidas. A Fig 4.2 apresenta os resultados fornecidos pelo *MatLab* e pelo *Asiz* – presentes no Capítulo 2 – e pelo modelo esquemático.

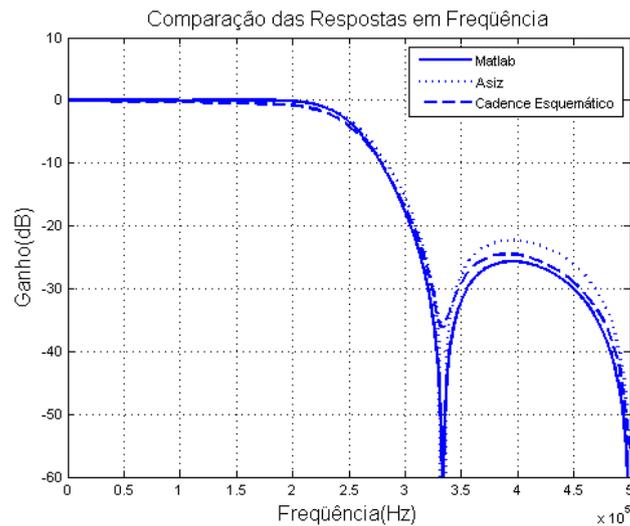


Figura 4.2 – Respostas em frequência considerando os resultados teóricos e o modelo esquemático.

A figura mostra que a resposta em frequência é basicamente a mesma para os casos propostos. Pequenas alterações são observadas, especialmente relacionadas à seletividade, porém não promovem alterações no posicionamento do zero de transmissão da estrutura de medidas. Dessa forma, a validade do projeto está confirmada e as simulações envolvendo o consumo de potência, o THD, o SNR e o modelo extraído podem ser realizadas.

O consumo de potência do circuito pode ser obtido através de uma simples análise DC e da expressão

$$P = VI. \quad (4.1)$$

Como o valor da tensão é dado pela alimentação simétrica do circuito, ou seja, $V = 5 \text{ V}$ e o valor de corrente total obtido por simulação foi de $I = 3,633 \text{ mA}$, pode-se concluir que a potência consumida é

$$P = 5V \times 3,633 \text{ mA} = 18,165 \text{ mW}. \quad (4.2)$$

A análise seguinte consistirá na obtenção do THD da estrutura de medidas. Para isso, será introduzida na entrada do circuito uma fonte senoidal com frequência fixa em 100 kHz e com amplitude variável. As simulações que envolvem o THD apenas serão realizadas para três valores de amplitude, devido o tempo de simulação extremamente elevado.

O cálculo será feito a partir da extração da DFT (*Discrete Fourier Transform*) do sinal no domínio do tempo. Através dessa simulação, será possível obter a componente fundamental e os harmônicos. Foram considerados no cálculo apenas os oito primeiros harmônicos devido ao aparecimento de um batimento da frequência de chaveamento, que foi resultado da escolha da frequência da fonte. Portanto, o THD será determinado a partir da expressão

$$THD = \frac{\sqrt{\sum_{i=1}^8 A_i^2}}{A_f}, \quad (4.3)$$

onde A_f equivale à amplitude da componente fundamental do sinal e A_i aos valores de amplitude de cada harmônico.

A partir da equação anterior, os valores de THD obtidos para cada uma das amplitudes do sinal de entrada são apresentados na Tabela 4.2. A Fig. 4.3 ilustra a resposta no domínio do tempo e o cálculo da DFT para uma tensão de 1 V na entrada.

Tabela 4.2: Resultados do nível de THD da estrutura de medidas.

Tensão (V)	THD (%)
0,01	0,72
0,10	0,89
1,00	0,19

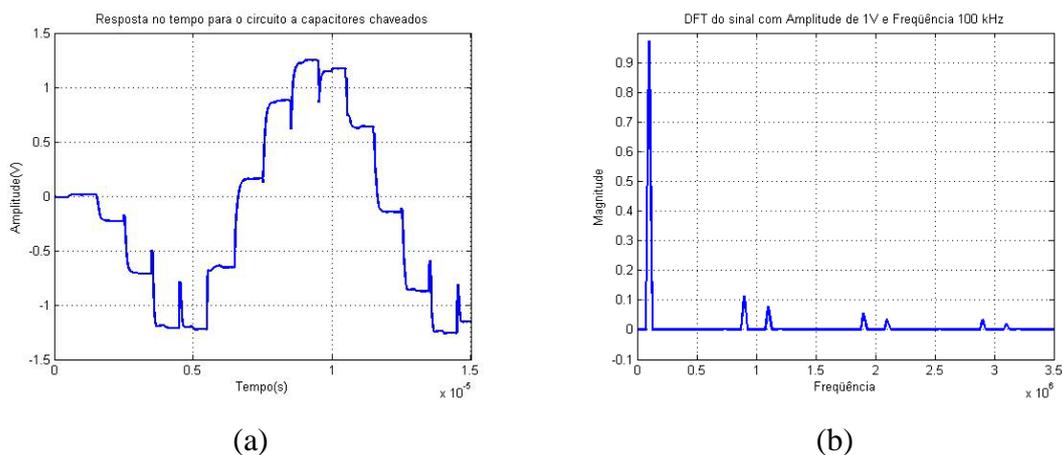


Figura 4.3 – Resposta no domínio do tempo para uma tensão de 1 V na entrada (a) e (b) cálculo da DFT a partir da resposta no domínio do tempo.

Inicialmente, pode-se acreditar na inconsistência dos valores apresentados, já que o THD aumenta à medida que há o aumento da amplitude do sinal de entrada. Contudo, a Fig. 4.4 apresenta a explicação para a situação mencionada. Devido à saída não diferencial da estrutura de medidas, o efeito de *clock feedthrough* das chaves não é anulado. Como esse representa uma distorção no sinal de saída, o cálculo da DFT levará em consideração esse erro. Isto culminará em um valor mais elevado no resultado do cálculo do THD, pois os harmônicos que estão sendo levados em consideração possuirão valores mais elevados. Este efeito fica mais evidente à medida que a amplitude do sinal de entrada diminui.

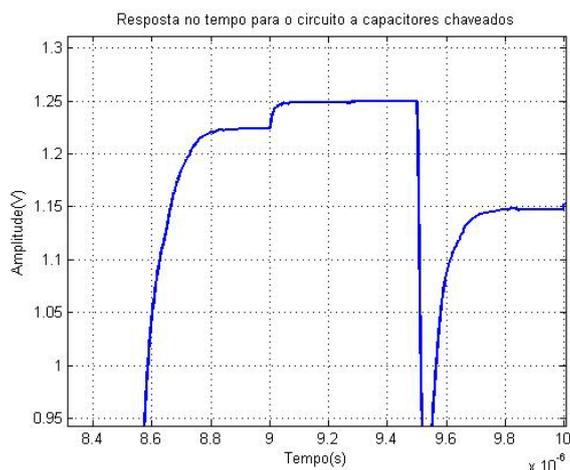


Figura 4.4 – Efeito de *clock feedthrough* na análise no tempo para amplitude de 1 V.

A próxima análise do modelo esquemático consistirá no SNR, ou seja, a relação sinal-ruído da estrutura de medidas. Essa medida poderá ser realizada a partir da expressão

$$SNR = 10 \log \left(\frac{A_s}{A_n} \right)^2, \quad (4.4)$$

onde A_s é a amplitude do sinal de entrada e A_n é a amplitude do ruído.

Os valores de amplitude do sinal de entrada considerados serão os mesmos que foram utilizados para o cálculo do THD. No entanto, falta ainda determinar a potência média de ruído para realização dos cálculos. Uma forma de realizar essa medição é através de uma simulação denominada *Pnoise*, realizada juntamente com a *PSS*. A Tabela 4.3 apresenta os resultados para as simulações envolvendo o ruído, enquanto a Tabela 4.4 ilustra os resultados para determinação da relação sinal-ruído do circuito.

Tabela 4.3: Resultados da análise de ruído da estrutura de medidas.

Parâmetros	Estrutura de Medidas
Ruído equivalente na Entrada ($\times 10^{-7} \text{ V}^2$)	1,83477
Potência Média de Ruído na saída ($\times 10^{-7} \text{ V}^2$)	1,77748

Tabela 4.4: Resultados da relação sinal-ruído da estrutura de medidas.

Tensão (V)	SNR (dB)
0,01	27,5
0,10	47,5
1,00	67,5

A última simulação que envolve o modelo esquemático consiste na análise de *Monte Carlo*. Esta é capaz de verificar a resposta em frequência do circuito na ocorrência de variações de processo e descasamento dos componentes. A simulação foi feita para 40 iterações para a faixa de frequências de interesse e o resultado é ilustrado na Fig. 4.5.

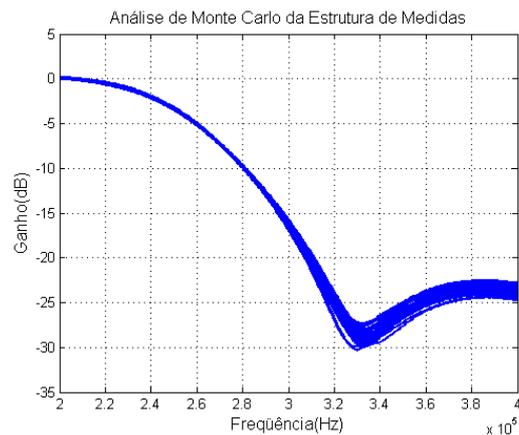


Figura 4.5 – Análise de *Monte Carlo* da estrutura de medidas.

Essa simulação considerará variações em todos os componentes do circuito, exceto os capacitores. Isso foi feito de forma a verificar apenas os efeitos de descasamento e variações de processo nos componentes projetados. Os resultados obtidos mostram que o posicionamento do zero de transmissão sofre pequenas variações – erro máximo em torno de 1% – em virtude desses componentes. Portanto, as variações no posicionamento do zero de transmissão serão dadas quase que exclusivamente pelas variações nas razões de capacitâncias.

Com a simulação de *Monte Carlo* realizada, as simulações que envolvem o modelo esquemático estão concluídas. O próximo passo consistirá em simulações da

estrutura de medidas considerando componentes parasitas. Novamente, serão feitas comparações entre os resultados obtidos que servirão como ferramentas para análise dos resultados experimentais presentes no capítulo seguinte.

4.2 – Simulações do Modelo Extraído

As simulações que envolvem o modelo extraído consistem em simulações mais realistas, pois serão considerados componentes parasitas que podem prejudicar o funcionamento da estrutura de medidas [5].

Através dessas simulações, a resposta em frequência do filtro a capacitores chaveados poderá ser analisada, considerando a influência de capacitâncias parasitas. Estas podem ser originadas de diversas formas como, por exemplo, através do cruzamento simples entre vias ou através das chamadas capacitâncias de *crosstalk* – resultantes da proximidade entre vias distintas no *layout*. A análise da influência desses componentes é essencial no desenvolvimento de um circuito integrado, pois poderá comprometer a resposta desejada e fornecer um resultado impreciso.

Visando minimizar o aparecimento e a influência de capacitâncias parasitas, técnicas de *layout* adequadas podem ser aplicadas [20]. No entanto, em inúmeros casos, o projetista analógico irá se deparar com *tradeoffs* – situações em que há conflitos de escolha – e deverá optar por um ou outro aspecto que considere mais relevante. O tamanho final do circuito integrado, o arranjo adequado dos componentes, a simetria do *layout*, a influência das capacitâncias parasitas na resposta desejada, são apenas algumas situações que podem gerar esse conflito durante o desenvolvimento de um projeto.

Nesta seção serão apresentadas duas simulações de resposta em frequência, considerando o modelo extraído. Enquanto a primeira considerará somente o *layout* individual dos componentes, isto é, não apresentará componentes parasitas nas suas conexões, o segundo levará em consideração o *layout* completo do filtro a capacitores chaveados. Essa medida será feita visando verificar a influência inicialmente, dos componentes e, posteriormente, do seu roteamento externo na resposta desejada. As comparações serão realizadas com o modelo esquemático de forma a analisar as alterações causadas pelas capacitâncias parasitas no *layout*.

As simulações envolvendo análise de ruído, distorção harmônica e consumo de potência não serão refeitas para o modelo extraído, devido ao tempo elevado de simulação, cerca de 40 minutos cada, e às pequenas alterações esperadas na resposta. Dessa forma, as simulações consistirão em análises *PSS* e *PAC* para obtenção da resposta em frequência. Vale ressaltar que as fontes responsáveis pela geração de fases sem sobreposição não apresentarão alterações.

A primeira simulação do modelo extraído consiste na verificação da resposta em frequência completa da estrutura de medidas. No entanto, essa simulação considerará somente o circuito extraído dos componentes individuais, ou seja, não há elementos parasitas nas ligações entre eles. Essa estratégia é realizada de forma a verificar, posteriormente, o efeito do roteamento dos componentes na resposta final do circuito.

Sendo assim, o resultado comparativo é apresentado na Fig. 4.6. Nela estão sendo exibidas as respostas em frequência tanto do modelo esquemático, quanto do modelo extraído com interconexões ideais, considerando a matriz sem compensação discutida no Capítulo 2.

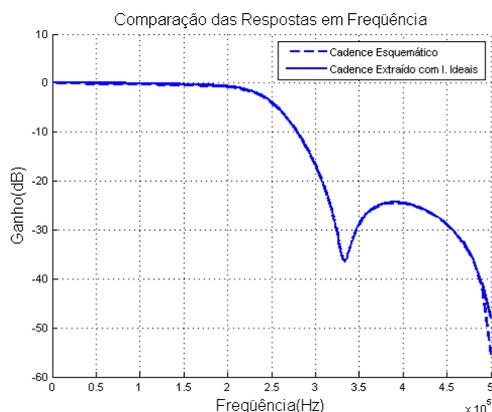


Figura 4.6 – Respostas dos modelos esquemático e extraído com interligações ideais.

A figura anterior mostra que a resposta em frequência completa sofreu pequenas alterações, especialmente, próximas à metade da frequência de chaveamento do sistema. Esse fato se deve ao aparecimento de capacitâncias parasitas atuantes somente em altas frequências. Como o posicionamento do zero de transmissão permaneceu inalterado e as alterações na resposta em frequência do filtro são extremamente pequenas, constatou-se que os componentes parasitas que surgiram após o desenvolvimento dos *layouts* dos componentes são desprezíveis.

As simulações a seguir levarão em consideração o *layout* completo da estrutura de medidas. Essas simulações serão as mais realistas possíveis, pois considerarão a influência de componentes parasitas no *layout* dos componentes e nas suas interligações. Os resultados obtidos através dessas análises servirão para comparação com os resultados experimentais apresentados no Capítulo 5.

A Fig. 4.7 (a) apresenta a resposta em frequência para as quatro matrizes de capacitores desenvolvidas. O posicionamento do zero de transmissão, para cada uma das configurações, poderá ser observado tanto na Fig. 4.7 (b), quanto na Tabela 4.5.

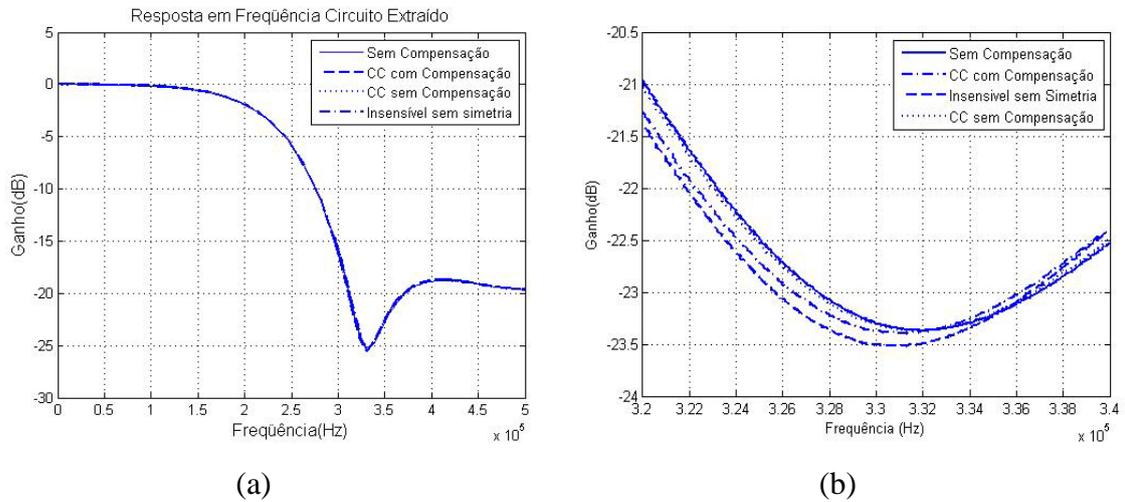


Figura 4.7 – Respostas em frequência do modelo extraído (a) completa e (b) em torno do zero de transmissão, para as quatro configurações de matrizes.

Tabela 4.5: Posicionamento do zero de transmissão para cada configuração de matrizes.

Configuração de Matrizes	Zero de Transmissão (kHz)
Sem Compensação	331,84
Centroide Comum sem Compensação de Momento	331,67
Centroide Comum e Compensação de Momento	331,37
Insensível a Variações de Gradiente e sem Simetria	331,29

O resultado presente na tabela anterior difere dos resultados esperados no Capítulo 2. A matriz que apresentou resultados superiores foi aquela cuja configuração e roteamento dos capacitores unitários foi a mais simples dentre as demais. Dessa forma, à medida que o nível de complexidade do roteamento interno das matrizes aumentou, maior foi o erro em torno do posicionamento do seu zero de transmissão.

Além disso, devido à impossibilidade da realização simétrica do *layout*, há uma pequena parcela de erro introduzida no resultado. No entanto, esse erro é o mesmo para todas as configurações, exceto as posicionadas em outro ponto do circuito, devido à estratégia de roteamento empregada. No *layout*, as matrizes posicionadas em um mesmo lado estão conectadas ao circuito por apenas três trilhas, comuns a todas as configurações. Assim, todas as matrizes seriam igualmente afetadas pelas capacitâncias parasitas resultantes do roteamento desses componentes no restante do circuito integrado.

A Fig. 4.8 ilustra a comparação das respostas em frequência obtidas. Os gráficos correspondem aos resultados obtidos com o modelo esquemático, com o modelo extraído com interconexões ideais e com o modelo extraído completo.

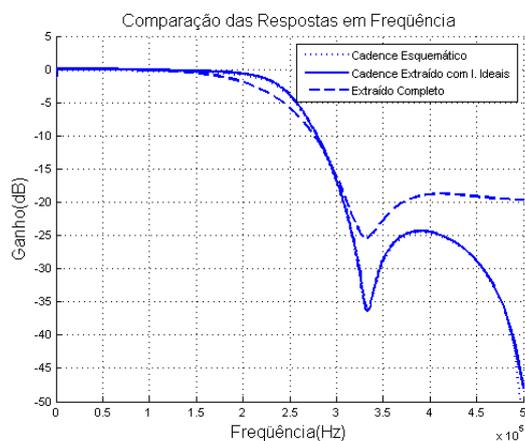


Figura 4.8 – Comparação das respostas em frequências fornecidas pelo simulador.

A figura anterior mostra um fato interessante. Os resultados apresentados para o modelo esquemático e o modelo extraído com interligações ideais foram basicamente os mesmos, enquanto o modelo extraído completo apresentou alterações significativas, principalmente na atenuação na banda de rejeição do filtro e na seletividade do zero de

transmissão. Essas alterações, portanto, são justificadas pela presença de capacitâncias parasitas no roteamento entre os diversos componentes.

Apesar de fornecer o posicionamento do zero de transmissão correto, deve-se descobrir qual capacitância parasita está influenciando na resposta em frequência do filtro e realizar as devidas alterações no *layout*. No entanto, essa procura levaria um tempo longo devido às dimensões do *layout* final, o número de interligações e a possibilidade de mais de uma capacitância ser responsável pelo efeito indesejado.

Além das dificuldades relacionadas à procura das capacitâncias parasitas, a data da rodada de fabricação do circuito integrado e a data limite para utilização da verba disponível foram determinantes na decisão tomada. As rodadas de fabricação acontecem em datas determinadas que, em geral, ocorrem em um intervalo de aproximadamente quatro meses. A empresa detentora da tecnologia é responsável por disponibilizar, anualmente, as datas de fabricação de um determinado processo. Quando foram finalizadas as simulações envolvendo o modelo esquemático, uma rodada de fabricação aconteceria nos próximos dias.

Como a verba disponível iria expirar em menos de um mês, optou-se por realizar a fabricação do circuito integrado na rodada mais próxima. Essa decisão impossibilitou a simulação do circuito extraído e, com isso, a verificação da sua resposta em frequência. As simulações apresentadas nesta seção foram, portanto, realizadas após o envio do circuito para a fabricação.

A questão da correção do *layout*, visando à redução dos efeitos das capacitâncias de interconexão voltará a ser discutida no Capítulo 6. A verificação das capacitâncias parasitas que estão causando alterações na resposta em frequência, o posicionamento dos componentes no *layout* e novas propostas para este trabalho farão parte dessa discussão.

Com os resultados de teóricos e de simulação disponíveis, o capítulo seguinte apresentará os resultados experimentais do circuito integrado. A resposta em frequência das configurações será acompanhada de uma análise estatística visando verificar os resultados obtidos e compará-los com os apresentados. O capítulo também contará com o projeto do circuito de testes e as técnicas de medição envolvidas.

Capítulo 5

Resultados Experimentais

Os capítulos anteriores trouxeram as técnicas de projeto dos componentes necessários para o desenvolvimento do filtro a capacitores chaveados. Para comprovar o seu funcionamento, foram apresentadas simulações que envolvem o desempenho de cada componente e, posteriormente, de toda a estrutura de medidas. Os resultados obtidos por simulação eram comparados com os resultados teóricos, visando verificar as características dos dispositivos projetados.

Após todas as etapas que envolvem o projeto do filtro, incluindo o desenvolvimento dos *layouts* dos componentes, o circuito integrado foi enviado para a fabricação. Um total de 15 circuitos foi encapsulado para realização das medições e obtenção dos resultados experimentais. Os circuitos não encapsulados poderão ser utilizados futuramente para a verificação do efeito de encapsulamento na resposta em frequência do filtro.

Contudo, para realizar as medições do circuito integrado fabricado é necessário o desenvolvimento de um circuito de testes. Este é capaz de realizar funções específicas para o funcionamento do circuito como: Aplicação de um sinal na entrada, verificação do sinal na saída, geração de fases sem *overlapping*, regular as tensões e correntes de polarização, dentre outras.

Após o desenvolvimento do circuito de testes, as medições serão realizadas considerando técnicas que minimizam o erro em torno dos valores medidos. Todo o procedimento adotado durante as medições será cuidadosamente descrito e todos os equipamentos utilizados terão suas características listadas.

Com os resultados experimentais para todas as configurações, poderão ser feitas as comparações e obtenção dos erros de implementação nas razões de capacitâncias. Além da identificação da configuração que apresentou melhores resultados, poderão ser mensurados os efeitos aleatórios e promovidos pelo roteamento, que promoverão

alterações nos valores de razão em matrizes iguais, posicionadas em pontos diferentes no circuito integrado.

A análise dos resultados obtidos fornecerá a base teórica necessária para a formulação das conclusões e trabalhos futuros que serão apresentados no Capítulo 6.

Dessa forma, este capítulo será iniciado com o projeto do circuito de testes, capaz de realizar as medições do circuito integrado fabricado. A partir daí, será discutida toda metodologia de medição, de forma a obter os resultados com maior precisão disponibilizada pelo equipamento de medidas. A seguir serão apresentados os resultados medidos e uma análise contendo os seus aspectos mais relevantes.

5.1 – Projeto do Circuito de Testes

O projeto do circuito de testes deve ser capaz de suprir algumas necessidades apresentadas pela estrutura de medidas. Essas necessidades podem estar relacionadas tanto à falta de tempo suficiente para o projeto desses componentes em circuitos integrados, quanto à precaução em torno da aplicação de um sinal externo no circuito encapsulado.

Para o projeto dos diversos circuitos que envolvem a estrutura de testes, componentes bastante conhecidos nas eletrônicas analógica e digital serão utilizados. No geral, os circuitos serão formados por amplificadores operacionais, resistores, capacitores, portas lógicas, dentre outros.

Como a montagem e medição do circuito serão feitas com auxílio de uma *proto-board*, diversos CIs comerciais, capazes de desempenhar as funções desejadas serão adotados. Dessa forma, durante o projeto dos diferentes circuitos que compõem a estrutura de testes, os CIs utilizados serão mencionados e sua função específica naquele projeto será apresentada.

A seguir serão discutidos todos os circuitos que farão parte da estrutura de testes. As funções desempenhadas, suas implementações e seus resultados experimentais serão apresentados de forma a comprovar o seu funcionamento.

Após o projeto e verificação do circuito de testes, poderá ser realizada a medição do filtro a capacitores chaveados. A técnica envolvida, equipamentos utilizados e a análise dos resultados farão parte de seções posteriores neste capítulo.

5.1.1 – Circuitos para Entrada e Saída de Sinal

Uma das precauções que envolvem as medições dos circuitos integrados fabricados consiste na não aplicação direta do sinal nos *pads* de entrada do circuito. Caso algum dos equipamentos utilizados para geração dos sinais externos venha a apresentar algum problema, a aplicação direta no *pad* poderia danificar o circuito integrado.

Como o custo de fabricação e o tempo de espera para obtenção do circuito integrado encapsulado são bastante elevados, problemas como esse poderiam inviabilizar o projeto e os resultados disponíveis.

Dessa forma, opta-se pela aplicação de um circuito capaz de receber um sinal de entrada externo e fornecer na saída um sinal, praticamente sem alterações, para o circuito integrado fabricado. As características discutidas anteriormente levam a implementação do circuito apresentado na Fig. 5.1.

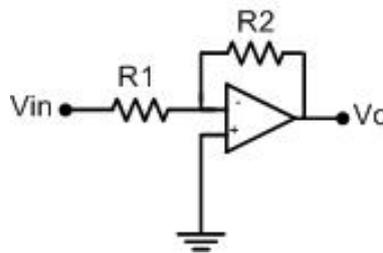


Figura 5.1 – Circuito para entrada de sinal externo.

Esse circuito é amplamente conhecido na eletrônica analógica e é denominado amplificador em configuração inversora. A saída do circuito será dada a partir da relação entre os resistores de entrada e de realimentação, isto é,

$$V_o = -\frac{R_2}{R_1} V_{in}. \quad (5.1)$$

A partir da relação acima, pode-se concluir que, caso os dois resistores apresentem o mesmo valor nominal, os sinais de entrada e saída apresentarão a mesma amplitude. Assim, as características descritas anteriormente serão preservadas e a

topologia proposta atenderá as necessidades do projeto. Caso houvesse a necessidade de amplificação dos sinais – de entrada ou saída no circuito – a escolha dos resistores deveria ser feita a partir do ganho desejado.

No entanto, vale ressaltar que os resistores tipicamente utilizados apresentam uma determinada tolerância, isto é, o valor nominal de sua resistência poderá apresentar uma pequena variação. Visando minimizar essa variação, que introduziria uma parcela de erro na relação, utiliza-se um multímetro capaz de medir a resistência com uma precisão satisfatória. Dessa forma, a escolha dos resistores é feita a partir da medição de uma série de componentes e a adoção de dois deles, cujos valores nominais mais se aproximam. Nesse projeto optou-se pela utilização de resistores com valores nominais de 1 k Ω .

Após a escolha dos resistores deverá ser escolhido o amplificador operacional. Um CI capaz de desempenhar essa função é o CA3240 desenvolvido pela *Intersil*. Esse CI consiste em dois amplificadores operacionais, utilizando tecnologia BiMOS, com entrada diferencial e saída simples. A entrada é composta por transistores MOSFET, capazes de promover uma alta impedância de entrada e, a saída, por transistores bipolares, responsáveis pelo aumento da excursão de sinal na saída.

Após a montagem do circuito na *proto-board*, foram realizadas as medições, considerando um sinal de entrada de 1 V pico a pico e de frequência 100 kHz. O resultado, presente na Fig. 5.2, ilustra na parte superior a senóide de entrada e na parte inferior a senóide de saída. Observa-se também uma defasagem de 180° em relação aos dois sinais. Esse fato, característico da configuração inversora, não é relevante no projeto, já que o interesse consiste unicamente na manutenção da amplitude do sinal de entrada.

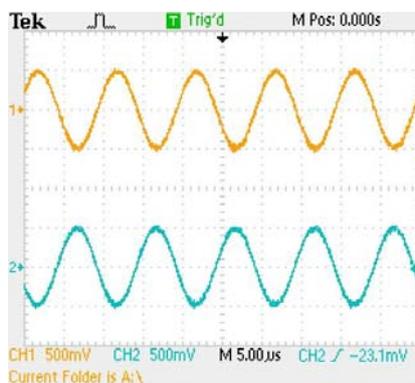


Figura 5.2 – Resultado de medição do circuito para entrada de sinal externo.

Este mesmo circuito será utilizado na saída do circuito integrado, visando a não realização das medições diretamente no *pad* do circuito. Como o CI mencionado anteriormente apresenta dois amplificadores operacionais, a implementação se torna bastante simples. O procedimento para a escolha das resistências que compõem o circuito de saída será o mesmo que foi adotado no caso do circuito de entrada.

Com os circuitos de entrada e saída funcionando corretamente, o projeto do circuito de testes prosseguirá com o projeto dos reguladores de tensão, cuja função é bastante semelhante a dos circuitos mencionados nesta seção.

5.1.2 – Circuitos Reguladores da Tensão de Entrada

A preocupação em torno da aplicação direta de um sinal nos terminais do circuito integrado não é algo restrito apenas aos pinos de entrada e saída do sinal de interesse. Dessa maneira, outros circuitos deverão ser projetados de forma a proteger o circuito integrado de possíveis alterações nos valores aplicados.

Os reguladores de tensão têm como objetivo o fornecimento de uma tensão constante para a polarização do circuito integrado. Como o projeto consiste em uma polarização simétrica, isto é, $V = \pm 2,5 \text{ V}$, é necessário o projeto de dois reguladores.

Os circuitos básicos que irão compor os dois reguladores de tensão são ilustrados nas Figs. 5.3 (a) e (b). Os valores nominais dos componentes utilizados são descritos na Tabela 5.1.

Tabela 5.1: Valores nominais dos componentes utilizados nos reguladores de tensão.

Componentes	Regulador de tensão (Tensão Positiva)	Regulador de tensão (Tensão Negativa)
R1	220 Ω	220 Ω
R2	1,0 k Ω	1,0 k Ω
C1	0,1 μF	0,1 μF

Como o valor de R2, nos dois casos, é dado a partir de um potenciômetro, o valor contido na tabela anterior é o valor mínimo, de forma a garantir o funcionamento correto da estrutura proposta.

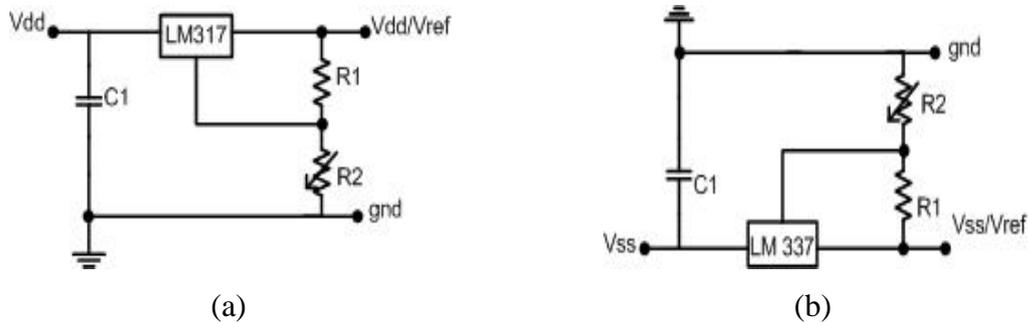


Figura 5.3 – Circuito regulador de tensão para (a) tensão positiva e (b) tensão negativa.

Como visto na figura anterior, os circuitos serão compostos essencialmente por resistores, capacitores e circuitos reguladores. O ajuste da tensão desejada é feito a partir do controle potenciômetro, onde sua resistência variável é capaz de produzir um aumento ou queda na tensão disponibilizada na saída, a partir do divisor resistivo formado com o resistor R1. Os CIs utilizados para a elaboração do circuito foram o LM317 e o LM337, ambos fabricados pela *National Semiconductor*.

Os valores finais das tensões para polarização do circuito integrado são obtidos através da medição direta com um multímetro. Vale ressaltar que, devido à sensibilidade do potenciômetro, o ajuste da tensão de polarização deve ser feito toda vez que o circuito de medidas for utilizado.

5.1.3 – Circuitos para Polarização dos OTAs

Um dos projetos dos componentes do circuito integrado consistiu em um gerador de polarização para os amplificadores de transcondutância. Esse circuito era capaz de polarizar grande parte dos OTAs, a partir de uma única corrente de referência.

Como o circuito integrado completo não apresentava circuitos capazes de gerar essa polarização de referência – circuitos de *bandgap* – as correntes deveriam ser obtidas de forma externa, através da estrutura de testes.

Dessa forma, era necessário o projeto de duas estruturas capazes de fornecer as correntes de referência, necessárias à polarização dos amplificadores de transcondutância. A primeira seria responsável por gerar uma corrente de referência de $100\ \mu\text{A}$, capaz de alimentar corretamente o gerador de polarização integrado e, a segunda, uma corrente de $360\ \mu\text{A}$ para alimentar o amplificador de transcondutância da saída.

Uma solução extremamente simples foi adotada para realizar a polarização dos amplificadores de transcondutância. Através da associação em série de potenciômetros e de resistores de precisão, cuja variação em torno do seu valor nominal é inferior a 1%, as correntes podem ser facilmente ajustadas e determinadas.

Inicialmente, o resistor de precisão é ligado em série com o potenciômetro, formando um divisor resistivo. Aplicando uma tensão de entrada, pode-se determinar a corrente de polarização no circuito a partir da queda de tensão no resistor de precisão. Dessa maneira, para alterar o valor basta alterar a resistência apresentada pelo potenciômetro, de forma que a queda de tensão no resistor de precisão seja correspondente a corrente desejada.

Neste projeto foram utilizados dois resistores de precisão, com valores nominais $10\ \text{k}\Omega$ e $100\ \Omega$, para determinar as correntes de polarização de $100\ \mu\text{A}$ e $360\ \mu\text{A}$ respectivamente. Dessa forma, para atender as correntes desejadas era necessária uma queda de tensão de aproximadamente $1\ \text{V}$ e $36\ \text{mV}$ nesses resistores. As Figs. 5.4 (a) e (b) ilustram as características dos resistores de precisão utilizados para fornecer as correntes de polarização.

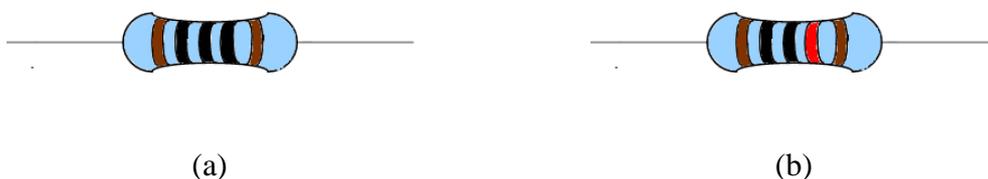


Figura 5.4 – Resistor de precisão de valor nominal (a) $10\ \text{k}\Omega$ e (b) $100\ \Omega$.

Vale ressaltar que devido à sensibilidade dos potenciômetros, o ajuste das correntes de polarização deve ser feito toda vez que o circuito integrado for utilizado. Assim, garante-se a correta polarização dos amplificadores de transcondutância e, conseqüentemente, o bom funcionamento do circuito integrado.

5.1.4 – Circuito Gerador de Fases

O circuito capaz de gerar as duas fases do filtro a capacitores chaveados é o principal projeto da estrutura de testes. Caso esse circuito apresente alguma deficiência, o funcionamento de toda a estrutura de medidas será comprometido.

O objetivo do circuito gerador de fases é a realização de dois sinais de referência sem *overlapping*, isto é, os sinais não poderão apresentar uma sobreposição. Como os circuitos a capacitores chaveados não podem permitir que chaves analógicas de fases diferentes atuem em um mesmo instante, essa restrição em torno do projeto do circuito gerador de fases se torna fundamental.

Inicialmente, o circuito gerador de fases foi planejado para ser integrado juntamente com a estrutura de medidas. Contudo, devido ao curto tempo disponível para a realização do projeto, optou-se pela sua implementação no circuito de testes. A sua integração junto à estrutura de medidas voltará a ser comentada durante os trabalhos futuros.

Além disso, a ideia de implementar esse circuito externamente surgiu devido à sua simplicidade. Na literatura [1], uma das formas mais comuns de implementar circuitos geradores de fases é através da associação de portas lógicas. A Fig. 5.5 ilustra o circuito capaz de realizar essa função. Os blocos de atraso presentes na figura serão responsáveis por garantir uma geração de fases sem *overlapping* e poderão ser implementados a partir de um valor ímpar de inversores ou através de redes RC [1].

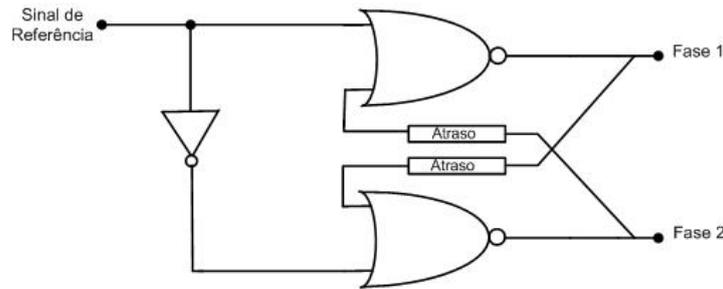
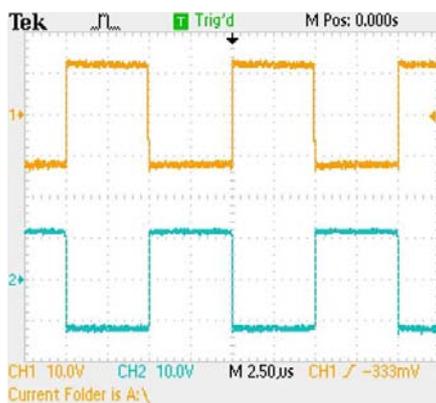


Figura 5.5 – Circuito capaz de gerar duas fases sem sobreposição.

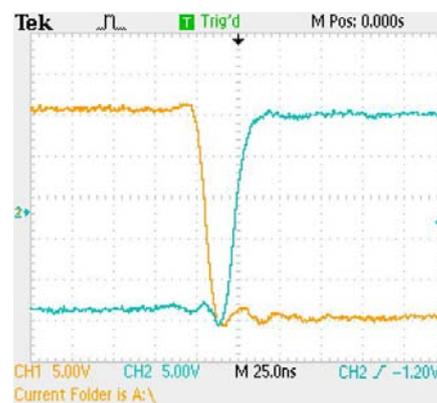
O circuito discutido acima pode ser implementado a partir da associação de portas lógicas NOR e NOT. No entanto, utilizando a álgebra de *Boole*, o circuito pode ser simplificado de maneira a utilizar somente portas lógicas NOR. Dessa forma, o número de CIs diferentes é reduzido e o cálculo do número de inversores, para gerar os blocos de atraso, se torna mais simples.

O CI adotado para realização do projeto foi o CD4001BC fabricado pela *Fairchild Semiconductor*. Esse CI consiste em quatro portas lógicas NOR, fabricados a partir da tecnologia CMOS com lógica complementar. A utilização desse tipo de configuração propicia, entre outros fatores, a redução de potência estática dissipada, devido à lógica PUN (*Pull-up Network*) e PDN (*Pull-down Network*) empregada [40].

Após a montagem do circuito proposto, os dois sinais de referência foram obtidos. O resultado, considerando blocos de atraso unitários e um sinal de entrada de 1 MHz com amplitude de 5 V pico a pico, é apresentado na Fig. 5.6 (a). A verificação da condição de sobreposição é ilustrada na Fig. 5.6 (b).



(a)



(b)

Figura 5.6 – Gerador de fases a partir do circuito discreto (a) e (b) verificação da condição de sobreposição dos sinais.

Apesar das restrições relacionadas à sobreposição das fases serem atendidas, isto é, chaves analógicas de fases diferentes não estão ligadas em um mesmo instante de tempo, o circuito integrado não apresentava a resposta em frequência desejada. Visando verificar a influência do gerador de fases, optou-se por ajustar as fontes de tensão responsáveis pela geração de fases, no simulador de circuitos integrados, com características semelhantes às obtidas com o circuito discreto.

Uma análise no tempo foi capaz de indicar o problema apresentado. As Figs. 5.7 (a) e (b) ilustram as fases geradas e a resposta no tempo do circuito respectivamente.

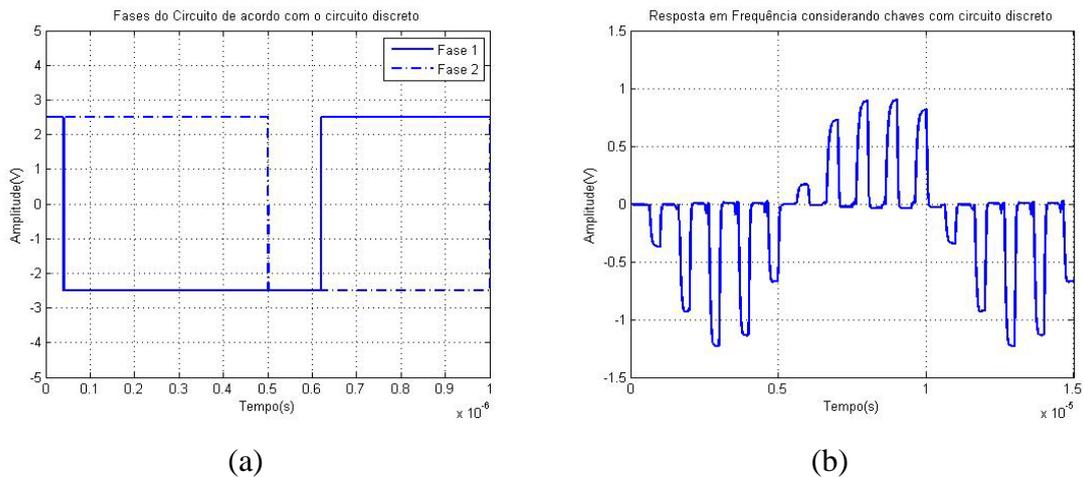


Figura 5.7 – Verificação do funcionamento do circuito integrado considerando (a) o gerador de fases e (b) a sua resposta transiente.

Conforme pode ser observado, durante a fase dois, o circuito integrado não apresentava a resposta desejada. O sinal de saída, que deveria ser retido durante essa fase, apresentava valor nulo em todo o intervalo de tempo.

A explicação para esse fato pode ser feita a partir da própria topologia do circuito utilizado. A Fig. 5.8 ilustra apenas a parte de saída do filtro a capacitores chaveados integrado.

As chaves numeradas na figura acima retratam o problema ocorrido. No momento que há o fechamento da chave 2, a chave 1 deverá permanecer aberta. No entanto, em um curto espaço de tempo, os transistores PMOS de ambas as chaves estarão conduzindo. Esse fato, resultante dos tempos de subida e descida dos sinais, é responsável pelo aparecimento de um terra virtual na saída, fornecendo uma tensão nula durante uma das fases do circuito.

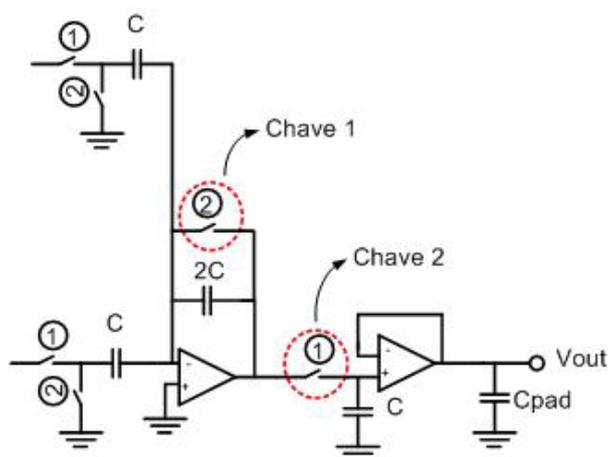


Figura 5.8 – Parte final do circuito a capacitores chaveados.

Dessa forma, simplesmente garantir que não haja a sobreposição das fases não é uma condição suficiente para o bom funcionamento dessa topologia de circuito. Deve-se garantir também que o cruzamento das fases seja promovido de tal forma que as chaves descritas acima não sejam parcialmente fechadas.

Devido à limitação relacionada à velocidade dos circuitos discretos, não seria possível realizar essas alterações com simples adições de inversores atuando como atrasos no circuito proposto. Duas soluções podem ser discutidas nesse momento, contudo apenas uma delas é viável nesse momento do projeto.

A primeira solução consistiria em realizar o gerador de fases proposto integrado. Assim, seria possível ajustar as razões de aspecto dos transistores de maneira a apresentar a velocidade desejada e garantir o cruzamento das fases no ponto discutido. Entretanto, essa solução teria que levar a uma nova fabricação do circuito integrado, invalidando qualquer medição do circuito anterior.

A solução adotada foi utilizar um gerador de sinais arbitrários da *Tektronix*. Através do *Tektronix AFG 3252 Dual Channel Arbitrary Function Generator*, é possível implementar diversas formas de onda. Como o gerador pode utilizar até duas saídas de sinal, é possível realizar as fases da forma desejada e utilizá-las no circuito proposto, de forma a garantir as restrições mencionadas. A Fig. 5.9 apresenta o resultado fornecido pelo gerador.

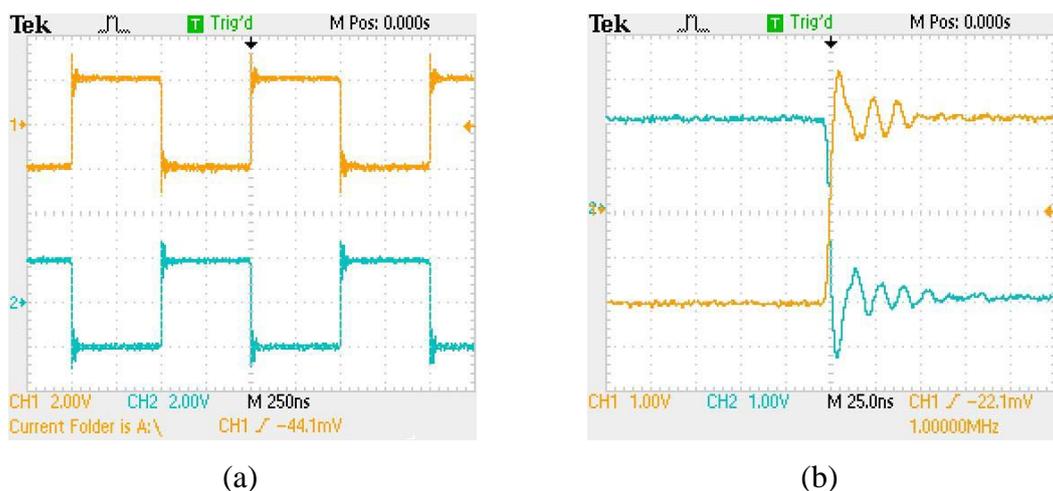


Figura 5.9 – Sinal gerado a partir do gerador da *Tektronix* (a) e (b) verificação das condições de funcionamento do circuito integrado.

Com o gerador de fases atuando conforme desejado, o projeto do circuito de testes está concluído. Dessa forma, o objetivo consiste na medição dos circuitos fabricados e na análise dos resultados obtidos, para cada uma das configurações de matrizes de capacitores unitários discutidas.

A próxima seção consistirá na metodologia de medição adotada. Nela serão apresentados os equipamentos utilizados para medição e toda a técnica elaborada, buscando obter resultados precisos. Os resultados obtidos serão discutidos posteriormente.

5.2 – Metodologia de Medição

A medição dos circuitos integrados fabricados deve seguir um procedimento cuidadoso, visando não introduzir possíveis erros de medição nos resultados. Como o processo de medição é feito a partir da resposta em frequência, para uma mesma razão de capacitâncias, qualquer parcela de erro comprometeria drasticamente o resultado final.

Dessa forma, foi desenvolvida uma metodologia de medição, capaz de verificar a resposta em frequência completa da estrutura de medidas e, além disso, fornecer o posicionamento preciso do zero de transmissão. Toda a técnica será descrita a seguir e

todos os equipamentos utilizados para realização das medições serão devidamente especificados.

Após a montagem do circuito de testes, o circuito integrado está apto a fornecer os resultados. A Fig. 5.10 apresenta a montagem final do circuito completo, isto é, o circuito de testes, juntamente com o circuito integrado fabricado.

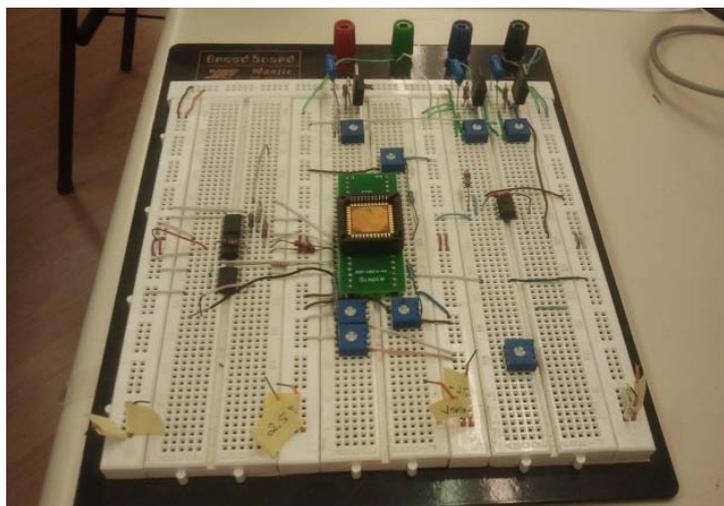


Figura 5.10 – Circuito completo utilizado para medição dos resultados.

A polarização do circuito é feita através de uma fonte de tensão “Icel Manaus Gubintec PS-5000D”, capaz de fornecer uma alimentação simétrica de ± 12 V. Este valor de tensão poderá ser alterado, já que os reguladores de tensão, projetados no circuito de testes, são responsáveis por gerar uma tensão constante que polarizará todo o circuito integrado.

A partir da tensão fornecida pelos reguladores, o circuito integrado fabricado será corretamente alimentado e as correntes de polarização dos amplificadores de transcondutância serão geradas a partir do procedimento descrito anteriormente. A verificação das tensões e correntes de polarização foi feita com a utilização do multímetro digital *Keithley 2100 61/2*.

Após a verificação da polarização do circuito integrado, serão conectadas as fases do circuito a capacitores chaveados. Essas foram realizadas através do AFG 3252 *Dual Channel Arbitrary Function Generator* fabricado pela *Tektronix*. Os sinais resultantes, apresentados na seção anterior, foram obtidos com auxílio de um

osciloscópio TDS 2022B *Two channel digital storage oscilloscope* 200 MHz, 2 Gs/s, produzido pelo mesmo fabricante do gerador de sinais arbitrários.

Com a polarização e as fases do circuito a capacitores chaveados atuando de forma correta, pode-se iniciar todo o procedimento de medição. Para isso, será utilizado o analisador de redes *Agilent 4395A*, capaz de medir, entre outras grandezas, a resposta em frequência do circuito proposto.

Inicialmente, retira-se o circuito integrado fabricado e, através de um fio, realiza-se um curto-circuito da entrada para a saída. A seguir, mede-se a resposta em frequência desse conjunto, mantendo tanto a polarização, quanto o gerador de fases funcionando conforme planejado.

Esse método, conhecido como calibração da ponteira de prova, será responsável por compensar a resposta em frequência do circuito de testes. Dessa forma, o resultado fornecido, quando forem realizadas as medições, será dado exclusivamente pela resposta em frequência do circuito integrado fabricado.

Quando a calibração é feita, deve-se atentar para a faixa de frequências utilizadas. Essa deve ser exatamente a mesma faixa de operação do circuito integrado, caso contrário, o resultado poderá incluir erros resultantes da inserção da resposta em frequência do circuito de testes. Como o circuito fabricado foi projetado para operar com uma frequência de chaveamento de 1 MHz, a calibração deverá ser feita até um valor máximo de 500 kHz, isto é, metade da frequência de chaveamento.

Outro fator que deve ser observado durante a calibração do equipamento é a resolução adotada durante as medições. Vale ressaltar que o tempo de calibração é diretamente proporcional a resolução do equipamento, ou seja, quanto maior a precisão desejada, maior será o tempo gasto durante a calibração. Como a calibração deve ser feita toda vez que o analisador de redes for ligado, deve-se escolher cuidadosamente a resolução baseando a escolha tanto no tempo de calibração, quanto nas aplicações do circuito integrado fabricado.

Como o principal objetivo deste trabalho consiste na medição precisa da frequência do zero de transmissão, para uma mesma razão de capacitâncias, deve-se optar pela maior resolução disponível pelo equipamento de medidas. Dessa forma, os resultados obtidos serão extremamente precisos e, pequenas alterações, por exemplo, resultantes dos erros aleatórios gerados durante a fabricação, poderão ser corretamente mensurados.

Assim, o analisador de redes foi calibrado para atuar na faixa de frequências de 10 Hz a 500 kHz com uma resolução de 2 Hz. Após definir essas questões, retira-se o curto-circuito e insere-se o circuito integrado fabricado, escolhendo uma determinada configuração de matrizes de capacitores, para a realização das medições.

As medições serão feitas através de duas etapas. A primeira consiste em uma varredura completa na faixa de frequências, visando verificar a correta implementação do circuito proposto. Atendendo os requisitos propostos na primeira etapa, adota-se uma faixa de frequências em torno do posicionamento do zero de transmissão, buscando obter o valor preciso desse ponto. Após as duas etapas, os gráficos e valores obtidos são salvos para futura análise. As Figs. 5.11 (a) e (b) ilustram o resultado fornecido pelo analisador de redes para duas configurações de matrizes distintas em um circuito integrado.

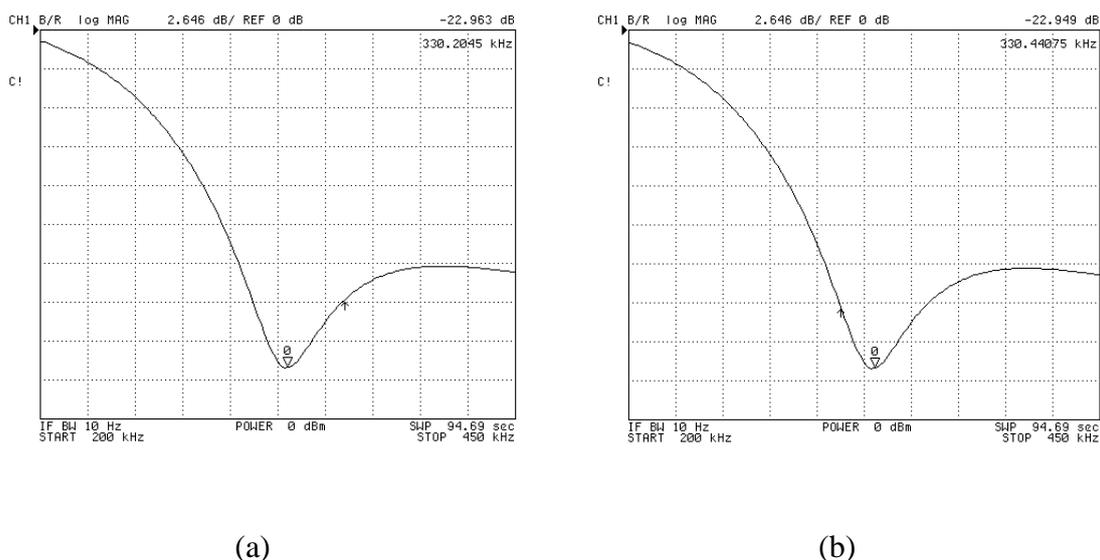


Figura 5.11 – Resultado fornecido pelo analisador de redes para (a) matriz sem compensação e (b) matriz com centroide comum sem compensação de momento.

Devido ao tempo elevado necessário para a realização das medições, resultado da resolução aplicada, não é possível realizar a medição de todos os circuitos integrados fabricados em um único dia. Dessa maneira, todo o procedimento descrito anteriormente é refeito quando é iniciado um novo processo de medições.

Com o procedimento descrito, as matrizes de capacitâncias poderão fornecer resultados precisos. A pequena variação em torno do posicionamento do zero de

transmissão será dado pelo erro de implementação nas razões. Dessa forma, pode-se determinar a configuração de matrizes de capacitores que apresentou resultados superiores aos demais.

A medição é feita para cada uma das oito matrizes do circuito integrado. Como foram encapsulados 15 circuitos, cerca de 120 medições foram realizadas e puderam fornecer uma base estatística razoável para as análises que serão apresentadas a seguir.

5.3 – Resultados de Medição

Ao adotar a metodologia proposta, as medições dos circuitos integrados fabricados podem ser realizadas introduzindo uma parcela de erro bastante pequena. Dessa maneira, o erro em torno do posicionamento do zero de transmissão, na resposta em frequência, seria fornecido pela configuração de matrizes de capacitores unitários utilizada.

Com os resultados de medição disponíveis, torna-se possível a realização de uma análise estatística, capaz de fornecer informações relevantes e resultados precisos.

Nesta seção serão apresentados os resultados de medição para cada uma das matrizes de capacitores utilizadas no projeto, juntamente com informações como média, desvio padrão e o erro de implementação nas razões. O erro de implementação será obtido a partir das informações fornecidas pela simulação do circuito extraído, em virtude das suas características serem mais próximas do comportamento real do circuito integrado.

Com a disponibilidade dos resultados medidos, e com as comparações feitas na análise teórica disponível no Capítulo 2, será possível determinar a organização de matrizes de capacitores unitários que apresentou resultados mais próximos dos valores esperados. A partir daí, poderão ser feitas as devidas conclusões em relação à estrutura de medidas proposta e as matrizes de capacitores utilizadas.

A Fig. 5.12 fornece a fotografia microscópica do circuito integrado fabricado. Como foram desenvolvidos quatro projetos em um mesmo circuito integrado, o circuito correspondente à estrutura de medidas proposta está devidamente destacado.

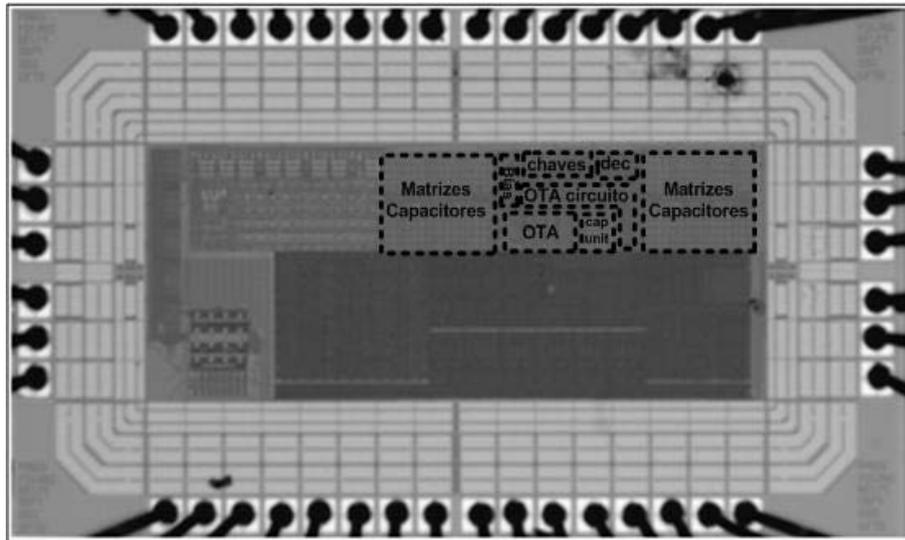


Figura 5.12 – Fotografia microscópica do circuito integrado fabricado.

Antes de iniciar a análise de cada uma das matrizes, o circuito integrado foi medido, considerando uma matriz aleatória, e sua resposta em frequência, para toda a faixa de operação do circuito, foi obtida. O objetivo era verificar a validade da resposta em frequência completa e compará-la com as respostas obtidas no capítulo de simulações. O resultado obtido é apresentado na Fig. 5.13.

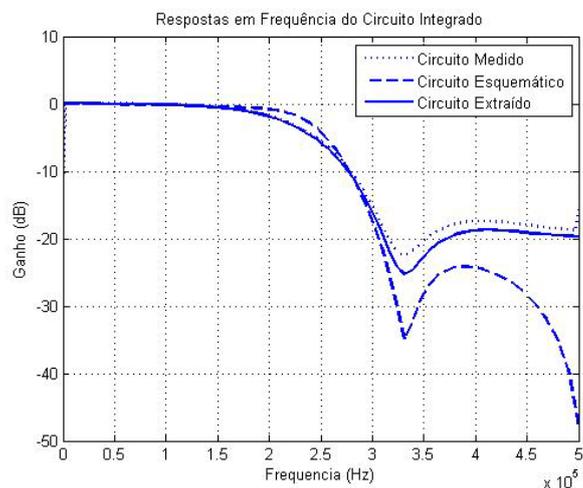


Figura 5.13 – Comparação das respostas em frequência do circuito integrado.

A partir da figura anterior, pode-se notar que a resposta em frequência do circuito medido foi bastante semelhante à do circuito extraído. A pequena diferença

apresentada pode ser considerada desprezível e não gera alteração no posicionamento do zero de transmissão.

No entanto, a diferença apresentada entre essas respostas e a resposta em frequência do circuito esquemático continua sendo algo indesejado. As alterações na resposta, especialmente na banda de rejeição, são bastante evidentes. Este e outros aspectos importantes voltarão a ser discutidos no capítulo seguinte.

Como o posicionamento do zero de transmissão não é alterado, as medições poderão ser realizadas para cada uma das configurações de matrizes projetadas. Os parâmetros, para todas as configurações, serão obtidos através de simples cálculos e com o auxílio do software *MatLab*.

A primeira configuração de matriz a ser analisada é composta pela organização mais simples possível. Denominada anteriormente por matriz sem compensação, esta configuração traz todos os capacitores de C_A organizados à esquerda da matriz, enquanto os capacitores pertencentes a C_B posicionados à direita da matriz. As Figs. 5.14 (a) e (b) ilustram a configuração adotada e o *layout* da estrutura, respectivamente.

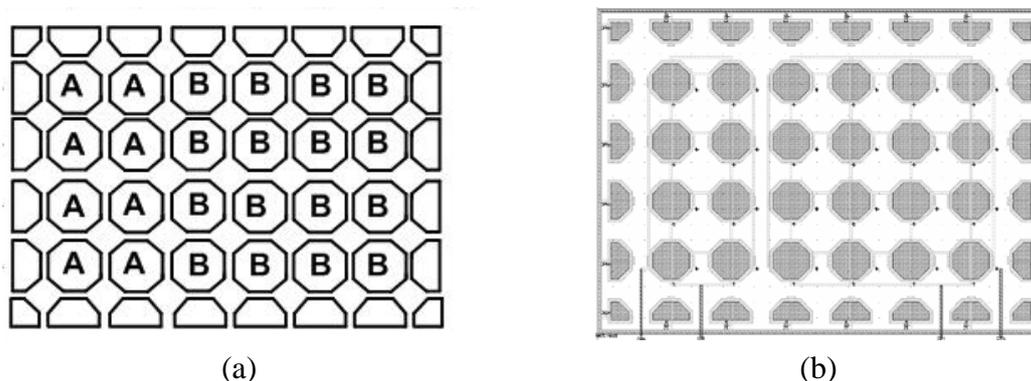


Figura 5.14 – Matriz de capacitores em configuração sem compensação: (a) topologia adotada e (b) *layout* desenvolvido.

No total, cerca de 30 medidas foram realizadas para esta configuração. No entanto, esse valor considera duas matrizes por circuito integrado, isto é, duas matrizes de configurações iguais, porém posicionadas em pontos distintos no *layout*. Dessa forma, o cálculo dos parâmetros discutidos será realizado para cada uma das matrizes individualmente, visando verificar os efeitos aleatórios do processo de fabricação na resposta em frequência da estrutura de medidas.

Como os resultados serão apresentados a partir do arranjo das matrizes de interesse, cada análise trará dois resultados. O primeiro considerará as características da matriz posicionada à esquerda do *layout*, enquanto a segunda, ilustrará os resultados da mesma configuração, porém posicionada à direita no *layout*.

O primeiro parâmetro relevante discutido será o valor médio, que pode ser obtido a partir da expressão

$$\bar{F} = \frac{1}{N} \sum_{i=1}^N fi, \quad (5.2)$$

onde N é a quantidade de medidas realizadas e fi é o posicionamento do zero de transmissão para a medida realizada.

Assim, os valores obtidos para a média nas configurações sem compensação são:

$$\bar{F}_1 = 330,48 \text{ kHz}, \quad (5.2)$$

$$\bar{F}_2 = 330,32 \text{ kHz}. \quad (5.3)$$

Antes de iniciar qualquer análise em torno da resposta fornecida, cabe desenvolver os demais parâmetros de interesse. A partir das médias obtidas, podem ser determinados o desvio padrão e os erros de implementação nas razões. O desvio padrão é definido pela expressão

$$\sigma = \sqrt{\frac{1}{(N-1)} \sum_{i=1}^N (fi - \bar{F})^2}, \quad (5.4)$$

onde N e fi apresentam a mesma definição no caso do valor médio e \bar{F} é a média calculada para a configuração de interesse.

Dessa forma, realizando o cálculo do desvio padrão para as matrizes desejadas, os valores encontrados foram

$$\sigma_1 = 0,8198 \text{ kHz}, \quad (5.5)$$

$$\sigma_2 = 1,0819 \text{ kHz.} \quad (5.6)$$

Por fim, cabe determinar o erro de implementação nas razões de capacitâncias. Este valor poderá ser obtido a partir do valor simulado, apresentado pela posição do zero de transmissão nas simulações com o modelo extraído, e do valor médio, apresentado pela configuração desejada. Assim, a expressão

$$e(\%) = 100 \frac{(f_{ext} - \bar{F})}{f_{ext}}, \quad (5.7)$$

define o erro de implementação para a matriz de capacitores unitários desejada. No caso das matrizes sem compensação, o erro é dado por:

$$e_1 = 0,4288 \%, \quad (5.8)$$

$$e_2 = 0,4407 \%. \quad (5.9)$$

As Figs. 5.15 (a) e (b) ilustram a resposta em frequência, considerando a faixa de valores de interesse, para a matriz sem compensação. Cada uma das figuras é composta por 15 curvas, representando cada um dos circuitos integrados fabricados.

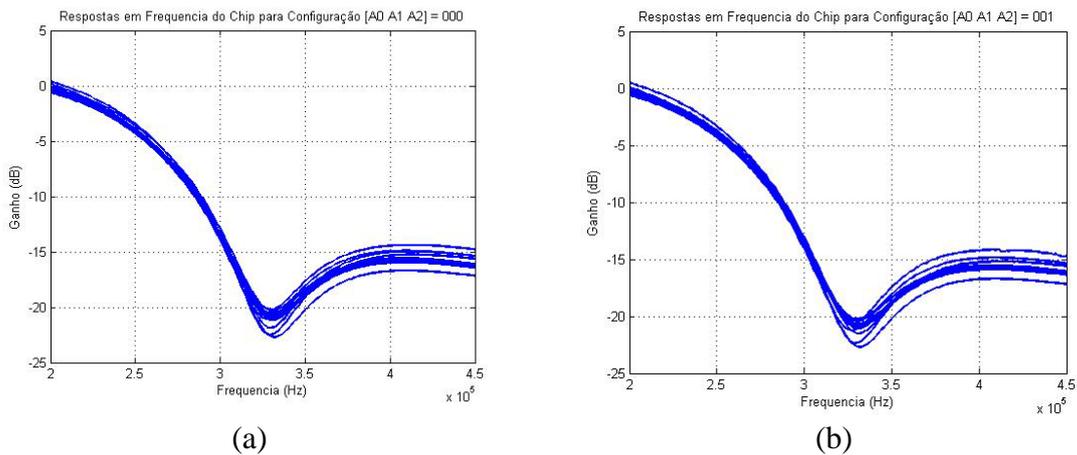


Figura 5.15 – Resposta em frequência da matriz de capacitores em configuração sem compensação: Posicionada (a) à esquerda do circuito e (b) à direita do circuito.

Essa mesma análise será feita para cada uma das matrizes de interesse. Após determinar todos os parâmetros discutidos, uma análise comparativa será desenvolvida, visando verificar os resultados obtidos. As conclusões elaboradas para cada configuração serão discutidas no final desta seção.

A segunda organização consiste na matriz em centroide comum simétrica sem compensação de momento. As Figs. 5.16 (a) e (b) apresentam a configuração desejada e o *layout* desenvolvido. Como já mencionado, essa configuração traz uma estrutura simétrica, capaz de minimizar os efeitos promovidos pelos gradientes de processo. Uma desvantagem consiste no roteamento mais complexo dos capacitores unitários da matriz.

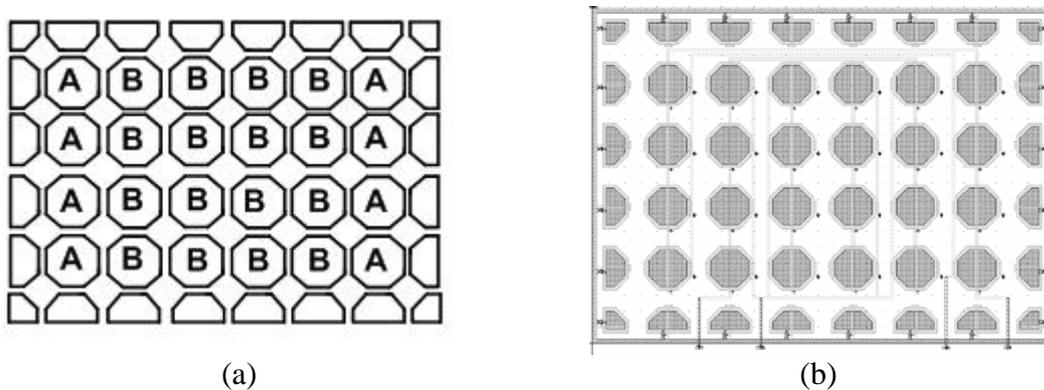


Figura 5.16 – Matriz de capacitores em centroide comum simétrica sem compensação de momento: (a) topologia adotada e (b) *layout* desenvolvido.

A mesma quantidade de medidas foi realizada para esta configuração. A partir daí, foram extraídos os valores médios para as duas matrizes posicionadas em pontos distintos do circuito integrado. As médias apresentadas pelas matrizes posicionadas à esquerda e à direita são, respectivamente:

$$\bar{F}_1 = 330,21 \text{ kHz}, \quad (5.10)$$

$$\bar{F}_2 = 330,19 \text{ kHz}. \quad (5.11)$$

Assim como no caso anterior, houve uma diferença entre o posicionamento do zero de transmissão nas duas matrizes. A análise dos resultados prossegue com a obtenção do desvio padrão para esta configuração. Os resultados apresentados, após a análise, são:

$$\sigma_1 = 0,9711 \text{ kHz}, \quad (5.12)$$

$$\sigma_2 = 1,2281 \text{ kHz}. \quad (5.13)$$

Para finalizar o processo, para esta configuração, cabe determinar os erros de implementação nas razões. O cálculo foi feito a partir da expressão apresentada em (6.7) e os resultados obtidos foram:

$$e_1 = 0,4412 \%, \quad (5.14)$$

$$e_2 = 0,4469 \%. \quad (5.15)$$

Os resultados apresentados indicam que a configuração apresentada, assim como a configuração anterior, obtiveram erros de implementação muito pequenos. No entanto, o erro em torno do posicionamento do zero de transmissão foi superior nesta organização.

As Figs. 5.17 (a) e (b) apresentam a resposta em frequência, considerando a faixa de frequências de interesse, para a configuração em centroide comum sem compensação de momento. Da mesma forma que o caso anterior, cada uma das figuras é composta por 15 curvas, representando cada um dos circuitos integrados fabricados.

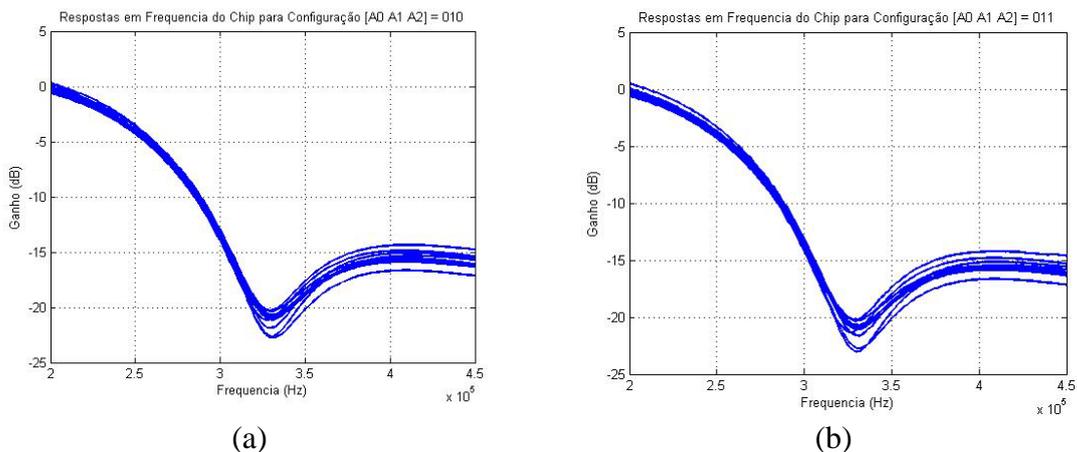


Figura 5.17 – Resposta em frequência da matriz de capacitores em centroide comum sem compensação de momento: Posicionada (a) à esquerda e (b) à direita do circuito.

A terceira matriz de capacitores unitários consiste na matriz em configuração insensível a variações de gradiente de processos e sem simetria. As Figs. 5.18 (a) e (b) ilustram, respectivamente, a configuração adotada e o *layout* desenvolvido. A estrutura discutida não apresenta simetria, o que dificultará o roteamento dos capacitores unitários da matriz, porém através da verificação adotada no Capítulo 2, ela é capaz de minimizar os erros decorrentes do processo de fabricação.

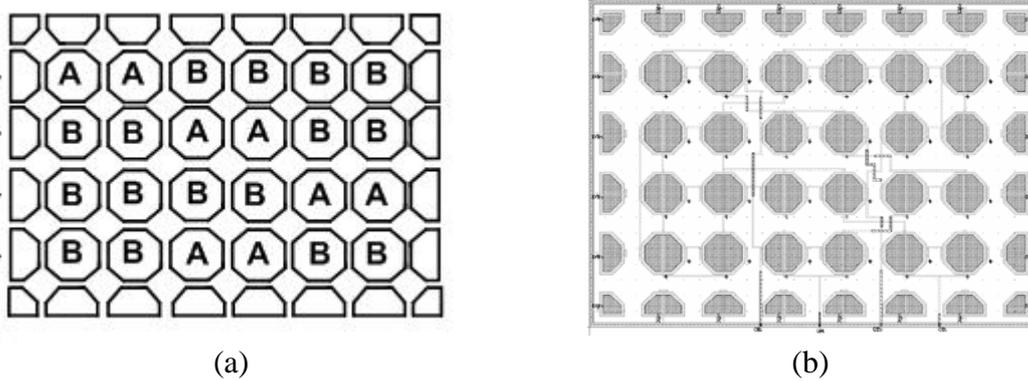


Figura 5.18 – Matriz de capacitores sem simetria e insensível a variações de gradiente de processo: (a) topologia adotada e (b) *layout* desenvolvido.

As figuras acima comprovam as questões que envolvem simetria e roteamento dos componentes envolvidos. O cruzamento entre as trilhas no *layout* podem gerar o aparecimento de capacitâncias parasitas indesejadas que comprometeriam a resposta em frequência. Atentando para esses fatos, os parâmetros de interesse foram calculados, visando verificar as características desta configuração. O valor médio para cada uma das matrizes, nesta configuração, foi:

$$\bar{F}_1 = 329,37 \text{ kHz}, \quad (5.16)$$

$$\bar{F}_2 = 329,34 \text{ kHz}. \quad (5.17)$$

Os cálculos foram estendidos buscando obter o desvio padrão para os resultados adquiridos. Sendo assim, os valores obtidos foram:

$$\sigma_1 = 1,4140 \text{ kHz}, \quad (5.18)$$

$$\sigma_2 = 1,4942 \text{ kHz.} \quad (5.19)$$

Por fim, basta realizar os cálculos que envolvem o erro de implementação nas razões para a configuração sem simetria insensível a variações nos gradientes de processo. Assim como nos casos anteriores, a mesma expressão foi utilizada, gerando os seguintes erros percentuais:

$$e_1 = 0,5791 \%, \quad (5.20)$$

$$e_2 = 0,5864 \%. \quad (5.21)$$

Apesar do erro de implementação ser aceitável, esta configuração apresentou os resultados menos precisos até então. Como era esperado, o posicionamento do zero de transmissão apresentou alterações para configurações em pontos distintos da matriz, representando os efeitos aleatórios resultantes do processo de fabricação.

As Figs. 5.19 (a) e (b) apresentam a resposta em frequência, considerando a faixa de frequências de interesse, para a configuração insensível a variações de gradiente de processo sem simetria. Da mesma forma que os casos anteriores, cada uma das figuras é composta por 15 curvas, representando cada um dos circuitos integrados fabricados.

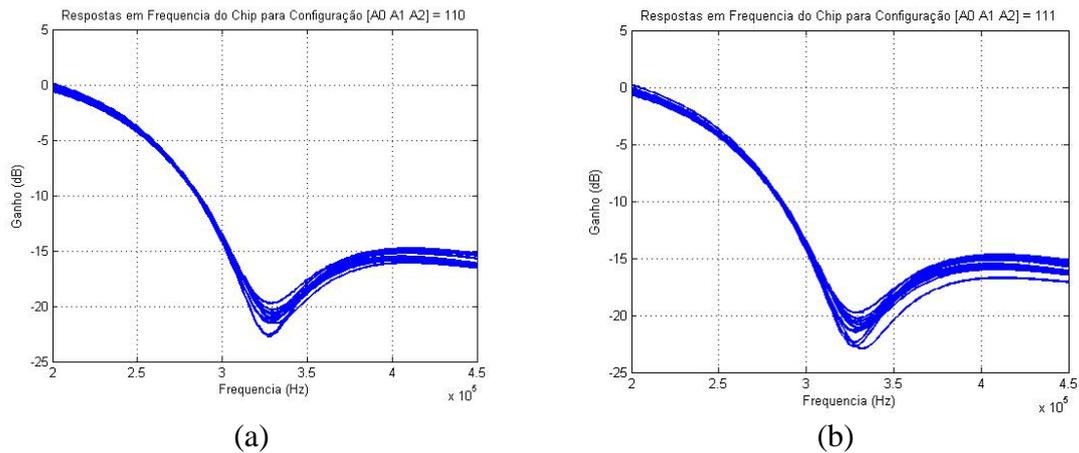


Figura 5.19 – Resposta em frequência da matriz insensível a variações de gradiente de processo sem simetria: Posicionada (a) à esquerda e (b) à direita do circuito.

A última matriz a ser considerada consiste na matriz em centroide comum com compensação de momento. Essa configuração, proposta a partir dos conceitos descritos em [4], busca a obtenção de resultados mais precisos que as organizações até então propostas. Obtida através de uma função custo, que buscava considerar fatores relevantes na organização de capacitores unitários, a configuração é apresentada nas Figs. 5.20 (a) e (b).

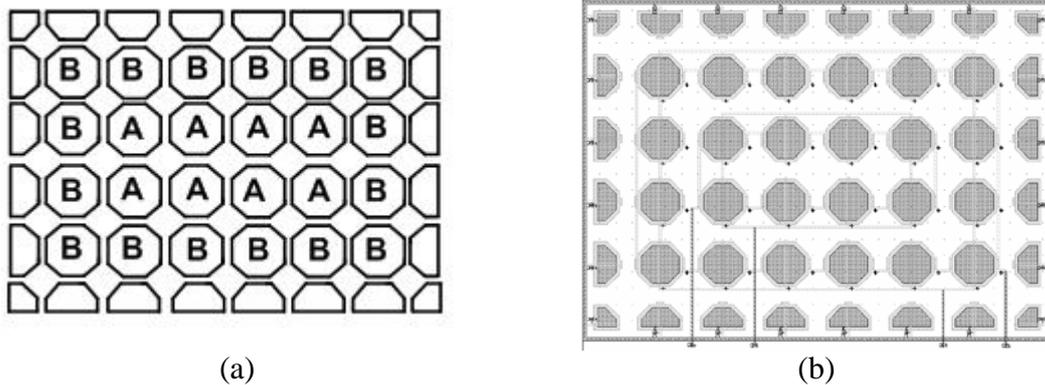


Figura 5.20 – Matriz de capacitores com centroide comum e compensação de momento:
(a) topologia adotada e (b) *layout* desenvolvido.

As figuras apresentadas anteriormente comprovam a questão da simetria adotada. Buscando verificar os resultados obtidos, a análise estatística foi realizada para as 30 medidas do circuito integrado. O valor médio, para cada uma das matrizes foi:

$$\bar{F}_1 = 329,47 \text{ kHz}, \quad (5.22)$$

$$\bar{F}_2 = 329,38 \text{ kHz}. \quad (5.23)$$

Após realizar os cálculos que envolvem o valor médio da configuração de matrizes adotada, cabe determinar o desvio padrão. Através da expressão apresentada em (6.4), este valor pôde ser determinado. Para as organizações contidas à esquerda e à direita do circuito integrado, os resultados foram:

$$\sigma_1 = 1,1692 \text{ kHz}, \quad (5.24)$$

$$\sigma_2 = 1,1114 \text{ kHz.} \quad (5.25)$$

Determinando a média e o desvio padrão das medidas, cabe obter apenas o erro de implementação nas razões. Esses valores foram determinados através da expressão (6.7) e são dados por:

$$e_1 = 0,5733 \%, \quad (5.26)$$

$$e_2 = 0,5985 \%. \quad (5.27)$$

O posicionamento do zero de transmissão apresenta um resultado bastante próximo do esperado. No entanto, o desvio padrão e os erros de implementação são bastante elevados. Uma análise comparativa agora poderá ser realizada de forma a esclarecer os resultados adquiridos.

As Figs. 5.21 (a) e (b) apresentam a resposta em frequência, considerando a faixa de frequências de interesse, para a configuração em centroide comum e com compensação de momento. As curvas obtidas seguem as mesmas características das demais apresentadas até então.

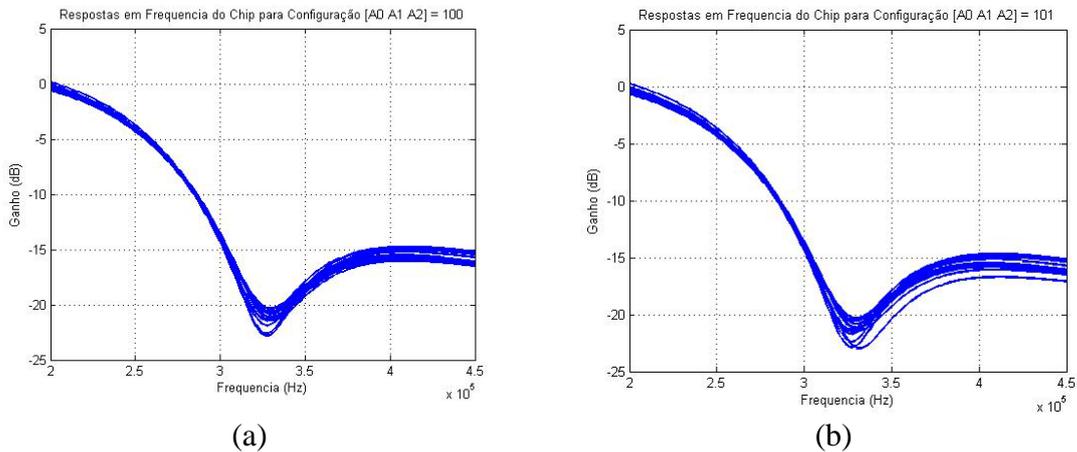


Figura 5.21 – Resposta em frequência da matriz de capacitores em centroide comum e com compensação de momento: Posicionada (a) à esquerda e (b) à direita do circuito.

Neste momento, todos os parâmetros de relevância para as matrizes de capacitores unitários já estão disponíveis. A partir daí, pode ser feita uma análise

comparativa, visando estabelecer as conclusões em relação ao funcionamento da estrutura de medidas proposta e a configuração das matrizes de capacitores unitários utilizados. A Tabela 5.2 resume os resultados de medição e parâmetros obtidos.

Tabela 5.2: Resumo dos resultados obtidos para cada configuração de matrizes.

Matriz de Capacitores / Parâmetros e Posição	Valor Circuito Extraído (kHz)	Valor Médio (kHz)		Desvio Padrão (kHz)		Erros Percentuais (%)	
		Esquerda	Direita	Esquerda	Direita	Esquerda	Direita
Sem Compensação	331,84	330,48	330,32	0,8198	1,0819	0,4288	0,4407
CC sem Compensação	331,67	330,21	330,19	0,9711	1,2281	0,4412	0,4469
CC com Compensação	331,37	329,47	329,38	1,1692	1,1114	0,5733	0,5985
Insensível a Variações de Gradiente sem Simetria	331,29	329,37	329,34	1,4140	1,4942	0,5791	0,5864

Os resultados apresentados confirmam a validade da estrutura de medidas proposta. Os erros de implementação nas razões de capacitâncias apresentaram valores inferiores a 0,6% e a resposta em frequência da estrutura de medidas foi bastante semelhante, em todos os casos, a resposta em frequência do circuito extraído.

Dessa maneira, pode-se concluir que a estrutura de medidas proposta é capaz de fornecer resultados precisos para as razões de capacitâncias de interesse. No entanto, o uso para outras razões e matrizes deve ser cuidadosamente estudado, devido às limitações em torno da carga na saída dos amplificadores de transcondutância projetados.

Antes de realizar as comparações entre matrizes de capacitores diferentes, a análise inicial consistirá no posicionamento do zero de transmissão para matrizes idênticas, porém posicionadas em locais distintos no circuito integrado fabricado.

Os resultados obtidos mostram que, em todos os casos, houve uma alteração no posicionamento do zero de transmissão. Essa diferença, que chegou a um valor máximo de 0,0272% – configuração em centroide comum com compensação – evidencia os efeitos de gradientes de processo e do roteamento distinto na fabricação do circuito integrado.

Apesar de a alteração apresentada ser pequena, o projetista deve considerar os efeitos mencionados para a realização correta dos projetos. No entanto, especialmente no projeto de filtros analógicos, esse pequeno erro é suprido devido às próprias especificações dos filtros, que consideram uma faixa de valores aceitáveis como, por exemplo, a adoção de uma frequência de corte e uma frequência de rejeição.

Contudo, o que mais chama atenção são os resultados que envolvem o posicionamento do zero de transmissão para matrizes com configurações distintas. A partir da análise contida no Capítulo 2, os resultados esperados eram que matrizes em configuração centroide comum com compensação de momento apresentassem resultados superiores às demais, seguida então pelas matrizes em centroide comum sem compensação, insensível a variações de processo sem simetria e sem compensação.

Todavia, os resultados apresentados, tanto nas simulações do modelo extraído, quanto os resultados experimentais, mostram que a matriz sem compensação, isto é, a configuração mais simples apresentou os resultados mais precisos e foi seguida pelas matrizes simétricas em centroide comum e pela matriz insensível a variações de processo sem simetria.

Essa ordem em relação ao desvio da frequência do zero de transmissão traz importantes conclusões. A ordem das matrizes que apresentaram resultados superiores foi a ordem inversa do nível de complexidade do roteamento adotado, isto é, a matriz que apresentava roteamento interno menos complexo foi a que apresentou resultados superiores.

Esse fato acontece tanto nas matrizes posicionadas à direita, quanto as localizadas à esquerda do circuito integrado e, os demais parâmetros obtidos, confirmam essa hipótese. Assim, o projetista de circuitos integrados analógicos não deverá considerar em seu projeto apenas uma topologia insensível a gradientes de processo, mas também uma topologia cujo roteamento minimize os erros de implementação nas razões de interesse.

Como a topologia em centroide comum com compensação de momento é a única gerada a partir de um cálculo computacional, baseada em uma função custo

discutida detalhadamente em [4], ela poderia ser ajustada de forma a minimizar os erros discutidos. Para isso, deveria ser incluída na função custo um parâmetro referente ao roteamento interno da matriz.

Assim, um estudo detalhado desse componente deverá ser realizado, de maneira a modelar seu comportamento conforme os resultados discutidos até então. Essa ferramenta poderá ser extremamente útil no projeto de matrizes de capacitores, pois através dela será possível, sem gasto excessivo de tempo, minimizar os erros sistemáticos provenientes do processo de fabricação utilizado.

Com os resultados de medição e comparação com os resultados teóricos já realizados, este capítulo trouxe importantes conclusões sobre a organização de capacitores unitários em circuitos integrados. O capítulo seguinte trará as diversas conclusões elaboradas a partir dos resultados obtidos. Além disso, alguns fatos pendentes serão discutidos e melhor detalhados na fase de trabalhos futuros.

Capítulo 6

Conclusões

A estrutura de medidas proposta foi desenvolvida visando verificar a precisão nas implementações de razões de capacitâncias em circuitos integrados. Através da técnica de decomposição de funções de transferências em seções passa-tudo e utilizando uma topologia a capacitores chaveados, desenvolveu-se uma estrutura capaz de fornecer, através da sua resposta em frequência, os erros de implementação nas razões de capacitâncias com elevada precisão.

Outro objetivo que envolvia o projeto consistiu na determinação de uma organização de capacitores unitários, capaz de minimizar erros sistemáticos decorrentes do processo de fabricação. Através da estrutura proposta, os resultados podem ser corretamente mensurados, analisados e comparados, buscando obter resultados que pudessem auxiliar os projetistas de circuitos analógicos no futuro.

As simulações contidas no Capítulo 2 confirmaram a validade da função de transferência proposta e motivaram o desenvolvimento dos circuitos individuais, culminando nos resultados apresentados no Capítulo 4. O Capítulo 5 demonstrou que o circuito integrado fabricado era capaz de desempenhar os objetivos desejados.

Os resultados experimentais trouxeram importantes conclusões. Inicialmente, foram constatados os efeitos de gradientes de processo no circuito integrado. Esse erro aleatório é responsável por alterar o posicionamento do zero de transmissão na resposta em frequência do filtro, mesmo em configurações de matrizes idênticas, porém posicionadas em pontos distintos no circuito integrado. Apesar de a variação ser pequena, aproximadamente 0,028%, o projetista deve se manter atento durante o desenvolvimento do circuito integrado, pois, dependendo das características do projeto, essa variação poderá representar um valor não desprezível e incapaz de ser previsto através de um simulador.

Os resultados mais surpreendentes consistiram na verificação das matrizes de capacitores unitários. Os erros de implementação nas razões foi inferior a 0,6%,

confirmando a capacidade do circuito fabricado em mensurar as razões com elevada precisão. No entanto, os resultados experimentais obtidos apresentaram divergências em relação às características inicialmente esperadas.

Diversos trabalhos [1], [4], [15], [20] mencionam que a organização em centroide comum é capaz de minimizar os efeitos de gradientes de processo e fornecer resultados bastante precisos. Entretanto, os resultados experimentais demonstraram que o roteamento das matrizes de capacitores unitários deve ser um fator determinante na escolha da configuração utilizada. Este trabalho mostrou que matrizes, mesmo não apresentando configuração centroide comum, com roteamento mais simples, apresentaram resultados superiores às demais configurações adotadas.

Como uma das configurações analisadas consistia em uma topologia gerada a partir da escolha computacional, gerada a partir de uma função custo, considerando os parâmetros mais relevantes no arranjo de capacitores unitários, é possível incorporar o efeito do roteamento no desenvolvimento final do arranjo. Através disso, uma nova configuração pode ser gerada, buscando minimizar os erros sistemáticos discutidos e, além disso, minimizar os efeitos parasitas decorrentes do roteamento desses componentes.

6.1 – Análise e Comparação dos Resultados

Como já foi amplamente discutido, a medição indireta de razões de capacitâncias não é algo restrito a este trabalho. Alguns artigos foram desenvolvidos baseados neste mesmo objetivo, porém apresentando diferentes aplicações. A caracterização do processo de fabricação CMOS, aplicações voltadas a sensores capacitivos, a precisão em amplificadores voltados para aplicações em circuitos chaveados, o projeto de conversores analógico-digital e digital-analógico, são apenas algumas dessas aplicações.

As comparações entre os trabalhos propostos não é uma tarefa simples. As diferenças entre os fabricantes e as tecnologias de fabricação podem fornecer uma ideia errônea a respeito dos resultados obtidos. A área final do circuito, o consumo de potência, a precisão nos resultados, são apenas alguns fatores que podem sofrer alterações a partir da tecnologia e do fabricante utilizado. De forma a minimizar essas

questões, além dos parâmetros apresentados, essa seção trará uma breve descrição dos trabalhos, buscando verificar, de forma mais criteriosa, a complexidade dos projetos apresentados e os resultados obtidos.

A análise será iniciada pelas estruturas mais simples, discutidas em [9] e [10], e que buscavam mensurar o efeito de capacitâncias parasitas em circuitos integrados. O trabalho consistia basicamente na utilização de dois inversores pseudodiferenciais. O primeiro consistia em uma estrutura de referência, enquanto o segundo seria uma cópia exata, porém contendo a capacitância parasita a ser analisada. A partir da diferença entre as correntes em cada inversor, a capacitância parasita pode ser determinada. O circuito foi fabricado utilizando uma tecnologia de $0,8\ \mu\text{m}$ e a capacitância utilizada foi resultante do cruzamento entre vias de metais 1 e 2. Os resultados fornecidos apresentavam cerca de 2% de erro em torno dos valores de capacitâncias esperados. A sua aplicação consistia, principalmente, na caracterização das capacitâncias no processo de fabricação CMOS.

Apesar de utilizar uma tecnologia de fabricação maior que a proposta neste trabalho, devido à simplicidade da estrutura, o circuito fabricado apresentou dimensões inferiores. No entanto, os erros obtidos em torno do valor esperado são bastante superiores aos obtidos pela estrutura de medidas proposta. Além disso, devido à utilização de circuitos idênticos, deve-se garantir um casamento extremamente preciso durante o desenvolvimento dos *layouts*. Caso contrário, seria introduzida uma parcela de erro, elevando o valor discutido anteriormente. A principal vantagem do circuito proposto é a sua simplicidade. Entretanto, caso mais de uma capacitância necessitasse ser medida, o circuito deveria ser replicado, resultando no crescimento da estrutura de testes.

Outra proposta contendo um circuito bastante simples é apresentada por [8]. A técnica aplicada é denominada *floating gate* e o circuito é composto por um transistor MOSFET, em configuração de seguidor de fonte, um capacitor de referência e a capacitância a ser mensurada. A medida é feita a partir da tensão V_{GS} do transistor, que dependerá do divisor capacitivo formado entre a capacitância de referência e a capacitância desejada. Vale ressaltar que, devido às flutuações em torno da tensão de *threshold* do transistor, as suas razões de aspecto são elevadas, buscando minimizar os erros referentes a essas alterações. O circuito foi fabricado em tecnologias de $1,0\ \mu\text{m}$ e $1,6\ \mu\text{m}$, ambas fornecidas pela *Philips*. No geral, as medições foram realizadas para razões de capacitâncias, onde uma delas consistia em uma capacitância parasita -

crossstalk, cruzamento de trilhas - e os erros de medição apresentaram valores em torno de 1,8%.

Este circuito apresenta características semelhantes ao discutido anteriormente. Apesar da sua simplicidade e, conseqüentemente, menor área de circuito integrado fabricado, o circuito apresentou erros superiores aos discutidos neste trabalho. Caso mais de uma capacitância necessitasse ser medida, o circuito também deveria ser replicado, levando ao aumento da estrutura de testes.

Alguns circuitos mais complexos, inclusive utilizando a técnica de capacitores chaveados, foram propostos. Por exemplo, o trabalho discutido em [11] propõe a utilização de um circuito chaveado de duas fases, controladas pela saída de um circuito comparador. A medição é feita a partir do valor médio da saída de um integrador, que oscilará em torno de um valor específico, devido ao controle das chaves analógicas promovido pela saída do comparador. O circuito foi fabricado em um processo de 1,2 μm apresentando uma área final de 4 mm^2 . Foram construídas topologias com saídas simples e diferencial, utilizando polarização simétrica de $\pm 2,5$ V, que consumiriam em torno de 14 mW e 30 mW respectivamente.

Apesar de a precisão obtida ser satisfatória, erro em torno de poucos fentofarads, o circuito apresentou algumas desvantagens. A topologia adotada é altamente afetada por não linearidades – *clock feedthrough* das chaves analógicas, ganho finito e *offset* dos amplificadores operacionais, ruído térmico – que não só comprometem a resposta final do circuito, mas também aumentam o circuito integrado devido à necessidade de circuitos de compensação. Além disso, a área ocupada é cerca de 20 vezes maior do que a topologia proposta neste trabalho, o que acarretaria um aumento excessivo no custo do produto. Quanto ao consumo de potência, ambos apresentaram resultados bastante satisfatórios. A comparação entre o trabalho proposto e o artigo mostra que o artigo discutido apresenta um resultado ligeiramente superior nesse aspecto.

O circuito proposto em [12] se baseia na técnica de um circuito a capacitores chaveados de três fases. Além disso, o circuito é composto por um SAR e um DAC, elevando significativamente a sua complexidade. No entanto, suas aplicações são capazes de mensurar tanto a razão, quanto a diferença entre capacitâncias de interesse. A estrutura foi fabricada utilizando a tecnologia de 3 μm disponibilizada pelo MOSIS (*Metal Oxide Semiconductor Implementation Service*). Apesar de não fornecer parâmetros importantes como consumo de potência e área ocupada, os resultados

experimentais forneceram um erro de 3% para capacitâncias que variavam entre 20 fF e 100 fF.

O artigo não menciona informações importantes a respeito dos resultados obtidos, contudo algumas conclusões podem ser tiradas. O circuito proposto apresenta um grau de complexidade elevado, devido à presença de componentes como o DAC (*Digital-to-Analog Converter*) e o SAR (*Successive Approximation Register*), além da dificuldade em gerar 3 fases sem sobreposição. Além disso, o circuito é afetado por não linearidades, que podem prejudicar o funcionamento da estrutura. Esses fatos levam ao aumento significativo da área de circuito fabricado, aumentando o custo do produto. O erro apresentado também foi superior ao encontrado com a estrutura de medidas proposta.

Por fim, a última comparação é feita com o circuito apresentado em [13], capaz de realizar as medidas de capacitâncias externas ao circuito integrado. O circuito, composto basicamente por um oscilador e um microcontrolador, tem como objetivo principal a compensação das capacitâncias de linha, que podem resultar em uma medida errada da capacitância de interesse. O circuito foi fabricado com tecnologias de 3 μm e 0,7 μm e as áreas totais foram de 18 mm^2 e 5,5 mm^2 respectivamente.

Apesar da boa precisão obtida, erros inferiores a 1%, o circuito apresenta algumas desvantagens. Os autores mencionam sobre constantes problemas no oscilador, levando ao desenvolvimento de um oscilador específico para a aplicação. Além disso, o microcontrolador deve ser capaz de identificar as diferentes etapas do processo discutido e diferenciar as etapas que realizam o cálculo da capacitância. Em ambas as tecnologias, os circuitos apresentaram área ocupada muito maior que o circuito proposto, resultado da complexidade adotada.

Após discutir as estruturas propostas na literatura, a Tabela 6.1 resume algumas de suas características. Como algumas delas não fornecem parâmetros relevantes como o consumo de potência e a área ocupada, a principal forma de comparação entre os trabalhos será em torno dos erros de implementação nas capacitâncias de interesse.

Tabela 6.1: Características dos trabalhos sobre medição de razões de capacitâncias.

Característica / Referência	Estrutura Proposta	[9] e [10]	[8]	[11]	[12]	[13]
Tecnologia (μm)	0,35	0,8	1,0	1,2	3,0	0,7
Área (mm^2)	0,236	N/A	N/A	4,0	N/A	5,5
Erro de Implementação (%)	0,6	2,0	1,8	N/A	3,0	N/A
Técnica	SC por Resposta em Frequência	Inversor Pseudo Diferencial	<i>Floating Gate</i>	SC com Comparador na Saída	SC com DAC e SAR	Oscilador e Microcontrolador

A comparação entre a estrutura de medidas proposta neste trabalho e os circuitos presentes na literatura traz importantes conclusões. Ao ser comparado com estruturas mais simples, que ocupam área reduzida, a estrutura proposta apresenta erros bem inferiores. Já nos casos mais complexos, apesar dos erros fornecidos serem pequenos, a estrutura apresenta um nível de complexidade muito menor, resultando em uma área de circuito integrado reduzida e, dependendo da situação, um consumo de potência também reduzido. Além disso, a utilização da resposta em frequência para mensurar as razões de capacitâncias se mostrou uma alternativa nova e viável, pois é capaz de fornecer a resposta com precisão satisfatória e sem a necessidade de circuitos de compensação.

6.2 – Trabalhos Futuros

Ao longo deste trabalho foram discutidos aspectos relacionados à correção da resposta em frequência na banda de rejeição do filtro, aos problemas em geração das fases do circuito a capacitores chaveados, à utilidade do circuito sem encapsulamento, dentre outros. Alguns deles foram solucionados com a utilização de equipamentos específicos, enquanto outros foram relevados, devido, principalmente, às datas de

fabricação e de utilização da verba disponível. Diante desses fatos, alguns desses aspectos podem ser discutidos nesta seção.

Os resultados dos circuitos integrados fabricados mostraram que o roteamento interno dos capacitores unitários influencia diretamente no posicionamento do zero de transmissão na resposta em frequência do filtro. Até então, acreditava-se que uma simples organização em centroide comum era responsável por minimizar os erros sistemáticos, promovidos durante a fabricação do circuito.

Com isso, um dos trabalhos consiste na modelagem do efeito de roteamento nas matrizes de capacitores unitários. Baseado no projeto descrito em [4], pode-se estimar uma função custo incluindo um parâmetro destinado ao roteamento e, através da minimização dessa função, determinar uma organização que melhor atenda os requisitos de projeto e seja responsável por mitigar os erros referentes ao processo de fabricação.

Paralelo a isso, o circuito pode sofrer determinadas alterações visando à correção da resposta em frequência na banda de rejeição do filtro. As simulações contidas no Capítulo 4 mostraram que o efeito indesejado é provocado pelo roteamento dos componentes durante o desenvolvimento do *layout*. Dessa maneira, deve-se verificar quais componentes parasitas são responsáveis por alterações na resposta em frequência e realizar as devidas correções buscando anular ou minimizar os efeitos indesejados.

Esse estudo foi realizado através da análise do circuito extraído e inclusão das capacitâncias parasitas no circuito esquemático visando verificar a sua influência. A Fig. 6.1 ilustra o esquemático do circuito, incluindo as capacitâncias parasitas responsáveis por alterações na resposta em frequência do filtro.

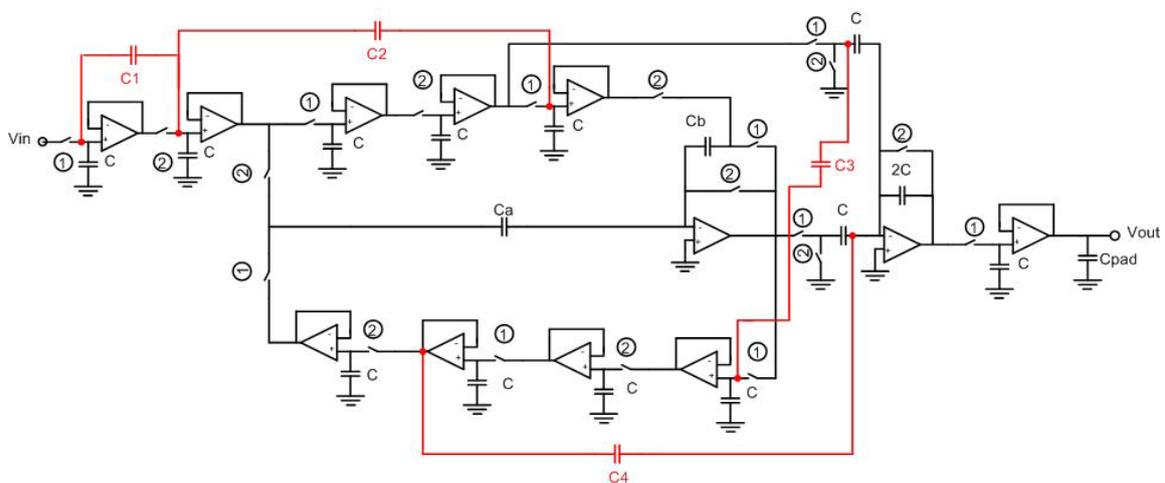


Figura 6.1 – Circuito esquemático incluindo capacitâncias parasitas.

A Tabela 6.2 apresenta os valores das capacitâncias parasitas encontrados no circuito extraído e que comprometem o aspecto da resposta em frequência da estrutura.

Tabela 6.2: Valores nominais das capacitâncias parasitas que influenciam na resposta.

Capacitância	Valor Nominal (fF)
C1	2,499
C2	1,566
C3	1,172
C4	0,991

A figura anterior mostra que a resposta em frequência é alterada diante da presença de capacitâncias existentes entre determinadas trilhas. Essas alterações podem promover tanto a mudança do posicionamento do zero de transmissão, quanto às características da banda de rejeição na resposta em frequência do filtro.

As capacitâncias apresentadas podem ser geradas devido ao cruzamento ou a proximidade entre essas trilhas no *layout*. Como pode ser observado, capacitâncias na ordem de fentofarads já são responsáveis por essas alterações. Devido à dificuldade em minimizar capacitâncias nessas ordens de grandezas e, em alguns casos, a impossibilidade de extraí-las do *layout*, optou-se pela elaboração de um novo *layout*.

O novo *layout*, ilustrado na Fig. 6.2, mantém as características de desenvolvimento do *layout* original, ou seja, preservando simetria, almejando reduzir a área total e evitando o cruzamento do sinal digital – originados pela saída do decodificador – com o sinal analógico.

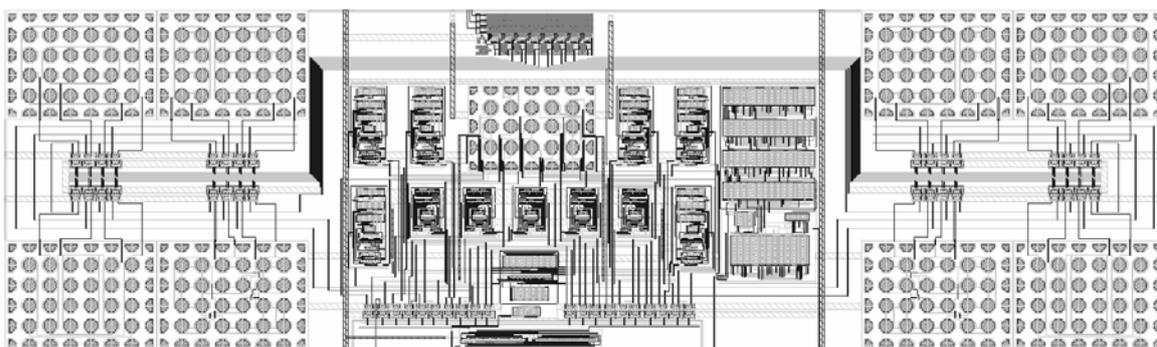


Figura 6.2 – Novo *layout* visando minimizar erros na resposta em frequência.

O novo *layout* preserva as características do anterior, porém minimiza os efeitos das capacitâncias parasitas discutidas e, além disso, inclui um novo componente, o gerador de fases responsável pelo controle das chaves analógicas. As dimensões da nova estrutura são 1,088 mm X 0,323 mm resultando em uma área de aproximadamente 0,3514 mm². O aumento da área, cerca de 30%, foi considerado satisfatório, pois a capacidade de gerar resultados mais precisos é uma prioridade no trabalho proposto. Além disso, as dimensões obtidas continuam sendo inferiores à maioria dos circuitos utilizados como critério de comparação na seção anterior.

A Fig. 6.3 ilustra a comparação entre as respostas em frequência do circuito esquemático e dos circuitos extraídos para o antigo e para o novo *layout*.

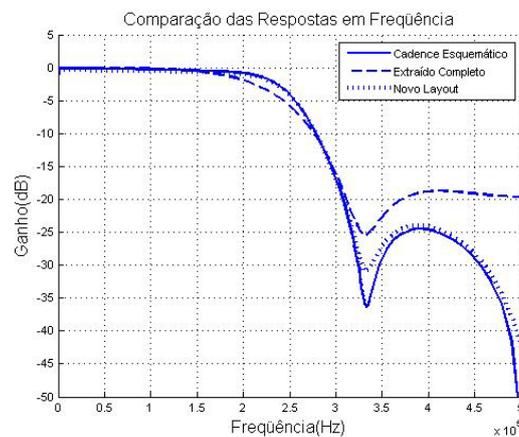


Figura 6.3 – Comparação das respostas em frequência considerando os circuitos esquemático e extraído originais e o novo extraído proposto.

Como pode ser observado, o erro em relação ao circuito esquemático reduziu consideravelmente e a banda de rejeição do filtro passou a apresentar o comportamento desejado. Além disso, observa-se uma melhora no fator de qualidade do zero de transmissão e espera-se uma maior precisão nos resultados experimentais.

Dessa forma, diante das melhorias esperadas por esse novo *layout*, um dos trabalhos consistiria na obtenção dos novos resultados experimentais. Para isso, o circuito deve ser fabricado em uma das datas específicas para o processo e aguardar o tempo necessário para a fabricação. Vale ressaltar que o circuito de testes pode ser mantido, exceto o equipamento necessário para gerar as fases do circuito chaveado, já substituído pelo gerador de fases integrado.

Como um novo *layout* estava sendo desenvolvido, optou-se pela implementação do gerador de fases integrado, especialmente devido aos problemas enfrentados em gerar as fases com o cruzamento adequado. Para isso foi utilizado o circuito descrito na Fig. 5.5, com blocos de atraso unitários. As portas lógicas foram desenvolvidas com tecnologia complementar e as razões de aspecto dos transistores foram obtidas de maneira a promover o cruzamento das fases no ponto adequado e melhorar o casamento entre os componentes no desenvolvimento do *layout*.

Assim, a Fig. 6.4 ilustra o *layout* do gerador de fases integrado. Nesse projeto todos os transistores apresentaram razões de aspecto igual a seis, onde o comprimento de canal utilizado foi de $1,0\ \mu\text{m}$ e largura de canal foi de $6,0\ \mu\text{m}$.

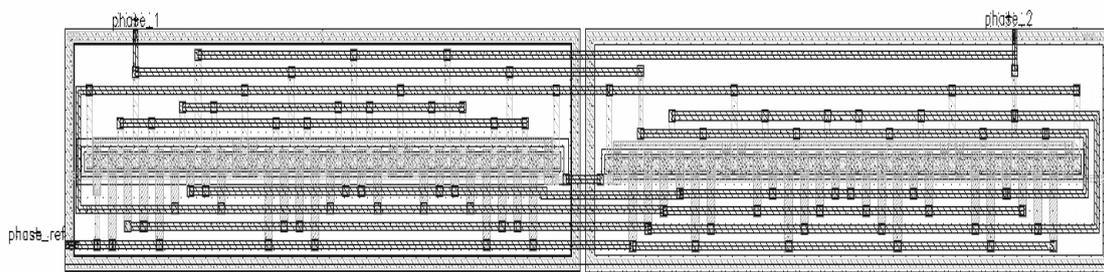


Figura 6.4 – *Layout* do circuito gerador de fases.

O desenvolvimento do gerador de fases integrado também apresenta outro propósito. Uma das possíveis aplicações do trabalho proposto é a medição do efeito de encapsulamento na resposta em frequência de um circuito integrado. Através deste trabalho pode-se verificar as respostas em frequência do circuito antes e depois do seu encapsulamento. Essa medida pode fornecer um parâmetro robusto referente às variações nas respostas de circuitos integrados. A partir daí, novas técnicas de compensação podem ser elaboradas visando à manutenção da resposta desejada.

Devido às limitações presentes no laboratório, essa medição deve ser realizada em outro local. Como seria inviável levar o equipamento responsável por gerar as fases do circuito chaveado, optou-se por já desenvolver o gerador de fases.

Outro fato bastante discutido consiste na medição de novas razões de capacitância. A expansão do novo *layout* pode ser feita sem a inclusão de capacitâncias parasitas que afetem a resposta em frequência, devido ao tipo de roteamento aplicado. Caso novas configurações de matrizes sejam posicionadas nas extremidades do circuito

integrado, basta incluir novas chaves de seleção e realizar o roteamento exatamente da mesma forma que as configurações anteriores.

No entanto, dois fatores devem ser discutidos. O decodificador é capaz de selecionar somente oito matrizes, a partir de três entradas de seleção. Caso mais de oito matrizes sejam implementadas o decodificador deverá ser expandido, aumentando o número de portas lógicas e incluindo outro sinal de seleção. Opções que buscam manter o decodificador projetado podem ser utilizadas, porém trazem a necessidade do projeto de novos componentes.

O segundo fator consiste no número de capacitores unitários responsáveis por gerar uma razão de interesse. Durante o projeto dos amplificadores de transcondutância, uma das especificações consiste na carga que aquele amplificador conseguirá suportar. Caso esse valor seja excedido, o amplificador não será capaz de carregar a capacitância de saída corretamente e o valor final apresentará um erro. Esse erro influenciará na resposta em frequência da estrutura de medidas culminando em um resultado incorreto. Dessa forma, a escolha do número de capacitores unitários, responsáveis por gerar a nova razão de interesse, deve ser escolhida cuidadosamente visando não exceder o limite suportado pelo circuito.

Por fim, o último trabalho consistiria na utilização do projeto para aplicações voltadas à leitura de sensores capacitivos. Através de um sistema de controle, contendo a estrutura de medidas proposta, seria possível determinar o valor estipulado por um sensor capacitivo com precisão bastante elevada. No entanto, para a elaboração desse trabalho, novas estruturas – filtros passa-baixa, detectores de fase, *charge pump* – devem ser estudadas e projetadas.

Referências Bibliográficas

- [1] JOHNS, D., MARTIN, K., *Analog Integrated Circuit Design*. John Wiley & Sons, 1997.
- [2] BARUQUI, F. A. P., PETRAGLIA, A., FRANCA, J. E., MITRA, S. K., "A 48MHz-to-16MHz CMOS SC decimation filter," *IEEE Journal of Solid-State Circuits*, Vol. 37, pp. 1282-1289, Outubro 2002.
- [3] PETRAGLIA, A., CANIVE, J. M. e PETRAGLIA, M. R., "Efficient parametric fault detection in switched-capacitor filters using structurally allpass sections", *IEEE Design and Test of Computers*, n. 1, p. 58-66, Janeiro 2006.
- [4] SOARES, C.F.T., "Método para Aprimorar o Projeto e o Layout de Filtros Analógicos em Circuitos Integrados CMOS", Tese de Doutorado, COPPE/UFRJ, Rio de Janeiro, RJ- Brasil, Janeiro 2009.
- [5] SOARES, C.F.T., "Filtro a Capacitores Chaveados CMOS 0.35 μ m Para a Detecção do Efeito de Cavitação em Turbinas de Usinas Hidroelétricas", Dissertação de Mestrado, COPPE/UFRJ, Rio de Janeiro, RJ- Brasil, Janeiro 2006.
- [6] PETRAGLIA, A., SOARES C.F.T., "A Technique for Accurate Capacitance Ratio Measurements in CMOS Integrated Circuits", *Iberchip XVI Workshop*, Foz do Iguaçu, PR- Brasil, pp. 63-66, Fevereiro 2010.
- [7] CAMPOS, G. S., "Estimação de Razão de Capacitâncias usando Filtros Estruturalmente Passa-tudo a Capacitores Chaveados", Projeto de Graduação, UFRJ, Rio de Janeiro, RJ-Brasil, Agosto 2010.
- [8] KORTEKAAS, C., "On-chip Quasi-static Floating-gate Capacitance Measurement Method", In: *Proceedings of the IEEE International Conference on Microelectronic Test Structures*, v. 3, pp. 109-113, Março 1990.
- [9] SYLVESTER, D., CHEN, J., C., HU, C., "Investigation of Interconnect Capacitance Characterization Using Charge-Based Capacitance Measurement Technique and Three-dimension Simulation", *IEEE Journal of Solid-State Circuits*, v. 33, pp. 449-453, Março 1998.
- [10] CHEN, J.C., MCGAUCHY, B., W., SYLVESTER, D., HU, C., "An On-Chip, Attofarad Interconnect Charge-Based Capacitance Measurement (CBCM) Technique", In: *International Electron Devices Meeting (IEDM)*, pp. 69-72, Dezembro 1996.

- [11] WANG, B., KAJITA, T., SUN, T., TEMES, G., “High-Accuracy Circuits for On Chip Capacitance Ratio Testing or Sensor Readout”, *IEEE Transactions on Instrumentation and Measurement*, v. 47, pp. 16-20, Fevereiro 1998.
- [12] KUNG, J., T., LEE, H., HOWE, R., T., “A Digital Readout Technique for Capacitance Sensor Applications”, *IEEE Journal of Solid-State Circuits*, v. 23, pp. 972-977, Agosto 1988.
- [13] GOES, F., M., L., MEIJER, G., C., M., “A Novel Low Cost Capacitive Sensor Interface”, *IEEE Transactions on Instrumentation and Measurement*, v. 45, pp. 536-540, Abril 1996.
- [14] RAZAVI, B., “CMOS Technology Characterization for Analog and RF Design”, *IEEE Journal of Solid-State Circuits*, v. 34, pp. 268-276, Março 1999.
- [15] MCNUTT, M.J., LEMARQUIS, S., DUNKLEY, J.L., “Systematic Capacitance Matching Errors and Corrective Layout Procedures”, *IEEE Journal of Solid-State Circuits*, Vol. 29, pp. 611-616, Maio 1994.
- [16] BASTOS, J., STEYAERT, M., GRAINDOURZE, B., et al., “Matching of MOS transistors with differential layout styles”. In: Proceedings of the IEEE International Conference on Microelectronic Test Structures, v. 9, pp. 17-18, Março 1996.
- [17] KANEKO, M., MASUDA, M., HAYASHI, T., “A novel capacitor placement strategy in ASCCOT: automatic layouter for switched-capacitor circuits”. In: Proc. of the IEEE International Symposium on Circuits and Systems – ISCAS, pp.2094-2097, Maio 1993.
- [18] LONG, D., HONG, X., DONG, S., “Optimal two-dimension common centroid layout generation for MOS transistor unit-circuit”. In: Proc. of the IEEE International Symposium on Circuits and Systems – ISCAS, v.3, pp. 2999-3002, Maio 2005.
- [19] MCCREARY, J. L., “Matching properties and voltage and temperature dependence of MOS capacitors”, *IEEE Journal of Solid-State Circuits*, v. SC-16, n.6, pp. 608-616, Dezembro 1981.
- [20] SAINT, C., SAINT, J., *IC Mask Design: Essential Layout Techniques*. McGraw-Hill, 2002.
- [21] KINGET, P. R., “Device mismatch and tradeoffs in the design of analog circuits”, *IEEE Journal of Solid-State Circuits*, v.40, n. 6, pp. 1212-1224, Junho 2005.
- [22] TSIVIDIS, Y., *Mixed analog-digital VLSI devices and technology: an introduction*. McGraw-Hill, 1995.

- [23] SHYU, J. –B., TEMES, G. C., YAO, K., “Random errors in MOS capacitors”, *IEEE Journal of Solid-State Circuits*, v. SC-17, n. 6, pp. 1070-1076, Dezembro 1982.
- [24] SHYU, J. –B., TEMES, G. C., KRUMMENACHER, F., “Random errors effects in matched MOS capacitors and current sources”, *IEEE Journal of Solid-State Circuits*, v. 19, n. 6, pp. 948-956, Dezembro 1984.
- [25] REGALIA, P. A., MITRA, S. K. e VAIDYANATHAN, P. P., “The Digital All-Pass Filter: A Versatile Signal Processing Building Block”, *Proceedings of the IEEE*, Vol. 76, pp. 19-37, Janeiro 1988.
- [26] GREGORIAN, R., TEMES, G. C., Analog MOS integrated circuits for signal processing. John Wiley & Sons, 1986.
- [27] MITRA, S. K., PETRAGLIA, A., “Low-PassBand-Sensitivity switched capacitor filters using a parallel connection of two structurally lossless networks”, *International Journal of Circuit Theory and Applications*, Vol. 20, pp.47-62, Maio 1992.
- [28] DARYANANI, G., *Principles of active network synthesis and design*. John Wiley & Sons, 1976.
- [29] FRIED, D.L., “Analog sampled-data filters”, *IEEE Journal of Solid-State Circuits*, v. SC-7, pp. 302-304, Agosto 1972.
- [30] CAVES, J. T., ROSENBAUM, S. D., COPELAND, M. A., *et al.*, “Sampled analog filtering using switched capacitors as resistor equivalents”. *IEEE Journal of Solid-State Circuits*, v. SC-12, n.6, pp. 592-599, Dezembro 1977.
- [31] YOUNG, I. A., GRAY, P. R., HODGES, D.A., “Analog NMOS sampled-data recursive filters”. In: *IEEE International Symposium on Solid-State Circuits*, pp. 156-157, Fevereiro 1977.
- [32] GRAY, P. R., MEYER, R.G., “MOS Operational Amplifier Design – A Tutorial Overview”, *IEEE Journal of Solid-State Circuits*, Vol. 17, pp. 969-982, December 1982.
- [33] BARUQUI, F. A. P., “*Introdução ao projeto de circuitos analógicos*”, Universidade Federal do Rio de Janeiro.
- [34] RAZAVI, B., *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Agosto 2000.

- [35] PEDRO M., GALÁN J., SÁNCHEZ-RODRÍGUEZ T., MUNOZ F., CARVAJAL R. G., LÓPEZ-MARTÍN A., “ A low-pass Filter with Automatic Frequency Tuning for a Bluetooth Receiver ”, *Electronics, Circuits, and Systems (ICECS)*, pp. 462-465, 2010.
- [36] MORAES, G. S., “*Sistema de Sintonia Automática de Filtros Gm-C usando uma Arquitetura PLL*”, Projeto de Graduação, UFRJ, Rio de Janeiro, RJ-Brasil, Agosto 2010.
- [37] ALLEN, P. E., HOLBERG, D.R., *CMOS Analog Circuit Design*, Oxford University Press, Agosto 2011.
- [38] ERCEGOVAC, M., LANG, T., MORENO, J., H., *Introdução aos Sistemas Digitais*, Bookman Companhia Editora, Maio 2000.
- [39] MITRA, S. K., *Digital Signal Processing, A Computer-Based Approach – Second Edition*, McGraw-Hill, Julho 2001.
- [40] SEDRA, A. S., SMITH, K. C., *Microeletronic Circuits – Fourth Edition*, Pearson Makron Books, Junho 1997.