



ESTRUTURAS PARA OTAS DE BAIXA TRANSCONDUTÂNCIA E ELEVADA
EXCURSÃO DE SINAL DE ENTRADA PARA FILTROS GM-C DE BAIXA
FREQUÊNCIA

Ricardo Flach Latorre Moreno

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Fernando Antônio Pinto Barúqui

Rio de Janeiro

Março de 2011

ESTRUTURAS PARA OTAS DE BAIXA TRANSCONDUTÂNCIA E ELEVADA
EXCURSÃO DE SINAL DE ENTRADA PARA FILTROS GM-C DE BAIXA
FREQUÊNCIA

Ricardo Flach Latorre Moreno

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

Prof. Fernando Antônio Pinto Barúqui, D.Sc.

Prof. Antonio Petraglia, Ph.D.

Prof. Carlos Fernando Teodósio Soares, D.Sc.

Prof. João Carlos Machado, Ph.D.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2011

Moreno, Ricardo Flach Latorre

Estruturas para OTAs de baixa transcondutância e elevada excursão de sinal de entrada para filtros Gm-C de baixa frequência/Ricardo Flach Latorre Moreno. – Rio de Janeiro: UFRJ/COPPE, 2011.

XVI, 154 p.: il.; 29, 7cm.

Orientador: Fernando Antônio Pinto Barúqui

Dissertação (mestrado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2011.

Referências Bibliográficas: p. 140 – 146.

1. Microeletrônica. 2. Filtro Gm-C. 3. Floating-Gate. 4. OTA. I. Barúqui, Fernando Antônio Pinto. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

AGRADECIMENTOS

Agradeço aos meus familiares, pelo apoio dedicado e inestimável compreensão sem os quais nada teria conseguido;

Ao meu orientador: Fernando Antônio Pinto Barúqui, pelo extraordinário auxílio e motivação e, também, por sua paciência;

Aos professores que tive: pela grandeza e generosidade com as quais compartilharam seus saberes;

A todos os meus colegas de curso e de laboratório por dividirem essa breve, porém edificante jornada;

Agradeço, também, à Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) pelo suporte financeiro fornecido na forma de bolsa de estudos.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

ESTRUTURAS PARA OTAS DE BAIXA TRANSCONDUTÂNCIA E ELEVADA
EXCURSÃO DE SINAL DE ENTRADA PARA FILTROS GM-C DE BAIXA
FREQUÊNCIA

Ricardo Flach Latorre Moreno

Março/2011

Orientador: Fernando Antônio Pinto Barúqui

Programa: Engenharia Elétrica

Amplificadores operacionais de transcondutância, ou OTAs (*Operational Transconductance Amplifiers*) são estruturas muito utilizadas em projeto de circuitos integrados analógicos. Para aplicações que exijam baixas frequências é importante que estas estruturas possuam determinadas características como baixo ganho e elevada excursão de sinal. Neste trabalho, são estudadas duas estruturas de OTAs baseadas na técnica de cancelamento de corrente, sendo uma delas inédita. Escolheu-se uma das estruturas apresentada para desenvolver o projeto de um amplificador de baixa transcondutância (200 nA/V) e com excursão de sinal superior a $1,4 V_{pp}$. O OTA projetado foi aplicado na implementação de um filtro passa baixas contínuo no tempo, realizado com transdutores e capacitores ($Gm - C$), com frequência de corte de 15 kHz . Também é apresentado um circuito de controle de modo comum baseado em transistores com portas flutuantes. Foram desenhadas as máscaras de integração (*layout*) para uma tecnologia de $0,35 \mu\text{m}$.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

STRUCTURES FOR LOW TRANSCONDUCTANCE AND HIGH INPUT SIGNAL
SWING OTAS FOR LOW FREQUENCY GM-C FILTERS

Ricardo Flach Latorre Moreno

March/2011

Advisor: Fernando Antônio Pinto Barúqui

Department: Electrical Engineering

Operational Transconductance Amplifiers, or OTAs are structures widely used in analog integrated circuit design. For applications requiring low frequencies it is important that these structures have certain characteristics such as low gain and high signal swing. In this dissertation, we studied two structures of OTAs based on current cancellation technique, one of them novel. One of the presented structures has been chosen to develop a project of a low transconductance amplifier (200 nA/V) with signal swing above $1.4 V_{pp}$. The designed OTA was applied in the implementation of a continuous time low-pass filter, performed with transconductors and capacitors ($Gm - C$), with a cutoff frequency of 15 kHz . We also present a circuit for common mode control based on floating gates transistors. The layout of this project were designed for a technology of $0.35 \mu\text{m}$.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	Motivações	1
1.2	Objetivo.....	3
1.3	Metodologia	3
1.4	Organização.....	4
2	REVISÃO BIBLIOGRÁFICA	6
2.1	Bulk Driven.....	7
2.2	Divisão de Corrente.....	9
2.3	Operação em inversão fraca.....	9
2.4	Escalamento de corrente.....	11
2.5	Polarização adaptativa.....	12
2.6	Pares diferenciais com acoplamentos cruzados	13
2.7	Atenuação da tensão de entrada	14
2.8	Atenuador com Floating Gate	15
2.9	Par diferencial com degeneração de fonte	16
2.10	Cancelamento de corrente	17
2.11	Múltiplos Pares Diferenciais	18
2.12	Estruturas de controle de Modo Comum.....	19
3	TRANSCONDUTOR PROPOSTO	24
3.1	Cancelamento de corrente e degeneração de fonte	24
3.1.1	Análise de descasamento	31
3.2	Cancelamento de corrente Simples.....	36
3.2.1	Análise de descasamento	40
3.3	Operação em grandes sinais	41
4	FILTRO.....	47

4.1	Anti-Aliasing.....	47
4.1.1	Projeto.....	48
4.1.2	Análise da sensibilidade.....	62
5	PROJETO E LAYOUTS	70
5.1	Projeto do Transcondutor	70
5.1.1	Atenuadores pseudo-diferenciais	71
5.1.2	Pares diferenciais	74
5.1.3	Estágio de Saída.....	77
5.2	Controle de Modo Comum.....	86
5.2.1	Estudo de Estabilidade.....	87
5.3	Projeto do Filtro	98
6	SIMULAÇÕES E RESULTADOS	103
6.1	Atenuadores Pseudo-Diferenciais	103
6.2	OTA.....	105
6.3	Controle de Modo Comum.....	124
6.4	Filtro Gm-C	129
7	DISCUSSÃO	135
8	CONCLUSÃO.....	138
8.1	Trabalhos Futuros.....	138
	REFERÊNCIAS.....	140
A	ANÁLISE TEÓRICA DO RUÍDO NO TRANSCONDUTOR	147

LISTA DE FIGURAS

<i>Figura 2.1: Diagrama esquemático do circuito do par diferencial com entrada pelo substrato.....</i>	<i>8</i>
<i>Figura 2.2: Esquemático do circuito com pares diferenciais com divisão de corrente.....</i>	<i>9</i>
<i>Figura 2.3: Diagrama esquemático do circuito de um transcondutor com escalamento de corrente usando espelhos com fontes degeneradas.....</i>	<i>11</i>
<i>Figura 2.4: Diagrama esquemático do circuito de um transcondutor com escalamento de corrente baseado em espelhos com ganho fixo.....</i>	<i>12</i>
<i>Figura 2.5: Diagrama esquemático de um estágio de entrada de um transcondutor com pares diferenciais com acoplamento cruzado.</i>	<i>13</i>
<i>Figura 2.6: Diagrama esquemático do circuito do atenuador de tensão pseudo-diferencial.</i>	<i>15</i>
<i>Figura 2.7: Diagrama esquemático de um transistor MOS com porta flutuante, com suas respectivas capacitâncias parasitas.</i>	<i>16</i>
<i>Figura 2.8: Diagramas esquemáticos com duas possíveis implementações de pares diferenciais com degeneração de fonte: com resistor suspenso (a) e com resistores em série com a fonte de corrente (b).....</i>	<i>17</i>
<i>Figura 2.9: Diagrama esquemático do estágio de entrada de um transcondutor com cancelamento de corrente.....</i>	<i>18</i>
<i>Figura 2.10: Diagrama esquemático do circuito com múltiplos pares diferenciais (multi-tanh).....</i>	<i>19</i>
<i>Figura 2.11: Circuito de controle de modo comum convencional.....</i>	<i>20</i>
<i>Figura 2.12: Estágio de saída pMOS, com controle de modo comum integrado.....</i>	<i>21</i>
<i>Figura 2.13: Diagrama esquemático do circuito de controle de modo comum com detecção baseada em resistores passivos.....</i>	<i>22</i>
<i>Figura 3.1: Diagrama esquemático da estrutura de entrada proposta, que combina cancelamento de corrente e degeneração de fonte.....</i>	<i>25</i>
<i>Figura 3.2: Representação simbólica dos transistores NMOS e PMOS.....</i>	<i>26</i>
<i>Figura 3.3: Diagrama esquemático do circuito do estágio de entrada com cancelamento de corrente, proposto por Szczepanski et. al [41].....</i>	<i>36</i>
<i>Figura 3.4: Diagrama esquemático do circuito do estágio de entrada com cancelamento de corrente, sugerido para este trabalho.....</i>	<i>37</i>

<i>Figura 3.5: Efeito da variação no valor da resistência de degeneração de fonte R sobre o perfil da transcondutância de saída do circuito da Figura 3.1.</i>	43
<i>Figura 3.6: Efeito da variação no valor da corrente de polarização I_b sobre o perfil da transcondutância de saída do circuito com degeneração de fonte.</i>	43
<i>Figura 3.7: Efeito da variação no valor da tensão de polarização V_b sobre o perfil da transcondutância de saída do circuito com degeneração de fonte.</i>	44
<i>Figura 3.8: Efeito da variação no valor da corrente de polarização I_b sobre o perfil da transcondutância de saída do circuito sem degeneração de fonte.</i>	45
<i>Figura 3.9: Efeito da variação no valor da tensão de polarização V_b sobre o perfil da transcondutância de saída do circuito sem degeneração de fonte.</i>	46
<i>Figura 4.1: Diagrama das especificações do filtro passa baixas.</i>	49
<i>Figura 4.2: Comparação entre os perfis da resposta em frequência para exemplos de terceira ordem dos quatro tipos de filtros citados.</i>	51
<i>Figura 4.3: Magnitude da função de transferência calculada com frequência de corte normalizada.</i>	55
<i>Figura 4.4: Diagrama geral da rede passiva duplamente terminada do filtro.</i>	56
<i>Figura 4.5: Diagrama esquemático do protótipo passivo que realiza a função de transferência desejada.</i>	58
<i>Figura 4.6: Diagrama esquemático do circuito do resistor em paralelo.</i>	61
<i>Figura 4.7: Diagrama esquemático do circuito girador implementado com transcondutores diferenciais.</i>	61
<i>Figura 4.8: Diagrama esquemático do filtro Gm-C diferencial.</i>	62
<i>Figura 4.9: Varredura em frequência da tolerância máxima para a transcondutância dos OTAs, considerando um erro admissível de 5% na magnitude.</i>	66
<i>Figura 4.10: Detalhe da magnitude da resposta em frequência na banda de passagem, para o limite máximo desejado de 5% e para a tolerância estipulada para a transcondutância de 2,1%.</i>	67
<i>Figura 4.11: Detalhe da magnitude da resposta em frequência na banda de passagem com a faixa estipulada de 5% e os desvios padrão resultantes da simulação de Monte-Carlo.</i>	68
<i>Figura 5.1: Diagrama esquemático do atenuador ativo pseudo-diferencial.</i>	72
<i>Figura 5.2: Diagrama esquemático do circuito que compõe o estágio de entrada do transcondutor.</i>	74
<i>Figura 5.3: Diagrama esquemático do circuito de um espelho de corrente nMOS, do tipo cascode.</i>	79

<i>Figura 5.4: Diagrama esquemático do circuito de um espelho de corrente pMOS, do tipo cascode.....</i>	<i>81</i>
<i>Figura 5.5: Diagrama esquemático do estágio de saída em cascode dobrado.....</i>	<i>83</i>
<i>Figura 5.6: Diagrama esquemático do circuito do amplificador operacional de transcondutância (OTA) projetado.....</i>	<i>84</i>
<i>Figura 5.7: Layout do OTA projetado, com destaque das diferentes estruturas que o compõe.</i>	<i>85</i>
<i>Figura 5.8: Diagrama esquemático do circuito do filtro.</i>	<i>87</i>
<i>Figura 5.9: Diagrama esquemático do circuito do estágio de saída com a realimentação de modo comum.</i>	<i>88</i>
<i>Figura 5.10: Diagrama esquemático do amplificador operacional de tensão utilizado no circuito de controle de modo comum.....</i>	<i>88</i>
<i>Figura 5.11: Diagrama esquemático do circuito com a malha aberta.</i>	<i>89</i>
<i>Figura 5.12: Diagrama esquemático do modelo de pequenos sinais do circuitos dos estágios de saída dos OTAs, com as condutâncias entre dreno e fonte.</i>	<i>89</i>
<i>Figura 5.13: Diagrama esquemático do modelo de pequenos sinais do circuito do amplificador de realimentação, com as condutâncias entre dreno e fonte.</i>	<i>90</i>
<i>Figura 5.14: Diagrama esquemático do modelo de pequenos sinais do circuito do estágio de saída com a realimentação de modo comum.</i>	<i>93</i>
<i>Figura 5.15: Layout do circuito do amplificador realimentação do modo comum.</i>	<i>98</i>
<i>Figura 5.16: Diagrama do arranjo das células para os capacitores do filtro.....</i>	<i>100</i>
<i>Figura 5.17: Layout da matriz de capacitores.</i>	<i>101</i>
<i>Figura 5.18: Layout do filtro Gm-C com estruturas acessórias para testes.</i>	<i>102</i>
<i>Figura 6.1: Perfis da tensão de saída V_{out} (a) e do ganho de tensão AV (b) para uma varredura da tensão de entrada V_{in}.....</i>	<i>104</i>
<i>Figura 6.2: Resposta em frequência do atenuador pseudo-diferencial, para uma entrada com amplitude de $1V$.</i>	<i>104</i>
<i>Figura 6.3: Diagrama esquemático do circuito de teste do OTA.....</i>	<i>105</i>
<i>Figura 6.4: Perfil da impedância de saída do OTA.</i>	<i>105</i>
<i>Figura 6.5: Corrente de saída (a) e transcondutância (b) do OTA para uma varredura da tensão diferencial de entrada em diversos valores da tensão de polarização V_b.....</i>	<i>106</i>
<i>Figura 6.6: Relação entre a transcondutância de saída e a tensão de polarização V_b.</i>	<i>107</i>

<i>Figura 6.7: Ganho de tensão com as saídas em aberto, para diferentes valores da tensão V_b.</i>	108
<i>Figura 6.8: Resposta em frequência do OTA com carga de 2,4 pF para diferentes valores da tensão de polarização V_b.</i>	109
<i>Figura 6.9: Perfil da densidade espectral de potência do ruído total na saída.</i>	110
<i>Figura 6.11: Perfil da densidade espectral de potência do ruído referenciado na entrada.</i>	111
<i>Figura 6.12: Relação entre a potência de ruído na entrada e a tensão de polarização V_b.</i>	112
<i>Figura 6.13: Perfil da distorção harmônica total (THD) da corrente de saída do OTA para uma varredura na amplitude da tensão diferencial de entrada em diversos valores de V_b.</i>	112
<i>Figura 6.14: Relação entre a máxima excursão de sinal (THD=1%) e a tensão de polarização V_b.</i>	113
<i>Figura 6.15: Relação Sinal/Ruído na entrada do OTA, para diversos valores de V_b.</i>	114
<i>Figura 6.16: Resultados da análise de Monte-Carlo com 100 rodadas para descasamento: curva de corrente de saída (a) e curva de transcondutância (b).</i>	115
<i>Figura 6.17: Histograma com os dados resultantes da análise de Monte-Carlo com 100 rodadas de descasamento, considerando a tensão diferencial nula: para corrente de saída (a) e para a transcondutância (b).</i>	116
<i>Figura 6.18: Histograma com os dados resultantes da análise de Monte-Carlo com 500 rodadas de descasamento, considerando a tensão diferencial nula, para o offset de tensão saída.</i>	117
<i>Figura 6.19: Resultados da análise de Monte-Carlo com 100 rodadas de variação nos parâmetros de processo: para corrente de saída (a) e para a transcondutância (b).</i>	118
<i>Figura 6.20: Histograma com os dados resultantes da análise de Monte-Carlo com 100 rodadas de variações nos parâmetros de processo, considerando a tensão diferencial nula, para a transcondutância.</i>	119
<i>Figura 6.21: Dependência da temperatura: perfis da corrente de saída (a) e da transcondutância (b) do OTA.</i>	120
<i>Figura 6.22: Diagrama esquemático do circuito utilizado para o levantamento do CMRR e do PSRR.</i>	120
<i>Figura 6.23: Razão de rejeição de modo comum do OTA, para diferentes valores de V_b, com uma carga de dois capacitores de 2,4pF em série.</i>	121
<i>Figura 6.24: Razão de rejeição da fonte de alimentação do OTA, para diferentes valores de V_b, com uma carga de dois capacitores de 2,4pF em série.</i>	122

<i>Figura 6.25: Perfil da potência DC consumida pelo OTA com o amplificador operacional de realimentação de modo comum.</i>	<i>123</i>
<i>Figura 6.26: Diagrama esquemático do circuito utilizado para a análise da realimentação de modo comum.</i>	<i>125</i>
<i>Figura 6.27: Circuito de controle de modo comum em malha fechada: perfis da tensão de realimentação VFB (a) e do ganho de tensão (b) para uma varredura de VREF.....</i>	<i>125</i>
<i>Figura 6.28: Varredura de VREF, com o circuito em malha aberta: perfis da tensão de realimentação VFB(a) e do ganho de tensão (b).</i>	<i>126</i>
<i>Figura 6.29: Resposta em frequência em malha aberta do circuito de realimentação de modo comum, controlando diferentes quantidades de estágios de saída (N): magnitude (a) e fase (b).....</i>	<i>127</i>
<i>Figura 6.30: Resposta do circuito em malha fechada à uma entrada de referência pulsada.</i>	<i>128</i>
<i>Figura 6.31: Resposta em frequência do filtro Gm-C (a), com detalhe na banda de passagem (b), para diferentes valores da tensão de polarização Vb.....</i>	<i>129</i>
<i>Figura 6.32: Relação entre a frequência de corte do filtro Gm-C e a tensão de polarização Vb.....</i>	<i>130</i>
<i>Figura 6.33: Perfis da densidade espectral de potência do ruído para diferentes valores de Vb: referenciado na saída (a); referenciado entrada (b).....</i>	<i>131</i>
<i>Figura 6.34: Potência de ruído referenciado na entrada para uma faixa de valores de Vb.</i>	<i>131</i>
<i>Figura 6.35: Perfil da distorção harmônica total (THD) da tensão de saída do filtro para uma varredura na amplitude da tensão diferencial de entrada em diversos valores de Vb.</i>	<i>132</i>
<i>Figura 6.36: Relação entre a máxima amplitude do sinal de entrada do filtro (THD=1%) e a tensão de polarização Vb.</i>	<i>133</i>
<i>Figura 6.37: Razão Sinal/Ruído na entrada do filtro, para diversos valores de Vb.....</i>	<i>133</i>
<i>Figura A.1: Diagrama esquemático do circuito do transcondutor projetado com uma carga capacitiva na saída e destaque para os transistores utilizados na análise de ruído.....</i>	<i>147</i>
<i>Figura A.2: Diagrama esquemático do modelo de pequenos sinais do transcondutor, para a análise do ruído.</i>	<i>149</i>

LISTA DE TABELAS

<i>Tabela 4.1: Especificações para o projeto do filtro passa-baixas.</i>	<i>49</i>
<i>Tabela 4.2: Comparação das características dos quatro tipos de filtro citados.....</i>	<i>51</i>
<i>Tabela 4.3: Valores dos elementos do protótipo passivo, com a frequência de corte e os resistores de terminação normalizados.</i>	<i>58</i>
<i>Tabela 4.4: Valores dos elementos do protótipo passivo, com frequência desnormalizada e resistores de terminação normalizados.</i>	<i>59</i>
<i>Tabela 5.1: Parâmetros dos transistores na tecnologia utilizada para este trabalho.</i>	<i>70</i>
<i>Tabela 5.2: Especificações do transcondutor a ser projetado.</i>	<i>71</i>
<i>Tabela 5.3: Parâmetros estatísticos dos transistores.</i>	<i>77</i>
<i>Tabela 5.4: Dimensões dos transistores do circuito do OTA.</i>	<i>84</i>
<i>Tabela 5.5: Valores da frequência e do ganho normalizados, para os três valores de N.</i>	<i>96</i>
<i>Tabela 5.6: Valores das capacitâncias para a transcondutância projetada.</i>	<i>99</i>
<i>Tabela 6.1: Parcela de contribuição com o ruído de saída de cada transistor do OTA.</i>	<i>110</i>
<i>Tabela 6.4: Resumo das características referentes ao desempenho do OTA.....</i>	<i>124</i>
<i>Tabela 6.5: Margem de fase do circuito em malha aberta.....</i>	<i>127</i>
<i>Tabela 6.6: Resumo das características do Filtro Gm-C.</i>	<i>134</i>
<i>Tabela A.1: Valores nominais dos parâmetros utilizados nos modelos de ruído flicker.</i>	<i>153</i>
<i>Tabela A.2: Resultados da análise teórica realizada, em valores absolutos e com a contribuição relativa de cada transistor.....</i>	<i>154</i>

LISTA DE SÍMBOLOS

Aqui é mostrada uma lista contendo algum dos símbolos utilizados, com seus respectivos significados e a primeira ocorrência dos mesmos ao longo do texto. Os símbolos que não estejam presentes nesta lista ou têm seu significado convencional, ou estão explicados imediatamente após sua ocorrência.

Símbolo	Significado	Expressão
A_{min}	Atenuação mínima na banda de rejeição	(4.3)
A_{MAX}	Máximo <i>ripple</i> na banda de passagem	(4.3)
C_{gb}	Capacitância entre porta e corpo	(2.5)
C_{gs}	Capacitância entre porta e fonte	(2.5)
C_{gd}	Capacitância entre porta e dredo	(2.5)
C_{OX}	Capacitância específica do óxido por unidade de área	(3.4)
f_S	Frequência final da banda de transição	(4.1)
f_P	Frequência inicial da banda de transição	(4.1)
G_m	Transcondutância de porta	(2.1)
G_{m_B}	Transcondutância de substrato	(2.1)
I_b	Corrente de polarização	(3.8)
I_D	Corrente de dreno	(2.2)
j	Unidade imaginária ($\sqrt{-1}$)	(4.8)
K_P	Fator de transcondutância	(2.3)
K_B	Constante de Boltzmann ($K_B \cong 1,380 \cdot 10^{-23} J/K$)	(5.25)
L	Comprimento do canal do transistor	(2.3)
n	Fator de inclinação	(2.2)
q	Carga fundamental do elétron ($q \cong 1,602 \cdot 10^{-19} C$)	(3.4)
T	Temperatura (em Kelvin)	(5.25)
$T(s)$	Função de transferência	(4.12)
$T(j\omega)$	Resposta em frequência	(4.13)
V_{bulk}		(3.1)
V_{BS}	Tensão entre substrato e fonte	(2.1)
V_{CM}	Tensão de modo comum	(2.6)
V_d	Tensão diferencial	(3.6)
W	Largura do canal do transistor	(2.3)

Símbolo	Significado	Expressão
V_b	Tensão de polarização de corpo	(3.8)
V_{DS}	Tensão entre dreno e fonte	(2.3)
V_{FB}	Tensão de banda plana	(2.4)
V_g	Tensão porta	(3.1)
V_{GS}	Tensão entre porta e fonte	(2.2)
V_s	Tensão de fonte	(3.1)
V_T	Tensão de limiar	(2.2)
V_{T0}	Tensão de limiar (para $V_{BS} = 0 V$)	(2.8)
β	Fator de transferência	(2.8)
γ	Fator de modulação do substrato	(2.1)
ϵ_{Si}	Permitividade do silício	(3.4)
μ	Mobilidade dos portadores no canal.	(3.5)
μ_0	Mobilidade superficial de baixo campo	(3.45)
μ_{ef}	Mobilidade efetiva	(3.45)
ϕ_F	Potencial de Fermi	(2.4)
ϕ_0	Potencial de superfície	(2.1)
φ_t	Tensão térmica. ($\varphi_t \cong 25,8 mV @ T = 300K$)	(2.2)
$\hat{\sigma}_{G_m}$	Desvio padrão normalizado da transcondutância	(3.33)
$\hat{\sigma}_{G_m\beta}$	Desvio padrão normalizado da transcondutância devido a erros no fator de transferência	(3.24)
$\hat{\sigma}_{G_mV_{T0}}$	Desvio padrão normalizado da transcondutância devido a erros na tensão de limiar	(3.28)
$\hat{\sigma}_\beta$	Desvio padrão normalizado do fator de transferência	(3.24)
$\hat{\sigma}_{V_{T0}}$	Desvio padrão normalizado da tensão de limiar	(3.28)

Capítulo 1

INTRODUÇÃO

O presente trabalho pretende mostrar o projeto completo de um circuito integrado analógico que implementa um filtro contínuo no tempo, para ser empregado como limitador de banda em um sistema de processamento de sinais. Porém, o verdadeiro foco está voltado para a metodologia de projeto e a topologia de amplificadores operacionais de transcondutância de baixo ganho, que constituem os blocos elementares para o projeto de circuitos integrados analógicos com aplicações em baixas frequências, empregando a tecnologia CMOS.

1.1 MOTIVAÇÕES

Em microeletrônica analógica, um circuito muito importante e bastante utilizado, especialmente em tecnologias CMOS (*Complementary Metal Oxide Semiconductor*), é o amplificador operacional de transcondutância ou OTA (*Operational Transconductance Amplifier*). Este circuito é utilizado principalmente na implementação de filtros analógicos ativos.

O projeto de circuitos integrados analógicos para operação em baixas frequências é uma tarefa que apresenta diversos desafios. Dentre eles, do ponto de vista da ocupação de área de silício, estão as grandes dimensões dos componentes passivos necessários: capacitores e resistores. Esse é um dos principais motivos para se desenvolver OTAs de baixo ganho, dado que com amplificadores de baixa transcondutância torna-se possível implementar resistores ativos que, caso fossem realizados em sua forma passiva, seriam proibitivamente grandes. De maneira análoga, para o caso de um filtro analógico, por exemplo, os capacitores também podem ser diminuídos em tamanho, pois aumentando-se os valores dos resistores é possível reduzir os capacitores mantendo-se a mesma constante de tempo. A ampla excursão de sinal de

entrada, assim como a linearidade, também são atributos fundamentais para que se tenha um OTA capaz de substituir, com fidelidade, o componente passivo.

Embora, normalmente, os circuitos integrados analógicos não empreguem uma quantidade tão grande de transistores quanto a maioria dos circuitos digitais, em geral não há distinção entre os processos de fabricação de ambos. E como em qualquer processo de produção em larga escala, as técnicas industriais de fabricação de circuitos integrados, disponíveis até então, não permitem garantir precisão absoluta nos parâmetros dos circuitos de cada *chip* fabricado. Da mesma forma, não se pode assegurar a precisão relativa dos componentes para os circuitos contidos em um mesmo *chip*, mesmo os erros relativos sendo, tipicamente, menores que os absolutos.

Assim, ao se planejar o projeto de um circuito integrado, é preciso ter em mente que os parâmetros dos componentes nos circuitos fabricados apresentarão erros em relação àqueles projetados (e desenhados). Em função disso, os projetistas de circuitos integrados (especialmente de circuitos analógicos) devem tomar certos cuidados, empregando técnicas de projeto e realizando simulações, para assegurar que seus projetos sejam suficientemente robustos para suportar os erros introduzidos na fabricação.

No entanto, estes erros gerados durante a produção vêm sendo bastante estudados, devido ao seu impacto econômico sobre a produção de chips. Como produzem variações nos parâmetros dos componentes, esses erros podem levar à perda de desempenho ou ao não funcionamento dos circuitos fabricados, provocando perdas na produção e reduzindo a eficiência do processo.

Por essa razão, os fabricantes de circuitos integrados procuram levantar periodicamente os parâmetros de seus processos, obtendo, entre outras coisas, as estatísticas dos erros associados suas tecnologias de fabricação. Dessa maneira, além de poderem aprimorá-las, os fabricantes podem oferecer aos projetistas as estatísticas ou, ao menos, um intervalo de confiança para alguns dos parâmetros a serem considerados.

Tendo em mente as dificuldades associadas ao projeto de circuitos de baixas frequências e o impacto dos erros introduzidos no processo de fabricação sobre os circuitos analógicos, foram pesquisadas alternativas, tanto de metodologias de projetos quanto de estruturas de circuitos, que satisfizessem as condições de operação na faixa de

frequência desejada e, simultaneamente, melhorassem sua robustez quando na presença de erros.

1.2 OBJETIVO

Pretende-se, com este trabalho, apresentar duas alternativas de estruturas para serem utilizadas como estágio de entrada de um OTA de baixa transcondutância (200 nA/V) e ampla excursão de sinal de entrada ($> 1,4 V_{pp}$). Serão realizados alguns estudos destas estruturas para investigar o impacto dos erros aleatórios sobre as mesmas, visando torna-las mais robustas. Propôs-se também a utilização de um circuito de controle de modo comum não convencional baseado em transistores MOS com portas flutuantes.

A fim de ilustrar a técnica de projeto, e com o intuito de verificar o desempenho e a viabilidade da estrutura proposta, optou-se por aplicá-lo ao projeto de um filtro passa-baixas (*anti-aliasing*) $Gm - C$ com frequência de corte nominal de 15 kHz . Foram desenhadas, também, as máscaras de integração (*layouts*) do circuito do filtro projetado, para um processo CMOS de $0,35 \mu\text{m}$.

1.3 METODOLOGIA

Foram realizados alguns estudos analíticos para verificar o comportamento das duas estruturas de transdutores propostas na presença de erros aleatórios incidindo sobre alguns parâmetros de seus componentes críticos. Chegou-se, então, a uma estrutura que demonstrou maior viabilidade, tanto no tocante à robustez aos erros, quanto nos demais requisitos. Para verificar essa viabilidade, sugeriu-se a aplicação da estrutura proposta em um filtro *anti-aliasing*, contínuo no tempo.

Para uma melhor abordagem do problema, realizou-se uma ampla pesquisa na literatura disponível, onde foram levantadas as soluções já pesquisadas para os problemas enfrentados, possibilitando a escolha daquelas que pareçam mais apropriadas.

Para o desenvolvimento deste projeto, optou-se por uma metodologia de cima-para-baixo (*Top-Down*) que se inicia pelo levantamento das especificações para as estruturas mais complexas e de nível mais alto.

Concluídos os projetos das estruturas de mais alto nível, e tendo em mãos as definições resultantes destes, foi possível a definição dos requisitos e a elaboração dos projetos para as estruturas de nível mais baixo, que nesse caso são representadas pelo transcondutor e seus circuitos de polarização e controle. Após o projeto dos circuitos, foi realizada uma série de simulações a fim de validá-los.

Concluídos todos os projetos e simulações, passou-se para a etapa de desenho das máscaras de integração (*layout*), seguida de mais uma série de verificações e simulações. Por fim, os desenhos finais foram enviados para a fabricação do circuito integrado.

1.4 ORGANIZAÇÃO

O texto deste trabalho foi organizado de forma a torná-lo mais agradável para o leitor, procurando acompanhar a sequência das etapas de projeto, mas sem se prender exatamente a ela.

No Capítulo 2 apresenta-se a revisão bibliográfica realizada, mostrando as diferentes técnicas e estruturas encontradas na literatura que podem ser aplicadas para transpor alguns dos obstáculos encontrados no projeto.

As estruturas dos estágios de entrada escolhidas, bem como as análises mais detalhadas das mesmas são mostradas no Capítulo 3. Para manter a sequência lógica do projeto, optou-se por realizar estudos puramente analíticos (literais). Porém, para melhor ilustrar o funcionamento das estruturas estudadas, ao final daquele capítulo mostram-se alguns resultados de algumas simulações preliminares.

Prosseguindo no curso do projeto, o Capítulo 4 discute de uma forma mais detalhada o projeto do filtro. Embora não seja o foco deste trabalho, optou-se por realizar um estudo mais detalhado da etapa de análise do filtro que servirá para ilustrar a aplicação do transcondutor.

O projeto, propriamente dito, é desenvolvido no Capítulo 5. Neste capítulo são aplicadas as definições elaboradas nos Capítulo 3 e Capítulo 4 para dimensionar cada uma das estruturas dos diferentes circuitos. Também são apresentados os desenhos dos *layouts* dos circuitos projetados.

Tendo todas as estruturas devidamente dimensionadas, pode-se partir para as simulações. Os resultados destas simulações são exibidos no Capítulo 6, onde se procurou, sempre que possível, confrontar esses resultados àquilo que foi estipulado nos projetos ou, quando possível, com resultados teóricos.

Finalmente, no Capítulo 7, realiza-se uma discussão dos resultados obtidos, além de algumas considerações sobre possíveis aprimoramentos, seguida pela conclusão do trabalho, no Capítulo 8.

Capítulo 2

REVISÃO BIBLIOGRÁFICA

O grande desafio dos projetos de filtros Gm-C contínuos no tempo, para operação em baixas frequências, consiste na elaboração de uma estrutura de transcondutor que capaz de melhorar a linearidade, ampliar a excursão de sinal, elevar a impedância de saída e, simultaneamente, reduzir a transcondutância.

Há na literatura muitas técnicas desenvolvidas para tecnologias CMOS que visam atender a estes objetivos. Entre as diversas técnicas existentes, destacam-se as seguintes:

- *Bulk Driven*;
- Divisão de corrente;
- Operação em inversão fraca;
- Escalamento de corrente;
- Polarização adaptativa;
- Pares diferenciais com acoplamentos cruzados;
- Atenuação da tensão de entrada;
- Par diferencial com degeneração de fonte;
- Cancelamento de corrente;
- Múltiplos pares diferenciais;

Estas técnicas podem ser utilizadas de maneira isolada, ou podem ser combinadas de modo a extrair os pontos positivos de cada uma delas. A seguir são descritas, sem muita profundidade, as técnicas citadas anteriormente:

2.1 BULK DRIVEN

Como se sabe pelo funcionamento dos MOSFETs (*MOS Field Effect Transistors*) operando em inversão forte, a transcondutância de corpo (G_{m_B}) e a transcondutância de porta (G_m) guardam a seguinte relação:

$$G_{m_B} = \frac{\gamma}{2\sqrt{2\phi_0 - V_{BS}}} G_m \quad (2.1)$$

onde γ é o de fator modulação do substrato, ϕ_0 é o potencial de superfície e V_{BS} é a tensão entre o corpo (*bulk*) a fonte. Como o termo $\gamma/(2\sqrt{2\phi_0 - V_{BS}})$ é tipicamente menor que um, G_{m_B} tende a ser, portanto, menor que G_m . Logo é bastante razoável pensar em se utilizar esta propriedade para atender às necessidades dos projetos de filtros para baixas frequências.

Com a utilização deste método [1]-[3], as transcondutâncias obtidas caem significativamente com relação às estruturas tradicionais, porém, a excursão de sinal é prejudicada. Como a entrada de sinal se dá através do corpo do transistor, é preciso garantir que os diodos formados entre o poço e os terminais de dreno e fonte permaneçam sempre reversamente polarizados, limitando assim a excursão de sinal do circuito para algumas centenas de milivolts. A Figura 2.1 representa um amplificador diferencial com entradas pelos substratos.

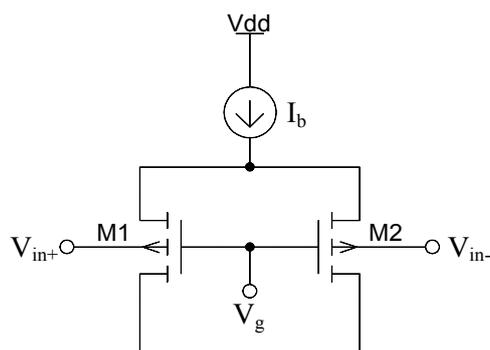


Figura 2.1: Diagrama esquemático do circuito do par diferencial com entrada pelo substrato.

Mesmo sendo uma junção polarizada reversamente, esta apresenta uma corrente quiescente que pode chegar a alguns picoampères, valor significativo se comparado, por exemplo, com as correntes de fuga de porta, devendo-se tomar cuidado no momento do projeto, dado que a impedância de entrada é reduzida.

Esta técnica não oferece melhoria na faixa de excursão linear do sinal de entrada, e ainda impõe uma restrição crítica aos limites de tensão admissíveis na entrada do transcondutor. Se esses limites não forem respeitados, as junções de poço-dreno ou poço-fonte podem se polarizar diretamente podendo causar danos permanentes no dispositivo, caso não haja algum mecanismo de proteção. Porém, nos circuitos projetados para operação em baixas tensões [4]-[5] essa restrição não é relevante.

Conforme a equação (2.1), a transcondutância de corpo do transistor MOS, operando em inversão forte, depende fortemente de parâmetros que podem apresentar grande variabilidade com o processo de fabricação, e alguns deles ainda possuem dependência da temperatura de operação, embora essa variabilidade não seja exclusividade da técnica de *bulk-driven*.

Além disso, a construção de cada transistor do par diferencial em um poço distinto acarreta em um aumento significativo da área ocupada pelo estágio de entrada, visto que em um processo de fabricação CMOS típico é exigido nas regras de desenho que poços com polarizações distintas estejam suficientemente afastados entre si.

2.2 DIVISÃO DE CORRENTE

Esta técnica [2],[6], bastante utilizada para a realização de amplificadores de baixa transcondutância, consiste em utilizar um par diferencial adicional no circuito de entrada, conforme a Figura 2.2, para desviar uma parte da corrente, reduzindo-se assim a transcondutância resultante.

A técnica de divisão de corrente, em princípio, permite dimensionar valores bem pequenos de transcondutância. Mas na prática, as razões entre as larguras de canal de M1a para M1b e M2a para M2b (Figura 2.2) tornam-se muito grandes, inviabilizando o *layout* dos transistores M1b e M2b. Outro problema inerente a esta técnica é o *offset* de corrente de saída, que pode ser muito elevado dependendo do descasamento dos transistores.

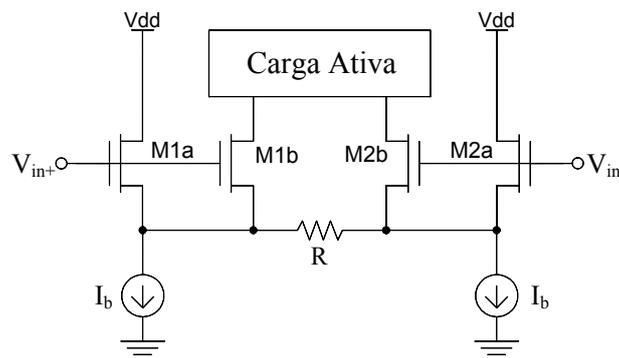


Figura 2.2: Esquemático do circuito com pares diferenciais com divisão de corrente.

2.3 OPERAÇÃO EM INVERSÃO FRACA

A operação do transistor MOS na região de inversão fraca (ou sub-limiar), leva a um comportamento semelhante ao transistor bipolar, no qual a corrente de dreno apresenta uma relação exponencial com a diferença de potencial entre porta e fonte, e pode ser escrita conforme as equações abaixo:

$$I_D = I_{D0}(n - 1)e^{\frac{V_{GS} - V_T}{n\phi_t}} \quad (2.2)$$

onde,

$$I_{D0} = 2n \frac{W}{L} K_P \varphi_t^2 \left(1 - e^{\frac{-V_{DS}}{\varphi_t}} \right) \quad (2.3)$$

e

$$V_T = V_{FB} + 2\phi_F + \gamma \sqrt{V_{SB} + 2\phi_F} \quad (2.4)$$

sendo I_D a corrente de dreno, I_{D0} a corrente de dreno em corte, V_{GS} a tensão entre porta e fonte, V_{DS} a tensão entre dreno e fonte, ϕ_F o potencial de Fermi, n o fator de inclinação, φ_t a tensão térmica, V_T a tensão de limiar, K_P o fator transcondutância e V_{FB} é a tensão de banda plana.

Uma grande vantagem desta técnica está relacionada com o baixíssimo consumo de potência e a alimentação em baixa tensão. Como os transistores necessitam de correntes de polarização muito reduzidas e, em geral, operam com tensões de alimentação pequenas, as potências totais consumidas pelos circuitos operando em inversão fraca são, frequentemente, algumas ordens de grandeza menores que às de seus correspondentes operando em inversão forte.

Esta técnica tem sido largamente utilizada devido ao baixo consumo de potência, especialmente em aplicações embarcadas em que o consumo é requisito crucial em virtude da durabilidade das baterias.

No entanto, a restrição na amplitude do sinal de entrada e a dificuldade em dimensionar espelhos de corrente de precisão fazem com que a operação em inversão fraca seja pouco vantajosa em tecnologias que podem operar com tensões mais altas (ex.: 3,3V). Posto que a faixa dinâmica está restrita às condições da operação do regime de sub-limiar.

Outro aspecto negativo da utilização de transistores MOS funcionando em inversão fraca reside na grande dependência de seus parâmetros com a temperatura na qual estão operando. Conforme mostrado nas equações (2.2), (2.3) e (2.4) as características elétricas do transistor em sub-limiar estão estreitamente ligadas a parâmetros (como φ_t) que variam com a temperatura.

2.4 ESCALAMENTO DE CORRENTE

Nesta abordagem, a redução da transcondutância se dá com o escalamento da corrente através de uma estrutura de atenuação que pode ser implementada por espelhos de corrente com ganhos fixos [12]-[13] ou ajustáveis [14]-[15]

O escalamento de corrente se dá em um estágio intermediário da estrutura do transcondutor, não afetando assim a linearidade do mesmo e permitindo grande liberdade para a escolha da topologia do estágio de entrada.

Com a utilização de espelhos de corrente com fonte degenerada [14], Figura 2.3, é possível ajustar o ganho do transcondutor através do controle da atenuação gerada pela relação de espelhamento. No entanto, para operação na região de saturação (seja na inversão fraca, moderada ou forte), esse ajuste apresenta uma relação não linear entre a atenuação na corrente e a tensão de controle.

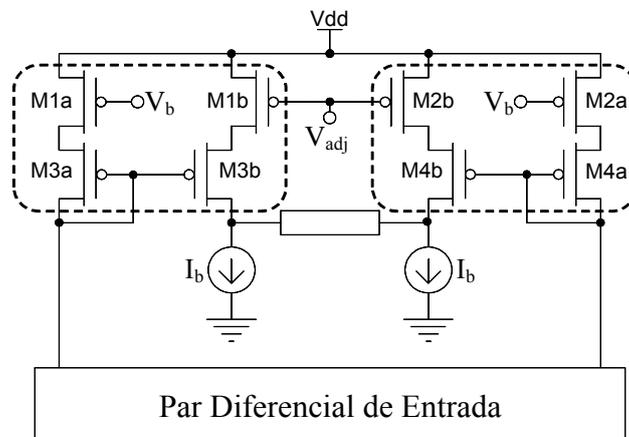


Figura 2.3: Diagrama esquemático do circuito de um transcondutor com escalamento de corrente usando espelhos com fontes degeneradas.

Um dos problemas desta técnica é o fato de que o *offset* na saída do circuito se torna muito dependente do bom casamento entre os transistores dos espelhos de corrente. No entanto, este problema pode ser minimizado utilizando-se a abordagem mostrada na Figura 2.4.

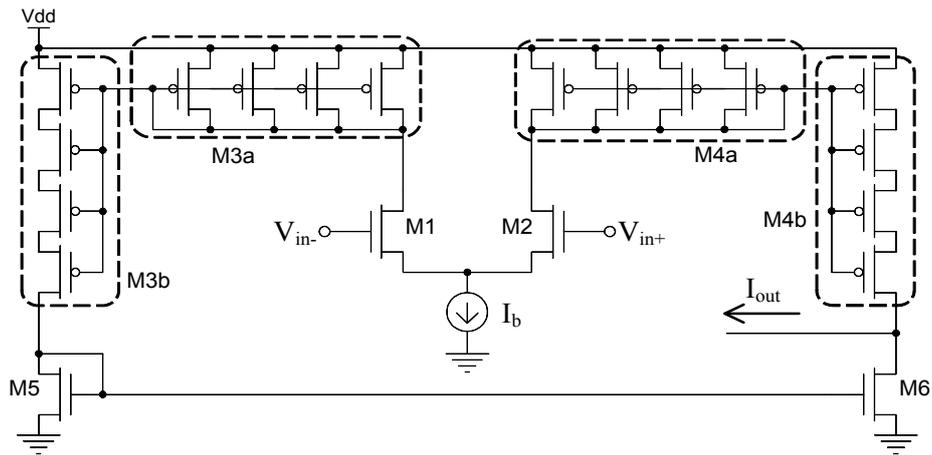


Figura 2.4: Diagrama esquemático do circuito de um transcondutor com escalamento de corrente baseado em espelhos com ganho fixo.

Além disso, esta técnica implica, obrigatoriamente, no acréscimo de um estágio ativo adicional entre a entrada e a saída, resultando no aumento do ruído total do circuito.

2.5 POLARIZAÇÃO ADAPTATIVA

Uma das finalidades da utilização da chamada polarização adaptativa [16]-[18] é o aumento da linearidade. Em geral, essa técnica utiliza uma malha de realimentação para cancelar ou compensar as não linearidades características da tecnologia MOS, considerando-se a região de operação para a qual o circuito foi projetado.

Um dos principais problemas desta técnica é sua sensibilidade aos erros de fabricação, visto que algumas topologias utilizam uma não linearidade para compensar outra, ou seja, realimentam o circuito que desejam linearizar (por exemplo, pares diferenciais) através de um circuito que sintetize uma função cuja não-linearidade seja inversa àquela. Dessa maneira, caso haja alguma discrepância entre as características destes circuitos, a linearidade poderá ser seriamente prejudicada.

A polarização adaptativa também pode ser utilizada visando incremento de desempenho dos circuitos, melhorando, por exemplo, o consumo de potência [19] ou a velocidade de operação dos mesmos [20].

2.6 PARES DIFERENCIAIS COM ACOPLAMENTOS CRUZADOS

Trata-se de uma técnica bastante utilizada [21]-[23], cujo principal compromisso é estender a faixa de operação linear do circuito. Nesta abordagem, são utilizados módulos formados por dois ou mais pares diferenciais assimétricos, que são projetados de maneira que cada par contribua com a transcondutância em uma dada faixa de tensão de entrada, de tal forma que a transcondutância na saída se torne o mais plana possível.

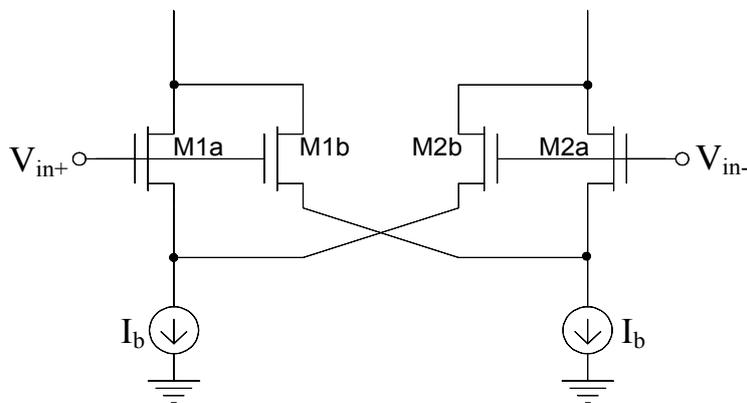


Figura 2.5: Diagrama esquemático de um estágio de entrada de um transcondutor com pares diferenciais com acoplamento cruzado.

Um aspecto crucial no projeto é a superposição das curvas de transcondutância geradas por cada um dos pares diferenciais, sendo possível, a depender da forma com que estes são conectados, produzirem-se interferências construtivas ou destrutivas, permitindo ao projetista “esculpir” o perfil de transcondutância desejado, bastando modificar a quantidade, a assimetria e a polarização dos pares diferenciais utilizados.

A assimetria entre os transistores dos pares diferenciais pode ser obtida de diferentes maneiras, a mais utilizada delas é utilização de razões de aspecto diferentes para cada transistor do par. Porém, também é possível produzir esta assimetria com transistores idênticos ao se polarizar o substrato dos transistores com tensões diferentes [24]. Entretanto, para se obter uma excursão de sinal ampla e com elevada linearidade, é

necessário uma grande quantidade de pares assimétricos acoplados, o que torna o circuito extremamente sensível ao descasamento dos transistores.

2.7 ATENUAÇÃO DA TENSÃO DE ENTRADA

Ao se atenuar a tensão na entrada do transcondutor, consegue-se alcançar uma redução da transcondutância resultante acompanhada da melhoria da linearidade e da excursão de sinal, contanto que a atenuação se dê de maneira linear.

Há diversos métodos para realizar a atenuação linear da tensão, preservando a impedância de entrada do circuito. Uma das técnicas utilizadas [25]-[28] para atenuar a tensão de entrada consiste em um circuito ativo pseudo-diferencial, Figura 2.6.

Uma potencial desvantagem deste circuito é o fato de ele deslocar o nível da tensão DC em sua saída, para um valor difícil de prever com base nos modelos de nível mais baixo, comprometendo o dimensionamento da tensão de modo comum de entrada do amplificador diferencial.

Devido à característica pseudo-diferencial, qualquer descasamento entre os transistores do atenuador gera tensões de modo comum diferente para cada entrada diferencial. Isto se traduz em tensão de *offset* de entrada.

Além disso, por funcionar apenas em inversão forte, seu consumo de potência pode ser bastante elevado. Outra desvantagem desse circuito é a sua faixa linear de operação, limitada pela tensão de limiar (V_T) do transistor, o que pode ser bastante desvantajoso para aplicações de baixa tensão.

Apesar disso tudo, por ser uma estrutura consagrada e amplamente estudada, é uma alternativa de grande relevância para aplicações como a proposta neste trabalho.

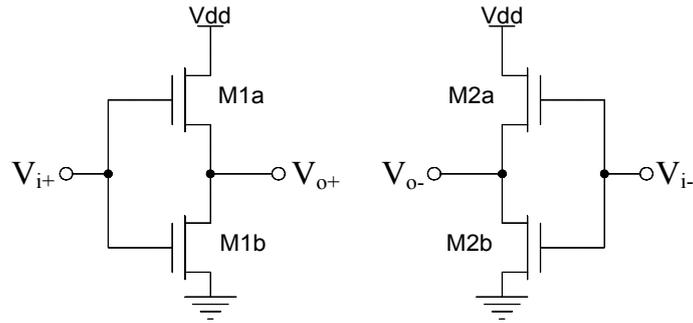


Figura 2.6: Diagrama esquemático do circuito do atenuador de tensão pseudo-diferencial.

2.8 ATENUADOR COM FLOATING GATE

Uma alternativa ao atenuador do item anterior consiste na utilização de transistores MOS com múltiplas entradas em portas flutuantes (MIFG – *Multiple Input Floating Gate*) [29]-[30]. Nesta técnica, os transistores do par diferencial, Figura 2.7, são dotados de portas flutuantes que agem como divisores capacitivos que operam inclusive em DC, conforme a equação (2.5), atenuando o sinal de tensão de acordo com as razões dos capacitores utilizados.

$$V_{FG} = \frac{\sum_{i=1}^n V_i C_i + V_B C_{gb} + V_D C_{gd} + V_S C_{gs}}{\sum_{i=1}^n C_i + C_{gb} + C_{gd} + C_{gs}} \quad (2.5)$$

Entre as vantagens apresentadas por esta técnica, está o fato de a atenuação em si não produzir ruído térmico nem *flicker*, e de não consumir potência visto que se baseia somente em elementos reativos (capacitores).

Além disso, cabe mencionar que, com esta técnica, a atenuação é totalmente linear em toda a faixa de operação, e que ela permite algum controle sobre o nível DC na porta do transistor, bastando acrescentar entradas adicionais com os níveis de polarização apropriados.

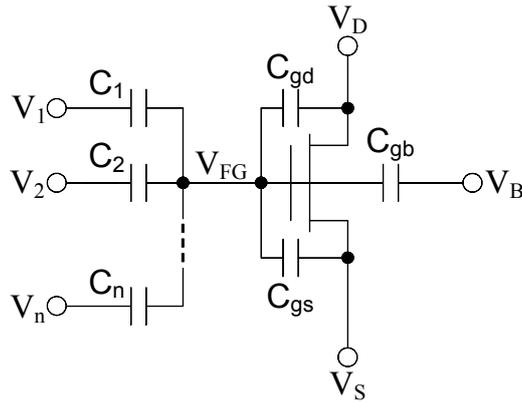


Figura 2.7: Diagrama esquemático de um transistor MOS com porta flutuante, com suas respectivas capacitâncias parasitas.

No entanto, em decorrência da existência de capacitâncias parasitas associadas aos transistores MOS, as capacitâncias utilizadas no divisor capacitivo devem ser suficientemente grandes para que, frente ao valor de cada uma destas capacitâncias, seja possível desprezar o total das capacitâncias parasitas. Caso contrário, a razão de atenuação se torna pouco precisa (2.5) dado que o valor das capacitâncias parasitas pode ser difícil de prever. Logo, dependendo das dimensões dos transistores do par diferencial, esta técnica pode resultar em um aumento da área, que pode superar em muito aquela consumida pelos circuitos com atenuadores convencionais.

Outro inconveniente da utilização dos transistores com portas flutuantes é o acúmulo de cargas no capacitor de porta. Estas cargas podem ser oriundas do processo de fabricação, mas também podem surgir com o uso do componente, ou mesmo em decorrência da exposição a ambientes hostis, com nível elevado de radiação ionizante.

2.9 PAR DIFERENCIAL COM DEGENERAÇÃO DE FONTE

Trata-se de uma técnica, amplamente utilizada e bastante consagrada, para o aumento da faixa linear e redução da transcondutância.

Há, na literatura, uma variedade de implementações desta técnica, algumas baseadas em resistores passivos [31]-[33], outras utilizam transistores MOS, operando

em triodo [34]-[35], algumas utilizam transistores de portas “quase-flutuantes” [36]. Também existem diferentes topologias possíveis para os pares diferenciais com degeneração de fonte, conforme as Figura 2.8 (a) e (b). Outras implementações [37]-[38] utilizam amplificadores operacionais de tensão ligados nas entradas do circuito com o intuito de melhorar a linearidade, ao estabilizar as tensões de fonte dos transistores do par diferencial.

Uma dificuldade inerente a esta técnica é a realização dos resistores, que normalmente estão restritos à faixa dos $k\Omega$ e ocupam grande área de integração. Por esse motivo se dá preferência a utilização de transistores MOS em triodo.

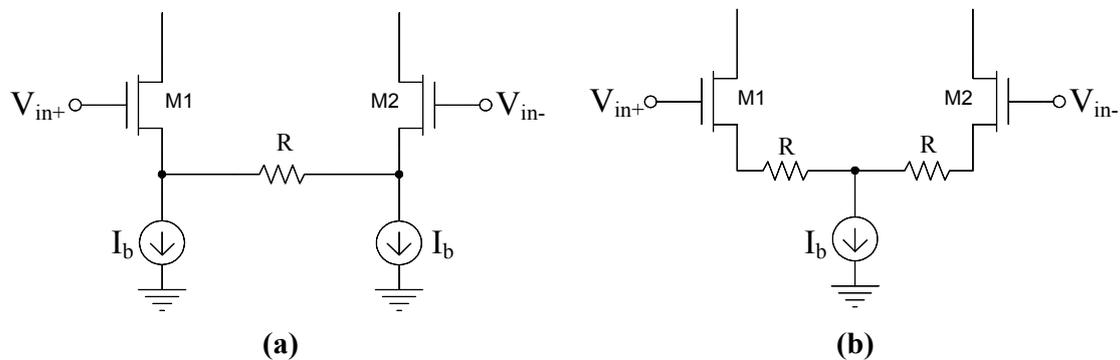


Figura 2.8: Diagramas esquemáticos com duas possíveis implementações de pares diferenciais com degeneração de fonte: com resistor suspenso (a) e com resistores em série com a fonte de corrente (b).

2.10 CANCELAMENTO DE CORRENTE

A técnica do cancelamento de corrente [39]-[40], também chamada de cancelamento de transcondutância, utiliza em sua topologia pares diferenciais com acoplamento cruzado, e possibilita a realização de transdutores com ganhos significativamente reduzidos, acompanhados de incrementos expressivos na linearidade.

Como o nome sugere, nesta técnica utilizam-se pares diferenciais com geometrias semelhantes ligados de tal maneira a realizar uma subtração entre as correntes do par externo (M1a-M2a) e interno (M1b-M2b), que resulta na redução da transcondutância total, bem como na melhoria da linearidade.

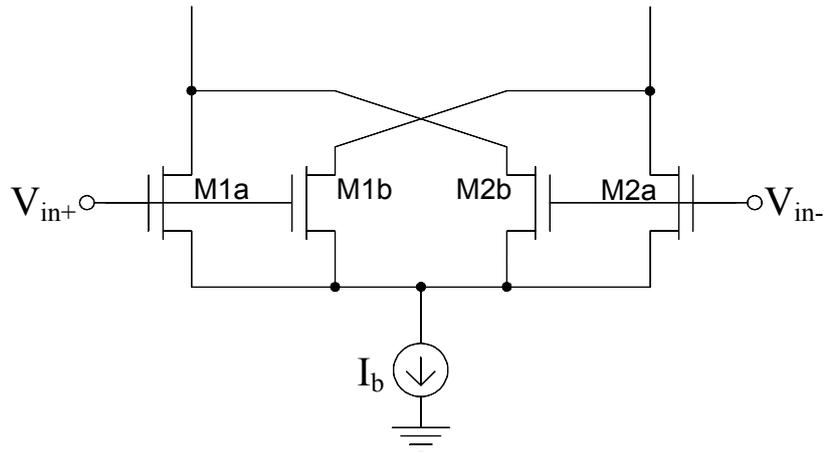


Figura 2.9: Diagrama esquemático do estágio de entrada de um transcondutor com cancelamento de corrente.

Uma característica deste circuito é que operando em inversão forte, há uma dependência da faixa de excursão linear com o nível de tensão de modo comum nas entradas, o que pode representar, eventualmente, um grau de liberdade a mais para o projetista e, ao mesmo tempo, pode significar um potencial prejuízo do desempenho.

Para a obtenção de transcondutâncias muito reduzidas, são utilizados pares diferenciais com transcondutâncias muito próximas, o que implica em transistores com dimensões muito semelhantes. Porém, nessas condições, essa técnica se torna especialmente sensível aos descasamentos entre os transistores dos pares diferenciais, produzidos pelos erros inerentes ao processo de fabricação. Discrepâncias entre os parâmetros desses transistores podem provocar flutuações graves no valor da transcondutância resultante, podendo, até mesmo, torná-la negativa.

2.11 MÚLTIPLOS PARES DIFERENCIAIS

Essa outra técnica, menos utilizada que as demais, emprega diversos conjuntos de pares diferenciais associados em paralelo. A cada conjunto de pares diferenciais, associa-se uma determinada polarização, devidamente escolhida com o intuito de se obter uma transcondutância maximamente plana ao longo da excursão de sinal desejada.

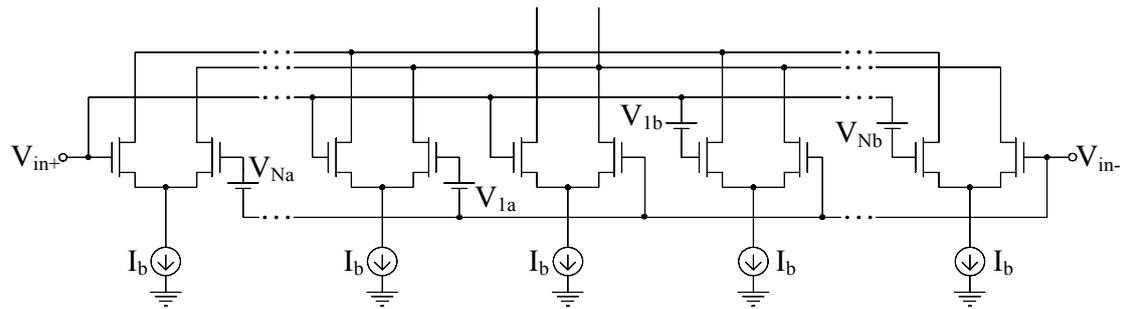


Figura 2.10: Diagrama esquemático do circuito com múltiplos pares diferenciais (*multi-tanh*).

Esta técnica, também conhecida como *multi-tanh*, foi proposta inicialmente para aplicações em tecnologias baseadas em transistores bipolares [42]-[43]. Seu nome decorre da característica do perfil de transcondutância dos pares diferenciais com transistores bipolares de junção, que se assemelha a função tangente hiperbólica (*tanh*).

A técnica também pode ser utilizada em outras tecnologias além da bipolar [44], e na tecnologia CMOS, por exemplo, podem-se projetar circuitos para qualquer região de operação. Seu objetivo principal é a extensão da faixa linear do transcondutor.

Contudo, como a transcondutância total é resultado da soma das transcondutâncias de cada um dos pares diferenciais, a tendência é que a utilização desta técnica resulte em transcondutâncias relativamente elevadas, dificultando seu emprego em aplicações de baixas frequências. Em [44], por exemplo, sugere-se a aplicação desta técnica para circuitos CMOS operando na faixa de *MHz*.

2.12 ESTRUTURAS DE CONTROLE DE MODO COMUM

Como se pretende utilizar um transcondutor com saídas balanceadas, é imprescindível a utilização de um circuito que controle, de maneira eficiente, o nível da tensão de modo comum na saída. Há na literatura diversas estruturas que se propõem a realizar esse controle em circuitos contínuos no tempo. Há também variações específicas para circuitos discretos no tempo [45], que em geral são mais simples e eficientes.

A tensão de modo comum na saída é definida como sendo a média das tensões de cada ramo, ou seja:

$$V_{CM} = \frac{V_{o+} + V_{o-}}{2} \quad (2.6)$$

O controle dessa tensão é realizado por meio de uma malha de realimentação, que em geral calcula a tensão V_{CM} , compara com um valor de referência e realimenta o circuito de saída.

Um circuito muito utilizado [46] para a realimentação de modo comum, baseia-se na utilização de dois pares diferenciais ligados de tal forma (Figura 2.11) que a corrente de saída seja proporcional ao erro na tensão de modo comum, com relação à referência.

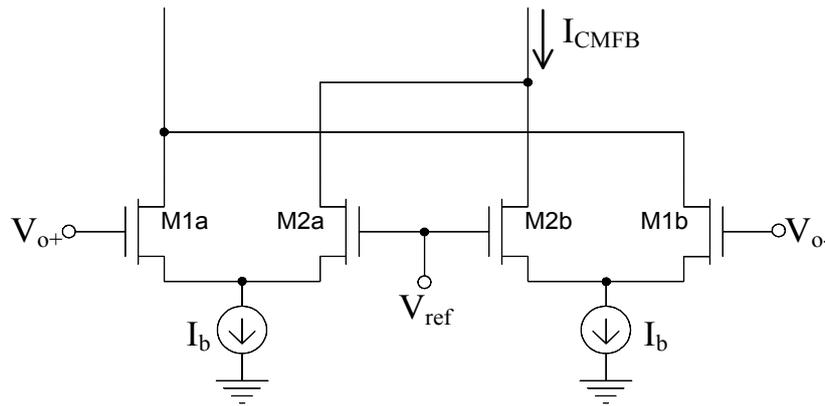


Figura 2.11: Circuito de controle de modo comum convencional.

Dessa forma, a corrente de saída desse circuito, que irá polarizar o estágio de saída do transcondutor cujo modo comum se deseja controlar, pode ser expressa por:

$$I_{CMFB} = I_{M1b} + I_{M2a} = -2G_m(V_{CM} - V_{ref}) \quad (2.7)$$

onde V_{CM} é dado por (2.6), V_{ref} é a tensão de referência e G_m é a transcondutância dos pares diferenciais.

Assim, a realimentação negativa gerada pela corrente de saída do circuito mostrado fará com que o modo comum da tensão de saída convirja para o valor

Essa mesma técnica também pode ser aplicada à parcela n MOS do estágio de saída. Embora bastante simples, essa abordagem tem algumas desvantagens, como a redução da excursão do sinal de saída, em função dos transistores adicionais.

Esta abordagem tem a grande vantagem de estar incorporada ao estágio de saída, favorecendo o emparelhamento dos transistores da estrutura de controle de modo comum com os do estágio de saída, reduzindo, assim, a incidência de problemas relacionados com descasamentos dessas estruturas. No entanto, como já foi mencionado, por incorporar mais um conjunto de transistores em série com os transistores dos espelhos de corrente da saída, esta abordagem prejudica a excursão de sinal.

Há outros circuitos de controle que utilizam detectores de modo comum baseados em resistores passivos, seguidos por um comparador de tensão, conforme Figura 2.13.

Nessa técnica, utiliza-se um divisor resistivo para estimar o valor da tensão de modo comum na saída V_{CM} . Essa tensão é comparada com a referência e o resultado (V_{CMFB}) é utilizado para polarizar o estágio de saída.

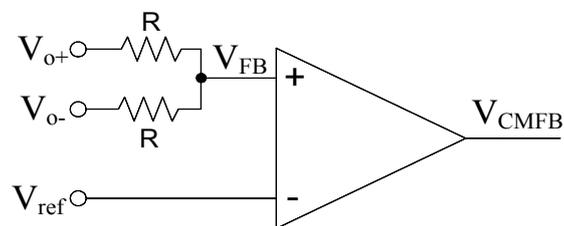


Figura 2.13: Diagrama esquemático do circuito de controle de modo comum com detecção baseada em resistores passivos.

Um grande inconveniente dessa técnica decorre do fato de utilizar resistores, que também podem ser implementados por transistores MOS operando em triodo, ligados entre as saídas. Por ser difícil a obtenção de resistores (ativos ou passivos) com resistências suficientemente altas, acaba-se por comprometer a impedância de saída do circuito que se deseja controlar. Para evitar esse problema outras abordagens utilizam um *buffer* entre cada uma das saídas e os resistores, o que resulta no aumento da complexidade do circuito.

Na literatura [48] há uma abordagem semelhante a esta última mostrada, porém baseada em transistores MOS com múltiplas portas flutuantes, conhecidos por sua sigla em inglês: MIFG (*Multiple Input Floating Gate*), cujo princípio de funcionamento já foi apresentado na Seção 2.8.

Conforme se comentou naquela seção, o emprego de transistores MOS com portas flutuantes, em geral, pode resultar no inconveniente de se ter que lidar com cargas aprisionadas no capacitor de porta, oriundas, principalmente, dos processos de fabricação. No entanto, como é possível verificar-se em [49], há uma alternativa simples e baseada em técnicas de layout que contornam este problema.

Capítulo 3

TRANSCONDUTOR PROPOSTO

Entre as diversas estruturas capazes de melhorar a linearidade ou reduzir a transcondutância de OTAs (*Operational Transconductance Amplifier*), apresentadas no Capítulo anterior, foram escolhidas duas combinações consideradas mais adequadas. Ao longo deste capítulo, segue uma discussão sobre essas topologias escolhidas, apresentando os estudos analíticos desenvolvidos, juntamente com as considerações realizadas para seus projetos.

3.1 CANCELAMENTO DE CORRENTE E DEGENERANÇA DE FONTE

A primeira estrutura que será apresentada se baseia na combinação das técnicas de cancelamento de corrente com a degenerança de fonte nos pares diferenciais de entrada (Figura 3.1). Depois de uma extensa pesquisa bibliográfica realizada, concluiu-se que esta estrutura, combinando estas duas técnicas, ainda é inédita na literatura. A inovação desta estrutura reside na utilização do ajuste de transcondutância através do controle da tensão de corpo dos transistores do par diferencial.

A técnica do cancelamento de corrente, como já foi comentado no capítulo anterior, funciona ligando-se dois pares diferenciais de tal forma que a transcondutância resultante seja a diferença das transcondutâncias de cada um dos pares.

No circuito proposto, os quatro transistores, dos dois pares diferenciais, são projetados com as mesmas dimensões, de maneira que a transcondutância nominal seja nula. No entanto, ao conectar os poços dos transistores de cada um dos pares diferenciais em potenciais diferentes, torna-se possível modificar as transcondutâncias dos mesmos.

Assim, quando se mantém os poços dos transistores de um dos pares ligados a um potencial fixo (ex.: V_{dd}) e conectam-se os poços dos outros dois transistores a uma

fonte de tensão ajustável (V_b), adquire-se a capacidade de controlar a transcondutância de saída do circuito.

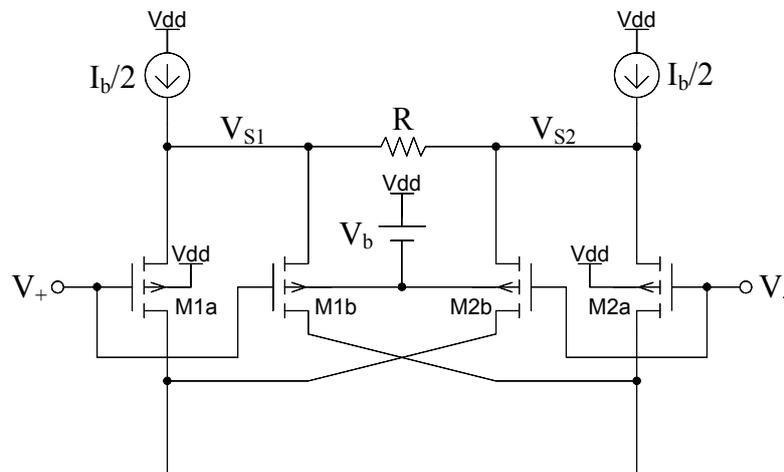


Figura 3.1: Diagrama esquemático da estrutura de entrada proposta, que combina cancelamento de corrente e degeneração de fonte.

Para estudar de forma mais exata as características de funcionamento deste circuito, foi preciso encontrar um modelo capaz de tratar, de uma forma razoavelmente simplificada, a influência da tensão de corpo do transistor sobre as características tensão-corrente do mesmo.

O modelo que apresentou o tratamento mais conveniente deste fenômeno foi o EKV [50], batizado com as iniciais de seus autores (C. C. Enz, F. Krummenacher, e E. A. Vittoz). Uma diferença fundamental do modelo EKV, em comparação com modelos tradicionalmente utilizados (SPICE nível 1 ou 3) [7], está na forma como a tensão de corpo é incorporada na equação que descreve a característica para a operação em inversão forte e saturação direta, que explicita o efeito da tensão de corpo do transistor, o que será muito útil para as análises que se pretende realizar. A representação simbólica dos transistores n MOS e p MOS na saturação direta, juntamente com as tensões e correntes de polarização está apresentada na Figura 3.2. As equações (3.1) e (3.2) modelam as correntes de dreno em inversão forte e saturação direta, no modelo EKV simplificado, para os dois tipos de transistores. Os limites para a saturação direta também estão modelados nas equações.

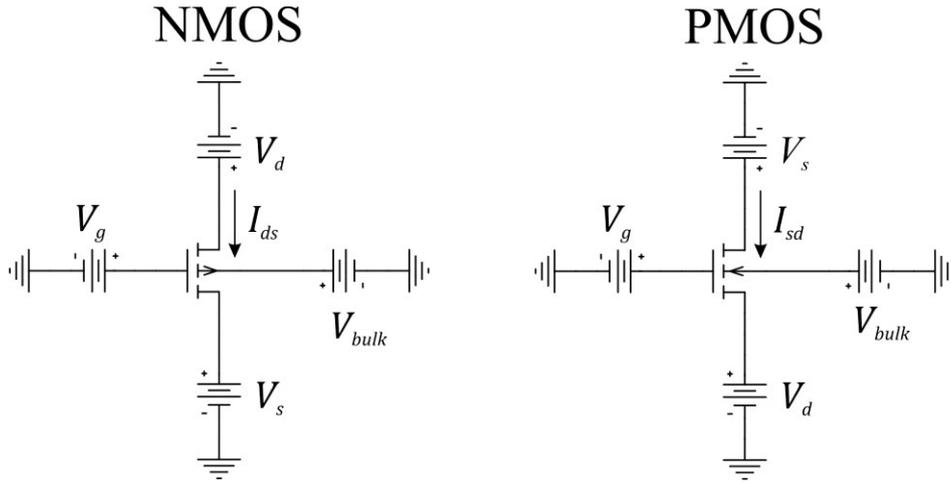


Figura 3.2: Representação simbólica dos transistores NMOS e PMOS.

$$\text{NMOS: } \begin{cases} I_{ds} = \frac{\beta}{2n} (V_g - V_{T0} - nV_s + (n-1)V_{bulk})^2 \\ V_g - nV_s \geq V_{T0} - (n-1)V_{bulk} \\ V_{dsat} = \frac{V_g - nV_s - V_{T0} + (n-1)V_{bulk}}{n} \end{cases} \quad (3.1)$$

$$\text{PMOS: } \begin{cases} I_{sd} = \frac{\beta}{2n} (nV_s - V_g + V_{T0} - (n-1)V_{bulk})^2 \\ nV_s - V_g \geq -V_{T0} + (n-1)V_{bulk} \\ V_{sd sat} = \frac{nV_s - V_g + V_{T0} - (n-1)V_{bulk}}{n} \end{cases} \quad (3.2)$$

onde V_g , V_s , V_{bulk} e $V_{sd sat}$ são, respectivamente, as tensões de porta, de fonte, de corpo (ou poço) e a tensão entre dreno e fonte de saturação. A tensão de limiar é dada por V_{T0} . O parâmetro n , chamado de fator de inclinação (do inglês – *slope fator*) é definido conforme:

$$n \triangleq 1 + \frac{\gamma}{2\sqrt{2\phi_0 + |V_s - V_{bulk}|}} \quad (3.3)$$

sendo γ o fator de modulação do substrato, que é dado pela expressão:

$$\gamma = \frac{\sqrt{2qN_b\epsilon_{Si}}}{C_{OX}} \quad (3.4)$$

onde q é a carga fundamental do elétron, ϵ_{Si} é a permissividade do silício, N_b é a concentração de dopantes e C_{OX} é a capacitância específica do óxido.

Já o parâmetro β , chamado de fator de transferência, relaciona os parâmetros geométricos do canal do transistor, ou seja sua largura e comprimento (W e L , respectivamente), com o fator de transcondutância K_p , que por sua vez, é dado pelo produto da mobilidade dos portadores no canal (μ) com a capacitância específica do óxido por unidade de área (C_{OX}). Assim tem-se:

$$\beta = K_p \frac{W}{L} = \mu C_{OX} \frac{W}{L} \quad (3.5)$$

Antes de utilizar o modelo EKV para desenvolver as análises do comportamento do circuito da Figura 3.1, considerou-se que as entradas em tensão do circuito assumem a seguinte forma:

$$\begin{cases} V_+ = V_{CM} + \frac{V_d}{2} \\ V_- = V_{CM} - \frac{V_d}{2} \end{cases} \quad (3.6)$$

sendo V_{CM} a componente de modo comum e V_d a componente diferencial.

A corrente diferencial de saída do circuito, como se sabe, é dada pela metade da diferença entre as correntes de cada ramo de saída, e a transcondutância do OTA é a derivada da corrente de saída em relação à tensão de entrada, conforme as equações em (3.7). Os valores das correntes de ramo podem ser determinados nas equações nodais do circuito, conforme o sistema (3.8).

$$\left\{ \begin{array}{l} I_{out} = \frac{-I_{M1a} + I_{M1b} + I_{M2a} - I_{M2b}}{2} \\ G_m = \frac{\partial I_{out}}{\partial V_d} \end{array} \right. \quad (3.7)$$

$$\left\{ \begin{array}{l} I_{M1a} = \frac{\beta}{2n} \left(-V_{CM} - \frac{V_d}{2} + V_{T0} + nV_{S1} - (n-1)V_{dd} \right)^2 \\ I_{M1b} = \frac{\beta}{2n} \left(-V_{CM} - \frac{V_d}{2} + V_{T0} + nV_{S1} - (n-1)(V_{dd} - V_b) \right)^2 \\ I_{M2b} = \frac{\beta}{2n} \left(-V_{CM} + \frac{V_d}{2} + V_{T0} + nV_{S2} - (n-1)(V_{dd} - V_b) \right)^2 \\ I_{M2a} = \frac{\beta}{2n} \left(-V_{CM} + \frac{V_d}{2} + V_{T0} + nV_{S2} - (n-1)V_{dd} \right)^2 \\ \frac{I_b}{2} - I_{M1a} - I_{M1b} = \frac{V_{S1} - V_{S2}}{R} \\ \frac{I_b}{2} - I_{M2a} - I_{M2b} = -\frac{V_{S1} - V_{S2}}{R} \end{array} \right. \quad (3.8)$$

Visando simplificar o desenvolvimento das próprias expressões envolvidas, outras considerações foram feitas. Para eliminar alguns dos fatores em comum e simplificar o tratamento algébrico das expressões, foram propostas as seguintes normalizações para as tensões e correntes:

$$v = \sqrt{\frac{\beta}{nI_b}} V \quad (3.9)$$

$$i = \frac{I}{I_b} \quad (3.10)$$

Logo as expressões normalizadas para as resistências e transcondutâncias, são dadas pelas equações (3.11) e (3.12), respectivamente.

$$r = \sqrt{\frac{\beta I_b}{n}} R \quad (3.11)$$

$$g_m = \sqrt{\frac{n}{\beta I_b}} G_m \quad (3.12)$$

Dessa forma, aplicando os devidos fatores de normalização nas equações de (3.8), obtém-se o sistema de equações abaixo.

$$\left\{ \begin{array}{l} i_{M1a} = \frac{1}{2} \left(-v_{CM} - \frac{v_d}{2} + v_{T0} + n v_{S1} - (n-1) v_{dd} \right)^2 \\ i_{M1b} = \frac{1}{2} \left(-v_{CM} - \frac{v_d}{2} + v_{T0} + n v_{S1} - (n-1) (v_{dd} - v_b) \right)^2 \\ i_{M2b} = \frac{1}{2} \left(-v_{CM} + \frac{v_d}{2} + v_{T0} + n v_{S2} - (n-1) (v_{dd} - v_b) \right)^2 \\ i_{M2a} = \frac{1}{2} \left(-v_{CM} + \frac{v_d}{2} + v_{T0} + n v_{S2} - (n-1) v_{dd} \right)^2 \\ \frac{1}{2} i_{M1a} - i_{M1b} = \frac{v_{S1} - v_{S2}}{r} \\ \frac{1}{2} i_{M2a} - i_{M2b} = -\frac{v_{S1} - v_{S2}}{r} \\ i_{out} = \frac{i_{M1a} - i_{M1b} - i_{M2a} + i_{M2b}}{2} \end{array} \right. \quad (3.13)$$

Devido à complexidade do sistema (3.13), torna-se impraticável a determinação de uma função analítica para a corrente i_{out} . Entretanto, é possível determinar a transcondutância $g_m = \partial i_{out} / \partial v_d$, no ponto $v_d = 0$, simplesmente aplicando as derivadas implícitas às equações (3.13) chega-se ao sistema (3.14).

$$\left\{ \begin{array}{l}
\frac{\partial i_{M1a}}{\partial v_d} = \left(-v_{CM} - \frac{v_d}{2} + v_{T0} + nv_{S1} - (n-1)v_{dd}\right) \left(-\frac{1}{2} + n \frac{\partial v_{S1}}{\partial v_d}\right) \\
\frac{\partial i_{M1b}}{\partial v_d} = \left(-v_{CM} - \frac{v_d}{2} + v_{T0} + nv_{S1} - (n-1)(v_{dd} - v_b)\right) \left(-\frac{1}{2} + n \frac{\partial v_{S1}}{\partial v_d}\right) \\
\frac{\partial i_{M1b}}{\partial v_d} = \left(-v_{CM} + \frac{v_d}{2} + v_{T0} + nv_{S2} - (n-1)(v_{dd} - v_b)\right) \left(\frac{1}{2} + n \frac{\partial v_{S2}}{\partial v_d}\right) \\
\frac{\partial i_{M2a}}{\partial v_d} = \left(-v_{CM} + \frac{v_d}{2} + v_{T0} + nv_{S2} - (n-1)v_{dd}\right) \left(\frac{1}{2} + n \frac{\partial v_{S2}}{\partial v_d}\right) \\
-\frac{\partial i_{M1a}}{\partial v_d} - \frac{\partial i_{M1b}}{\partial v_d} = \frac{1}{r} \left(\frac{\partial v_{S1}}{\partial v_d} - \frac{\partial v_{S2}}{\partial v_d}\right) \\
-\frac{\partial i_{M2a}}{\partial v_d} - \frac{\partial i_{M2b}}{\partial v_d} = -\frac{1}{r} \left(\frac{\partial v_{S1}}{\partial v_d} - \frac{\partial v_{S2}}{\partial v_d}\right) \\
g_m = \frac{1}{2} \left(\frac{\partial i_{M1a}}{\partial v_d} - \frac{\partial i_{M1b}}{\partial v_d} - \frac{\partial i_{M2a}}{\partial v_d} + \frac{\partial i_{M2b}}{\partial v_d}\right)
\end{array} \right. \quad (3.14)$$

Resolvendo-se o sistema completo, formado por (3.13) juntamente com (3.14), para $v_d = 0$, obtém-se a equação:

$$g_m|_{v_d=0} = \frac{v_b(n-1)\sqrt{4 - 2(n-1)^2v_b^2}}{2\sqrt{4 - 2(n-1)^2v_b^2 + \sqrt{2}(2 - (n-1)^2v_b^2)nr}} \quad (3.15)$$

Com o intuito de obter uma representação linear para g_m em função de v_b , aproximou-se a equação (3.15) pelo termo de primeira ordem de sua série de Taylor em torno do ponto $v_b = 0$.

$$g_m|_{v_d=0} \cong \frac{(n-1)v_b}{2 + \sqrt{2}nr} \quad (3.16)$$

Aplicando os coeficientes de desnormalização mostrados nas equações (3.9)-(3.12) chega-se à expressão:

$$G_m|_{v_d=0} = \frac{\partial I_{out}}{\partial V_d} \Big|_{v_d=0} \cong \frac{\beta(n-1)V_b}{n(2 + R\sqrt{2n\beta I_b})} \quad (3.17)$$

Conforme abordado no capítulo anterior, uma característica negativa inerente ao emprego da técnica de cancelamento de corrente é o risco de, em função dos erros aleatórios gerados durante a fabricação do circuito, a transcondutância resultante desviar muito do valor nominal projetado. No entanto, embora haja possibilidade de ajuste do valor da transcondutância através da tensão de corpo (V_b), compensando erros uniformes, erros aleatórios que provoquem o descasamento entre os transistores dos pares diferenciais também geram desvios nos valores de G_m , além de serem responsáveis pela produção de tensões de *offset* de entrada.

A fim de mitigar os efeitos dos erros de descasamento efetuou-se uma análise mais aprofundada desses erros. Buscou-se uma modelagem para os erros de descasamento capaz de descrevê-los de forma realista, porém simples o bastante para serem tratados analiticamente.

3.1.1 ANÁLISE DE DESCASAMENTO

Para tratar o problema causado pelo descasamento dos transistores do estágio de entrada proposto (Figura 3.1), adotou-se uma abordagem que utiliza a análise da sensibilidade da transcondutância em relação às variações de alguns dos parâmetros dos transistores.

Assim, realizou-se uma série de análises DC (análises onde os efeitos dos elementos reativos são ser desprezados), introduzindo erros em um parâmetro de cada vez, de cada um dos transistores do circuito, separadamente. Devido à simetria da topologia, basta que as análises sejam realizadas para um único lado do circuito, fazendo-se os equacionamentos, por exemplo, somente para os transistores M1a e M1b da Figura 3.1 e posteriormente estendendo-se os resultados superpostos aos transistores do outro ramo.

Na literatura, há diversas modelagens para tratar das estatísticas associadas aos erros de descasamento [51]-[55], porém as mais utilizadas são as propostas em [51]-[53]. Nessas modelagens são considerados os efeitos dos parâmetros geométricos, bem como da proximidade e orientação de um conjunto de transistores sobre as estatísticas dos erros de descasamento.

Segundo a modelagem proposta por *Pelgrom et. al.* em [51] as considerações sobre as estatísticas do descasamento podem ser resumidas em poucos parâmetros. Essas caracterizações são conhecidas como regras ou modelo de Pelgrom.

As regras de Pelgrom estabelecem a relação entre o desvio padrão relativo da tensão de limiar V_{T0} , do fator de transcondutância K_P ou qualquer parâmetro de um transistor de uma dada tecnologia com sua geometria (W e L), obtendo-se assim as expressões:

$$\hat{\sigma}_{V_{T0}} = \frac{\sigma_{V_{T0}}}{V_{T0}} = \frac{A_{V_{T0}}}{\sqrt{2WL}} \quad (3.18)$$

$$\hat{\sigma}_{K_P} = \frac{\sigma_{K_P}}{K_P} = \frac{A_{K_P}}{\sqrt{2WL}} \quad (3.19)$$

Os parâmetros $A_{V_{T0}}$ e A_{K_P} podem ser determinados pelos fabricantes de circuitos integrados em cada rodada de fabricação através de medições realizadas em estruturas especiais de teste. Estes parâmetros são fornecidos aos projetistas para que possam ter alguma previsibilidade quanto ao desempenho do circuito fabricado. Esses parâmetros também são utilizados na realização de simulações de Monte Carlo para descasamento.

Tendo em mãos os parâmetros de descasamento, foram desenvolvidas as análises para verificar os efeitos de desvios em relação aos valores nominais de V_{T0} e K_P individualmente, incidindo sobre cada um dos transistores de forma isolada.

Para exemplificar, pode-se supor que o transistor M1a apresenta um erro no valor do coeficiente K_P (ou β). Assumindo-se que se conheçam as estatísticas associadas a este erro, pode-se dizer que a expressão que descreve a relação corrente-tensão passa a ser:

$$I_{M1a} = \frac{\beta + \Delta\beta}{2n} \left(-V_{CM} - \frac{V_d}{2} + V_{T0} + nV_{S1} - (n-1)V_{dd} \right)^2 \quad (3.20)$$

Normalizando a expressão (3.20), substituindo-a na equação correspondente do sistema (3.13) e resolvendo-se o sistema resultante, pode-se calcular a transcondutância do circuito considerando um erro no parâmetro β , apenas no transistor M1a.

Dessa forma é possível determinar a sensibilidade da transcondutância do circuito com relação ao β do transistor analisado. A sensibilidade foi expressa em função dos parâmetros n , R e G_m , desnormalizados, usando as relações (3.11) e (3.12), resultando em:

$$S_{\beta_{M1a}}^{G_m} \triangleq \frac{\beta}{G_m} \frac{\partial G_m}{\partial \beta_{M1a}} = \frac{(nR\sqrt{\beta I_b} + 2\sqrt{2n})G_m - 2\sqrt{\beta I_b}}{8(nR\sqrt{\beta I_b} + \sqrt{2n})G_m} \quad (3.21)$$

Este mesmo processo é repetido para o transistor M1b, e a transcondutância pode ser calculada da mesma maneira, porém, desta vez considerando-se o erro de β somente deste transistor. Com isso, chega-se à sensibilidade da transcondutância em relação ao fator de transferência (β) do transistor M1b, dada por:

$$S_{\beta_{M1b}}^{G_m} \triangleq \frac{\beta}{G_m} \frac{\partial G_m}{\partial \beta_{M1b}} = \frac{(nR\sqrt{\beta I_b} + 2\sqrt{2n})G_m + 2\sqrt{\beta I_b}}{8(nR\sqrt{\beta I_b} + \sqrt{2n})G_m} \quad (3.22)$$

Como foi dito, devido à simetria desta estrutura, não é necessário realizar novamente esta operação para os transistores M2a ou M2b, uma vez que já se tem os resultados obtidos para os transistores M1a e M1b.

Para determinar os efeitos somados dos erros nos valores dos fatores de transferência β de todos os transistores do circuito sobre erros na transcondutância total, utilizou-se a seguinte relação:

$$\frac{\Delta G_m}{G_m} = S_{\beta_{M1a}}^{G_m} \frac{\Delta \beta_{M1a}}{\beta_{M1a}} + S_{\beta_{M1b}}^{G_m} \frac{\Delta \beta_{M1b}}{\beta_{M1b}} + S_{\beta_{M2a}}^{G_m} \frac{\Delta \beta_{M2a}}{\beta_{M2a}} + S_{\beta_{M2b}}^{G_m} \frac{\Delta \beta_{M2b}}{\beta_{M2b}} \quad (3.23)$$

Devido às propriedades de simetria do circuito, sabe-se que $\left| S_{\beta_{M1a}}^{G_m} \right| = \left| S_{\beta_{M2a}}^{G_m} \right|$, $\left| S_{\beta_{M1b}}^{G_m} \right| = \left| S_{\beta_{M2b}}^{G_m} \right|$ e $\hat{\sigma}_{\beta_{M1a}} = \hat{\sigma}_{\beta_{M1b}} = \hat{\sigma}_{\beta_{M2a}} = \hat{\sigma}_{\beta_{M2b}} = \hat{\sigma}_{\beta}$. Portanto, tem-se que o

desvio padrão relativo do erro da transcondutância em relação aos parâmetros β dos transistores é:

$$\hat{\sigma}_{G_m\beta} = \sqrt{2 \left(S_{\beta_{M1a}}^{G_m} \right)^2 + 2 \left(S_{\beta_{M1b}}^{G_m} \right)^2} \hat{\sigma}_\beta = \frac{\sqrt{\left[(nR\sqrt{\beta I_b} + 2\sqrt{2n})G_m \right]^2 + 4\beta I_b}}{4(nR\sqrt{\beta I_b} + \sqrt{2n})G_m} \hat{\sigma}_\beta \quad (3.24)$$

Para a análise dos efeitos do descasamento das tensões de limiar V_{T0} , procede-se uma análise semelhante à realizada anteriormente para o β . Assim, a expressão da corrente do transistor M1a, dado um erro em V_{T0} , passa a ser dada por:

$$I_{M1a} = \frac{\beta}{2n} \left(-V_{CM} - \frac{V_d}{2} + (V_{T0} + \Delta V_{T0}) + nV_{S1} - (n-1)V_{dd} \right)^2 \quad (3.25)$$

Dando continuidade ao processo, calcularam-se então as sensibilidades da transcondutância, dessa vez com relação às tensões de limiar dos transistores M1a e M1b, seguindo o mesmo método utilizado anteriormente, levando às expressões abaixo:

$$S_{V_{T0M1a}}^{G_m} \triangleq \frac{V_{T0}}{G_m} \frac{\partial G_m}{\partial V_{T0M1a}} = - \frac{\beta\sqrt{2}}{4(nR\sqrt{2\beta I_b} + \sqrt{2n})G_m} \quad (3.26)$$

$$S_{V_{T0M1b}}^{G_m} \triangleq \frac{V_{T0}}{G_m} \frac{\partial G_m}{\partial V_{T0M1b}} = \frac{\beta\sqrt{2}}{4(nR\sqrt{2\beta I_b} + \sqrt{2n})G_m} \quad (3.27)$$

Logo, o desvio padrão relativo (3.18) do erro da transcondutância em relação aos parâmetros V_{T0} dos transistores é:

$$\hat{\sigma}_{G_m V_{T0}} = \sqrt{2 \left(S_{V_{T0M1a}}^{G_m} \right)^2 + 2 \left(S_{V_{T0M1b}}^{G_m} \right)^2} \hat{\sigma}_{V_{T0}} = \frac{\beta\sqrt{2}}{2(nR\sqrt{2\beta I_b} + \sqrt{2n})G_m} \hat{\sigma}_{V_{T0}} \quad (3.28)$$

Para uma análise mais completa, deve-se considerar também o efeito do descasamento nas fontes de corrente de polarização do circuito. Essa consideração influencia diretamente no equilíbrio das correntes de ramo, provocando erros no G_m e contribuindo para a geração de tensão de *offset* de entrada.

As equações que descrevem o descasamento em cada uma das fontes de corrente de polarização são dadas por:

$$\frac{I_b + \Delta I_{b1}}{2} - I_{M1a} - I_{M1b} = \frac{V_{S1} - V_{S2}}{R} \quad (3.29)$$

$$\frac{I_b + \Delta I_{b2}}{2} - I_{M2a} - I_{M2b} = -\frac{V_{S1} - V_{S2}}{R} \quad (3.30)$$

Utilizando a mesma sistemática empregada para calcular as sensibilidades em relação ao β e V_{T0} , calculou-se a sensibilidade da transcondutância em relação ao descasamento de I_b , chegando-se à expressão:

$$S_{I_b}^{G_m} = \frac{nR\sqrt{\beta}}{nRI_b\sqrt{\beta} + \sqrt{2I_b n}} \quad (3.31)$$

Como as fontes de corrente serão posteriormente implementadas com espelhos de corrente CMOS, o descasamento das mesmas será provocado por descasamento dos parâmetros dos transistores que formarão estes espelhos. Sendo assim, é possível estimar o valor do desvio padrão associado às correntes de polarização $\hat{\sigma}_{I_b}$ como sendo uma função dos parâmetros $\hat{\sigma}_{V_{T0}}$ e $\hat{\sigma}_{\beta}$, que dependerá da topologia dos espelhos de corrente utilizados. Considerando-se espelhos de corrente simples, tem-se:

$$\hat{\sigma}_{I_b} = \sqrt{\frac{4\beta}{nI_b} \hat{\sigma}_{V_{T0}}^2 + 2\hat{\sigma}_{\beta}^2} \quad (3.32)$$

Assim, a totalização dos efeitos superpostos de cada uma das fontes de erro consideradas, sobre a transcondutância de saída, pode ser expressa por:

$$\hat{\sigma}_{G_m} = \sqrt{(\hat{\sigma}_{G_m\beta})^2 + (\hat{\sigma}_{G_mV_{T0}})^2 + (\hat{\sigma}_{G_mI_b})^2} \quad (3.33)$$

3.2 CANCELAMENTO DE CORRENTE SIMPLES

A outra estrutura escolhida para o estágio de entrada do transcondutor desenvolvida para este trabalho se baseia na técnica de cancelamento de corrente em conjunto com o ajuste pela tensão de substrato, mas sem o resistor de degeneração de fonte, semelhante ao circuito proposto em [41]. Porém, diferentemente daquele, o transcondutor deste trabalho visa a obtenção de pequenas transcondutâncias que, em virtude dos motivos apresentados na Seção 1.1, é essencial para a operação em baixas frequências.

O projeto desenvolvido neste trabalho distingue-se, também, pela utilização da análise de descasamento como um dos critérios para o dimensionamento das estruturas do estágio de entrada do amplificador operacional. Essa análise, desenvolvida para esta estrutura, será apresentada mais adiante neste capítulo.

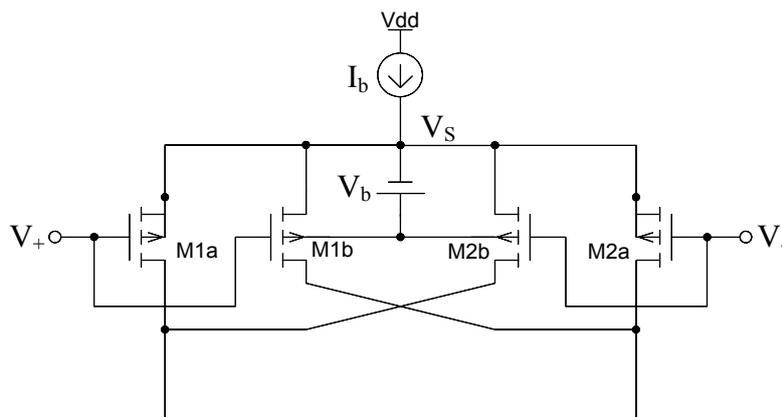


Figura 3.3: Diagrama esquemático do circuito do estágio de entrada com cancelamento de corrente, proposto por Szczepanski *et. al* [41].

Outra característica que diferencia o circuito deste trabalho daquele proposto em [41], está no arranjo da tensão de ajuste da transcondutância. No circuito proposto por Szczepanski *et al.* em [41] (Figura 3.3) a tensão de polarização de corpo dos transistores de um dos pares diferenciais (M1b, M2b) é produzida por uma fonte suspensa ligada entre o nó de fonte (V_S) e os poços dos mesmos, que pode ser de difícil realização, enquanto o outro par (M1a, M2a) tem seus poços ligados ao nó de fonte.

No circuito do estágio de entrada, com cancelamento de corrente e sem resistor de degeneração sugerido para este trabalho (Figura 3.4), todas as tensões de polarização dos poços dos transistores dos pares diferenciais são referenciadas ao potencial fixo da tensão de alimentação do circuito V_{dd} , dispensando a necessidade da fonte de tensão suspensa, simplificando sua implementação. Além disso, outro aspecto que distingue o circuito apresentado neste trabalho é o fato de se sugerir a utilização de pares diferenciais com transistores idênticos, isto é: M1a, M1b, M2b e M2a têm as mesmas dimensões W e L . Dessa forma, é possível proporcionar um melhor casamento entre eles, aumentando o nível de correlação e facilitando o seu desenho no *layout* final do circuito integrado.

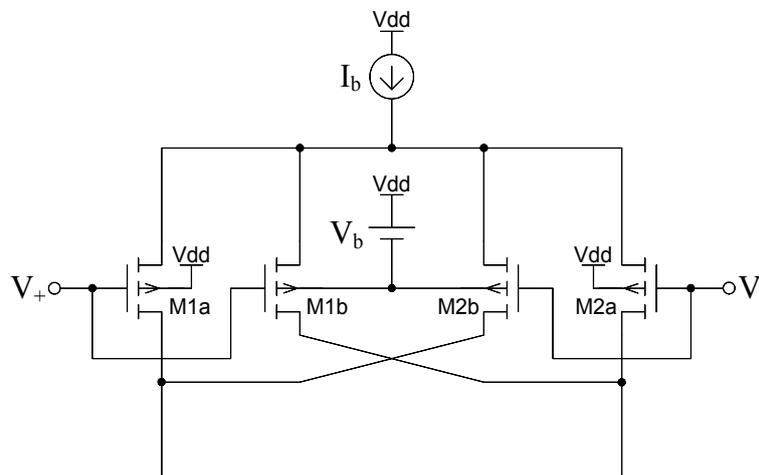


Figura 3.4: Diagrama esquemático do circuito do estágio de entrada com cancelamento de corrente, sugerido para este trabalho.

Assim como foi feito para o circuito anterior, realizou-se uma análise do comportamento DC também para este circuito. Essa análise é idêntica à realizada anteriormente (Seção 3.1.1) para o circuito do transcondutor com degeneração de fonte, bastando considerar o resistor como sendo nulo, obtendo-se o seguinte sistema de equações:

$$\left\{ \begin{array}{l} i_{M1a} = \frac{1}{2} \left(-v_{CM} - \frac{v_d}{2} + v_{T0} + nv_S - (n-1)v_{dd} \right)^2 \\ i_{M1b} = \frac{1}{2} \left(-v_{CM} - \frac{v_d}{2} + v_{T0} + nv_S - (n-1)(v_{dd} - v_b) \right)^2 \\ i_{M2b} = \frac{1}{2} \left(-v_{CM} + \frac{v_d}{2} + v_{T0} + nv_S - (n-1)(v_{dd} - v_b) \right)^2 \\ i_{M2a} = \frac{1}{2} \left(-v_{CM} + \frac{v_d}{2} + v_{T0} + nv_S - (n-1)v_{dd} \right)^2 \\ 1 - i_{M1a} - i_{M1b} - i_{M2a} - i_{M2b} = 0 \\ i_{out} = \frac{i_{M1a} - i_{M1b} - i_{M2a} + i_{M2b}}{2} \end{array} \right. \quad (3.34)$$

Neste caso, obtém-se uma solução analítica sem o uso das derivadas implícitas, para i_{out} , que, nesse caso, é linear em relação à v_d e v_b , respectivamente, podendo ser escrita como:

$$i_{out} = \frac{(n-1)v_b}{2n} v_d \quad (3.35)$$

Portanto, verifica-se que a transcondutância g_m é independente de v_d e proporcional a v_b , conforme a equação:

$$g_m = \frac{(n-1)}{2n} v_b \quad (3.36)$$

Aplicando os fatores de desnormalização à equação (3.36), obtém-se a transcondutância desnormalizada G_m dada por:

$$G_m = \frac{\beta(n-1)}{2n} V_b \quad (3.37)$$

É importante observar que nessa análise o fator de inclinação n e a mobilidade μ foram considerados constantes, que não é o caso real. O fator de inclinação é dependente da diferença de potencial entre os terminais de fonte e corpo, conforme a

equação (3.3). Entretanto, assumindo que a tensão V_b , usada para ajustar a transcondutância, seja pequena, pode-se considerar que n é praticamente o mesmo para todos os transistores. Mas a saturação de mobilidade afeta todos os transistores de forma diferente, pois depende da diferença de potencial entre os terminais de porta e fonte, fazendo com que a transcondutância G_m apresente alguma dependência da tensão V_d [41] e, conseqüentemente, perdendo aquela característica de linearidade absoluta. Essa não idealidade será exemplificada mais adiante.

Resolvendo-se o sistema (3.34) pode-se obter a expressão para a tensão do nó de fonte V_S do circuito, resultando em:

$$V_S = \frac{2V_{CM} - 2V_{T0} + (n-1)(2V_{dd} - V_b) + \sqrt{\frac{2nI_b}{\beta} - V_d^2 - (n-1)^2V_b^2}}{2n} \quad (3.38)$$

Segundo o modelo EKV, para que os transistores p MOS dos pares diferenciais operem na região de inversão forte, deve-se garantir que a tensão de porta dos mesmos respeite o limite estabelecido pela restrição dada pela desigualdade:

$$V_{dd} - V_G + V_{T0} > n(V_{dd} - V_S) \quad (3.39)$$

O modelo também estabelece que a condição que assegura que os transistores p MOS estejam em saturação direta é dada por:

$$V_{dd} - V_G + V_{T0} < n(V_{dd} - V_D) \quad (3.40)$$

A desigualdade (3.39) associada à tensão de fonte (V_S) é mais restritiva que a outra (3.40), associada ao dreno (V_D), contanto que se garanta que a tensão quiescente nas entradas (V_{CM}) seja adequada para assegurar a devida polarização dos transistores na região de saturação.

Para definir o limite de excursão para a tensão de entrada, assume-se que todos os transistores cortam ao mesmo tempo. De fato, os transistores M1a e M2a cortam antes de M1b e M2b, pois as tensões de corpo de M1b e M2b são ligeiramente menores que as de M1a e M2a. Considerando V_d positivo, tem-se que a tensão de porta em M1a e M1b é $V_G = V_{CM} + V_d/2$. Substituindo este valor na desigualdade (3.39) e

solucionando a inequação resultante, chega-se ao limite de excursão da tensão diferencial de entrada, dado pela expressão abaixo.

$$|V_d| < \sqrt{\frac{nI_b}{\beta} - \frac{3(n-1)^2}{4} V_b^2} - \frac{(n-1)}{2} V_b \quad (3.41)$$

3.2.1 ANÁLISE DE DESCASAMENTO

Prosseguindo com a análise, em função dos mesmos motivos já mencionados, expostos para o circuito anterior, achou-se conveniente realizar uma análise dos efeitos do descasamento de certos parâmetros do circuito sobre variações no valor da transcondutância.

Assim sendo, conduziu-se uma análise idêntica à anterior, avaliando-se os efeitos isolados dos erros nos parâmetros β e V_{T0} , considerados separadamente.

Novamente, em função da simetria do circuito, não é necessário analisar todos os transistores do estágio de entrada, bastando avaliar uma das metades. No caso, optou-se por verificar os resultados para os transistores M1a e M1b.

Logo, o desvio padrão normalizado da transcondutância G_m avaliada em $V_d = 0$, para o parâmetro β , combinados os efeitos de todos os transistores, pode ser expresso por:

$$\hat{\sigma}_{G_m\beta} = \sqrt{2 \left(S_{\beta M1a}^{G_m} \right)^2 + 2 \left(S_{\beta M1b}^{G_m} \right)^2} \hat{\sigma}_\beta = \sqrt{\frac{\beta I_b}{8nG_m^2}} \hat{\sigma}_\beta \quad (3.42)$$

E o desvio padrão normalizado para a tensão de limiar, também com os efeitos combinados, é:

$$\hat{\sigma}_{G_m V_{T0}} = \sqrt{2 \left(S_{V_{T0} M1a}^{G_m} \right)^2 + 2 \left(S_{V_{T0} M1b}^{G_m} \right)^2} \hat{\sigma}_{V_{T0}} = \frac{V_{T0} \beta}{2nG_m} \hat{\sigma}_{V_{T0}} \quad (3.43)$$

Diferentemente da estrutura com resistor de degeneração de fonte, analisada anteriormente, este circuito não é afetado pelos descasamentos nas fontes de corrente,

pois só utiliza uma fonte para polarização, eliminando uma possível causa de mau funcionamento. Com base nisso, pode-se estimar a estatística do erro na transcondutância simplesmente pela expressão (3.44).

$$\hat{\sigma}_{G_m} = \sqrt{(\hat{\sigma}_{G_m\beta})^2 + (\hat{\sigma}_{G_mV_{T0}})^2} \quad (3.44)$$

Embora muito utilizada, essa abordagem para a análise dos efeitos dos descasamentos, pode ser demasiadamente conservadora, por concentrar os erros apenas nos parâmetros β e V_{T0} e desprezar a contribuição de outros parâmetros como fontes de erros, que combinados podem, eventualmente, ser menos impactantes. Esta é uma das considerações propostas por *Drennan et al.* em [55].

3.3 OPERAÇÃO EM GRANDES SINAIS

Com a modelagem utilizada para os dois circuitos, não se consegue descrever de forma apropriada a relação entre a transcondutância e a tensão diferencial de entrada, numa operação de grandes sinais. Em virtude das simplificações realizadas, a expressões (3.17) e (3.37), obtidas para as transcondutâncias de saída dos circuitos, são válidas apenas numa estreita faixa de tensão em torno da origem.

Entre as hipóteses simplificadoras, assumiu-se como sendo constante o valor do fator de inclinação n , que na realidade apresenta pequena dependência com a tensão de corpo. O valor do parâmetro n , como descrito na expressão (3.3), depende da diferença entre as tensões de porta e de corpo (poço) do transistor. Entretanto, como o OTA proposto destina-se a aplicações com baixa transcondutância, a diferença entre as tensões de poço dos transistores deve ser pequena, o que torna a aproximação para n constante bastante razoável. Por outro lado, a mobilidade efetiva (μ_{ef}) é afetada pelo problema da saturação que é tão maior quanto mais elevado for o valor da tensão V_{GS} entre porta e fonte, conforme previsto pela equação (3.45), onde θ é um parâmetro do processo de fabricação. A saturação da mobilidade é a principal causa da não linearidade da curva $G_m \times V_d$ [41].

$$\mu_{ef} = \frac{\mu_0}{1 + \theta(V_{GS} - V_{T0})} \quad (3.45)$$

Estes e outros fenômenos de segunda ordem limitam os resultados analíticos, sendo necessária a utilização de outras abordagens envolvendo análises numéricas. Assim, com o intuito de se ter uma compreensão qualitativa do funcionamento dos circuitos sob estudo, bem como dos efeitos desses fenômenos de segunda ordem, optou-se pela utilização de modelos de complexidade mais elevada, como o BSIM 3v3, por exemplo. Esses modelos, por serem mais complexos, não podem ser resolvidos analiticamente, exigindo o emprego de programas para simulação de circuitos (SPICE).

Inicialmente, simulou-se o circuito de entrada do transcondutor com cancelamento de corrente e resistência de degeneração de fonte (Figura 3.1). Para essas simulações, a corrente de polarização I_b foi arbitrada em $4 \mu A$ e foram utilizados todos os transistores com a mesma razão de aspecto $W/L = 7/25$. Além disso, alimentou-se o circuito com uma tensão V_{dd} de $2,5 V$, polarizando-se as entradas com uma tensão quiescente V_{CM} de $1,25 V$. O valor da tensão de alimentação (V_{dd}) foi definido, tendo em mente a possibilidade de suprir a energia necessária para o funcionamento do circuito através de duas baterias recarregáveis convencionais. A escolha do valor para a corrente de polarização I_b , foi feita visando o baixo consumo de potência do circuito.

Para verificar o efeito da variação do valor da resistência, executou-se uma série de simulações DC com varredura da tensão diferencial de entrada, variando-se o valor da resistência R , entre 10 e $100 k\Omega$ com incrementos de $10 k\Omega$, mantendo-se a tensão V_b constante em $0,25 V$. Como é possível observar na Figura 3.5, a transcondutância na origem apresenta um comportamento condizente com aquele previsto pela expressão (3.17). Além disso, verifica-se que há um aumento da máxima excursão de sinal admissível conforme se aumenta o valor da resistência R .

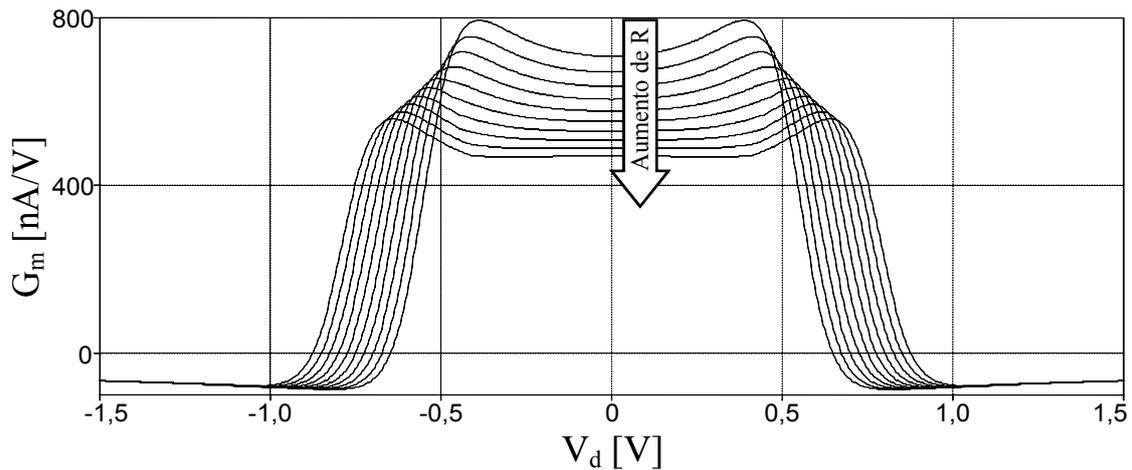


Figura 3.5: Efeito da variação no valor da resistência de degeneração de fonte R sobre o perfil da transcondutância de saída do circuito da Figura 3.1.

Outro efeito foi verificado simulando-se o mesmo circuito, agora com o resistor constante e igual a $50\text{ k}\Omega$, variando-se o valor da corrente I_b entre $2\text{ }\mu\text{A}$ e $10\text{ }\mu\text{A}$, em intervalos de $1\text{ }\mu\text{A}$. Observando a Figura 3.6, verifica-se que o aumento da corrente de polarização resulta no aumento da faixa de excursão de sinal.

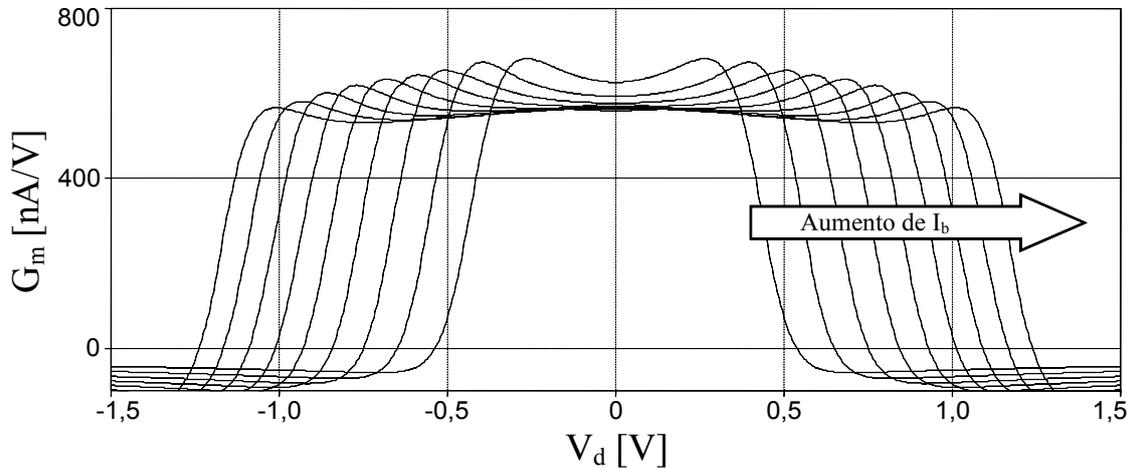


Figura 3.6: Efeito da variação no valor da corrente de polarização I_b sobre o perfil da transcondutância de saída do circuito com degeneração de fonte.

Finalmente, realizou-se uma simulação para verificar o efeito do ajuste do valor de V_b , variando-o entre $0,1$ e $0,6\text{ V}$ com intervalos de $0,1\text{ V}$, sobre a transcondutância de saída. Utilizou-se uma corrente de polarização I_b de $4\text{ }\mu\text{A}$ e a resistência R de $50\text{ k}\Omega$.

Como se vê na Figura 3.7, o aumento da tensão V_b implica no aumento da transcondutância, confirmando os resultados analíticos. Porém, como mostrado nessa

figura, o aumento da tensão V_b , também se manifesta em um “empenamento” no perfil de transcondutância, o que implica na redução da linearidade da saída.

Com base nos resultados dispostos, conclui-se que há um conjunto de valores ótimos para I_b e R que produzem o melhor compromisso entre a excursão de sinal e a linearidade. Porém, apesar de existirem outros graus de liberdade nesse projeto, como a razão de aspecto dos transistores, por exemplo, existem também, por outro lado, outras restrições e considerações que devem ser incluídas.

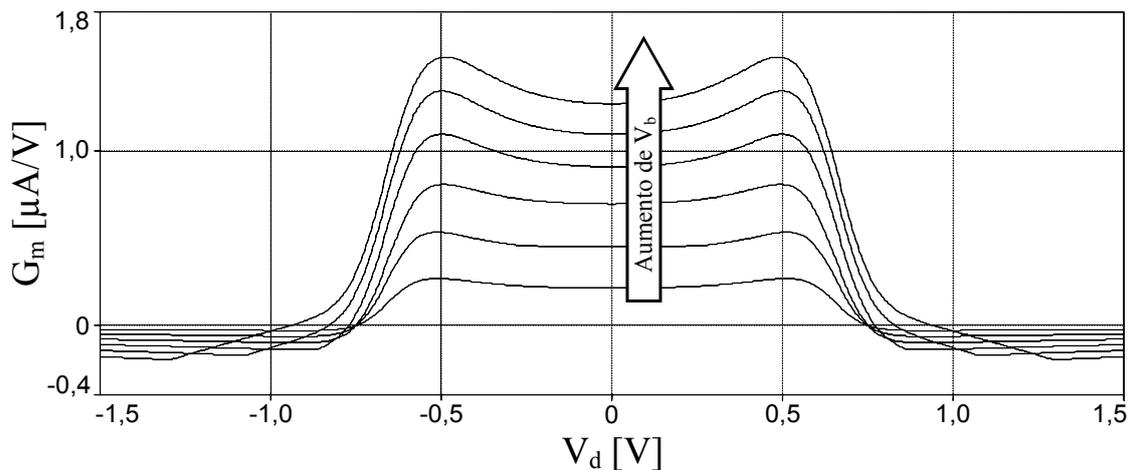


Figura 3.7: Efeito da variação no valor da tensão de polarização V_b sobre o perfil da transcondutância de saída do circuito com degeneração de fonte.

A estrutura sem resistor de degeneração de fonte, por sua vez, embora admita um tratamento analítico mais completo, é também afetada pelos mesmos efeitos de segunda ordem que são difíceis de analisar, sendo importante, portanto, sua simulação para que se verifiquem as consequências desses efeitos sobre seu desempenho.

Aplicando-se os parâmetros com os mesmos valores utilizados nas simulações da estrutura com degeneração de fonte, simulou-se também o estágio de entrada com cancelamento de corrente e sem a degeneração de fonte (Figura 3.4).

Na primeira simulação, realizada para este circuito, foram executadas 9 varreduras DC da tensão diferencial de entrada, cada uma com um valor diferente da corrente de polarização I_b , entre $2 \mu A$ e $10 \mu A$, espaçadas de $1 \mu A$.

O resultado dessa simulação pode ser visto na Figura 3.8. Conforme previsto pela expressão (3.41), o limite da excursão de sinal aumenta com o aumento de I_b . No

entanto, como é possível notar, esse aumento na excursão de sinal está associado a uma redução da linearidade.

Observando o valor da transcondutância com a tensão diferencial (V_d) nula, constata-se que há uma redução do mesmo com o aumento da corrente I_b . Este efeito não está contemplado pela modelagem utilizada, dado que a expressão (3.37) não prevê qualquer relação explícita entre a corrente de polarização e a transcondutância.

Esta característica pode ser explicada pelas variações no valor da tensão de fonte V_S que, segundo a expressão (3.38), apresenta dependência da corrente de polarização I_b , afetando, dessa forma, o valor de parâmetros como o fator de inclinação n (3.3), e a mobilidade efetiva μ_{eff} (3.45) que dependem do valor da tensão V_S , mas que na modelagem utilizada foram assumidos como sendo constantes.

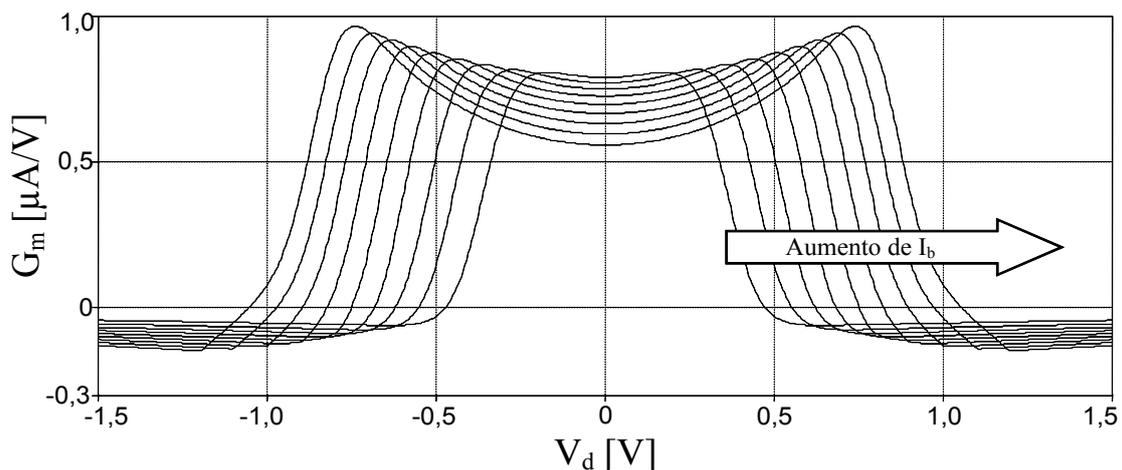


Figura 3.8: Efeito da variação no valor da corrente de polarização I_b sobre o perfil da transcondutância de saída do circuito sem degeneração de fonte.

A fim de verificar o efeito da variação da tensão V_b sobre o perfil da transcondutância de saída do circuito da Figura 3.4, realizou-se uma série de varreduras DC da tensão de entrada V_d variando-se também a tensão V_b , que polariza os poços dos transistores M1b e M2b, procedendo-se a uma análise idêntica à realizada para o circuito com degeneração de fonte, utilizando-se os mesmos valores. O resultado destas simulações pode ser observado na Figura 3.9.

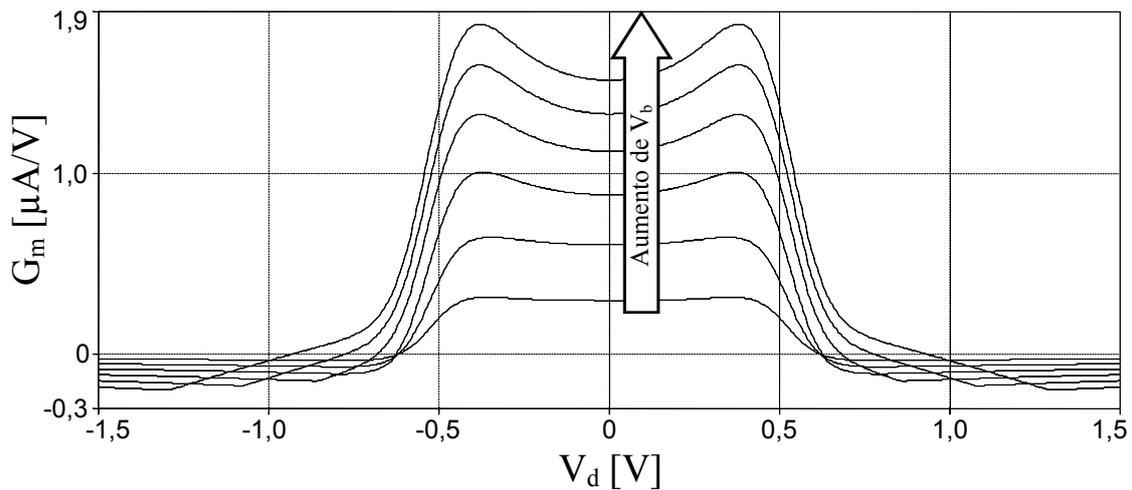


Figura 3.9: Efeito da variação no valor da tensão de polarização V_b sobre o perfil da transcondutância de saída do circuito sem degeneração de fonte.

Como é possível verificar na Figura 3.9, assim como no caso com degeneração de fonte, ocorre uma distorção do perfil de G_m , conforme se aumenta a tensão de polarização V_b . Além disso, constata-se (visualmente) que os valores de transcondutância na origem não estão linearmente espaçados, contrariando o que era esperado, segundo os estudos analíticos. Esse resultado é menos notado no circuito com degeneração de fonte.

A comparação qualitativa das duas estruturas apresentadas, sob as mesmas condições, revela que o circuito com degeneração de fonte apresenta uma excursão de sinal mais ampla e maior linearidade. Porém, sob o ponto de vista da complexidade do circuito, a estrutura sem degeneração de fonte se mostra mais simples, possuindo menos fontes de erro capazes de prejudicar seu desempenho.

Capítulo 4

FILTRO

Com o intuito de ilustrar o desempenho do transcondutor juntamente com os circuitos de controle propostos no presente trabalho, optou-se pela implementação de um filtro ativo.

Mesmo não sendo o foco principal deste trabalho, pretende-se aproveitar este capítulo para discutir, de maneira um pouco mais pormenorizada, as técnicas empregadas no projeto do filtro analógico contínuo no tempo, que será utilizado para demonstrar uma aplicação para o transcondutor proposto.

Para servir como exemplo de aplicação do OTA desenvolvido, pensou-se em uma estrutura cuja finalidade é desempenhar a função de pré e pós-processamento de sinais para sistemas de sinais mistos (*mixed-signal*), servindo de interface para sistemas digitais ou mesmo analógicos em tempo discreto, podendo implementar filtros *anti-aliasing* ou de reconstrução.

4.1 ANTI-ALIASING

Embora as técnicas de processamento de sinais no tempo discreto estejam cada vez mais em evidência, a presença dos sistemas de processamento contínuos no tempo ainda é fundamental, pois estes sistemas são imprescindíveis para a realização da interface entre esses dois domínios (do tempo contínuo e discreto).

Como o processamento de sinais no tempo discreto (seja analógico ou digital), exige que os sinais sejam amostrados com uma dada taxa, para que o processamento se desenvolva de forma adequada é importante assegurar que o sinal de entrada atenda a determinadas restrições. Entre elas, deve-se garantir que o mesmo possua um espectro compatível com as taxas de amostragens utilizadas.

No caminho inverso, quando se deseja converter um sinal do domínio do tempo discreto para o tempo contínuo, também devem se tomar certas precauções para que a conversão (ou reconstrução) não resulte em uma forma de onda com múltiplas réplicas centradas nos harmônicos da frequência de amostragem.

Ocorre o fenômeno de *aliasing* durante a amostragem, quando um sinal contínuo no tempo possui um espectro com componentes de magnitudes relevantes em frequências superiores aos limites teóricos definidos pelo teorema da amostragem de *Nyquist-Shannon* [56]-[57]. Esse limite, conhecido como frequência de *Nyquist*, corresponde à metade da frequência de amostragem que se deseja utilizar.

Quando este limite não é respeitado, as frequências mais altas são rebatidas para dentro da banda definida pela frequência de *Nyquist*, produzindo batimentos e deteriorando o sinal amostrado, poluindo-o com componentes espúrios provenientes da parcela superior do espectro do sinal original.

Sendo assim, para que não ocorra *aliasing*, é indispensável a utilização de um circuito analógico e contínuo no tempo para realizar a filtragem a fim de remover os componentes de alta frequência do espectro do sinal a ser processado, assegurando o respeito aos limites firmados pelo teorema da amostragem de *Nyquist-Shannon*. Por essas razões, é importante a utilização de um filtro passa-baixas analógico e contínuo no tempo.

Dependendo de sua posição nas etapas de processamento do sinal, este filtro passa-baixas pode ser chamado de filtro *anti-aliasing* quando realiza o pré-processamento, preparando o sinal para ser amostrado e quantizado, no caso digital, ou pode ser chamado de filtro de reconstrução quando desempenha o pós-processamento do sinal, realizando a interface de conversão de um sinal analógico do domínio discreto para o contínuo.

4.1.1 PROJETO

O projeto de um filtro (seja contínuo ou discreto no tempo) inicia-se pela definição de seus requisitos. Esses requisitos podem advir, por exemplo, da

conformação do perfil de magnitude desejado, estabelecendo os limites para os ganhos e frequências que demarcam as bandas de passagem, transição e rejeição, conforme o diagrama mostrado na Figura 4.1.

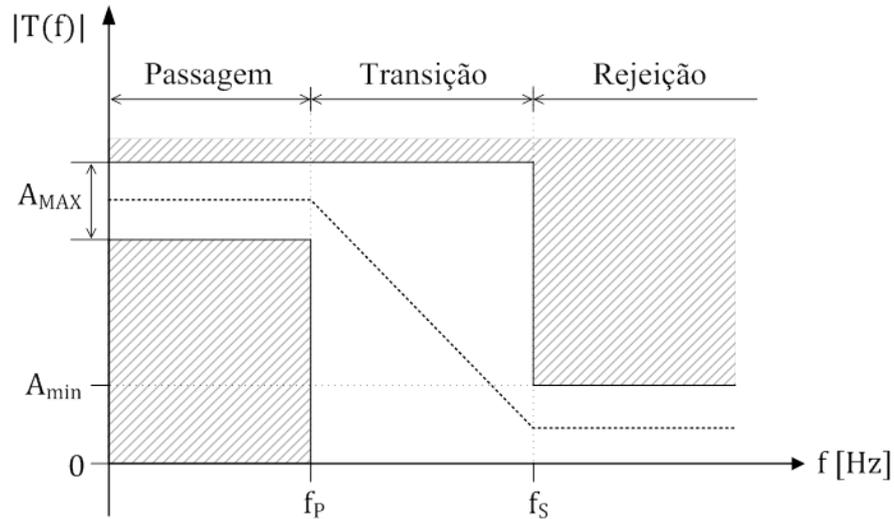


Figura 4.1: Diagrama das especificações do filtro passa baixas.

Para o caso de um filtro passa-baixas, os requisitos definem o máximo *ripple* da faixa de passagem (A_{MAX}), a frequência de início (f_p) e fim (f_s) da banda de transição, e mínima atenuação na faixa de rejeição (A_{min}). Na Tabela 4.1, estão sumarizadas essas especificações.

Tabela 4.1: Especificações para o projeto do filtro passa-baixas.

Parâmetro	Valor
f_p	15 kHz
f_s	50 kHz
A_{MAX}	0,5 dB
A_{min}	40 dB

4.1.1.1 Tipo de aproximação

Existem diversos tipos de filtros capazes de produzir a função desejada (passa-baixas, no caso). A principal diferença entre eles reside em suas formulações matemáticas, mais precisamente, nos polinômios utilizados para realizar as

aproximações da resposta em frequência dos mesmos para as especificações estabelecidas.

Os tipos de filtros (ou de aproximações) mais utilizados para o processamento de sinais em tempo contínuo são: Chebyshev (também se pode escrever: Tchebychev ou Chebyshov), Butterworth e Elíptico, cada um deles apresentado um comportamento peculiar, cabendo ao projetista definir aquele que melhor se adéqua às suas especificações.

A aproximação de Butterworth resulta em um filtro cujas características são a banda passante maximamente plana (assim como o Chebyshev tipo II) e a banda de rejeição assintoticamente decrescente. Porém, comparado com filtros de mesma ordem, obtidos com as outras aproximações citadas, é aquele que possui a banda de transição mais larga.

Já os filtros obtidos a partir da aproximação Elíptica, também conhecidos como filtros de Cauer, se destacam por apresentarem a banda de transição mais estreita de todos os filtros citados, sendo portanto o mais seletivo entre eles. Quanto à banda passante, este tipo de filtro, juntamente com o Chebyshev (tipo I), tem como particularidade a presença de *ripple*. Além disso, por possuir zeros em sua função de transferência, assim como o Chebyshev tipo II, também apresenta *ripple* na banda de rejeição.

O Chebyshev tipo I (ou simplesmente Chebyshev) se apresenta como um meio termo entre o Butterworth e o Elíptico, com *ripple* na banda de passagem, banda de rejeição assintoticamente decrescente e banda de transição intermediária, embora seja o filtro polinomial (*i.e.*, sem zeros na função de transferência) com a maior seletividade possível.

O filtro Chebyshev tipo II, também chamado de Chebyshev Inverso, é o oposto do tipo I, mantendo aproximadamente a mesma característica da banda de transição, porém com o *ripple* na banda de rejeição e com a banda de passagem maximamente plana.

As características dos perfis das respostas em frequência de cada um dos tipos de filtro mencionados podem ser visualizadas na Figura 4.2, onde são mostradas as magnitudes de exemplos de terceira ordem, com as frequências normalizadas.

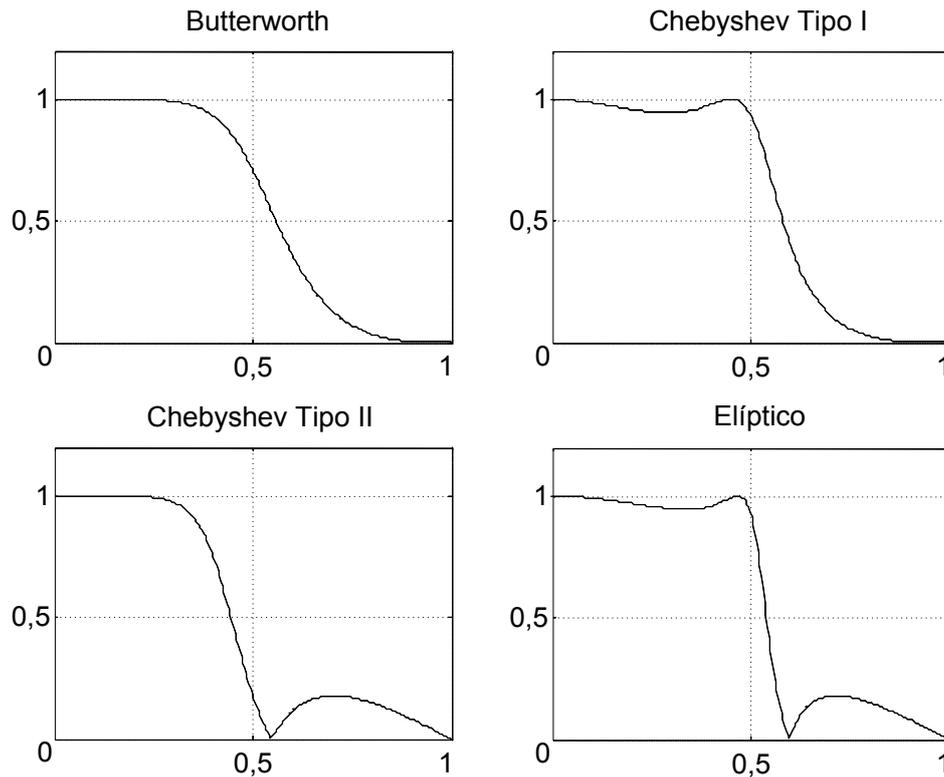


Figura 4.2: Comparação entre os perfis da resposta em frequência para exemplos de terceira ordem dos quatro tipos de filtros citados.

Com o intuito de simplificar a comparação entre os diferentes tipos de filtro citados, suas características relativas foram sintetizadas na Tabela 4.2.

Tabela 4.2: Comparação das características dos quatro tipos de filtro citados.

Tipo de Filtro	Banda Passante	Banda de Transição	Banda de Rejeição
Butterworth	Maximamente Plana	Larga	Assintoticamente Decrescente
Elíptico	<i>Ripple</i>	Estreita	<i>Ripple</i>
Chebyshev tipo I	<i>Ripple</i>	Intermediária	Assintoticamente Decrescente
Chebyshev tipo II	Maximamente Plana	Intermediária	<i>Ripple</i>

Os filtros Elíptico e Chebyshev do tipo II possuem zeros em suas funções de transferências o que acarreta no aumento da complexidade dos circuitos que os realizam, em virtude disso, estas duas aproximações não serão consideradas para a implementação do filtro desejado.

Conseqüentemente, resta comparar, apenas, os filtros Butterworth e Chebyshev tipo I. Então, para a escolha de um desses filtros, o critério utilizado será a ordem de cada um deles, considerando as especificações definidas. Intuitivamente, por saber-se que o Butterworth possui uma banda de transição mais larga, supõe-se que este apresentará a ordem mais alta.

Para confirmar esta suposição, foram realizados os cálculos com base nas expressões que designam as ordens mínimas de cada tipo de filtro.

A mínima ordem associada ao filtro do tipo Butterworth [58], capaz de atender as especificações estabelecidas, é dada pela expressão (4.1). Para as mesmas condições, a ordem mínima do filtro Chebyshev tipo I pode ser estimada a partir da expressão (4.2), Sendo o parâmetro α dado pela expressão (4.3). A representação $[x]$, está associada à função “teto” (*ceiling function*), e corresponde, por definição, ao menor número inteiro maior ou igual a x .

$$n_{\text{Butterworth}} = \left\lceil \frac{\log_{10}(\alpha)}{\log_{10}\left(\frac{f_S}{f_P}\right)} \right\rceil \quad (4.1)$$

$$n_{\text{Chebyshev}} = \left\lceil \frac{\cosh^{-1}(\alpha)}{\cosh^{-1}\left(\frac{f_S}{f_P}\right)} \right\rceil \quad (4.2)$$

$$\alpha = \sqrt{\frac{10^{0,1 \cdot A_{\min}} - 1}{10^{0,1 \cdot A_{\max}} - 1}} \quad (4.3)$$

Com base nas expressões (4.1) e (4.2), e utilizando os parâmetros mostrados na Tabela 4.1 conclui-se que o filtro Chebyshev consegue cumprir as especificações com uma aproximação de terceira ordem, enquanto que o filtro Butterworth não consegue alcançar os requisitos com ordem inferior a 4.

Embora a aproximação de Butterworth produza um filtro com banda de passagem maximamente plana, sua baixa seletividade (em comparação com o

Chebyshev) resulta em uma ordem de complexidade mais elevada. Assim, tendo como critério de escolha a simplicidade, optou-se pela utilização do filtro Chebyshev tipo I.

Definido o tipo de filtro a ser utilizado, pode-se calcular a função característica associada ao filtro Chebyshev tipo I de terceira ordem, que é descrita pela equação:

$$K(j\omega) = \varepsilon \cdot C_3(\omega) \quad (4.4)$$

, onde:

$$\varepsilon = \sqrt{10^{0,1 \cdot A_{MAX}} - 1} \quad (4.5)$$

e $C_3(\omega)$ é o polinômio de Chebyshev de terceira ordem, dado por:

$$C_3(\omega) = 4\omega^3 - 3\omega \quad (4.6)$$

Tendo em mãos a função característica $K(j\omega)$, pode-se calcular a função de transdução (ou atenuação) $H(j\omega)$, através da equação de Feldtkeller:

$$|H(j\omega)|^2 = 1 + |K(j\omega)|^2 \quad (4.7)$$

Para converter ao domínio da frequência complexa 's', usa-se a igualdade dada por:

$$s = j\omega \Rightarrow \omega = \frac{s}{j} = -js \quad (4.8)$$

Substituindo (4.4) em (4.7) e aplicando (4.8), chega-se a:

$$H(s)H(-s) = 1 + \varepsilon^2 \cdot C_3^2(-js) \quad (4.9)$$

Sabe-se que os zeros (ou raízes) da função $H(s)$ serão pólos da função de transferência ($T(s)$). Assim sendo, para se calcular a função de transdução a partir da expressão (4.9), deve-se escolher os zeros de $H(s)H(-s)$ que estejam situados no semi-

plano lateral esquerdo, posto que a função de transferência deve ser estável. Assim, para o sistema em estudo, os polos de $T(s)$ seguirão a forma dada por:

$$\begin{cases} p_1 = \frac{1}{2}\left(b - \frac{1}{b}\right) \\ p_2 = -\frac{1}{4}\left(a - \frac{1}{a}\right) + j\frac{\sqrt{3}}{2}\left(a + \frac{1}{a}\right) \\ p_3 = -\frac{1}{4}\left(a - \frac{1}{a}\right) - j\frac{\sqrt{3}}{2}\left(a + \frac{1}{a}\right) \end{cases} \quad (4.10)$$

Sendo que a e b são definidos por:

$$\begin{cases} a = \frac{\sqrt[3]{(\sqrt{\varepsilon} + 1)\varepsilon^2 + 1}}{\varepsilon} \\ b = \frac{\sqrt[3]{(\sqrt{\varepsilon} + 1)\varepsilon^2 - 1}}{\varepsilon} \end{cases} \quad (4.11)$$

Logo, a função de transferência para a frequência normalizada em ω_p pode ser escrita como:

$$T(s) = \frac{-p_1 p_2 p_3}{s^3 - s^2(p_1 + p_2 + p_3) + s(p_1 p_2 + p_1 p_3 + p_2 p_3) - p_1 p_2 p_3} \quad (4.12)$$

Com base no valor especificado para a atenuação mínima na faixa de rejeição, calculou-se a função de transferência com a frequência de corte normalizada, que é dada pela expressão:

$$T(s) = \frac{0,7157}{s^3 + 1,2529s^2 + 1,5349s + 0,7157} \quad (4.13)$$

A magnitude da função de transferência, com a frequência de corte normalizada, pode ser vista na Figura 4.3. É possível observar o *ripple* característico na banda de passagem, assim como a banda de rejeição plana. Ao calcular-se a magnitude em decibéis verifica-se o cumprimento do requisito imposto para o *ripple* na banda de passagem.

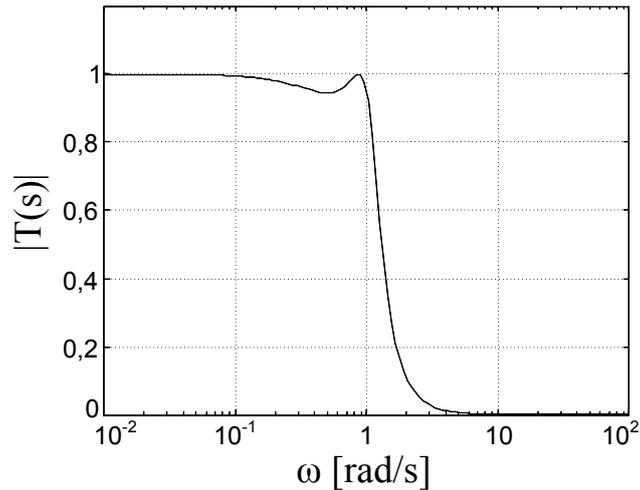


Figura 4.3: Magnitude da função de transferência calculada com frequência de corte normalizada.

Para desnormalizar a frequência, basta escalar os polos de acordo com o valor da frequência de corte desejada.

4.1.1.2 Síntese do Circuito

Calculada a função de transferência normalizada, é possível obter-se o protótipo passivo do circuito correspondente. Existem diversas topologias de redes que poderiam realizar essa função de transferência, sendo as mais conhecidas: a *Ladder* e a *Lattice*.

Uma das técnicas de síntese utiliza a expansão da função de transferência em frações parciais realizando o circuito correspondente através de seções ativas de segunda ordem biquadráticas (conhecidas como *biquads*) ou de primeira ordem associadas em cascata, chamadas de cascatas de *biquads*, sem passar pela síntese do protótipo passivo.

A síntese de circuitos é um processo bastante sistematizado, tendo sido exaustivamente estudado por muitos cientistas como Cauer e Darlington [58]. O método empregado no presente trabalho se baseia na sistemática desenvolvida por Cauer, e utiliza a função característica e a função de transdução, já calculadas, para se chegar à rede *Ladder* normalizada, com os valores dos respectivos componentes.

Para começar, reescreve-se a função característica $K(j\omega)$ no domínio 's', utilizando a mesma relação dada por (4.8), desconsiderando um fator multiplicativo imaginário, chegando-se a $K(s)$, com apenas coeficientes reais:

$$K(s) = 1,3972s^3 + 1,0479s \quad (4.14)$$

A função de transdução $H(s)$ foi reescrita normalizando-se o termo independente, resultando em:

$$H(s) = 1,3972s^3 + 1,75059s^2 + 2,1446s + 1 \quad (4.15)$$

Assumindo-se que os resistores de terminação R_G e R_L da rede passiva mostrada na Figura 4.4 sejam iguais e unitários, a expressão associada ao parâmetro de quadripólo $Z_{11}(s)$, lembrando que o filtro em questão é de terceira ordem, será dada por [59]:

$$Z_{11}(s) = \frac{H_e(s) - K_e(s)}{H_o(s) + K_o(s)} \quad (4.16)$$

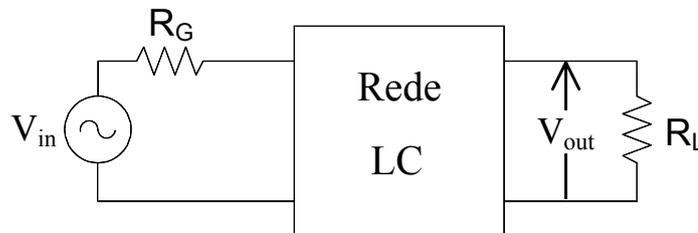


Figura 4.4: Diagrama geral da rede passiva duplamente terminada do filtro.

Onde $K_e(s)$ e $H_e(s)$, são os polinômios formados somente com os coeficientes de grau par e $K_o(s)$ e $H_o(s)$, com os coeficientes de grau ímpar do numerador das funções $K(s)$ e $H(s)$, respectivamente. Assim, substituindo o valor correspondente na expressão (4.16), chega-se a:

$$Z_{11}(s) = \frac{1,75062s^2 + 1}{2,79449s^3 + 3,19256s} \quad (4.17)$$

O procedimento para calcular os valores dos componentes consiste em “extrair” seus valores das imitâncias (impedâncias ou admitâncias) conforme o componente que se consiga realizar. No caso em análise, começa-se por extrair um capacitor em paralelo. Logo, o valor da capacitância será dado por:

$$C_1 = \frac{1}{s \cdot Z_{11}(s)} \Big|_{s \rightarrow \infty} \quad (4.18)$$

Em seguida, remove-se o valor da impedância do capacitor C_1 de $Z_{11}(s)$, conforme a expressão:

$$Y'(s) = \frac{1}{Z_{11}(s)} - s \cdot C_1 \quad (4.19)$$

Assim, o valor da indutância de L_2 será calculado por:

$$L_2 = \frac{1}{s \cdot Y'(s)} \Big|_{s \rightarrow \infty} \quad (4.20)$$

Novamente remove-se o valor da admitância de L_2 de $Y'(s)$, chegando-se à expressão:

$$Z''(s) = \frac{1}{Y'(s)} - s \cdot L_2 \quad (4.21)$$

O termo que resta é a admitância do capacitor C_3 , assim, o valor de sua capacitância pode ser obtido por (4.22).

$$C_3 = \frac{1}{s \cdot Z''(s)} \Big|_{s \rightarrow \infty} \quad (4.22)$$

A partir do procedimento descrito acima, obtém-se o protótipo passivo do circuito que realiza a função de transferência desejada, chegando-se a uma rede *Ladder* passiva com topologia em π e duplamente terminada, conforme o diagrama mostrado na Figura 4.5.

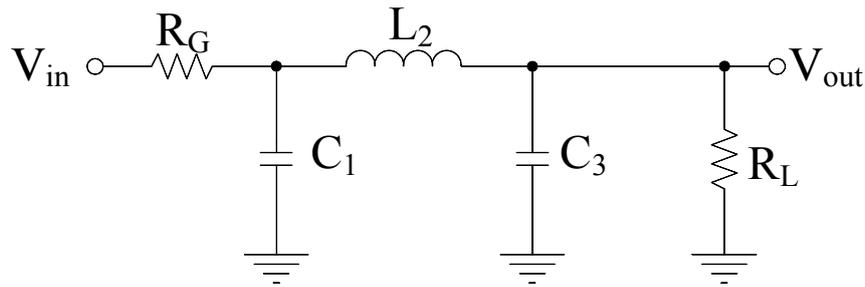


Figura 4.5: Diagrama esquemático do protótipo passivo que realiza a função de transferência desejada.

Os valores encontrados para os elementos da rede obtidos em (4.18), (4.20) e (4.22) estão resumidos na Tabela 4.3. Estes valores correspondem à rede com a frequência de corte e os resistores de terminação normalizados.

Tabela 4.3: Valores dos elementos do protótipo passivo, com a frequência de corte e os resistores de terminação normalizados.

Elemento	Valor
R_G	$1\ \Omega$
C_1	$1,6\ \text{F}$
L_2	$1,1\ \text{H}$
C_3	$1,6\ \text{F}$
R_L	$1\ \Omega$

Para desnormalizar a frequência do filtro, é necessário modificar os valores dos elementos sem alterar o valor de suas respectivas impedâncias, para não distorcer os ganhos previamente alcançados. Para isso, basta dividir o valor da indutância L_2 e das capacitâncias C_1 e C_3 pela frequência de corte desejada, não alterando o valor dos resistores de terminação. A Tabela 4.4 apresenta os valores dos elementos, considerando a frequência desnormalizada e com os resistores de terminação normalizados.

Tabela 4.4: Valores dos elementos do protótipo passivo, com frequência desnormalizada e resistores de terminação normalizados.

Elemento	Valor
R_G	1 Ω
C_1	16,94 μF
L_2	11,64 μH
C_3	16,94 μF
R_L	1 Ω

4.1.1.3 Realização do circuito

Embora a realização mais intuitiva para o filtro obtido, seja a própria rede *Ladder* projetada, baseada somente em elementos passivos (resistores, capacitores, indutores ou transformadores), na realidade dos circuitos integrados, existem inúmeros problemas, de ordem prática, que inviabilizam a utilização de tal abordagem.

Um destes problemas decorre do fato de que, para circuitos de baixas frequências, determinados componentes podem assumir valores proibitivamente altos, inviabilizando sua fabricação dentro do chip.

Indutores são componentes particularmente difíceis de serem implementados em circuitos integrados desenhados para operarem em baixa frequência. Por serem realizados de maneira planar com condutores em formato de espiras concêntricas, apresentam baixo fator de qualidade, apresentando componentes parasitas com valores que não podem ser desprezados, prejudicando, assim, a performance do circuito.

Mesmo que fosse possível desconsiderar os efeitos dos elementos parasitas, a fabricação de indutores de grande valor, comuns em circuitos de frequências mais baixas, nas tecnologias *CMOS* convencionais, resultaria em componentes que ocupariam uma área de silício muito ampla, sendo impraticável.

Outro obstáculo para a utilização das redes passivas para a realização de filtros integrados se deve aos erros aleatórios gerados pelo processo de fabricação, que já foram discutidos nos capítulos anteriores. Esses erros podem gerar desvios nos valores nominais dos componentes, produzindo distorções na resposta em frequência do filtro fabricado, o que pode resultar na violação das especificações estabelecidas.

Uma solução realista para a implementação do circuito, capaz de realizar o filtro desejado, baseia-se na utilização de elementos ativos combinados com os elementos passivos.

Embora esta alternativa implique em uma série de desvantagens, como o aumento do ruído, redução da linearidade, perda da excursão de sinal e aumento do consumo de potência, é uma opção factível e capaz de ser efetivada na grande maioria das tecnologias de integração disponíveis.

Há uma grande diversidade de técnicas para realização de circuitos analógicos ativos e contínuos no tempo a partir do protótipo passivo, sendo que as mais comumente utilizadas são: RC-Ativos, MOSFET-C e $Gm - C$.

Como o objetivo do filtro desenvolvido neste trabalho é, tão somente, ilustrar uma aplicação realista para o transcondutor, juntamente com a técnica de controle de modo comum, que está sendo proposta, optou-se por realizar o circuito sintetizando-o através de uma estrutura do tipo $Gm - C$, também chamada OTA-C.

Como o nome indica, estas estruturas são constituídas apenas por transcondutores (OTA) e capacitores (C). Os OTAs são dispositivos especialmente compatíveis com as tecnologias CMOS, uma vez que apresentam elevadas impedâncias de entrada e de saída, diferentemente dos amplificadores operacionais de tensão, utilizados em outras técnicas, que exigem saídas com baixas impedâncias, difíceis de serem realizadas nessas tecnologias.

Nos circuitos $Gm - C$, os amplificadores operacionais de transcondutância (OTAs) desempenham dois papéis fundamentais na substituição dos componentes mais problemáticos, podendo ser usados como resistores ou como giradores.

Os transcondutores podem ser utilizados como resistores suspensos, bastando conectá-los conforme o diagrama da Figura 4.6. Ligado dessa maneira, a resistência correspondente é dada pelo inverso do valor da transcondutância do OTA, conforme a seguinte expressão:

$$R = \frac{V_1}{I_1} = \frac{1}{G_m} \quad (4.23)$$

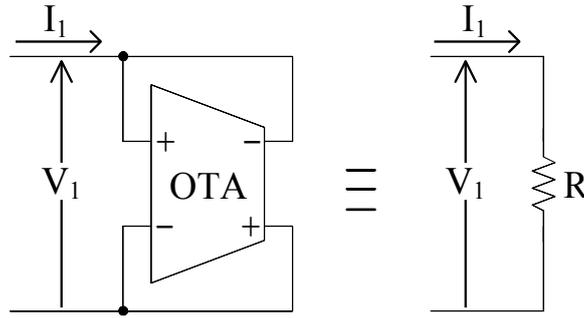


Figura 4.6: Diagrama esquemático do circuito do resistor em paralelo.

Usado como girador, é possível inverter uma impedância. Assim, com o auxílio de um girador é possível, por exemplo, simular o comportamento de uma impedância indutiva a partir de um capacitor.

Na Figura 4.7, mostra-se o esquemático de um girador composto por dois transdutores. Considerando-se o valor da transcondutância dos dois OTAs igual a G_m , a impedância de entrada do circuito será dada pela expressão (4.24), sendo que Z é uma impedância qualquer.

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{1}{Z \cdot G_m^2} \quad (4.24)$$

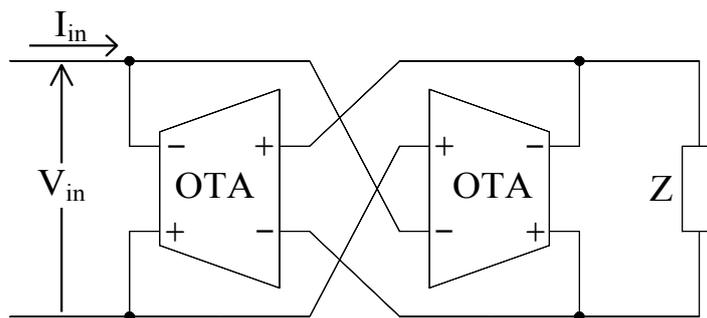


Figura 4.7: Diagrama esquemático do circuito girador implementado com transdutores diferenciais.

Para transformar o protótipo passivo, mostrado na Figura 4.5, em seu equivalente Gm-C é preciso fazer o equivalente *Norton* do sistema formado pelo resistor

R_G e a fonte de tensão V_{in} , resultando em uma entrada em corrente com o resistor em paralelo, bastando utilizar um transcondutor para converter a entrada de tensão para corrente.

O circuito diferencial ativo, equivalente ao protótipo passivo da Figura 4.5, implementado somente com transdutores e capacitores, pode ser visto na Figura 4.8. O transcondutor OTA_1 realiza a conversão tensão-corrente, que foi mencionada, resultando no equivalente *Norton* que substitui o resistor em série R_G pelo resistor em paralelo, implementado pelo OTA_2 . Os pares de transdutores (OTA_3, OTA_4) e (OTA_5, OTA_6) realizam dois giradores que convertem a impedância do capacitor designado por C_2 em uma impedância indutiva correspondente a L_2 . Já o OTA_7 implementa o resistor de terminação correspondente ao resistor R_L na rede passiva.

Assumindo que as transcondutâncias dos OTAs sejam unitárias, os valores dos capacitores serão os mesmos mostrados na Tabela 4.4.

4.1.2 ANÁLISE DA SENSIBILIDADE

Assim como foi feito com os transdutores no capítulo anterior, realizou-se uma análise de sensibilidade da função de transferência do circuito obtido.

Com base na estrutura do circuito Gm-C resultante, cujo circuito pode ser visto na Figura 4.8, calculou-se a respectiva função de transferência considerando as tensões de entrada e saída, seguindo a expressão dada por:

$$T(j\omega) = \frac{V_o(j\omega)}{V_{in}(j\omega)} = \frac{num(j\omega)}{den(j\omega)} \quad (4.25)$$

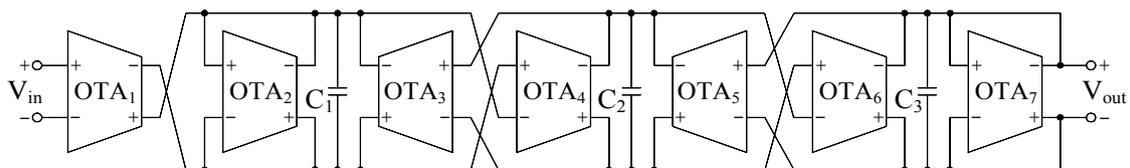


Figura 4.8: Diagrama esquemático do filtro Gm-C diferencial.
diferenciais.

Sendo o numerador $num(j\omega)$ dado por:

$$num(j\omega) = G_{m1}G_{m4}G_{m6} \quad (4.26)$$

Já o denominador é expresso por:

$$\begin{aligned} den(j\omega) = & -C_1C_2C_3j\omega^3 - C_2(C_1G_{m7} + C_3G_{m2})\omega^2 \\ & + (C_1G_{m5}G_{m6} + C_2G_{m2}G_{m7} + C_3G_{m3}G_{m4})j\omega \\ & + G_{m2}G_{m5}G_{m6} + G_{m3}G_{m4}G_{m7} \end{aligned} \quad (4.27)$$

, onde a transcondutância G_{mi} corresponde ao ganho do amplificador OTA_i que compõe o circuito da Figura 4.8.

A sensibilidade da função de transferência do circuito Gm-C com relação às transcondutâncias dos OTAs, sem considerar erros nas capacitâncias, é definida por:

$$S_{G_{mi}}^{T(j\omega)} = \frac{G_{mi}}{T(j\omega)} \frac{\partial T(j\omega)}{\partial G_{mi}} \quad (4.28)$$

Dessa forma, as sensibilidades da função de transferência com relação a cada uma das transcondutâncias são dadas por (4.29):

$$\left\{ \begin{aligned} S_{G_{m2}}^{T(j\omega)} &= G_m \frac{C_2C_3\omega^2 - C_2G_mj\omega - G_m^2}{den(j\omega)} \\ S_{G_{m3}}^{T(j\omega)} &= -G_m \frac{C_3G_mj\omega + G_m^2}{den(j\omega)} \\ S_{G_{m4}}^{T(j\omega)} &= 1 - G_m \frac{C_3G_mj\omega + G_m^2}{den(j\omega)} \\ S_{G_{m5}}^{T(j\omega)} &= -G_m \frac{C_1G_mj\omega + G_m^2}{den(j\omega)} \\ S_{G_{m6}}^{T(j\omega)} &= 1 - G_m \frac{C_1G_mj\omega + G_m^2}{den(j\omega)} \\ S_{G_{m7}}^{T(j\omega)} &= G_m \frac{C_1C_2\omega^2 - C_2G_mj\omega - G_m^2}{den(j\omega)} \end{aligned} \right. \quad (4.29)$$

A sensibilidade em relação à G_{m1} não foi considerada, pois o OTA_1 atua somente como um conversor tensão-corrente associado a um fator de ganho no filtro, não apresentando correspondência com o protótipo passivo e não causando deformação na resposta em frequência.

Considerando-se as identidades mostradas a seguir:

$$\left\{ \begin{array}{l} \frac{\partial \ln(T(j\omega))}{\partial G_{mi}} = \frac{1}{T(j\omega)} \cdot \frac{\partial T(j\omega)}{\partial G_{mi}} \\ \frac{\partial \ln(G_{mi})}{\partial G_{mi}} = \frac{1}{G_{mi}} \end{array} \right. \quad (4.30)$$

Constata-se que é possível escrever a sensibilidade $T(j\omega)$ de acordo com:

$$S_{G_{mi}}^{T(j\omega)} = \frac{\partial \ln(T(j\omega))}{\partial \ln(G_{mi})} \quad (4.31)$$

A partir da notação fasorial, pode-se expressar a mesma sensibilidade em função da magnitude e da fase da função de transferência ($|T(j\omega)|$ e $\angle T(j\omega)$) respectivamente:

$$S_{G_{mi}}^{T(j\omega)} = \frac{\partial \ln(|T(j\omega)|)}{\partial \ln(G_{mi})} + j \frac{\partial \angle T(j\omega)}{\partial \ln(G_{mi})} \quad (4.32)$$

Dessa forma, é possível chegar-se à igualdade:

$$S_{G_{mi}}^{|T(j\omega)|} = \mathcal{R}e \left\{ S_{G_{mi}}^{T(j\omega)} \right\} = \frac{G_{mi}}{|T(j\omega)|} \frac{\partial |T(j\omega)|}{\partial G_{mi}} \quad (4.33)$$

Assim sendo, é possível dizer que dada a variação da transcondutância ΔG_{mi} a variação da magnitude da função de transferência pode ser expressa por:

$$\Delta \ln(|T(j\omega)|) = S_{|T(j\omega)|}^{G_{mi}} \frac{\Delta G_{mi}}{G_{mi}} \quad (4.34)$$

O valor da variação da magnitude da função de transferência, dada em decibéis, é expresso conforme:

$$\Delta|T(j\omega)|_{dB} = \frac{20}{\ln(10)} \mathcal{Re} \left\{ S_{G_{mi}}^{T(j\omega)} \right\} \frac{\Delta G_{mi}}{G_{mi}} \quad (4.35)$$

Considerando-se que as variações de transcondutância de cada OTA estejam relacionadas com um processo estocástico, pode-se dizer que:

$$\overline{\left(\frac{\Delta G_{mi}}{G_{mi}} \right)^2} = \hat{\sigma}_{G_m}^2, \text{ para } i = 2, 3, \dots, 7. \quad (4.36)$$

Logo, o desvio padrão da magnitude da resposta em frequência do filtro Gm-C, pode ser expresso por:

$$\sigma_{|T(j\omega)|_{dB}} = \hat{\sigma}_{G_m} \frac{20}{\ln(10)} \sqrt{\sum_{i=2}^7 \left(\mathcal{Re} \left\{ S_{G_{mi}}^{T(j\omega)} \right\} \right)^2} \quad (4.37)$$

Estabeleceu-se que o desvio padrão para a magnitude não deve ultrapassar 5%. Logo, o valor do máximo desvio relativo admissível para a magnitude é dado por (4.38).

$$\frac{\sigma_{|T(j\omega)|}}{|T_{Nom}(j\omega)|} \leq 5 \% \quad (4.38)$$

Conseqüentemente, o desvio total da magnitude, em função da magnitude nominal, dado em decibéis pode ser representado da forma (4.39).

$$\sigma_{|T(j\omega)|_{dB}} \leq |T_{Nom}(j\omega)|_{dB} + 20 \log_{10}(0,05) \quad (4.39)$$

Sendo assim, a máxima tolerância para as transcondutâncias pode ser estimada através da expressão (4.40).

$$\hat{\sigma}_{G_m} \leq 5 \cdot \ln(10) \frac{|T_{Nom}(j\omega)|_{dB} + 20 \log_{10}(0,05)}{\sqrt{\sum_{i=2}^7 \left(\mathcal{Re} \left\{ S_{T(j\omega)}^{G_{mi}} \right\} \right)^2}} [\%] \quad (4.40)$$

Cabe salientar que, mesmo desconsiderando os erros em G_{m1} , o critério de projeto utilizado é bastante restritivo, pois leva em consideração desvios no ganho DC do filtro, penalizando, assim os requisitos obtidos.

Na Figura 4.9, mostra-se a máxima tolerância admitida para a transcondutância (4.40) em uma determinada faixa de frequência angular (ω), e para um erro máximo de 5% na magnitude nominal $|T_{Nom}(j\omega)|_{dB}$. Para se determinar esta tolerância, utilizaram-se as sensibilidades calculadas em (4.29).

Para uma abordagem mais conservadora, o valor da tolerância deveria corresponder ao mínimo valor de $\hat{\sigma}_{G_m}$ no gráfico da Figura 4.9, que resultaria em aproximadamente 1,75%. Porém, este ponto de mínimo corresponde a um valor acima da frequência de corte, dentro da banda de transição, logo a magnitude nominal já está bastante atenuada, sendo pouco relevante seu erro absoluto.

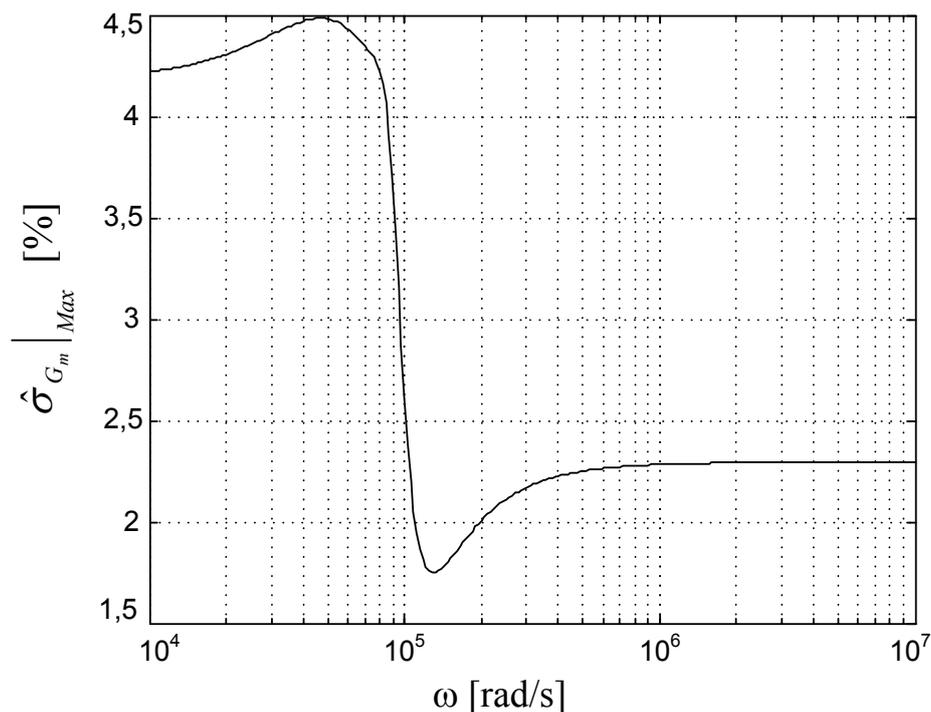


Figura 4.9: Varredura em frequência da tolerância máxima para a transcondutância dos OTAs, considerando um erro admissível de 5% na magnitude.

Numa estimativa mais realista, optou-se por avaliar essa tolerância considerando apenas o limiar da banda de passagem, onde a atenuação é mínima, logo, o erro absoluto é mais significativo. Assim, assumindo-se o valor da tolerância máxima ($\hat{\sigma}_{G_m} |_{MAX}$)

associada à frequência ω , para a qual a magnitude da resposta em frequência nominal ($|T_{Nom}(j\omega)|_{dB}$) se encontra 3 dB abaixo de seu valor DC, obtém-se uma tolerância de aproximadamente 2,1%.

Considerando-se esta tolerância máxima estimada, verifica-se que o módulo da resposta em frequência com base na função de transferência e nas sensibilidades, especialmente para frequências da banda de passagem do filtro, não viola os limites estabelecidos, como é possível observar na Figura 4.10. Já para frequências dentro da banda de transição, a atenuação da magnitude torna desprezível qualquer possível desvio que extrapole os limites dados. Consta-se ainda que o limite de 5% no erro só é atingido com duas vezes a tolerância ($T_{2 \times Tolerância}$), isto significa que o limite ($\sigma_{|T(j\omega)|_{dB}} = 5\%$) corresponde à dois desvios padrão ($\hat{\sigma}_{G_m} = 2,1\%$)

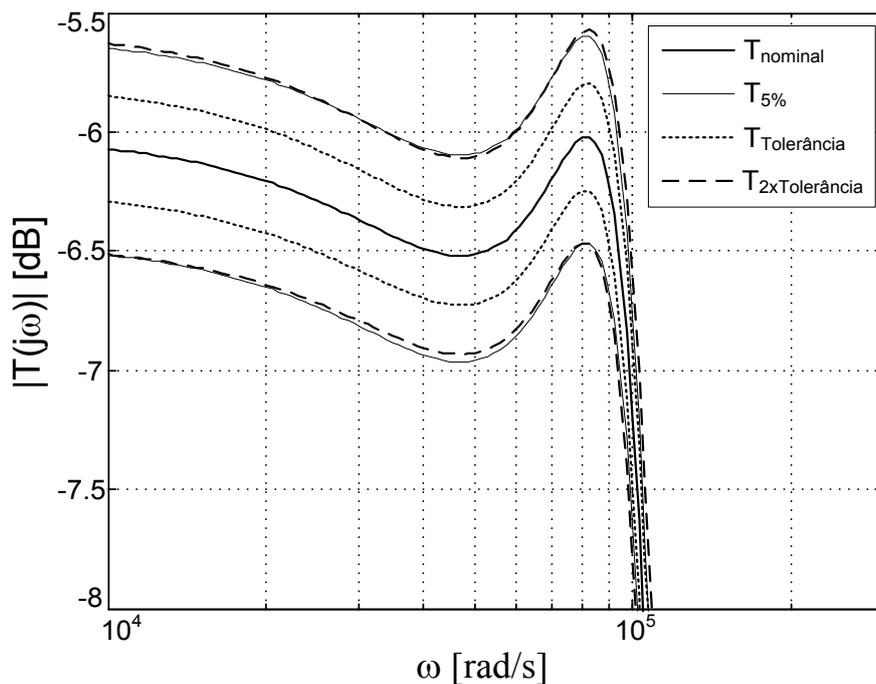


Figura 4.10: Detalhe da magnitude da resposta em frequência na banda de passagem, para o limite máximo desejado de 5% e para a tolerância estipulada para a transcondutância de 2,1%.

Para melhor visualizar este resultado, realizou-se uma simulação de Monte-Carlo com cem rodadas, onde a transcondutância G_m de cada OTA (exceto do OTA_1) foi considerada como sendo uma variável aleatória independente, apresentando

distribuição normal (ou Gaussiana), com média unitária e com o desvio padrão normalizado igual àquele calculado ($\sigma_{G_m} = 2,1\%$). Já a transcondutância G_{m1} foi considerada constante e igual a um.

No gráfico apresentado na Figura 4.11, observa-se que o desvio padrão da família de curvas obtidas na simulação de Monte-Carlo ($T_{Monte Carlo}$) se situa, conforme o esperado, dentro da faixa de restrição estipulada. Também é possível observar-se que os valores máximos e mínimos obtidos para a magnitude da função de transferência extrapolam ligeiramente a tolerância definida.

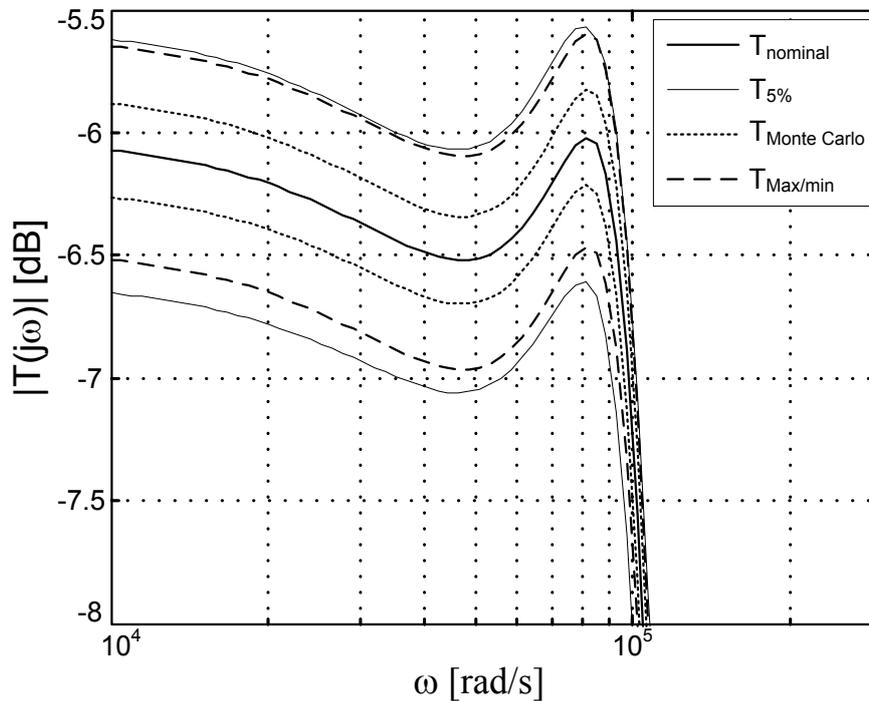


Figura 4.11: Detalhe da magnitude da resposta em frequência na banda de passagem com a faixa estipulada de 5% e os desvios padrão resultantes da simulação de Monte-Carlo.

Cabe comentar que a adoção de uma tolerância, para as transcondutâncias, igual a dois desvios padrão (σ) é uma abordagem bastante satisfatória, embora menos conservadora. É usual adotar-se três desvios padrão para as tolerâncias, porém, com dois σ consegue-se que cerca de 95,45% da população de resultados atendam a restrição estipulada.

Por outro lado, estas simulações consideram que as transcondutâncias dos amplificadores são variáveis aleatórias completamente independentes, quando, na

realidade, há um certo grau de correlação entre as mesma. Portanto, a abordagem mais conservadora é demasiadamente pessimista, e resultaria na imposição de restrições demasiadamente severas para o dimensionamento dos componentes desse projeto.

Capítulo 5

PROJETO E LAYOUTS

Com base em tudo que foi exposto sobre as duas estruturas de entrada com cancelamento de corrente e sobre o filtro $Gm - C$ apresentado nos Capítulos Capítulo 3 e Capítulo 4, optou-se pela estrutura de transcondutor com o estágio de entrada sem resistor de degeneração de fonte.

Os projetos das estruturas serão desenvolvidos para uma tecnologia CMOS de $0,35 \mu m$ com poço n , quatro camadas de metais e duas camadas de silício policristalino, cujos parâmetros dos transistores, fornecidos pelo fabricante e extraídos por simulações, são mostrados na Tabela 5.1.

Tabela 5.1: Parâmetros dos transistores na tecnologia utilizada para este trabalho.

Parâmetro	Valor (pMOS)	Valor (nMOS)
K_P	$64 \mu A/V^2$	$178,1 \mu A/V^2$
V_{T0}	$0,71 V$	$0,49 V$
n	$1,14$	$1,32 V$

Pretende-se alimentar o circuito com uma tensão (V_{dd}) de $2,5V$, e deseja-se que a tensão de modo comum (V_{CM}) na saída seja de $1,25V$.

5.1 PROJETO DO TRANSCONDUTOR

Tendo em mente as definições da faixa de frequências de operação do filtro, foram estabelecidas as especificações para o OTA, mostradas na Tabela 5.2. Com uma variação no valor da transcondutância de cerca de quatro vezes, é possível compensar as eventuais variações dos parâmetros de processo.

Com a transcondutância reduzida, podem-se utilizar capacitores menores (na ordem de poucos pico farads). Porém, como as capacitâncias e a frequência são pequenas, a impedância de saída do transcondutor deve ser elevada.

Tabela 5.2: Especificações do transcondutor a ser projetado.

Especificação	Valor
$G_{m_{MAX}}$	400 nA/V
$G_{m_{min}}$	≤ 100 nA/V
R_{out}	5 G Ω

5.1.1 ATENUADORES PSEUDO-DIFERENCIAIS

Como se comentou no capítulo Capítulo 2, a utilização dos atenuadores no estágio de entrada é uma alternativa para aumentar a excursão de sinal e, principalmente, a linearidade do circuito. A atenuação do sinal de entrada também resulta na redução da transcondutância de um amplificador. Essas características são muito adequadas para o transcondutor desenvolvido neste trabalho.

Para realizar a atenuação da tensão de entrada, optou-se pelo emprego de atenuadores ativos, pseudo-diferenciais [25]-[28].

O circuito mostrado na Figura 5.1 é projetado de tal modo que o transistor M1 opere em saturação, enquanto o transistor M2 se encontre na região ôhmica. Assim, com base nas definições do modelo EKV, o sistema de equações que descreve o funcionamento do atenuador pseudo-diferencial é dado por (5.1).

$$\begin{cases} I_{M1} = I_d = \frac{\beta_1}{2n} (V_{in} - V_{T0} - nV_{out})^2 \\ I_{M2} = I_d = \beta_2 V_{out} \left(V_{in} - V_{T0} - \frac{n}{2} V_{out} \right) \end{cases} \quad (5.1)$$

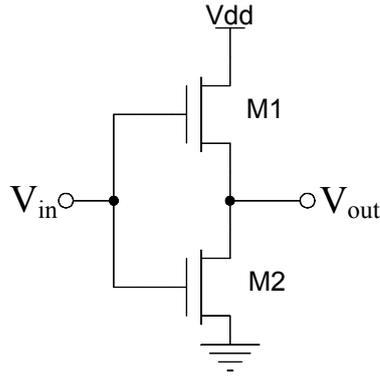


Figura 5.1: Diagrama esquemático do atenuador ativo pseudo-diferencial.

Resolvendo-se o sistema de equações acima, é possível calcular a relação entre as tensões de saída e entrada, dada por:

$$V_{out} = \left(1 - \sqrt{\frac{\beta_2}{\beta_1 + \beta_2}} \right) \frac{(V_{in} - V_{T0})}{n} \quad (5.2)$$

Também é possível a obtenção da relação que vincula a corrente que circula através dos transistores (I_d) e a tensão de entrada, designada pela expressão:

$$I_d = I_{M1} = I_{M2} = \frac{\beta_1 \beta_2}{2n(\beta_1 + \beta_2)} (V_{CM} - V_{T0})^2 \quad (5.3)$$

De posse dessa expressão e conhecendo-se o valor da tensão de alimentação positiva do circuito (V_{dd}) é possível realizar uma estimativa da corrente quiescente consumida por este circuito.

A excursão de sinal de entrada é calculada considerando-se o limite para que os transistores operem em inversão forte, e que cada transistor se situe na região definida, ou seja, M1 na região de saturação e M2 na região ôhmica. Considerando-se essas restrições, conclui-se que a tensão V_{in} deve se situar no intervalo dado por.

$$V_{T0} < V_{in} < nV_{dd} + V_{T0} \quad (5.4)$$

Atenuar a tensão de entrada pode parecer uma excelente solução para a obtenção de circuitos com grande linearidade e ampla excursão de sinal. Em virtude disso, o projetista pode se ver tentado a utilizar fatores de atenuação muito elevados. Mas é preciso estabelecer um limite prático para a atenuação utilizada, uma vez que uma atenuação muito grande, além de prejudicar a relação sinal ruído efetiva no estágio de entrada, também pode contribuir de maneira decisiva para a produção de *offset* na saída, decorrente de descasamentos.

Assim sendo, com base nas simulações preliminares apresentadas na Seção 3.3, concluiu-se que uma atenuação entre 3 e 5 vezes seria suficientemente pequena para atender às necessidades de excursão de sinal, sem produzir efeitos muito prejudiciais sobre o desempenho do circuito.

Observou-se que ao se utilizarem os transistores M1 e M2 com as mesmas dimensões, além de favorecer o emparelhamento dos mesmos, também se consegue uma atenuação, considerando-se os parâmetros para o transistor *n*MOS mostrados na Tabela 5.1, de aproximadamente 4,5 vezes, que está dentro do intervalo desejado. Nesse caso, a relação entre os fatores de transferências dos transistores é dada por (5.5).

$$\beta_1 = \beta_2 \quad (5.5)$$

Para definir a razão de aspecto dos transistores do atenuador, fixou-se um limite para a corrente quiescente deste circuito. O valor limite desta corrente foi arbitrado em cerca de $I_Q = 3,5 \mu A$. Assim, com base na expressão (5.3), considerando-se a igualdade (5.5), pode-se escrever a razão de aspecto do transistor de acordo com a expressão (5.6).

$$\frac{W}{L} = \frac{4nI_Q}{K_P(V_{CM} - V_{T0})^2} \quad (5.6)$$

Considerando-se os valores estabelecidos para V_{CM} e I_Q e com base nos parâmetros para o transistor *n*MOS, mostrados na Tabela 5.1, o valor da razão de aspecto dos transistores é dado por:

$$\frac{W}{L} \cong 0,18 \quad (5.7)$$

Por meio de simulações computacionais, baseada em modelos mais avançados, definiu-se que, a fim de que a resposta em frequência dos atenuadores fosse compatível com a faixa de operação do filtro e de que as dimensões de seus transistores fossem suficientemente grandes de modo a torna-los menos susceptível ao descasamento, os transistores deveriam ter canais com comprimento (L) de $20 \mu m$. Assim, a partir de (5.7), é possível estimar que o valor da largura do canal (W) destes transistores seja de, aproximadamente, $3,6 \mu m$.

5.1.2 PARES DIFERENCIAIS

Uma vez definido o fator de atenuação dos atenuadores, e visando o atendimento das especificações estabelecidas para as transcondutâncias mínima e máxima, mostradas na Tabela 5.2, pode-se iniciar o projeto dos transistores do estágio de entrada.

Entre as duas alternativas mostradas no Capítulo Capítulo 3 para estágio de entrada com cancelamento de corrente, neste projeto optou-se por utilizar aquela sem degeneração de fonte, abordada na seção 3.2. Optou-se por esta estrutura por ter implementação mais simples. A complicação da outra estrutura reside, principalmente, na dificuldade da implementação do resistor de degeneração de fonte.

Na Figura 5.2 pode-se ver o diagrama esquemático do estágio de entrada do transconductor a ser dimensionado com base nas especificações dadas.

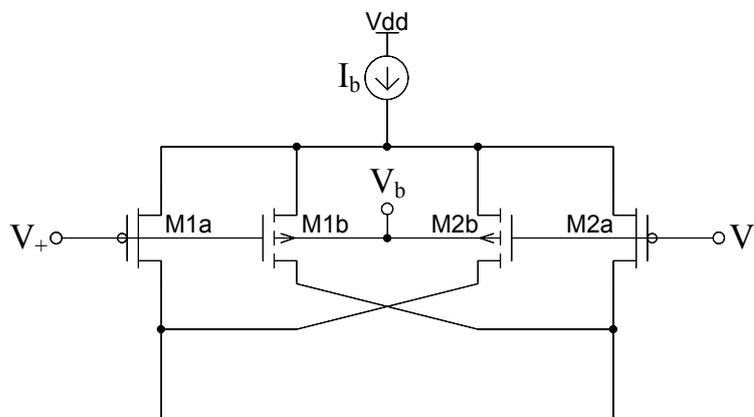


Figura 5.2: Diagrama esquemático do circuito que compõe o estágio de entrada do transconductor.

No capítulo Capítulo 3 foram realizadas análises visando avaliar os efeitos do descasamento dos transistores do estágio de entrada do OTA, sobre a transcondutância do mesmo. Serão utilizados os resultados destas análises como um dos critérios para o dimensionamento dos transistores deste estágio.

Conforme mostrado na seção 3.2.1, a relação entre o desvio padrão ($\hat{\sigma}_{G_m}$) associado à transcondutância do estágio de entrada e os desvios padrão da transcondutância devido ao fator de transferência ($\hat{\sigma}_{Gm\beta}$) e à tensão de limiar ($\hat{\sigma}_{GmV_{T0}}$), pode ser calculada de acordo com a expressão (5.8).

$$\hat{\sigma}_{G_m} = \sqrt{(\hat{\sigma}_{Gm\beta})^2 + (\hat{\sigma}_{GmV_{T0}})^2} \quad (5.8)$$

Substituindo-se as expressões de $\hat{\sigma}_{Gm\beta}$ e $\hat{\sigma}_{GmV_{T0}}$, também calculadas na seção 3.2.1, na equação (5.8), obtém-se a relação dada por (5.9).

$$\hat{\sigma}_{G_m} = \frac{1}{G_m} \sqrt{\frac{\beta I_b}{8n} \hat{\sigma}_\beta^2 + \frac{V_{T0}^2 \beta^2}{4n^2} \hat{\sigma}_{V_{T0}}^2} \quad (5.9)$$

Com base nas expressões de $\hat{\sigma}_{G_m}$, (5.9), e de G_m , (3.37), e utilizando-se as definições de β , (3.5), $\hat{\sigma}_{V_{T0}}$, (3.18) e $\hat{\sigma}_\beta$, (3.19), é possível calcular-se as equações que definem o comprimento e a largura dos transistores dos do estágio de entrada, chegando-se respectivamente às expressões:

$$\begin{cases} L = \frac{\sqrt{K_P(n-1)nV_b(4G_m A_{V_{T0}}^2 V_{T0}^2 + (n-1)V_b I_b A_\beta^2)}}{4G_m(n-1)nV_b \hat{\sigma}_{G_m}} \\ W = \frac{\sqrt{K_P(n-1)nV_b(4G_m A_{V_{T0}}^2 V_{T0}^2 + (n-1)V_b I_b A_\beta^2)}}{2K_P(n-1)^2 V_b^2 \hat{\sigma}_{G_m}} \end{cases} \quad (5.10)$$

Na seção 4.1.2, do capítulo anterior, concluiu-se que, para que o perfil da magnitude da resposta em frequência do filtro atenda à especificação imposta, é preciso

que o desvio padrão da transcondutância ($\hat{\sigma}_{G_m}$) não supere o valor de 2,1 %. Assim sendo, o valor escolhido para esse parâmetro foi de 2,0%.

Quanto ao valor de G_m , assume-se como base o valor mínimo, mostrado na Tabela 5.2, por ser este o mais crítico do ponto de vista da expressão (5.9). Sendo assim, o valor da transcondutância de saída do OTA, adotado para este projeto, deve ser igual a 100 nA/V . Contudo, como no projeto anterior obteve-se um atenuador cujo ganho está na faixa de 0,22, ou seja, atenuação de aproximadamente 4,5 vezes, é preciso projetar o estágio de entrada para que sua transcondutância nominal seja de cerca de 450 nA/V . Com o intuito de aumentar um pouco a margem de segurança, considerando eventuais erros nos parâmetros extraídos, o projeto será realizado considerando-se que a transcondutância mínima seja 5,0% menor, ou seja, o valor de G_m que se utilizará será de $427,5 \text{ nA/V}$.

Assim, como foi feito com o projeto dos atenuadores, a corrente também será arbitrada tendo em vista o baixo consumo de potência. Logo, para polarizar os pares diferenciais de entrada, foi escolhida uma corrente (I_b) de $4 \mu\text{A}$.

Para assegurar que o poço, dentro do qual estão construídos os transistores M1b e M2b, permaneça reversamente polarizado, estabelece-se que o valor máximo da tensão de polarização V_b seja igual a $1,2 \text{ V}$. Este valor de V_b máximo está associado à máxima transcondutância do OTA. Com isso em mente, conhecendo-se a relação entre V_b e G_m , (3.37), e os valores máximo e mínimo para a transcondutância (Tabela 5.2), estima-se que o valor da tensão de polarização V_b que correspondente à mínima transcondutância é de $0,3 \text{ V}$.

Tendo os valores de $\hat{\sigma}_{G_m}$, G_m , I_b e V_b definidos, conhecendo-se os parâmetros mostrados na Tabela 5.1 e os valores de $A_{V_{T0}}$ e A_{K_P} (Tabela 5.3) para o transistor $p\text{MOS}$, através das expressões (5.10), chega-se aos valores aproximados para o comprimento (L) e a largura (W) dos transistores do estágio de entrada do OTA:

$$\begin{cases} L = 20,9 \mu\text{m} \\ W = 7,6 \mu\text{m} \end{cases}$$

Tabela 5.3: Parâmetros estatísticos dos transistores.

Parâmetro	Valor (pMOS)	Valor (nMOS)
A_{K_P}	0,4 % μm	0,2 % μm
$A_{V_{T_0}}$	2,1 % μm	1,7% μm

5.1.3 ESTÁGIO DE SAÍDA

Visando ao melhor aproveitamento da excursão de sinal e com o intuito de se obter uma maior faixa dinâmica, decidiu-se que o OTA desenvolvido neste trabalho deveria ter saídas balanceadas. Entre as diversas topologias possíveis para o estágio de saída diferencial de um transcondutor em tecnologia MOS, aquela que pareceu mais vantajosa do ponto de vista do compromisso entre complexidade e *performance*, especialmente no que se refere à impedância de saída, é a conhecida como cascode dobrado (*folded cascode*) [60].

Apesar de esta topologia requerer uma fonte de polarização extra para os espelhos nMOS e outra para os pMOS, ela apresenta boa capacidade de excursão de sinal com uma impedância de saída relativamente elevada, o que é desejado.

Como se pretende implementar um OTA de baixa transcondutância, é importante que sua impedância de saída seja suficientemente elevada, de tal forma que, uma vez ligado em malha fechada, sua impedância de saída não compita com sua própria transcondutância.

Além disso, como o OTA em questão se destina a realizar um filtro Gm-C, deve-se tomar cuidado para que a impedância na saída do transcondutor não interfira na impedância dos capacitores do filtro, prejudicando a resposta em frequência do mesmo.

Dessa forma, assumindo-se que o valor de G_m seja da ordem de centenas de nA/V e considerando que a frequência mínima de operação é de 1 kHz, a impedância dos capacitores do filtro estará por volta de centenas de $M\Omega$. Isto posto, admite-se que, para o devido funcionamento do filtro, a resistência de saída do OTA supere em uma década a impedância dos capacitores, na menor frequência de trabalho. Com base nisso, estipulou-se que o estágio de saída do transcondutor deveria ser projetado de modo que sua resistência de saída fosse igual ou superior a 5 $G\Omega$.

Para desenvolver este projeto, diferentemente do que se fez até aqui, será utilizado um modelo SPICE de nível 3 [60]-[61] para os transistores, pois a proposta de usar o EKV foi principalmente para modelar de forma mais eficiente os efeitos da tensão corpo do transistor MOS, o que não é essencial nesse caso. Sendo assim, a equação que descreve a corrente de dreno do transistor operando na saturação em inversão forte, é dada por:

$$I_D = \frac{K_P W (V_{GS} - V_{T0})^2}{2Ln}, \text{ para } V_{DS} \geq V_{Sat} \quad (5.11)$$

Onde a tensão de saturação (V_{Sat}) entre dreno e fonte é definida como:

$$V_{Sat} = \frac{V_{GS} - V_T}{n} \quad (5.12)$$

Um dos motivos para se utilizar este modelo de nível 3 reside no fato do mesmo apresentar uma relação explícita para a corrente de dreno em função da tensão entre porta e fonte (V_{GS}), diferentemente do modelo EKV, aplicado nas outras análises. E mesmo desprezando-se alguns fenômenos compreendidos pelo modelo, como o efeito de modulação do comprimento ou da largura do canal, o efeito de corpo e a modulação de mobilidade, na análise desenvolvida neste projeto; ainda assim, o modelo escolhido se mostrou suficientemente preciso.

Os parâmetros K_P e V_{T0} correspondem àqueles mostrados na Tabela 5.1. Já o parâmetro n , pode ser considerado constante para pequenas variações da tensão de substrato do transistor.

Como critério de projeto, admite-se que todos os transistores da Figura 5.3 sejam dimensionados para que operem com a mesma diferença das tensões $V_{GS} - V_{T0n}$, que será chamada simplesmente de ΔV_{GS} .

Inicia-se esta análise pelo circuito que corresponde à metade inferior de um dos ramos do estágio de saída do transcondutor formado por um espelho de corrente n MOS, tipo cascode, semelhante ao composto pelos transistores Mnb1 e Mnb2 da Figura 5.3.

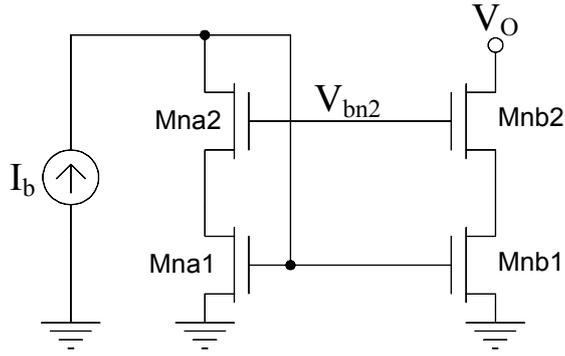


Figura 5.3: Diagrama esquemático do circuito de um espelho de corrente n MOS, do tipo cascode.

Antes de analisar o estágio de saída propriamente, verificam-se os limites para tensão V_{bn2} , que asseguram que os transistores de polarização (Mna1 e Mna2) operem em saturação. Para tanto, deve-se garantir que a tensão entre fonte e dreno dos mesmos sejam superiores ao valor de V_{Sat} (5.12). Considerando o parâmetro ΔV_{GS} , chega-se a:

$$\begin{cases} V_{SDMna1} \geq \frac{\Delta V_{GS}}{n} \\ V_{SDMna2} \geq \frac{\Delta V_{GS}}{n} \end{cases} \quad (5.13)$$

Porém, observando-se o circuito, verifica-se que:

$$\begin{cases} V_{bn1} = \Delta V_{GS} + V_{T0n} \\ V_{bn2} = V_{DSMna1} + \Delta V_{GS} + V_{T0n} \end{cases} \quad (5.14)$$

onde V_{T0n} é a tensão de limiar (V_{T0}) para o transistor n MOS.

Sabe-se que o potencial V_{bn1} também pode ser escrito como:

$$V_{bn1} = V_{SDMna1} + V_{SDMna2} \quad (5.15)$$

Assim, substituindo-se o valor de V_{bn1} , dado por (5.15), no sistema (5.14), explicitando-se as tensões V_{DSMpa1} e V_{DSMpa2} e substituindo-as nas desigualdades de (5.13), conclui-se que a tensão V_{bn2} tem que ser tal que satisfaça às inequações:

$$V_{T0n} + \left(\frac{1+n}{n}\right)\Delta V_{GS} \leq V_{bn2} \leq 2V_{T0n} + 2\left(\frac{1}{n}\right)\Delta V_{GS} \quad (5.16)$$

Define-se então que a tensão de polarização V_{bn2} se encontre no meio da faixa definida pelos limites mostrados em (5.16). Logo, fazendo-se a média dos dois extremos, chega-se a:

$$V_{bn2} = \frac{3}{2}(\Delta V_{GS} + V_{T0n}) \quad (5.17)$$

Tendo-se definido o valor de V_{bn2} (5.17), passa-se a analisar os transistores do estágio de saída, Mnb1 e Mnb2, de onde é possível concluir-se que:

$$V_o = V_{DSMnb1} + V_{DSMnb2} \quad (5.18)$$

No entanto, verifica-se que a tensão V_{DSMnb1} é dada por:

$$V_{DSMnb1} = V_{bn2} - \Delta V_{GS} - V_{T0n} \quad (5.19)$$

Como critério para o projeto deste estágio, utiliza-se a condição de mínima tensão de saída que está associada à mínima tensão V_{SDMnb2} , sabendo-se que V_{SDMnb1} já está definida em (5.19). Com base neste critério, adota-se V_{SDMnb2} dada pelo limite inferior estabelecido pela condição de operação em saturação, dado por:

$$V_{SDMnb2} = \frac{\Delta V_{GS}}{n} \quad (5.20)$$

Dessa forma, substituindo-se as expressões (5.17), (5.19) e (5.20) em (5.18) e reorganizando-se o resultado chega-se a:

$$\Delta V_{GS} = \left(\frac{n}{2+n}\right)(2V_o - V_{T0n}) \quad (5.21)$$

Aplicando a expressão (5.21) em (5.17), pode-se definir a tensão de polarização V_{bn2} em função da excursão de sinal de saída desejada, conforme:

$$V_{bn2} = \frac{3(nV_o + V_{T0n})}{2 + n} \quad (5.22)$$

De maneira análoga, esta análise foi realizada para o circuito p MOS correspondente (Figura 5.4). Porém, como os referenciais são diferentes há a necessidade de efetuar pequenas modificações nas expressões, que passam a ser:

$$\Delta V_{GS} = \left(\frac{n}{2 + n}\right) (2(V_{dd} - V_o) - V_{T0p}) \quad (5.23)$$

$$V_{bp2} = V_{dd} - \frac{3(n(V_{dd} - V_o) + V_{T0p})}{2 + n} \quad (5.24)$$

sendo V_{T0p} o valor da tensão de limiar (V_{T0}) para o transistor p MOS.

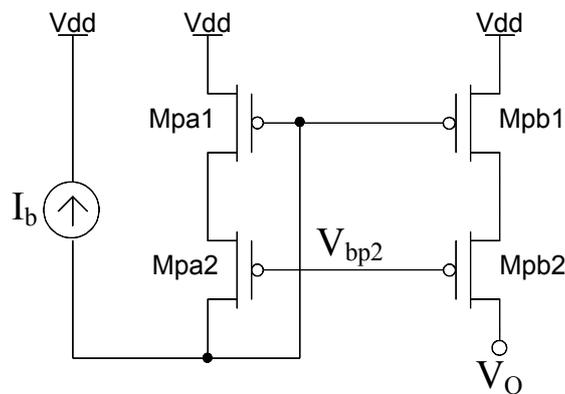


Figura 5.4: Diagrama esquemático do circuito de um espelho de corrente p MOS, do tipo cascode.

Com as expressões obtidas até este ponto, é possível definir-se os valores das tensões de polarização: V_{bp2} e V_{bn2} , bem como os limites superior (5.21) e inferior (5.24), para a excursão do sinal de saída V_o , em função do parâmetro ΔV_{GS} .

No entanto, para assegurar que todos os transistores operem em inversão forte, é preciso garantir que o parâmetro ΔV_{GS} seja muito maior que a tensão térmica φ_t , que é dada por:

$$\varphi_t = \frac{K_B T}{q} \quad (5.25)$$

Onde K_B é a constante de Boltzman, T é a temperatura em Kelvin e q a carga do elétron. Supondo a temperatura de 300 K (cerca de 27° C), a tensão térmica φ_t é de aproximadamente $25,8\text{ mV}$.

Considerando que os limites aproximados para a excursão do sinal de saída sejam $0,4\text{ V}$ e $2,0\text{ V}$, respectivamente, usando os valores da Tabela 5.1 e baseando-se nas expressões (5.22) e (5.24), é possível concluir-se que as tensões de polarização dos espelhos $n\text{MOS}$ e $p\text{MOS}$ sejam $V_{bn2} = 0,93\text{ V}$ e $V_{bp2} = 1,21\text{ V}$. Assim, segundo as expressões (5.21) e (5.23) verifica-se que os valores de $|\Delta V_{GS}|$ para os espelhos $n\text{MOS}$ e $p\text{MOS}$ são $5,2 \cdot \varphi_t$ e $4,8 \cdot \varphi_t$, aproximadamente.

Visando-se melhorar o consumo de potência, bem como facilitar o atendimento do requisito da impedância de saída, a corrente quiescente dos espelhos do estágio de saída (I_B) foi definida como sendo a metade daquela de cada um dos ramos do estágio de entrada, ou seja $1\ \mu\text{A}$. Constata-se que, para o máximo valor de transcondutância projetado (400 nA/V), a máxima excursão da tensão de saída projetada ($\cong 1,56\text{ V}$) resulta em uma corrente diferencial ($\cong 625\text{ nA}$), compatível com este valor de corrente de polarização.

Dessa forma, obtém-se, a partir da expressão (5.11) e dos valores de ΔV_{GS} calculados, as razões de aspecto (W/L) dos transistores. A partir de simulações computacionais, com base no modelo BSIM 3v3, concluiu-se que o comprimento (L) dos transistores deveria ser de $5,0\ \mu\text{m}$ para que a resistência de saída do circuito cumprisse as especificações. Logo, com a razão de aspecto calculada, pode-se definir as larguras dos transistores $n\text{MOS}$ e $p\text{MOS}$, resultando em: $W_n = 4,0\ \mu\text{m}$ e $W_p = 11,6\ \mu\text{m}$.

Na Figura 5.5, mostra-se o diagrama esquemático do estágio de saída do OTA projetado. Neste circuito verifica-se que as entradas das correntes (I_+ e I_-), provenientes dos pares diferenciais, são injetadas através dos nós entre os transistores $nMOS$.

Como a corrente quiescente de cada um dos ramos do estágio de entrada é duas vezes maior que a do estágio de saída, os transistores $Mn1a$ e $Mn1b$ devem ser dimensionados de modo a conduzir uma corrente quiescente igual ao triplo da corrente dos outros dois transistores $nMOS$ ($Mn2a$ e $Mn2b$), sendo suficiente escalar em três vezes as larguras dos mesmos.

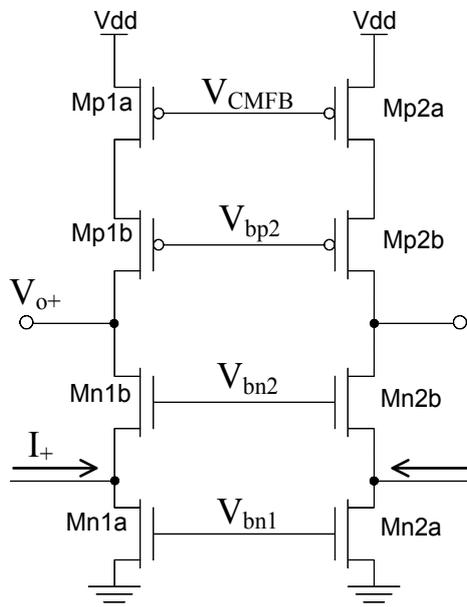


Figura 5.5: Diagrama esquemático do estágio de saída em cascode dobrado.

Uma vez definidas as dimensões dos componentes de cada um dos estágios do OTA, é possível passar para a etapa de desenho das máscaras utilizadas no processo de fabricação, também chamadas, simplesmente, de *layouts*.

Na Figura 5.6, mostra-se o diagrama esquemático do OTA completo. Os valores das dimensões destes transistores estão resumidos na Tabela 5.4.

Tabela 5.4: Dimensões dos transistores do circuito do OTA.

Nome do Transistor	Largura (W)	Comprimento (L)
M1a, M1b, M2a, M2b	$7,6 \mu m$	$20,9 \mu m$
Mp3a, Mp3b	$46,4 \mu m$	$5 \mu m$
Mp1a, Mp1b, Mp2a, Mp2b	$11,6 \mu m$	$5 \mu m$
Mn1a, Mn2a	$12 \mu m$	$5 \mu m$
Mn1b, Mn2b	$4 \mu m$	$5 \mu m$
Mat1a, Mat1b, Mat2a, Mat2b	$3,6 \mu m$	$20 \mu m$

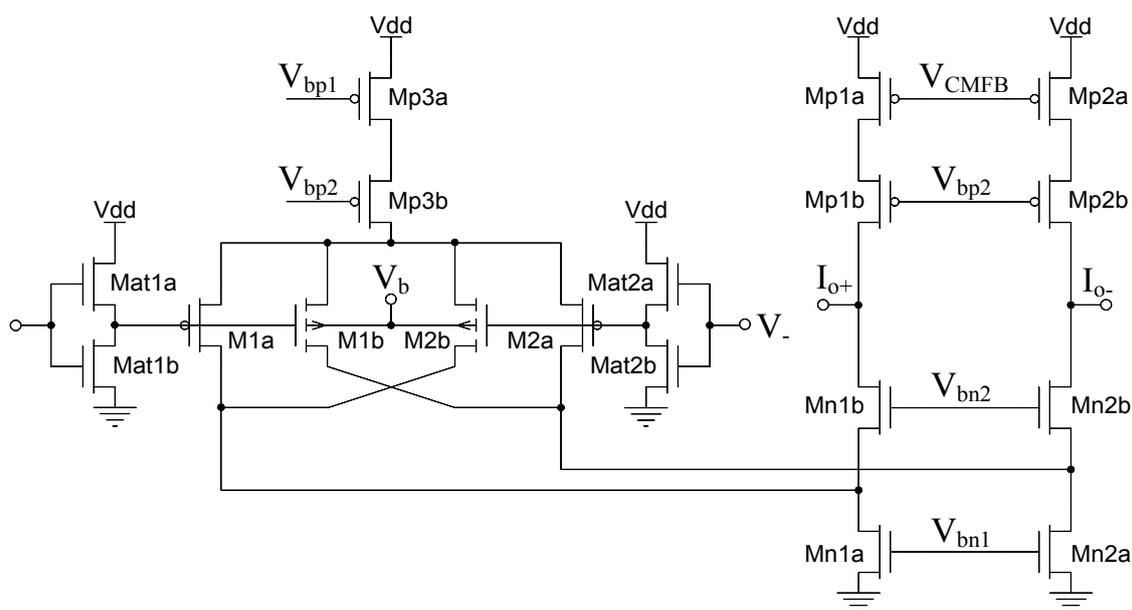


Figura 5.6: Diagrama esquemático do circuito do amplificador operacional de transcondutância (OTA) projetado.

Com base nas dimensões de cada transistor, desenhou-se o layout do OTA (Figura 5.7). Os transistores foram arranjados de forma a tornarem do desenho o mais compacto possível, aproveitando ao máximo a área de silício disponível, resultando em uma estrutura de $52,2 \mu m$ por $78 \mu m$.

Os transistores dos espelhos de corrente (n e p MOS) e dos atenuadores foram fragmentados permitindo a interdigitação dos mesmos, de modo a minimizar, ou eliminar, a sensibilidade aos erros causados por gradientes de processo.

Os poços n , onde são construídos os transistores p MOS, foram cercados com uma fileira de contatos, chamada de anéis de guarda, ligados ao potencial apropriado. Os transistores n MOS foram agrupados e também cercados com anéis de guarda. Além

disso, também procurou-se maximizar as ligações para substrato e poço. Essas medidas contribuem para garantir a polarização apropriada do corpo dos transistores e evitam a ocorrência do fenômeno conhecido como *Latch-Up*, que consiste no disparo acidental dos tiristores parasitas que podem surgir entre os drenos ou fontes de um transistor *n* e um *p*MOS.

Ao redor do poço *n*, onde foram agrupados os transistores M1b e M2b, além do anel de guarda interno, ligado ao potencial V_b , desenhou-se, posteriormente, um anel de guarda externo (que não está mostrado na Figura 5.7), para assegurar a polarização do substrato na vizinhança do mesmo.

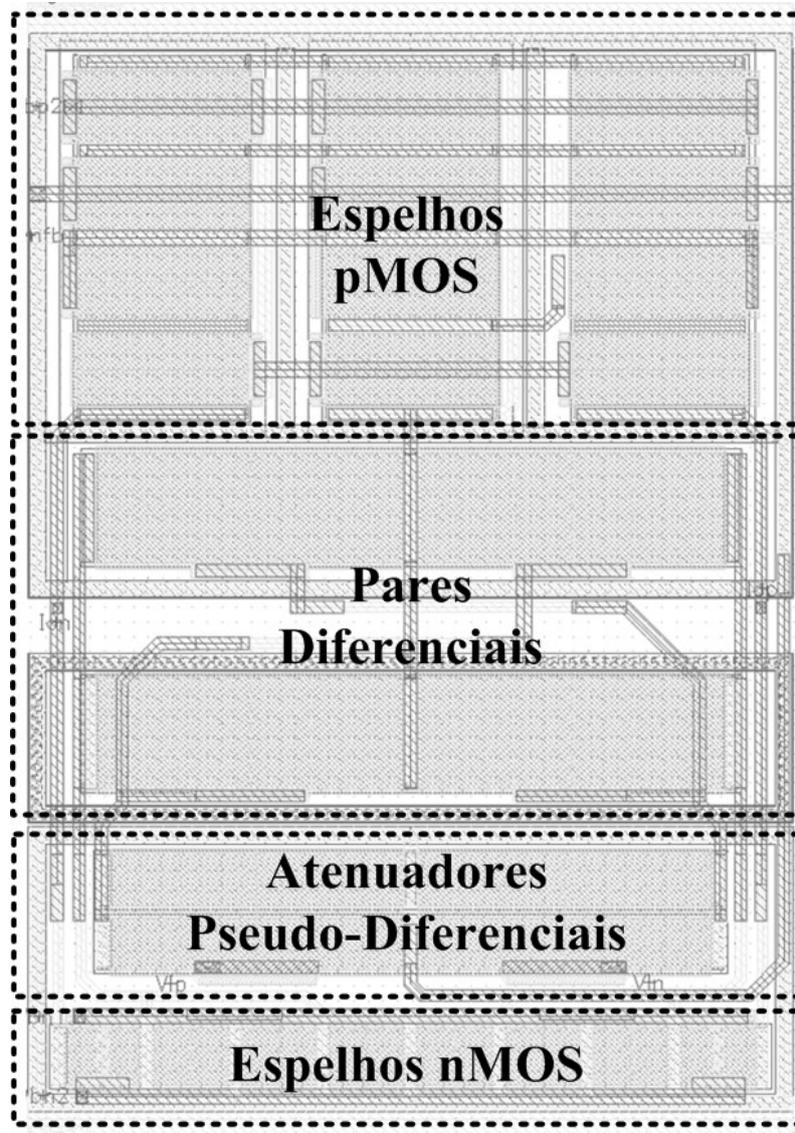


Figura 5.7: Layout do OTA projetado, com destaque das diferentes estruturas que o compõe.

A disposição dos componentes do OTA foi pensada de maneira a facilitar a conexão entre os transdutores e também favorecer o aumento do grau de correlação entre as estruturas semelhantes de OTAs adjacentes, de modo a melhorar o casamento entre elas.

5.2 CONTROLE DE MODO COMUM

De acordo com o que foi exposto na seção 2.12, concluiu-se que a estrutura mais apropriada para efetuar o controle do nível de tensão de modo comum é aquela baseada em transistores com portas flutuantes.

Como a intenção é de empregar este circuito para os OTAs em um filtro $Gm - C$, sabe-se que não há necessidade de implementar uma estrutura de controle de modo comum para cada um dos transdutores, uma vez que muitos destes têm nós de saída compartilhados com outros. Sendo assim, quaisquer dois OTAs cujas saídas estejam conectadas, também compartilharão o mesmo valor para a tensão de modo comum, sendo redundante a utilização de uma estrutura de controle separada para cada um.

Em uma observação mais detalhada constatou-se que os capacitores que compõem o filtro poderiam também ser utilizados como componentes do detector de modo comum, bastando, para tal, que os mesmos fossem separados em duas partes, ou seja, substituí-los por dois capacitores ligados em série, cada um com o dobro da capacitância original.

Com base nesta ideia, o filtro desenvolvido neste trabalho adquire a configuração mostrada na Figura 5.8. Percebe-se que o mesmo só exige o emprego de três circuitos de controle de modo comum para todos os sete OTAs do filtro, o que se reflete na melhoria do aproveitamento da área ocupada e da potência consumida. Embora esta abordagem viabilize a implementação deste circuito de controle, ela também introduz capacitâncias parasitas que podem trazer problemas, do ponto de vista da estabilidade do sistema.

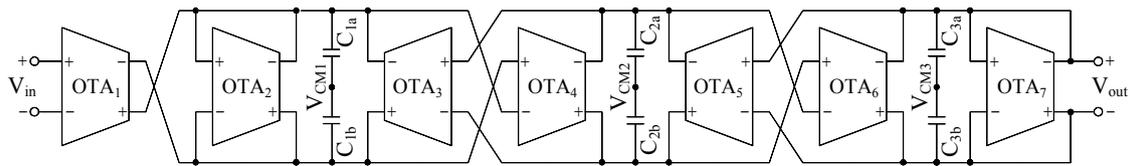


Figura 5.8: Diagrama esquemático do circuito do filtro.

Assim, como critério para o projeto e a fim de certificar o desempenho da estrutura de controle de modo comum, realizou-se uma análise da estabilidade do circuito proposto, juntamente com os ramos dos estágios de saída, considerando a presença dos capacitores parasitas de cada nó.

5.2.1 ESTUDO DE ESTABILIDADE

Observando-se o estágio de saída de um OTA, juntamente à malha de realimentação de modo comum, tem-se um circuito semelhante ao mostrado na Figura 5.9. No circuito mostrado, também são exibidas as capacitâncias parasitas mais relevantes, introduzidas por transistores e pelas placas inferiores dos capacitores de silício policristalino, esta última aqui chamada de C_p . Constata-se que, para os transistores operando em saturação, a capacitância parasita mais significativa é aquela formada entre a porta e a fonte (C_{gs}).

O termo N , mostrado na Figura 5.9, representa um fator de multiplicidade e designa o número de estágio de saída sendo controlados pela mesma malha de realimentação de modo comum. Dessa forma, cada amplificador operacional pode estar associado a mais de um OTA. Para o filtro em questão, o parâmetro N pode ser igual 1, 2 ou 3, dependendo de sua posição no circuito.

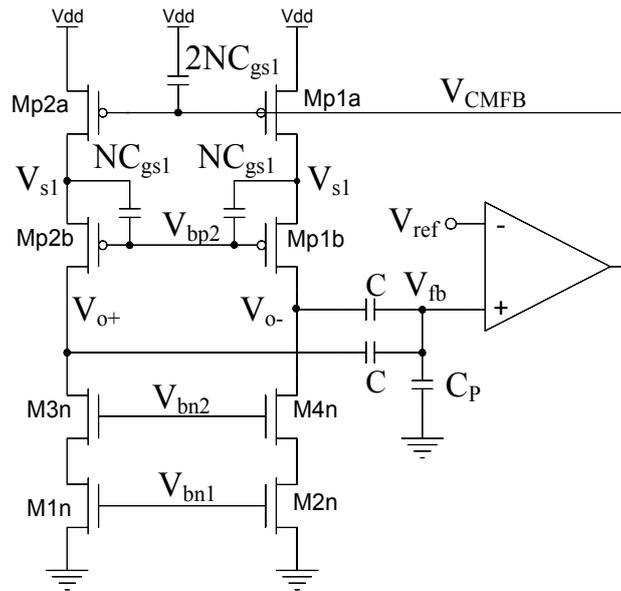


Figura 5.9: Diagrama esquemático do circuito do estágio de saída com a realimentação de modo comum.

Na Figura 5.10, mostra-se o diagrama esquemático do amplificador operacional usado na realimentação de modo comum, juntamente com suas capacitâncias parasitas.

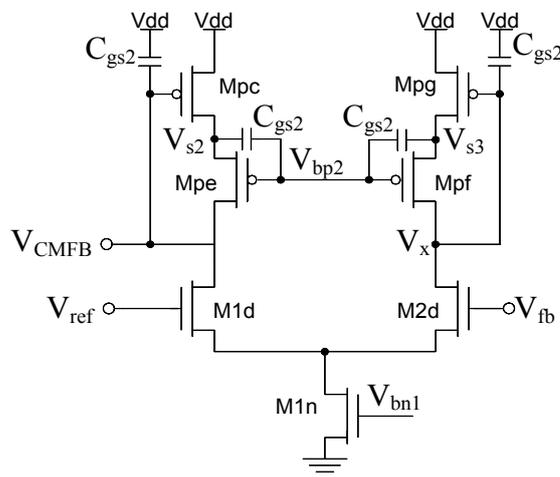


Figura 5.10: Diagrama esquemático do amplificador operacional de tensão utilizado no circuito de controle de modo comum.

Considerando-se que a tensão diferencial na entrada do transcondutor seja nula, então as tensões nos nós de saída, V_{o+} e V_{o-} , serão iguais à tensão de modo comum e esses nós serão chamados de V_o . Para realizar a análise do circuito mostrado na Figura

5.9 realiza-se a abertura da malha no ponto destacado no circuito mostrado na Figura 5.11.

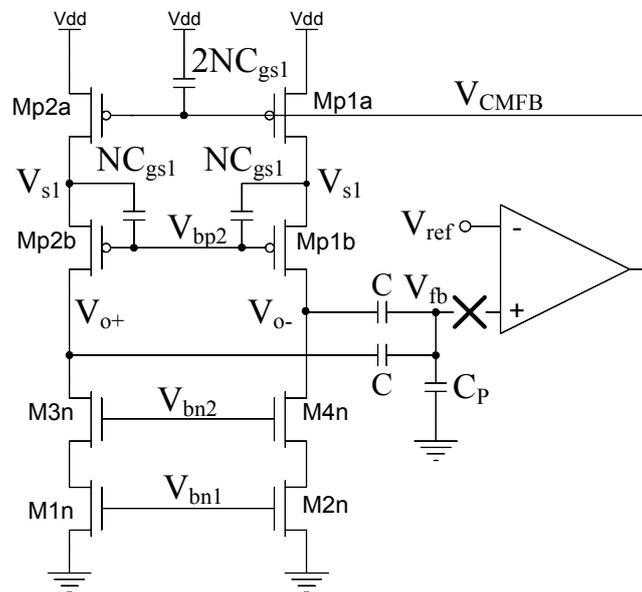


Figura 5.11: Diagrama esquemático do circuito com a malha aberta.

Assume-se que, no ponto onde a malha foi aberta, o nó de entrada do amplificador operacional passa a ser conectado a uma fonte de tensão constante, enquanto o nó ligado ao estágio de saída do OTA é mantido em aberto.

Para uma análise mais completa, foram consideradas as condutâncias entre dreno e fonte de alguns dos transistores do circuito. Além disso, como os dois ramos do estágio de saída são idênticos, consideraram-se os mesmos como conectados em paralelo. Dessa forma os modelos de pequenos sinais do circuito dos estágios de saída dos OTAs e do amplificador de realimentação de modo comum podem ser vistos nas Figuras Figura 5.12 e Figura 5.13, respectivamente.

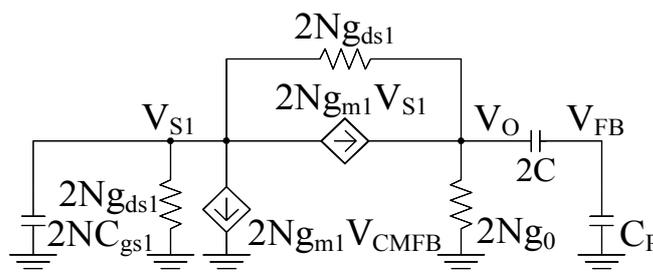


Figura 5.12: Diagrama esquemático do modelo de pequenos sinais do circuitos dos estágios de saída dos OTAs, com as condutâncias entre dreno e fonte.

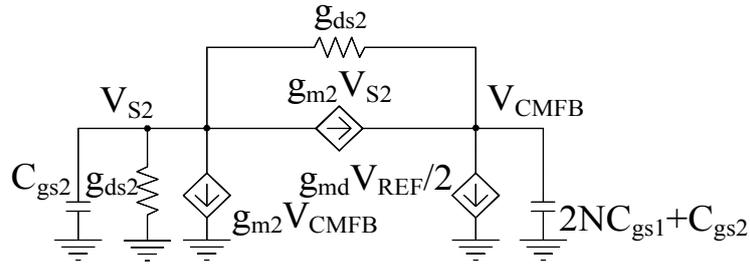


Figura 5.13: Diagrama esquemático do modelo de pequenos sinais do circuito do amplificador de realimentação, com as condutâncias entre dreno e fonte.

Aplicando a lei de Kirchhoff para os nós (KCL) nos modelos de pequenos sinais do o estágio de saída do OTA e do amplificador de realimentação chega-se aos sistemas (5.35) e (5.28), respectivamente.

$$\begin{cases} -2Ng_{ds1}(2V_{S1} - V_O) - 2Ng_{m1}(V_{S1} + V_{CMFB}) - 2NC_{gs1}V_{S1}s = 0 \\ 2Ng_{ds1}(V_{S1} - V_O) + 2Ng_{m1}V_{S1} - 2Ng_0V_O - 2C(V_O - V_{FB})s = 0 \\ 2C(V_O - V_{FB})s - C_PV_{FB}s = 0 \end{cases} \quad (5.26)$$

$$\begin{cases} -g_{ds2}(2V_{S2} + V_{CMFB}) - g_{m2}V_{CMFB} - C_{gs2}V_{S2} \\ -g_{md}\frac{V_{REF}}{2} + g_{ds2}(V_{S2} + V_{CMFB}) + g_{m2}V_{S2} - (2NC_{gs1} + C_{gs2})V_{CMFB}s \end{cases} \quad (5.27)$$

Onde g_{m1} e g_{m2} são as transcondutâncias de porta, e g_{ds1} e g_{ds2} , as condutâncias entre dreno e fonte referentes aos transistores p MOS dos espelhos de corrente, respectivamente, do estágio de saída do OTA e do amplificador operacional de realimentação de modo comum. Sendo g_{md} a transcondutância dos transistores do par diferencial n MOS do amplificador operacional. O termo g_0 constitui a condutância equivalente dos espelhos (em cascode dobrado) n MOS.

Define-se que os espelhos de corrente do circuito do amplificador operacional possuem transistores cujas larguras são iguais a um múltiplo (M) da largura de seus correspondentes do estágio de saída do OTA. No entanto, os comprimentos são iguais.

Dessa forma, chegam-se às relações:

$$\begin{cases} g_{m2} = M \cdot g_{m1} \\ C_{gs2} = M \cdot C_{gs1} \end{cases} \quad (5.28)$$

onde M define o fator de proporcionalidade entre as larguras dos transistores dos espelhos de corrente do amplificador operacional e aqueles do estágio de saída do transcondutor.

Com o intuito de simplificar as expressões, serão utilizadas as seguintes definições:

$$\begin{cases} \alpha = \frac{g_{m1}}{C_{gs1}} \\ A = \frac{g_{ds1}}{g_{m1}} \\ B = \frac{C}{C_{gs1}} \\ D = \frac{g_0}{g_{m1}} \\ E = \frac{g_{md}}{g_{m1}} \end{cases} \quad (5.29)$$

Supondo que C_p seja igual a 2/7 de C (suposição esta que será justificada mais adiante neste texto) e combinando-se as relações (5.28) e (5.29) é possível deixar todo o sistema dependente, apenas, da transcondutância g_{m1} .

A função de transferência do sistema pode ser escrita como:

$$\frac{V_{FB}}{V_{REF}} = \frac{V_{FB}}{V_{CMFB}} \cdot \frac{V_{CMFB}}{V_{REF}} \quad (5.30)$$

Resolvendo-se os sistemas (5.26) e (5.27), separadamente, é possível obter-se as seguintes funções de transferência:

$$\frac{V_{FB}}{V_{CMFB}} = -\frac{7N(A+1)}{B\alpha^2s^2 + \alpha[8N(A+D) + B(2A+1)]s + 8N(A^2 + 2AD + D)} \quad (5.31)$$

$$\frac{V_{CMFB}}{V_{REF}} = \frac{\frac{E}{2}(\alpha s + 2A + 1)}{\alpha^2(2N + M)s^2 + \alpha(4NA + 3MA + 2N + M)s + M(1 + A + A^2)} \quad (5.32)$$

Analisando somente os denominadores das expressões (5.31) e (5.32), é possível determinar os polos do sistema em malha aberta:

$$\left\{ \begin{array}{l} p_{1,2} = -\frac{8N(A+D) + B(2A+1)}{2B\alpha} \pm \frac{\sqrt{[8N(A+D) + B(2A+1)]^2 - 32NB(A^2 + 2AD + D)}}{2B\alpha} \\ p_{3,4} = -\frac{4NA + 3MA + 2N + M}{2\alpha(2N + M)} \pm \frac{\sqrt{(4NA + 3MA + 2N + M)^2 - 4M(2N + M)(1 + A + A^2)}}{2\alpha(2N + M)} \end{array} \right. \quad (5.33)$$

Inicialmente, para uma análise meramente qualitativa foram atribuídos os seguintes valores para as constantes utilizadas: $M = 1$, $N = 1$, $A = 10^{-2}$, $B = 10^2$, $D = 10^4$ e $E = 1$. Os valores dessas constantes foram arbitrados considerando-se as ordens de grandeza estimadas para as relações mostradas em (5.29). Dessa maneira, os polos do sistema são expressos apenas em função de α , conforme:

$$\left\{ \begin{array}{l} p_1 = -\frac{0,00001}{\alpha} \\ p_2 = -\frac{1,02079}{\alpha} \\ p_3 = -\frac{0,51167 - 0,27367 \cdot j}{\alpha} \\ p_4 = -\frac{0,51167 + 0,27367 \cdot j}{\alpha} \end{array} \right. \quad (5.34)$$

Observando os valores dos polos, mostrados em (5.34), é possível constatar que o polo p_1 está muito mais próximo da origem que os demais. De maneira semelhante, se

as condutâncias g_{ds} e g_0 forem desprezadas (*i.e.* se as constantes A e D forem consideradas nulas), o polo p_1 se torna nulo e os outros polos apresentam pouca alteração. Assim, conclui-se que, do ponto de vista do estudo da estabilidade deste sistema, as condutâncias g_{ds} e g_0 podem ser desconsideradas, simplificado bastante essa análise deste circuito.

Sendo assim, desprezando-se as referidas condutâncias, chega-se ao modelo de pequenos sinais mostrado no diagrama da Figura 5.14.

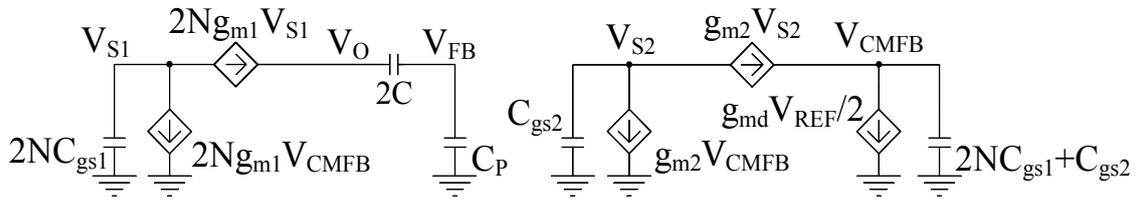


Figura 5.14: Diagrama esquemático do modelo de pequenos sinais do circuito do estágio de saída com a realimentação de modo comum.

Aplicando a lei de Kirchhoff para os nós (KCL) ao modelo de pequenos sinais mostrado na Figura 5.14, chega-se ao seguinte equacionamento:

$$\left\{ \begin{array}{l} -2Ng_{m1}V_{CMFB} - 2Ng_{m1}V_{S1} - 2NC_{gs1}V_{S1}s = 0 \\ 2Ng_{m1}V_{S1} - 2C(V_O - V_{FB})s = 0 \\ 2C(V_O - V_{FB})s - C_P V_{FB}s = 0 \\ -g_{m2}V_{S2} - g_{m2}V_{CMFB} - C_{gs2}V_{S2}s = 0 \\ -g_{md}\frac{V_{REF}}{2} + g_{m2}V_{S2} - (2NC_{gs1} + C_{gs2})V_{CMFB}s = 0 \end{array} \right. \quad (5.35)$$

Resolvendo-se o sistema de equações (5.35), utilizando-se as relações mostradas em (5.28) chega-se à função de transferência:

$$T(s) = \frac{V_{fb}}{V_{ref}} = \frac{Ng_{m1}^2 g_{md}}{C_P s (C_{gs1}^2 (2N + M)s^2 + C_{gs1} g_{m1} (2N + M)s + Mg_{m1}^2)} \quad (5.36)$$

A função de transferência $T(s)$, (5.36), pode ser reescrita, resultando em:

$$T(s) = \frac{K}{s \left(\tau \left(\frac{s}{\alpha} \right)^2 + \tau \frac{s}{\alpha} + 1 \right)} \quad (5.37)$$

onde os parâmetros α e τ são dados por:

$$\begin{cases} \alpha = \frac{g_{m1}}{C_{gs1}} \\ \tau = 1 + \frac{2N}{M} \end{cases} \quad (5.38)$$

Sendo K definido de acordo com:

$$K = \frac{(\tau - 1)g_{md}}{2C_p} \quad (5.39)$$

Normalizando a frequência 's' em relação ao parâmetro α (5.38), tem-se que $s = \alpha \cdot \hat{s}$. Assim a função de transferência, com a frequência normalizada ($T(\hat{s})$), é escrita conforme:

$$T(\hat{s}) = \frac{K/\alpha}{\hat{s}(\tau\hat{s}^2 + \tau\hat{s} + 1)} \quad (5.40)$$

Para uma análise quantitativa, substitui-se \hat{s} por $j\hat{\omega}$. Assim, pode-se escrever a resposta em frequência com a frequência normalizada ($T(j\hat{\omega})$), conforme:

$$T(j\hat{\omega}) = \frac{K/\alpha}{j\hat{\omega}(j\tau\hat{\omega} + 1 - \tau\hat{\omega}^2)} \quad (5.41)$$

A magnitude e a fase de $T(j\hat{\omega})$ podem ser escritas por:

$$\begin{cases} |T(j\hat{\omega})| = \frac{K/\alpha}{\hat{\omega}\sqrt{(1-\tau\hat{\omega}^2)^2 + \tau^2\hat{\omega}^2}} \\ \angle T(j\hat{\omega}) = \tan^{-1}\left(\frac{1-\tau\hat{\omega}^2}{\tau\hat{\omega}}\right) \end{cases} \quad (5.42)$$

Para assegurar a estabilidade do sistema em malha fechada, estabelece-se que o mesmo sistema em malha aberta deve apresentar uma margem de fase de aproximadamente 45° . Ou seja, deve-se projetar o amplificador operacional de forma que na frequência $\hat{\omega}_0$, onde o módulo da função de transferência $T(j\hat{\omega})$ é unitário, a fase do sistema deve estar 45° antes da condição de instabilidade, que corresponde a 180° .

Como o sistema em malha aberta não apresenta zeros finitos e possui um pólo na origem, a fase de $T(j\hat{\omega}_0)$ deve ser de -135° . Dessa forma, igualando-se a expressão para a fase do sistema (5.42) à fase desejada (-135°), pode-se calcular a frequência normalizada $\hat{\omega}_0$, resultando na igualdade mostrada em:

$$\hat{\omega}_0 = \frac{\sqrt{\tau^2 + 4\tau} - \tau}{2\tau} \quad (5.43)$$

Substituindo-se a frequência $\hat{\omega}_0$ na expressão da magnitude e igualando-a a um, obtém-se a expressão para K/α , dada por:

$$\frac{K}{\alpha} = \frac{\sqrt{\tau^2 + 4\tau} - \tau}{2\tau} \sqrt{\tau(\tau + 2 - \sqrt{\tau^2 + 4\tau})} \quad (5.44)$$

Observando-se as expressões (5.43) e (5.44), constata-se que o parâmetro τ (5.38) é importante para o desempenho do circuito, pois é um dos parâmetros responsáveis por definir o produto ganho-banda, que neste caso é $\alpha\hat{\omega}_0$.

O valor do parâmetro M define diversos aspectos do circuito do amplificador operacional, como: a área, o consumo de potência e, pela definição de τ , no produto ganho-banda. Tendo esses aspectos em mente, optou-se por utilizar $M = 1$ que, além

dos aspectos já citados, também propicia um bom casamento com os espelhos de corrente do OTA, dado que nesse caso seus transistores serão iguais.

Quanto ao parâmetro N , sabe-se que seu valor pode variar entre 1 e 3. Sendo assim, uma vez definido o valor de M , pode-se calcular o valor da frequência normalizada ($\hat{\omega}_0$) para fase de -135° e o ganho normalizado (K/α) para o qual a magnitude é unitária. Os valores desses dois parâmetros foram calculados para os diferentes valores de N e podem ser observados na Tabela 5.5.

Tabela 5.5: Valores da frequência e do ganho normalizados, para os três valores de N .

N	$\hat{\omega}_0$ [rad/s]	K/α
1	0,26	0,29
2	0,17	0,21
3	0,13	0,16

Pode-se verificar, na Tabela 5.5, que entre os diferentes valores de N , com o caso onde $N = 3$ consegue-se a margem de fase desejada com o menor ganho K/α . Sabe-se que com o menor valor para o ganho, que ocorre em $N = 3$, consegue-se assegurar a estabilidade do sistema para os demais valores de N , com uma margem de fase superior a 45° . Por isso, adota-se este caso para projetar o circuito do amplificador operacional.

Sabe-se que as capacitâncias entre fonte e porta C_{gs} e as transcondutâncias g_m dos transistores estão associados aos parâmetros físicos e elétricos conhecidos, podendo ser escritos conforme:

$$\begin{cases} C_{gs1} = \frac{2}{3}WLC_{OX} \\ g_{m1} = \frac{W\mu C_{OX}\Delta V_{sg}}{Ln} \end{cases} \quad (5.45)$$

A partir de dados fornecidos pelo fabricante sabe-se que a espessura do óxido entre as placas do capacitor do filtro (C) é cerca de sete vezes menor que a espessura do óxido entre placa inferior e o substrato. Com base nessa informação e lembrando que C_p

corresponde a capacitância parasita associada às placas inferiores dos dois capacitores do filtro, é possível estimar o valor da capacitância parasita C_p como sendo, cerca de $2/7$ de C .

Com base nos valores de ΔV_{sg} , W e L determinados no projeto do estágio de saída, conhecendo-se os parâmetros dos transistores (μ , C_{ox} e n) e o valor estimado da capacitância parasita (C_p) associada a menor capacitância nominal do filtro, que é estimada em $C \cong 2,4 \text{ pF}$, lembrando que $M = 1$, calcula-se que, para $N = 3$, o ganho $K = 13,10 \cdot 10^6$ e $\omega_0 = 10,43 \text{ Mrad/s}$.

A partir do valor calculado e da definição do parâmetro K , (5.39), calcula-se que a transcondutância dos transistores do par diferencial do amplificador operacional é $g_{md} = 2,99 \mu\text{A/V}$.

Sabe-se que a transcondutância g_{md} é definida como:

$$g_{md} = \frac{W}{L} \cdot \frac{K_p \Delta V_{sg}}{n} = 2,99 \mu\text{A/V} \quad (5.46)$$

Com a expressão obtida para g_{md} , (5.46), usando $\Delta V_{GS} = 135 \text{ mV}$, os transistores do par diferencial são dimensionados com $W = 1,0 \mu\text{m}$ e $L = 6,0 \mu\text{m}$. Já os transistores dos espelhos de corrente $n\text{MOS}$ são iguais aos do estágio de saída, porém com W escalado por um fator 2. Como arbitrou-se que $M = 1$, os transistores $p\text{MOS}$ são idênticos àqueles do estágio de saída.

Com esses valores em mãos, é possível desenhar o layout do amplificador projetado (Figura 5.15). Para o layout deste circuito foram tomadas, essencialmente, as mesmas medidas aplicadas ao desenho do OTA, já mencionadas. Porém, como se pretendia que o layout deste amplificador se encaixasse ao OTA de maneira a emparelhar os blocos formados pelos espelhos n e $p\text{MOS}$, o aproveitamento de área não foi prioritário, posto que se trata de uma estrutura relativamente pequena ($18,8 \mu\text{m} \times 78 \mu\text{m}$) e que se repete poucas vezes no circuito (há somente três deles no filtro).

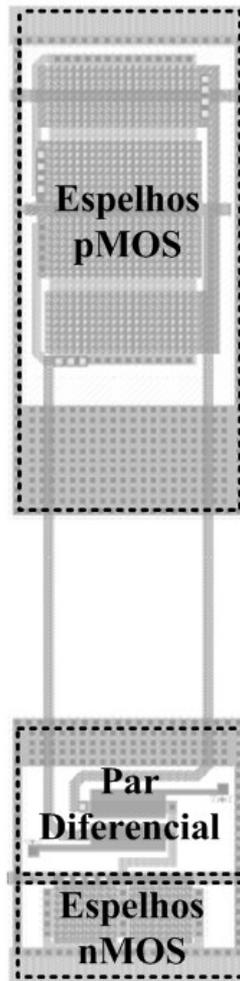


Figura 5.15: Layout do circuito do amplificador realimentação do modo comum.

5.3 PROJETO DO FILTRO

Assumindo-se que a transcondutância nominal do OTA projetado seja de 200 nA/V , recalculam-se os valores das capacitâncias, que foram calculados considerando os resistores de terminações normalizados (mostrados na Tabela 4.4).

Para recalculer os valores das capacitâncias (C), basta multiplicar os valores associados às terminações normalizadas (C') pelo valor da transcondutância nominal (G_m), assim: $C = C' \cdot G_m$. Logo, para uma transcondutância de 200 nA/V , os valores das capacitâncias do filtro passam a ser os mostrados na Tabela 5.6.

Tabela 5.6: Valores das capacitâncias para a transcondutância projetada.

Elemento	Valor
C_1	3,39 pF
C_2	2,33 pF
C_3	3,39 pF

Em circuitos integrados, conforme já foi comentado, conseguem-se precisões muito boas nas razões de capacitores. Porém seus valores absolutos podem ter grandes variações dentro de uma mesma rodada de fabricação. Portanto, como o ajuste de transcondutância se propõe a solucionar os problemas nos erros dos valores absolutos, é preciso tomar iniciativas para minimizar os erros relativos.

Uma medida prática [62], que visa minimizar a ocorrência de erros relativos de capacitores consiste em realizar os capacitores do filtro com múltiplos capacitores menores e com geometrias idênticas associados em paralelo, chamados de células ou capacitores unitários. Dessa forma, ao se agruparem as células que compõem os capacitores em uma matriz, consegue-se aumentar o casamento entre as mesmas.

Mas mesmo assim, os valores das capacitâncias continuam susceptíveis aos erros de descasamento entre as células. Para reduzir os efeitos destes erros, há uma técnica baseada apenas em *layout* conhecida como arranjo em centroide comum [62]-[63]. Esta técnica supõe que os erros possuam uma distribuição espacial linear. Sendo assim, é possível encontrar uma disposição das células de tal modo que as razões entre os capacitores formados sejam preservadas.

Embora esta abordagem consiga solucionar os problemas dos erros oriundos do gradiente de processo, ela produz um inconveniente por introduzir um erro determinístico, proveniente da aproximação dos valores das capacitâncias calculadas para um dado múltiplo inteiro da capacitância unitária. É possível minimizar este erro ao se empregar um capacitor unitário com capacitância reduzida, porém isto resultaria em aumento da quantidade de células que, por sua vez, se reflete na complexidade das interconexões.

Com base nisso tudo, optou-se pelo emprego de capacitores unitários com capacitância de aproximadamente 400 fF. Assim as capacitâncias C_1 e C_3 podem ser realizadas por 8 células, cada uma, resultando em um erro de 5,6%. A capacitância C_2

pode ser aproximada com 6 células, e o erro é de 3,1%. Como os capacitores ocorrem aos pares, em função da estrutura balanceada do circuito, têm-se no total 44 células. Na Figura 5.16 mostra-se a organização da matriz de células que compõem os capacitores do filtro, dispostas considerando-se a técnica de arranjo em centroide comum.

C3b	C1b	C3a	C1a	C2a	C2b	C2a	C1a	C3a	C1b	C3b
C3b	C1b	C3a	C1a	C2b	C2a	C2b	C1a	C3a	C1b	C3b
C3b	C1b	C3a	C1a	C2b	C2a	C2b	C1a	C3a	C1b	C3b
C3b	C1b	C3a	C1a	C2a	C2b	C2a	C1a	C3a	C1b	C3b

Figura 5.16: Diagrama do arranjo das células para os capacitores do filtro.

A produção do *layout* da matriz de capacitores exige que se tome uma série de cuidados por parte dos projetistas. A começar pelo desenho das células de capacitores, sendo cada uma delas constituída por duas placas de silício policristalino (também chamados de *polysilicon* ou, apenas, *poly*). Para minimizar as capacitâncias parasitas nas placas superiores, a placa inferior é ligeiramente maior. Outro motivo para esta diferença nas dimensões das placas está na geração de um desenho mais robusto a erros de alinhamento das máscaras.

O formato das placas, que constituem os capacitores unitários, é octogonal. Este formato visa eliminar ângulos retos ou agudos que podem produzir efeitos indesejáveis como, por exemplo, o acúmulo de cargas nas quinas que pode distorcer o campo elétrico, modificando o valor da capacitância.

Para preservar o equilíbrio geométrico das estruturas, a periferia da matriz de capacitores é completada com fragmentos das células. O propósito desses fragmentos, chamados de estruturas *dummy*, é fazer com que as células nas bordas da matriz tenham uma vizinhança idêntica àquelas no interior, contribuindo para a uniformidade espacial do arranjo.

Conforme se comentou na seção 2.12, é importante assegurar que os capacitores, ligados às portas flutuantes dos transistores do amplificador de realimentação de modo comum, estejam descarregados. Em [49] é apresentada uma técnica, bastante simples,

que consiste na criação de contatos, ligando as placas inferiores dos capacitores a cada uma das camadas de metais da tecnologia utilizada. Assim, ao longo do processo de fabricação as cargas eventualmente produzidas por uma dada etapa podem ser neutralizadas por uma etapa posterior.

Com todas essas medidas em mente, desenhou-se o *layout* mostrado na Figura 5.17, resultando em um bloco de $405,8 \mu\text{m} \times 172 \mu\text{m}$.

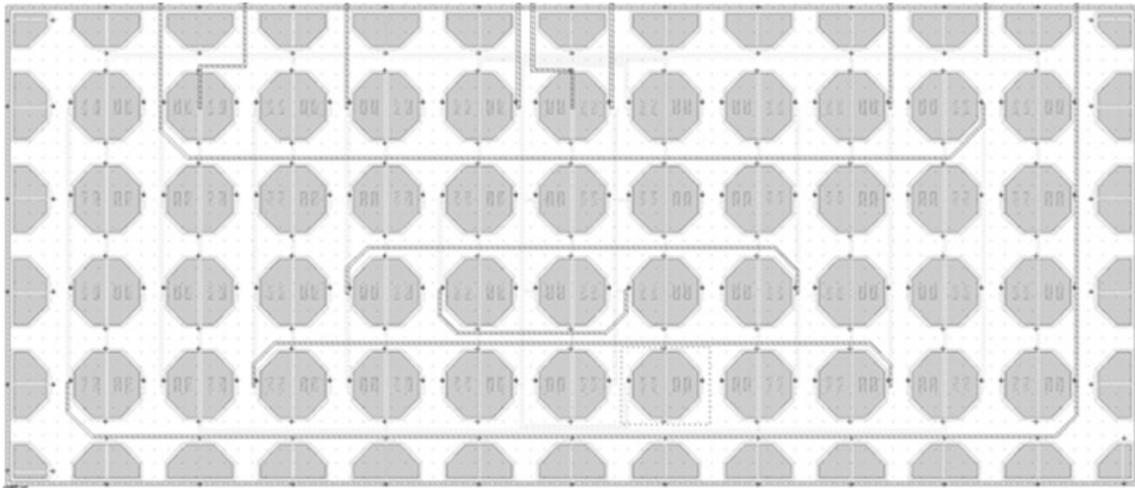


Figura 5.17: Layout da matriz de capacitores.

Com todos os componentes do filtro devidamente projetados e com os desenhos de suas máscaras de integração, desenhou-se o *layout* do filtro, alocando e conectando os componentes previamente projetados. Na Figura 5.18 mostra-se o *layout* do filtro Gm-C projetado, juntamente com algumas estruturas acessórias para testes e polarização. Este desenho ocupa um espaço de aproximadamente $508 \mu\text{m} \times 262 \mu\text{m}$.

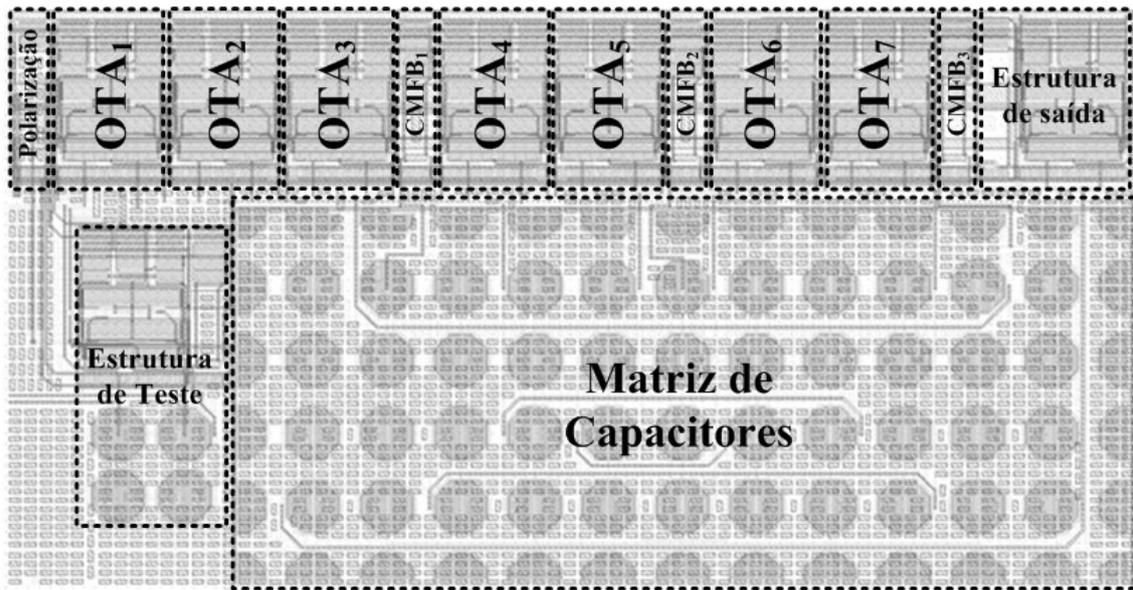


Figura 5.18: Layout do filtro Gm-C com estruturas acessórias para testes.

Capítulo 6

SIMULAÇÕES E RESULTADOS

Para verificar o desempenho das estruturas projetadas, foi realizada uma série de simulações de diferentes aspectos do funcionamento de cada circuito. As simulações apresentadas neste capítulo se baseiam no modelo BSIM3v3 para os transistores MOS.

Algumas das simulações foram realizadas a partir do circuito extraído do *layout*, que incorporam diversos elementos parasitas, representado com mais fidelidade o comportamento do circuito fabricado. Para não haver confusão, o leitor será avisado quando forem apresentados resultados provenientes das simulações realizadas baseadas apenas nos diagramas esquemático.

6.1 ATENUADORES PSEUDO-DIFERENCIAIS

Realizou-se uma simulação DC, executando uma varredura na tensão de entrada, para um atenuador com as dimensões especificadas no projeto. Esta simulação foi realizada somente com base no circuito obtido do diagrama esquemático.

Observa-se na Figura 6.1 que para a tensão de entrada igual a V_{CM} , o ganho de tensão é de aproximadamente 0,221, que corresponde a uma atenuação de aproximadamente 4,52, bastante próximo ao que foi especificado em projeto. Embora o perfil de V_{out} , Figura 6.1(a), pareça bastante linear, pode-se verificar que o ganho de tensão A_V possui uma pequena dependência da tensão de entrada, conforme a Figura 6.1(b).

Além disso, observando-se o ponto de operação do circuito, com tensão de entrada igual à tensão modo comum, pôde-se constatar que o atenuador consome uma corrente quiescente de aproximadamente $3,39 \mu A$, o que se aproxima do valor projetado.

Quanto à excursão de sinal, observa-se na Figura 6.1(a) que, como já era esperado, o atenuador só começa a operar para valores da tensão de entrada (V_{in}) superiores a cerca de $0,5\text{ V}$ ($\cong V_{TOn}$), limitando a excursão de sinal no estágio que o sucede.

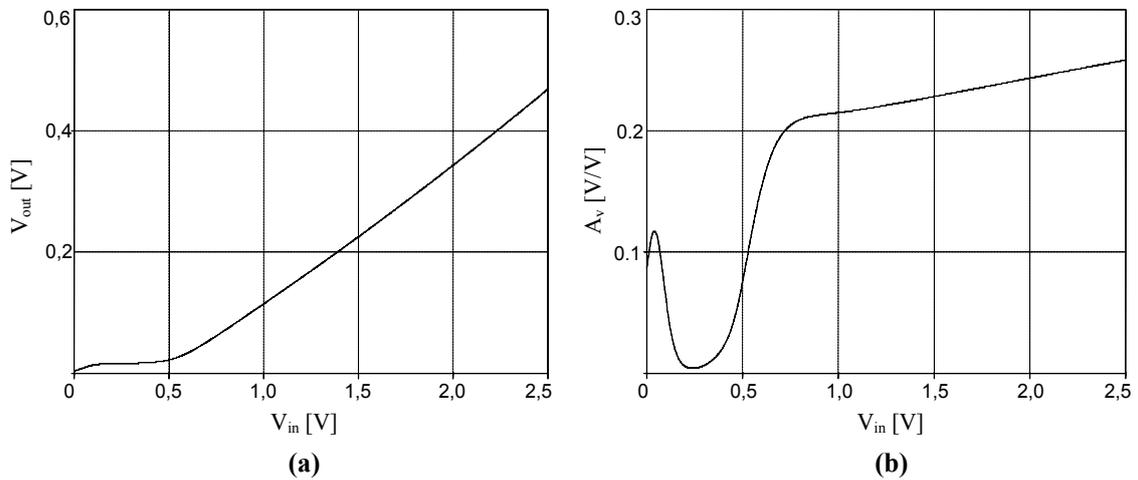


Figura 6.1: Perfis da tensão de saída V_{out} (a) e do ganho de tensão A_V (b) para uma varredura da tensão de entrada V_{in} .

A resposta em frequência da tensão de saída deste circuito, para uma tensão de entrada com amplitude unitária, apresenta uma característica do tipo passa-altas, conforme é possível observar na Figura 6.2. Este comportamento se deve à dinâmica introduzida pelos capacitores parasitas C_{GS} e C_{DS} dos transistores deste circuito. Porém, como em baixas frequências ($<100\text{ kHz}$) o circuito age conforme o desejado, com a atenuação próxima à calculada, este comportamento pouco influenciará no desempenho do OTA projetado.

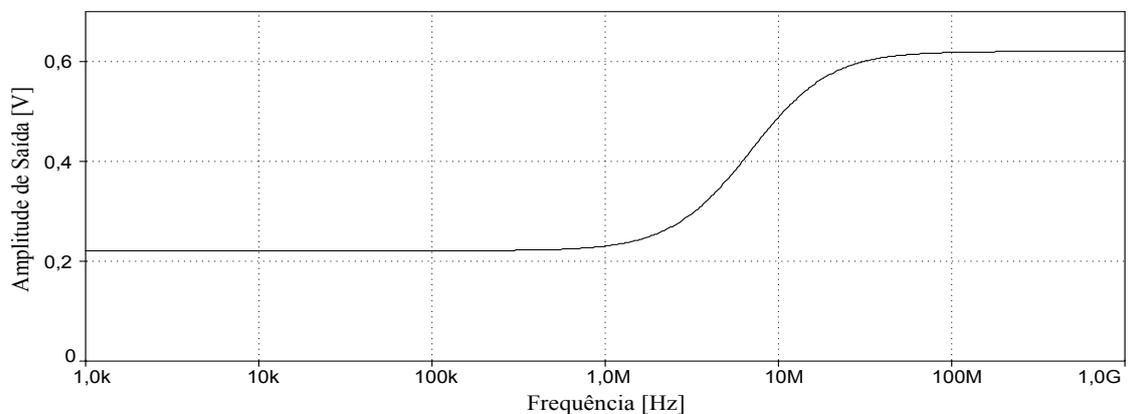


Figura 6.2: Resposta em frequência do atenuador pseudo-diferencial, para uma entrada com amplitude de 1V.

6.2 OTA

Seguindo a ordem adotada para o projeto, serão avaliados os resultados do estágio de saída. Para verificar a impedância de saída, as entradas foram mantidas ligadas diretamente ao potencial V_{CM} ($V_{in} = 0V$) e uma fonte de tensão (V_{teste}) foi ligada entre os terminais positivo e negativo da saída (Figura 6.3).

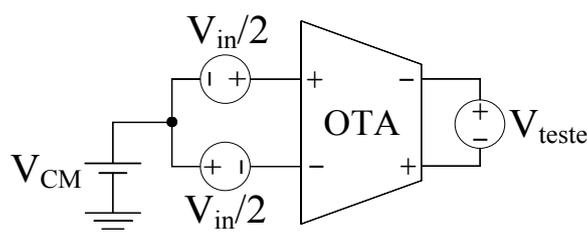


Figura 6.3: Diagrama esquemático do circuito de teste do OTA.

Fazendo com que V_{teste} seja uma fonte de tensão AC com amplitude unitária, o inverso da magnitude da corrente de saída do OTA corresponderá a sua impedância de saída. O resultado obtido com base na simulação do esquemático pode ser visto na Figura 6.4. Verifica-se que dentro da faixa de operação do OTA a impedância de saída se mantém próximo do valor desejado.

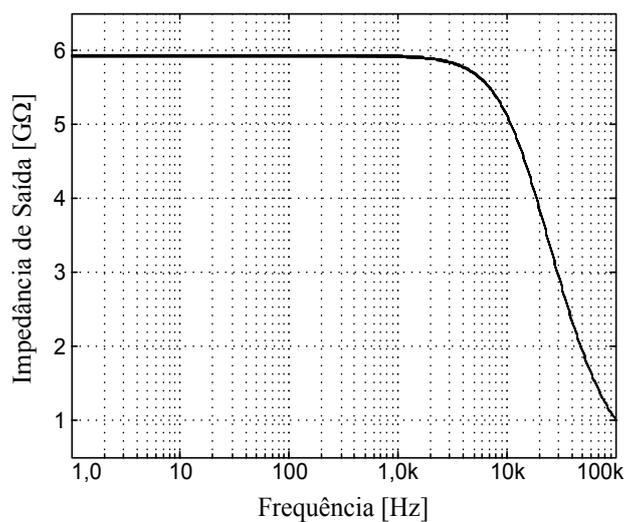


Figura 6.4: Perfil da impedância de saída do OTA.

Realizou-se, também, uma varredura DC no valor da fonte tensão V_{teste} e a partir da corrente medida através dessa fonte, obteve-se o valor da resistência de saída do OTA. Como se esperava, o valor da resistência (DC) e da impedância (AC) de saída, em baixas frequências, assumem valores parecidos, da ordem de $5,9\text{ G}\Omega$, observados para diferentes valores da tensão de polarização V_b . Constata-se, portanto, que tanto a resistência quanto a impedância de saída satisfazem às especificações.

A partir do circuito mostrado na Figura 6.3, realizando-se uma varredura na tensão V_{in} , fazendo-se $V_{teste} = 0$ e monitorando-se a corrente de saída do transcondutor, é possível estimar a transcondutância do mesmo.

Na Figura 6.5(a) e (b), são mostrados os perfis da corrente de saída e da transcondutância para valores da tensão de polarização V_b , variando respectivamente entre $0,15\text{V}$ e $1,15\text{V}$, com incrementos de $0,1\text{V}$.

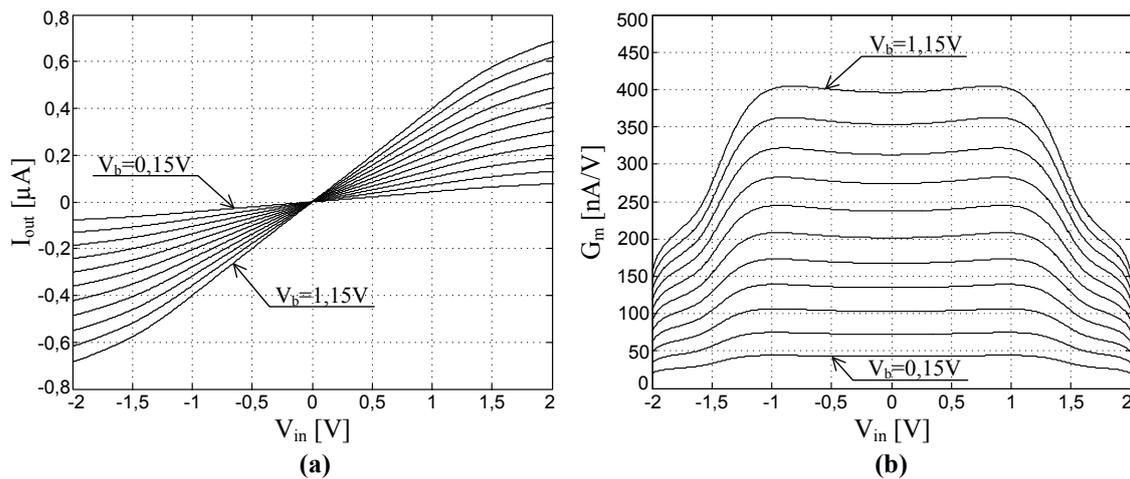


Figura 6.5: Corrente de saída (a) e transcondutância (b) do OTA para uma varredura da tensão diferencial de entrada em diversos valores da tensão de polarização V_b .

Para melhor visualizar a relação entre a transcondutância de saída do OTA, próxima da origem ($V_{in} = 0$), e a tensão de polarização V_b , obteve-se o gráfico mostrado na Figura 6.6. Neste gráfico é possível constatar-se que o valor da transcondutância na origem e a tensão V_b , guardam uma relação cuja linearidade é apreciável, apresentado uma não linearidade¹ normalizada de, aproximadamente 1,68 % para o intervalo considerado.

¹ Para quantificar a não linearidade, considerou-se a raiz quadrada da média quadrática dos erros entre os

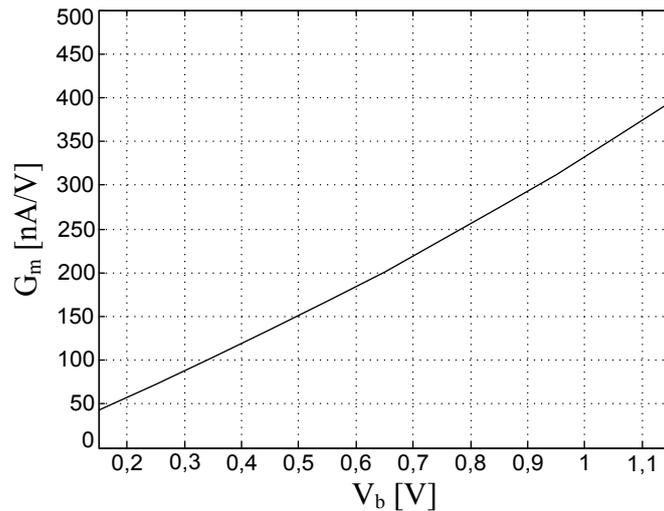


Figura 6.6: Relação entre a transcondutância de saída e a tensão de polarização V_b .

Essa característica pode ser muito útil quando se deseja implementar um sistema de sintonia automática [64], ou mesmo para o ajuste manual do valor da transcondutância.

Outra característica indicativa do desempenho do estágio de saída do transcondutor é o ganho de tensão em malha aberta. Para simular essa característica, desconectou-se a fonte V_{teste} das saídas do OTA no circuito da Figura 6.3 e realizou-se uma varredura na tensão diferencial de entrada V_{in} , acompanhada de uma variação na tensão de polarização V_b , igual àquela utilizada na análise anterior, resultando no gráfico mostrado na Figura 6.7.

Conhecendo-se o valor da transcondutância do OTA, mostrada na Figura 6.5 (b), e do ganho de tensão (Figura 6.7) para cada valor de V_b , também é possível estimar-se que o valor da resistência DC de saída, uma vez que o ganho de tensão pode ser escrito como: $A_v = G_m \cdot R_{out}$.

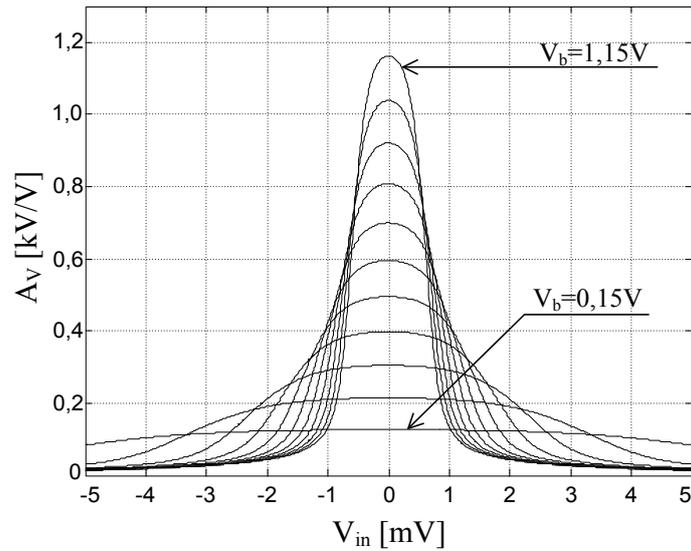


Figura 6.7: Ganho de tensão com as saídas em aberto, para diferentes valores da tensão V_b .

Ainda no circuito da Figura 6.3, substituindo a fonte de tensão V_{teste} por dois capacitores de $2,4\text{ pF}$ ligados em série e um capacitor entre estes e o terra, representado as menores cargas capacitivas encontradas no filtro e a capacitância parasita correspondente (estimada em $2/7 \cdot 2,4\text{ pF}$), realizou-se uma análise AC, considerando a entrada em V_{in} , e o resultado dessa simulação, baseada apenas no esquemático, pode ser visto na Figura 6.8.

Observa-se que o ganho de tensão, designado pela magnitude da tensão AC de saída, em baixas frequências corresponde àquele obtido pela simulação DC anterior. Além disso, é possível verificar, ainda do gráfico da Figura 6.8, que embora a magnitude apresente uma variação expressiva com a tensão V_b a fase, por sua vez, não demonstra qualquer variação sensível, permanecendo inalterada para os diferentes valores de V_b simulados.

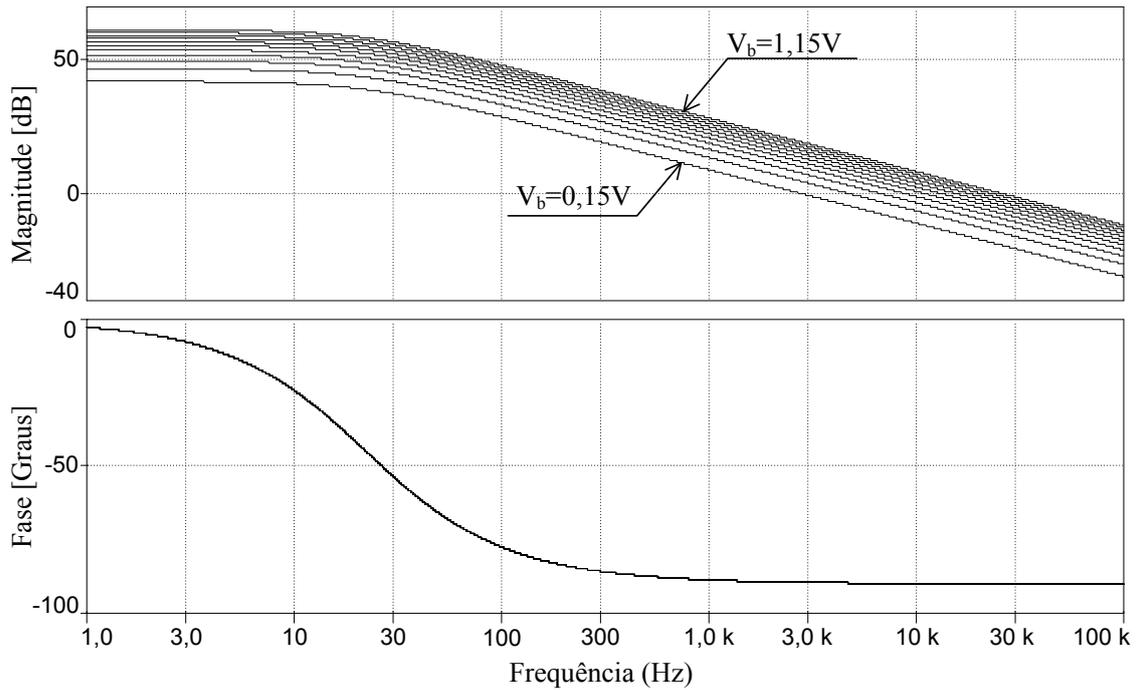


Figura 6.8: Resposta em frequência do OTA com carga de $2,4 pF$ para diferentes valores da tensão de polarização V_b .

É importante para se avaliar o desempenho do circuito, ainda com base na análise AC, executar uma simulação de ruído. Na Figura 6.9, é mostrado o perfil do ruído de tensão de saída do OTA com a mesma carga capacitiva utilizada na análise anterior ($2,4 pF$), sendo realizada uma varredura da frequência de $1 Hz$ a $100 kHz$. Pode-se constatar que o perfil do ruído na saída não apresenta dependência sensível com o nível de transcondutância.

O resultado observado na Figura 6.9, obtido a partir de simulação baseada no esquemático, corresponde à totalização das contribuições de cada componente do circuito para os diferentes tipos de ruídos. Pela característica do perfil de ruído observado, pode-se notar que o ruído *flicker* [65] é o predominante nas baixas frequências, o que é típico de circuitos MOS.

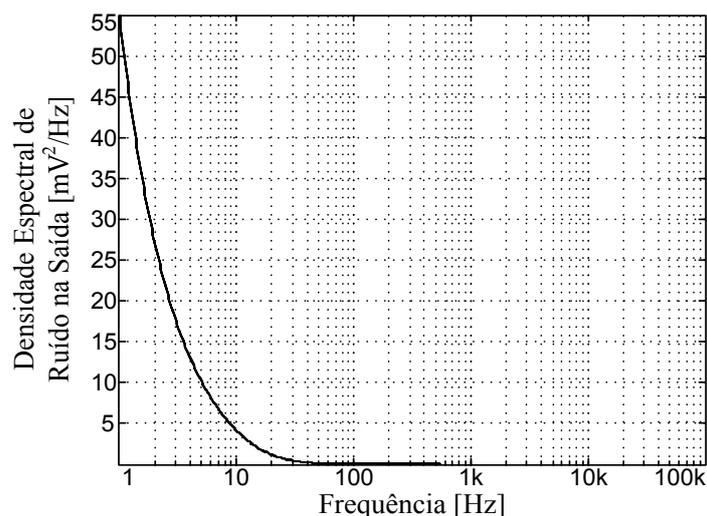


Figura 6.9: Perfil da densidade espectral de potência do ruído total na saída.

Em uma análise mais detalhada dos resultados da simulação, pode-se obter a contribuição individual de cada um dos transistores do circuito para a potência do ruído na saída, integrado na faixa de frequências compreendida entre 1 kHz e 15 kHz, com $V_b = 0,65 V$, que corresponde ao valor nominal da transcondutância (200 nA/V). Nessa análise foram obtidos os resultados mostrados na Tabela 6.1, onde são expostas as contribuições de cada transistor de um dos ramos do circuito.

É possível verificar que os componentes com maior contribuição são os transistores Mn1a e Mn2a que compõe a parte inferior dos espelhos de corrente nMOS do estágio de saída (Figura 5.6). A contribuição somada somente destes dois transistores supera os 82% da potência do ruído total.

Tabela 6.1: Parcela de contribuição com o ruído de saída de cada transistor do OTA.

Nome do Transistor	Contribuição [%]
Md1a, Md2a	1,76
Md1b, Md2b	2,55
Mp1a, Mp2a	0,004
Mp1b, Mp2b	4,16
Mn1a, Mn2a	41,46
Mn1b, Mn2b	0,00428
Mat1a, Mat2a	0,031
Mat1b, Mat2b	0,034

Comparando os resultados da contribuição de cada transistor para o ruído total na saída do OTA obtidos nessa simulação (Tabela 6.1) com aqueles provenientes da análise teórica desenvolvida no Apêndice A (Tabela A.2), percebe-se que há algumas discrepâncias consideráveis, que podem ser justificadas pela diferença de complexidade dos modelos de ruído utilizados em cada um dos casos. Além disso, para a abordagem teórica foram feitas diversas simplificações, como a desconsideração das condutâncias entre fonte e dreno, a omissão de algumas capacitâncias e até de alguns dos transistores do circuito.

Apesar disso tudo, os dois resultados apontam para o fato de que os transistores Mn1a e Mn2a, chamados naquela análise, simplesmente, de Mna, concentram a maior parte da geração do ruído gerado na saída do transcondutor.

A densidade espectral de potência de ruído referenciado na entrada é obtida dividindo-se o valor da densidade de ruído na saída pelo valor do ganho de tensão, logo, seu valor depende da tensão de controle V_b , como é possível observar no gráfico à esquerda (Figura 6.10).

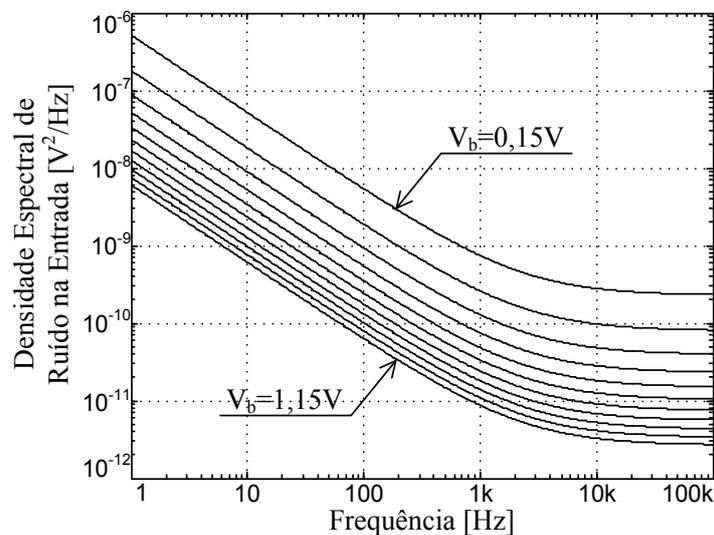


Figura 6.10: Perfil da densidade espectral de potência do ruído referenciado na entrada.

Integrando-se a densidade espectral de ruído na entrada desde a frequência inicial (1 kHz) até o fim da banda desejada (15 kHz), é possível estimar a potência equivalente do ruído de tensão na entrada do OTA. Dessa forma, chega-se ao gráfico mostrado na Figura 6.11.

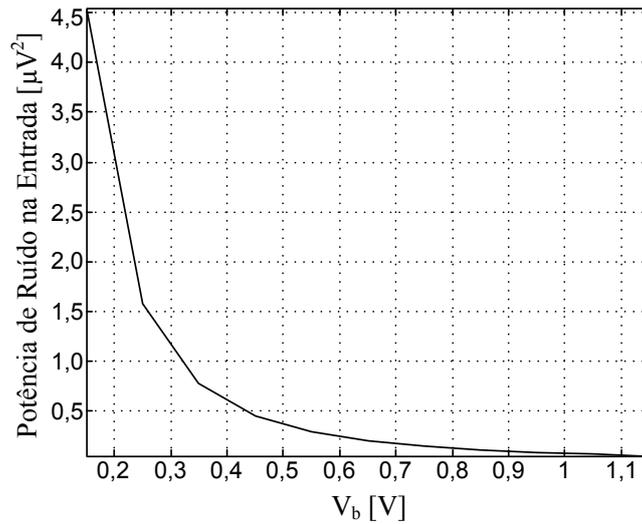


Figura 6.11: Relação entre a potência de ruído na entrada e a tensão de polarização V_b .

A linearidade da relação entre a corrente de saída e a tensão diferencial de entrada do OTA pode ser verificada através de uma análise da distorção harmônica total (THD). Para tal, as fontes de tensão V_{in} (Figura 6.3) foram substituídas por fontes senoidais com frequência de 1 kHz , e suas amplitudes foram variadas no intervalo entre $0,1 V_{pp}$ e $1,8 V_{pp}$. Variou-se, também, o valor de V_b , dentro do mesmo intervalo das simulações anteriores. O resultado dessa análise pode ser visto na Figura 6.12.

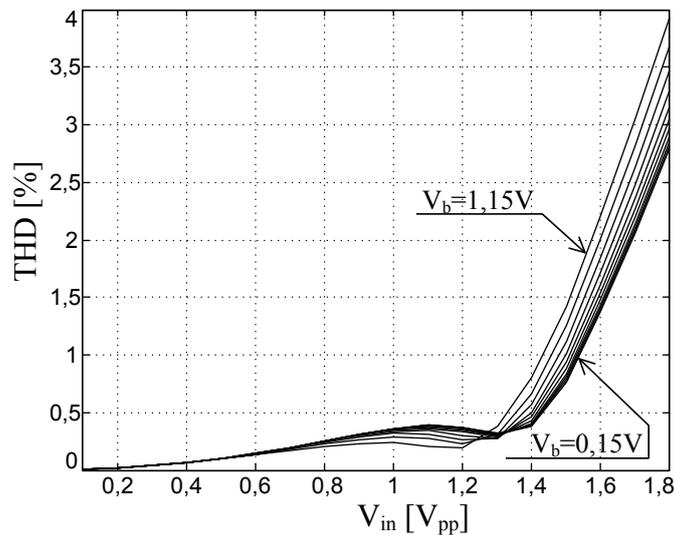


Figura 6.12: Perfil da distorção harmônica total (THD) da corrente de saída do OTA para uma varredura na amplitude da tensão diferencial de entrada em diversos valores de V_b .

Para facilitar a interpretação dos dados mostrados na Figura 6.12, obteve-se a Figura 6.13, onde é mostrada a relação entre a tensão de polarização e a máxima amplitude de entrada, para a qual a distorção harmônica (THD) é menor ou igual a 1%.

É possível constatar, observando-se a Figura 6.13, uma amplitude mínima de $1,43 V_{pp}$, para uma distorção harmônica de 1%, corresponde a $V_b = 1,15V$. Porém, com base nos gráficos mostrados na Figura 6.1, pode-se concluir que esta limitação para a excursão de sinal de entrada é fortemente influenciada pelas não linearidades dos atenuadores pseudo-diferenciais. Este limite na amplitude de entrada, no entanto, é perfeitamente compatível com os limites de excursão de tensão impostos pelo estágio de saída.

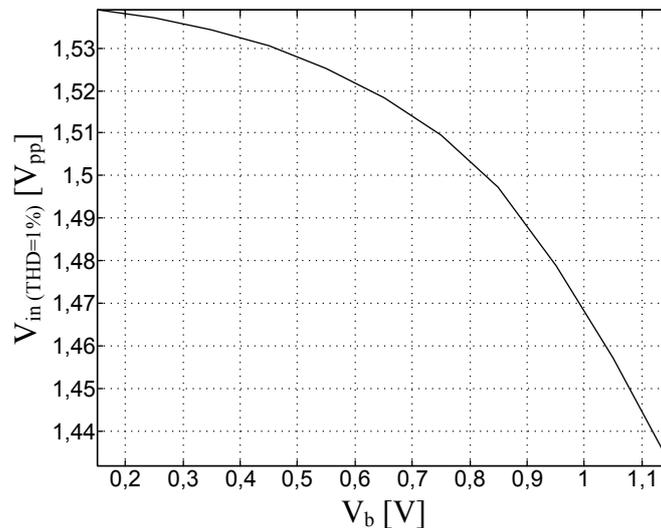


Figura 6.13: Relação entre a máxima excursão de sinal (THD=1%) e a tensão de polarização V_b .

Combinando-se a informação a respeito da máxima amplitude da tensão de entrada admissível com os resultados das análises de ruído, pode-se estimar a faixa dinâmica definida pela razão sinal/ruído, com THD igual a 1%, do OTA projetado. Na Figura 6.14 observa-se que a faixa dinâmica da entrada apresenta seu mínimo para o menor valor da tensão de polarização V_b .

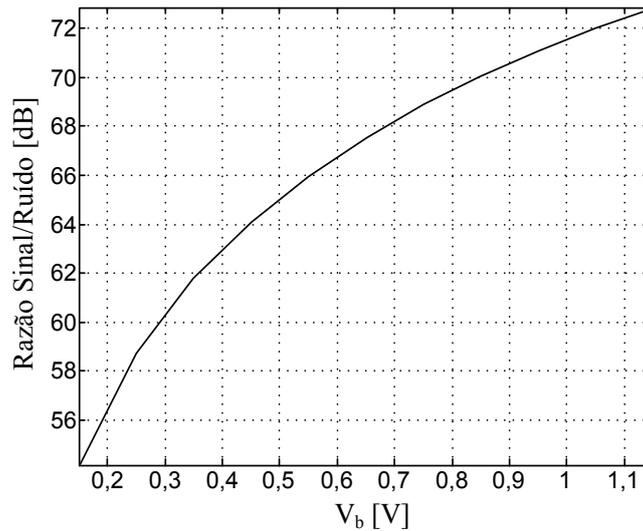


Figura 6.14: Relação Sinal/Ruído na entrada do OTA, para diversos valores de V_b .

Para verificar o comportamento do circuito do OTA na presença de erros aleatórios, foram realizadas algumas análises do tipo Monte-Carlo. Nestas análises, as simulações são executadas introduzindo erros aleatórios que seguem as estatísticas associadas à tecnologia utilizada, obtidas pelo fabricante. Esses erros aleatórios podem se manifestar de duas maneiras distintas: descasamento entre os componentes e variação dos parâmetros do processo de fabricação.

Na análise de Monte-Carlo para descasamento, o simulador introduz erros aleatórios nos valores relativos dos diferentes componentes do circuito, ou seja, ao valor de cada componente distinto é aplicado um erro absoluto diferente, conforme seus valores nominais.

Quando se analisam erros de processo, todos os componentes do circuito tem os mesmos desvios nos valores de seus parâmetros, segundo uma estatística específica que, em geral, difere daquela empregada na análise de descasamento. Essa análise reproduz os efeitos das variações nos parâmetros de processo que ocorrem entre rodadas de fabricação, ou entre os chips de *wafers* distintos, ou até mesmo entre chips dentro de um mesmo *wafer*.

Nos gráficos mostrados na Figura 6.15, podem-se verificar os resultados de 100 rodadas da análise de Monte-Carlo de descasamento, para uma varredura DC na tensão de entrada considerando $V_b = 0,3 V$. Esse valor utilizado para a polarização está

associado ao menor valor projetado para V_b , que corresponde a menor transcondutância. Logo, essa condição corresponde ao pior caso para o desvio padrão normalizado para a transcondutância $\hat{\sigma}_{G_m}$, como pode ser verificado pela expressão (5.9).

Nesses gráficos podem-se ver os perfis com os valores da média (μ) e um desvio padrão (σ) acima e abaixo, em cada valor da tensão diferencial de entrada V_{in} .

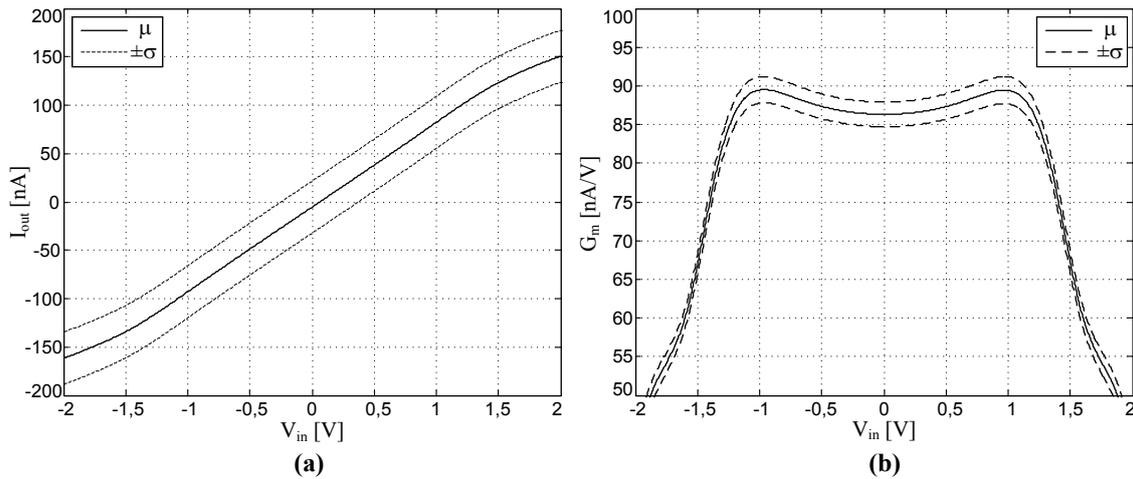


Figura 6.15: Resultados da análise de Monte-Carlo com 100 rodadas para descasamento: curva de corrente de saída (a) e curva de transcondutância (b).

Para uma análise mais detalhada dos resultados, foram obtidos os respectivos histogramas com as estatísticas correspondentes, considerando a tensão diferencial de entrada nula ($V_{in} = 0$). Nos gráficos mostrados na Figura 6.16 (a) e (b), pode-se verificar a distribuição dos valores do *offset* da corrente de saída e da transcondutância, respectivamente.

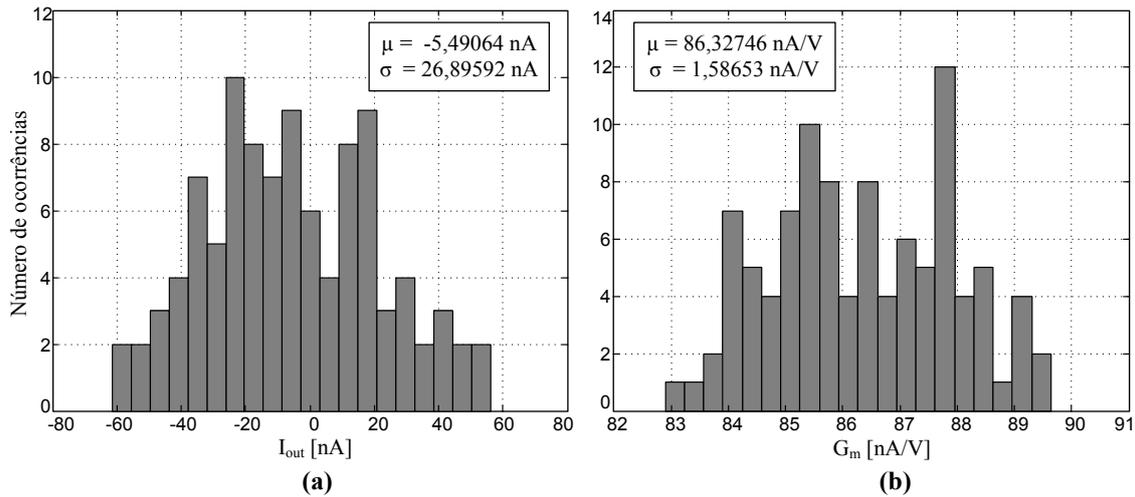


Figura 6.16: Histograma com os dados resultantes da análise de Monte-Carlo com 100 rodadas de descasamento, considerando a tensão diferencial nula: para corrente de saída (a) e para a transcondutância (b).

O valor nominal da transcondutância na origem ($V_{in} = 0V$) e com $V_b = 0,3V$ é de, aproximadamente, $87,41 \text{ nA/V}$, diferindo ligeiramente da média obtida da análise de Monte-Carlo. Ao dividir-se o desvio padrão mostrado no gráfico da Figura 6.15(b) pela transcondutância nominal com $V_b = 0,3V$, obtém-se o desvio padrão normalizado ($\hat{\sigma}_{G_m}$), calculado em, aproximadamente, 1,81%. Este valor está bastante próximo àquele definido no projeto (2,0%).

Na Figura 6.16 (a) verifica-se que o descasamento entre os transistores do circuito resulta em um *offset* de corrente com média de $\mu = -5,49 \text{ nA}$ e desvio padrão $\sigma = 26,90 \text{ nA}$.

A fim de observar o efeito do descasamento sobre o *offset* de tensão, simulou-se o ponto de operação do OTA ligado como *buffer*, isto é, com as entradas conectadas às saídas com as polaridades trocadas. Foram executadas 500 rodadas dessa simulação², considerando, somente, o descasamento entre os componentes. Os resultados dessa simulação podem ser vistos na Figura 6.17, onde se verifica que descasamentos entre os transistores do OTA geram *offsets* na tensão de saída do circuito, com desvio padrão compatível com aquele obtido para a corrente de saída, sendo possível relacioná-los, de forma aproximada, através do valor da transcondutância nominal.

² Essa simulação foi realizada utilizando-se um controle de modo comum ideal.

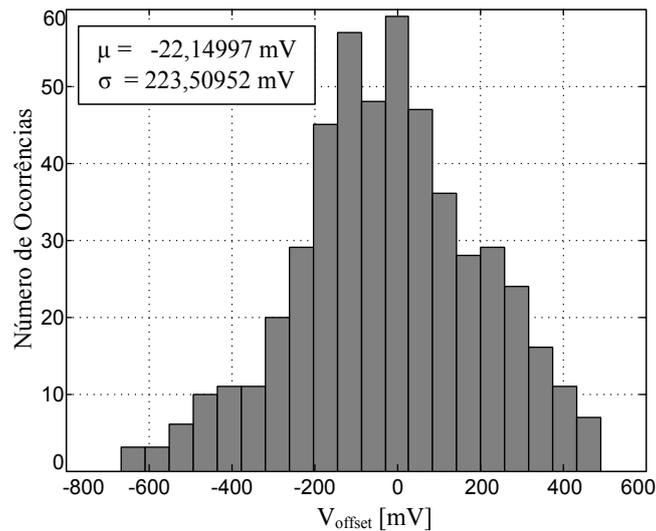


Figura 6.17: Histograma com os dados resultantes da análise de Monte-Carlo com 500 rodadas de descasamento, considerando a tensão diferencial nula, para o *offset* de tensão saída.

Concluídas as análises dos efeitos do descasamento, de maneira análoga realiza-se a verificação das consequências da variação dos parâmetros de processo sobre o OTA. Sabe-se de antemão que, em virtude de sua natureza, as estatísticas associadas a esta modalidade de erros são mais dispersas que aquelas relacionadas ao descasamento. Logo, seus efeitos tendem a apresentar maior amplitude.

Na Figura 6.18 são mostrados os gráficos com os resultados para a corrente de saída (a) e para a transcondutância (b), de uma varredura DC do valor da tensão diferencial de entrada V_{in} , em 100 rodadas com variações dos parâmetros de processo. A tensão V_b assume o mesmo valor utilizado na análise de descasamento.

Pode-se observar na Figura 6.18(a) que, como era esperado, as variações no processo não produzem *offset* de corrente. No gráfico (b), percebe-se que a transcondutância passa por variações muito mais amplas (com desvios maiores) em relação a seu valor médio.

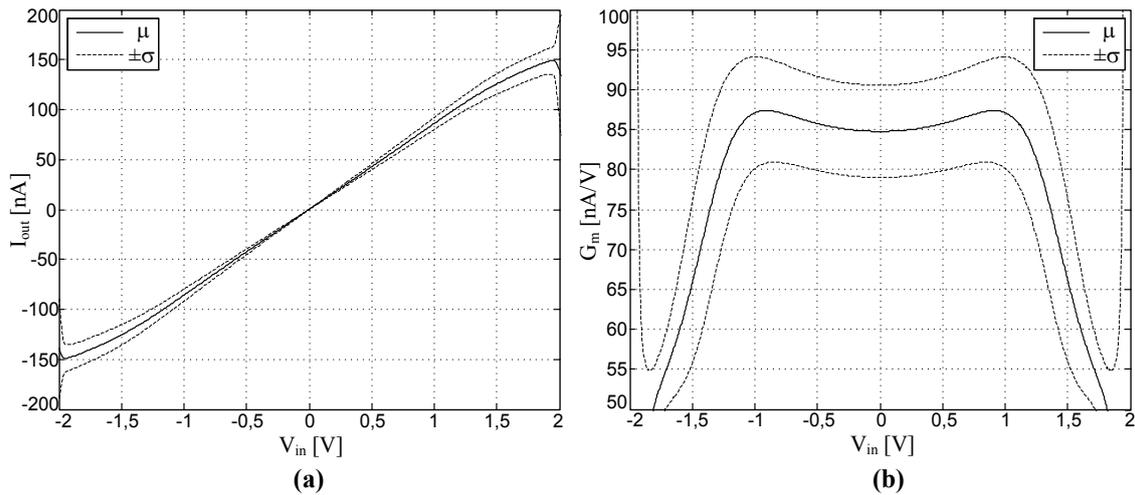


Figura 6.18: Resultados da análise de Monte-Carlo com 100 rodadas de variação nos parâmetros de processo: para corrente de saída (a) e para a transcondutância (b).

Assim como na análise de descasamento, foram obtidos os histogramas da Figura 6.19 contendo a distribuição dos valores de transcondutância na origem para variações nos parâmetros de processo. Como já comentado, não há necessidade de se mostrar o histograma correspondente a corrente de saída, uma vez que este tipo de análise não resulta em *offset* na saída.

Na Figura 6.19 mostra-se o histograma, relativo à análise realizada, com a distribuição da transcondutância em $v_d = 0$, juntamente com suas estatísticas. Verifica-se que a dispersão dos valores é maior que aquela verificada na análise do descasamento. Isso fica evidente quando se comparam os valores dos desvios padrão.

No entanto, os resultados verificados para esse fenômeno não são muito preocupantes, uma vez que a faixa de ajuste de transcondutância é suficientemente ampla para compensar esses erros.

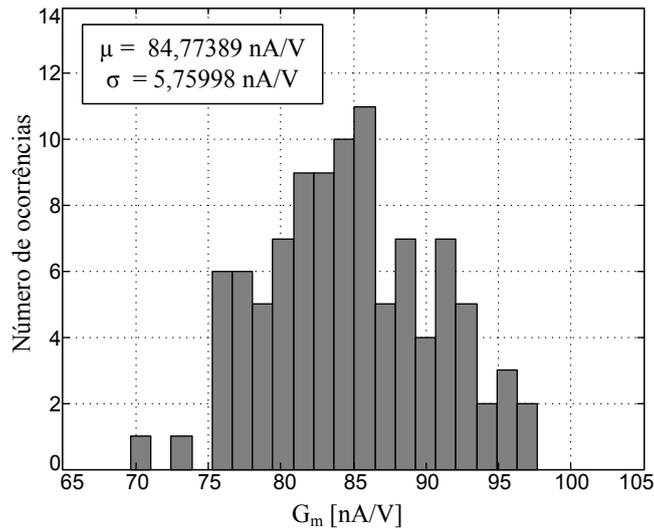


Figura 6.19: Histograma com os dados resultantes da análise de Monte-Carlo com 100 rodadas de variações nos parâmetros de processo, considerando a tensão diferencial nula, para a transcondutância.

Para observar o efeito da variação de temperatura sobre o funcionamento do circuito, realizou-se uma simulação de varredura DC da tensão diferencial de entrada, considerando todos os componentes com seus valores nominais e variou-se a temperatura entre $-25^{\circ}C$ e $100^{\circ}C$, com intervalos de $25^{\circ}C$. Manteve-se a tensão de polarização V_b em $0,3V$.

Os resultados podem ser vistos na Figura 6.20. No gráfico da Figura 6.20(b) é possível verificar que o valor da transcondutância em $v_d = 0$ uma variação grande em relação a seu valor nominal ($87,41 \text{ nA/V}$), calculado a uma temperatura de $27^{\circ}C$.

Porém, a faixa de temperatura utilizada nessa simulação excede a faixa de operação pretendida para o circuito. Para uma faixa de temperatura mais realista (entre $0^{\circ}C$ e $50^{\circ}C$) a variação relativa, máxima, do valor da transcondutância em $v_d = 0$ não supera os 14,11%. Dessa forma, com base no desvio padrão dos erros nos parâmetros de processo, com a faixa de ajuste de transcondutância apresentada pelo OTA é possível compensar os efeitos combinados das variações de temperatura com os erros aleatórios de processo.

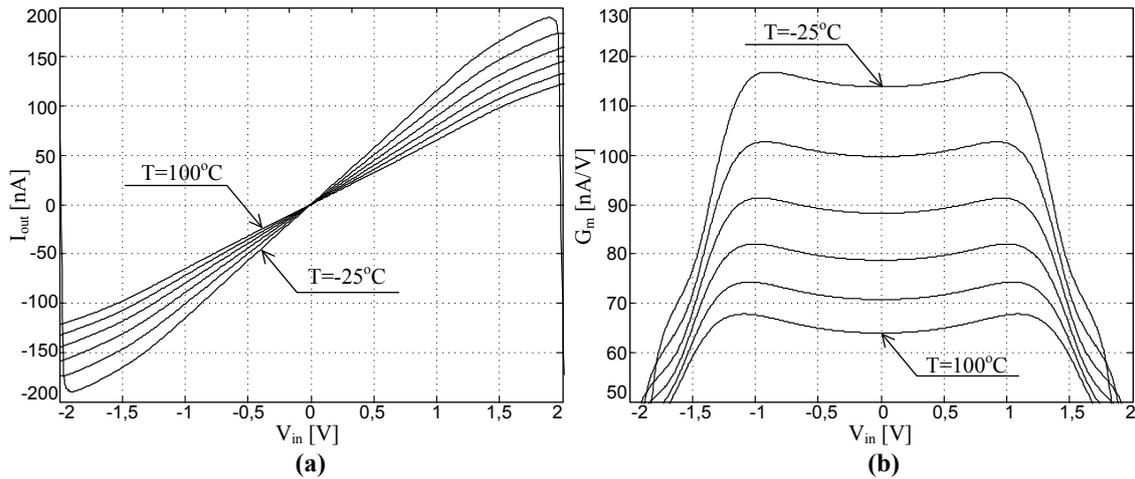


Figura 6.20: Dependência da temperatura: perfis da corrente de saída (a) e da transcondutância (b) do OTA.

Uma figura que caracteriza o desempenho de circuitos diferenciais é conhecida como razão de rejeição de modo comum ou CMRR (*Common-Mode Rejection Ratio*). Esta medida é definida como a razão entre o ganho diferencial e o ganho de modo comum do circuito, e define a capacidade que um dado circuito diferencial tem de rejeitar ruídos ou oscilações no valor da tensão de modo comum em suas entradas.

Para esta medida, realizou-se uma simulação baseada apenas no esquemático do OTA, aplicando-se uma entrada AC de magnitude unitária na tensão de modo comum V_{cm} e outra na tensão diferencial V_{in} para o circuito mostrado na Figura 6.21. Foram utilizadas capacitâncias (C) de $2,4\text{pF}$, assumiu-se que a capacitância parasita C_p vale $2/7$ de C .

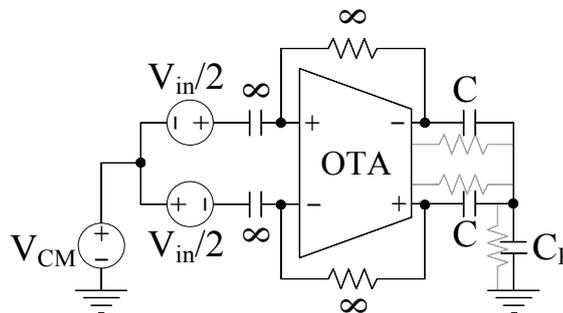


Figura 6.21: Diagrama esquemático do circuito utilizado para o levantamento do CMRR e do PSRR.

Dessa forma, o CMRR obtido por simulação, encontra-se na Figura 6.22. Pode-se verificar a variação do CMRR com o valor da tensão de polarização (V_b). Consta-se que o menor valor para a razão de rejeição de modo comum, em baixas frequências, é de $151,59\text{ dB}$. Realizando-se uma análise de Monte Carlo para descasamento, verificou-se que o valor médio do CMRR, para $V_b = 0,15\text{ V}$, foi de $151,79\text{ dB}$ com um desvio padrão de $11,29\text{ dB}$.

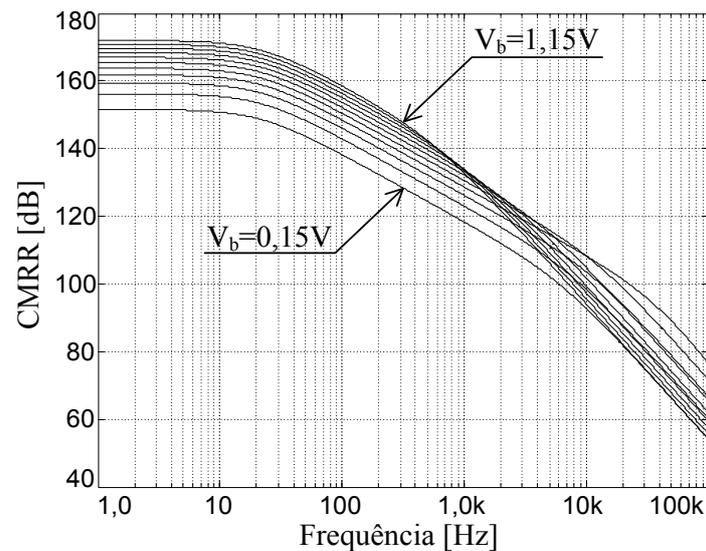


Figura 6.22: Razão de rejeição de modo comum do OTA, para diferentes valores de V_b , com uma carga de dois capacitores de $2,4\text{ pF}$ em série.

Semelhante ao CMRR, outra figura importante para se caracterizar um amplificador analógico é a razão de rejeição da fonte de alimentação, conhecida por sua sigla em inglês PSRR (*Power Supply Rejection Ratio*). O PSRR também define a capacidade que uma dada estrutura tem de rejeitar ruído ou oscilações oriundos da fonte de alimentação.

Para determinar o valor do PSRR referenciado na saída, associado ao circuito em questão, ligou-se uma fonte de tensão AC com amplitude unitária em série com a fonte de alimentação DC, mantendo-se ambas as entradas diferenciais conectadas ao potencial de modo comum. Uma análise AC foi realizada, com base no esquemático do circuito, na qual se empregou a mesma carga capacitiva utilizada na simulação anterior.

Esta análise foi executada para diferentes valores da tensão de polarização V_b , com os mesmos valores utilizados nas simulações anteriores.

Monitorando o valor da tensão de modo comum nas saídas do OTA, sabendo-se que a amplitude da excitação é unitária, obtém-se o ganho devido à variação na fonte de alimentação. Dividindo-se este valor pelo ganho de tensão diferencial (Figura 6.8), chega-se ao valor do PSRR, cujo perfil pode ser visto na Figura 6.23. Constata-se que o menor valor da razão de rejeição da fonte de alimentação, em baixas frequências, ocorre para $V_b = 0,15V$ e vale $80,49 dB$. Através de uma análise de Mote Carlo para descasamento, com $V_b = 0,15V$, chegou-se a um valor do PSRR médio de $80,49 dB$ com desvio padrão de $6,17 dB$.

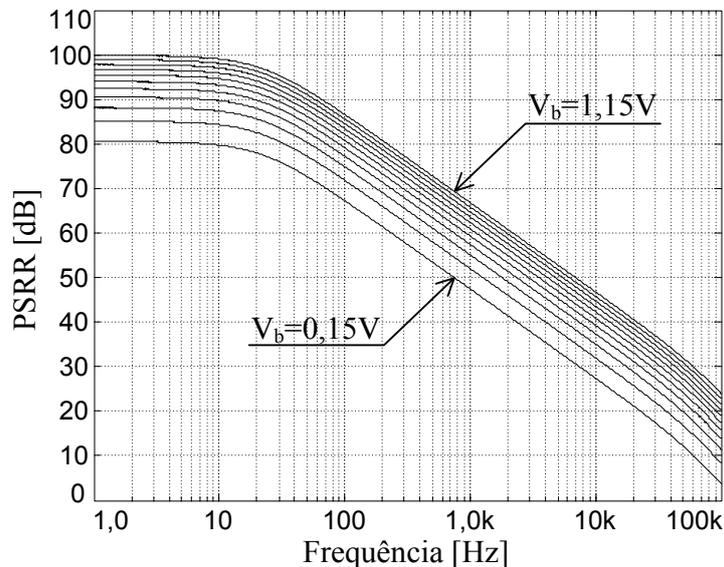


Figura 6.23: Razão de rejeição da fonte de alimentação do OTA, para diferentes valores de V_b , com uma carga de dois capacitores de $2,4pF$ em série.

Para terminar de caracterizar o transcondutor projetado, estimou-se a potência consumida pelo OTA, juntamente com o amplificador de controle de modo comum e as estruturas de polarização. Para tal, fez-se uma varredura DC na tensão diferencial de entrada e monitorou-se a corrente que circula através da fonte de alimentação. Assim, a potência total consumida pelas duas estruturas é definida como o produto dessa corrente pelo valor nominal da tensão de alimentação ($V_{dd} = 2,5V$).

Essa simulação foi realizada para diversos valores da tensão de polarização V_b . Porém, como é possível observar na Figura 6.24, os perfis de potência consumida pelos circuitos do OTA, do amplificador de realimentação de modo comum e polarização, não variam de maneira significativa com o valor desta tensão.

Verifica-se que o valor quiescente da potência consumida pelos três circuitos é de $39,30 \mu W$ onde, aproximadamente $5,0 \mu W$ alimentam o amplificador de realimentação de modo comum, $2,5 \mu W$ são utilizados pelo circuito de polarização e o restante, por volta de $31,8 \mu W$, são destinados ao OTA, sendo que, desta parcela, $16,97 \mu W$ são consumidos apenas pelos atenuadores.

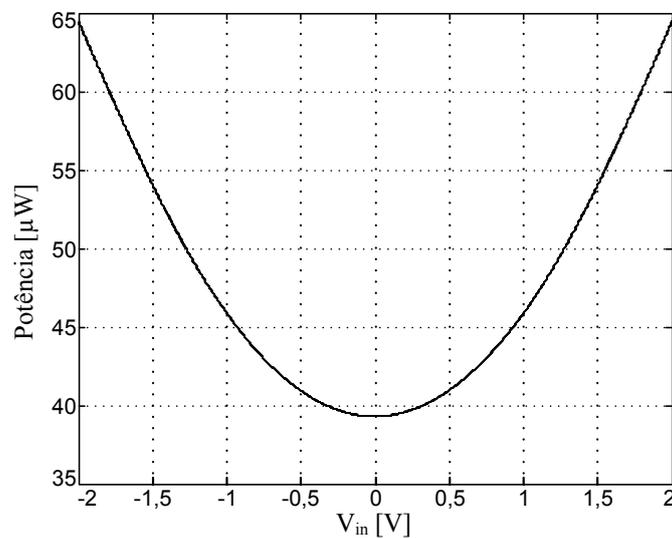


Figura 6.24: Perfil da potência DC consumida pelo OTA com o amplificador operacional de realimentação de modo comum.

Para uma noção mais realista do consumo de potência do circuito em funcionamento, excitou-se o mesmo circuito com uma entrada senoidal, de amplitude (pico a pico) unitária e frequência de $1 kHz$, e o valor medido para a potência RMS fornecida pela fonte de alimentação (V_{dd}) foi aproximadamente $42,62 \mu W$, para os diferentes valores de V_b simulados.

Assim, concluídas estas análises, resumiram-se as características associadas ao OTA projetado na Tabela 6.2. Alguns dos valores mostrados se referem aos piores casos.

Tabela 6.2: Resumo das características referentes ao desempenho do OTA.

Característica	Valor
Impedância de Saída	5,9 $G\Omega$
Excursão de Sinal	$> 1,43 V_{pp}$
Faixa Dinâmica	$> 54 dB$
Faixa de Transcondutância	42,65 – 396,04 nA/V
CMRR	$> 151,5 dB$
PSRR	$> 80,5 dB$
Tensão de Alimentação	2,5 V
Consumo de potência	42,62 μW

6.3 CONTROLE DE MODO COMUM

Para verificar o desempenho e a estabilidade do circuito de realimentação de modo comum projetado, foram realizadas algumas simulações. Para estas simulações, baseadas no diagrama esquemático, ambas as entradas dos transdutores são ligadas ao referencial de modo comum e suas saídas são conectadas a dois capacitores de $C = 2,4 pF$ ligados em série. Uma capacitância C_p de aproximadamente 685 fF ($\cong 2 \cdot C/7$) é ligada entre estes e o referencial de terra (conforme Figura 6.25), simulando a capacitância parasita existente entre as placas inferiores dos capacitores e o substrato. Além disso, como simuladores não conseguem lidar com transistores com portas flutuantes, foram introduzidos resistores, com valores bastante elevados, em paralelo com os capacitores. Estes resistores foram dimensionados de maneira a produzirem um ganho DC próximo ao esperado para o divisor capacitivo, interferindo minimamente na dinâmica do circuito. Assim o valor definido para os resistores em paralelo com os capacitores C é de 100 $T\Omega$. Já o valor do resistor em paralelo com C_p foi calculado para ser 7/2 daquele.

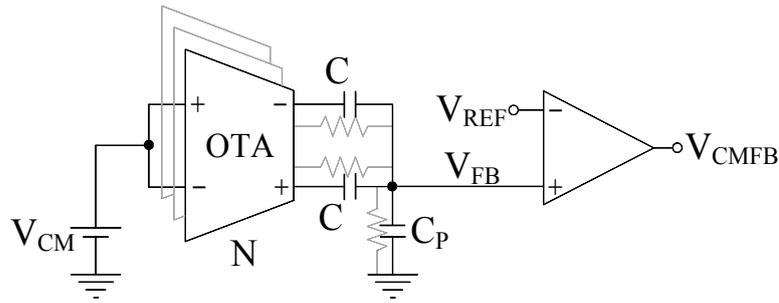


Figura 6.25: Diagrama esquemático do circuito utilizado para a análise da realimentação de modo comum.

Para observar o comportamento estático do circuito, realizou-se uma análise DC. Inicialmente, fez-se uma varredura da tensão de referência (V_{REF}) e observou-se a tensão de realimentação (V_{FB}), com o circuito em malha fechada.

No gráfico da Figura 6.26 (a), pode se ver o perfil da tensão de realimentação (V_{FB}). É possível constatar que há um pequeno *offset* com relação à tensão de referência. Além disso, derivando-se a curva de V_{FB} com relação à V_{REF} , chega-se ao ganho de tensão em malha fechada, mostrado no gráfico (b). Analisando este ganho, percebe-se que há uma pequena não linearidade neste circuito, de aproximadamente 0,23 %.

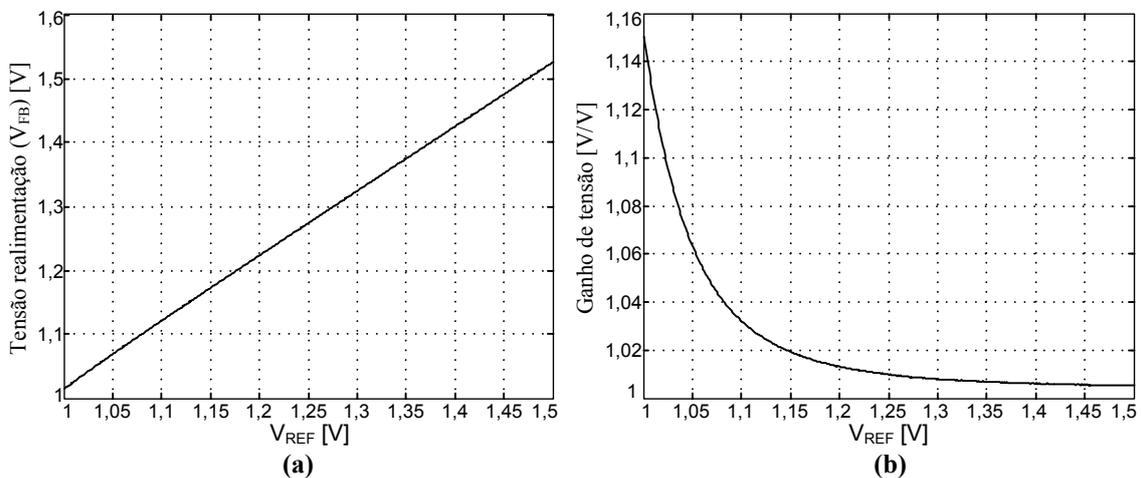


Figura 6.26: Circuito de controle de modo comum em malha fechada: perfis da tensão de realimentação V_{FB} (a) e do ganho de tensão (b) para uma varredura de V_{REF} .

Também foi feita uma simulação do circuito em malha aberta, desconectando-se o nó de tensão V_{FB} da entrada do amplificador de realimentação e, em seu lugar, conectando-se uma fonte DC com valor apropriado para que o modo comum de saída esteja no valor desejado. Os perfis da tensão de realimentação e do ganho de tensão do

circuito em malha aberta, resultantes dessa simulação, são mostrados nos gráficos (a) e (b) da Figura 6.27. Verifica-se que o ganho de tensão do circuito em malha aberta é de cerca de $8,11 \text{ kV/V}$.

Para verificar a estabilidade do circuito de controle, foi realizada a análise AC, considerando a entrada em V_{REF} , para o circuito em malha aberta, com um amplificador de realimentação controlando o modo comum de números diferentes de estágios de saída. A magnitude e a fase da tensão de realimentação V_{FB} podem ser vistas nas Figura 6.28(a) e (b). É possível constatar que o circuito simulado apresenta uma dinâmica semelhante àquela considerada na análise desenvolvida na seção 5.2.1 do capítulo anterior. Porém, verifica-se também que as simplificações adotadas naquela análise resultaram na omissão de alguns comportamentos dinâmicos que provocam alguns desvios nos resultados esperados. Talvez o mais notável seja a ausência do polo na origem. Além disso, observando o gráfico da fase na Figura 6.28(b), estima-se que o sistema simulado seja de quarta ordem, enquanto o sistema utilizado na análise é de terceira ordem.

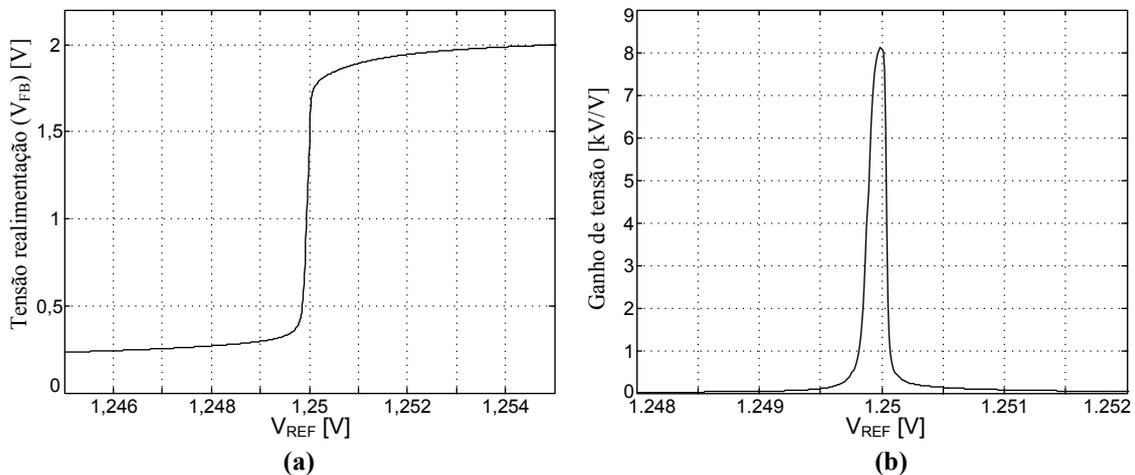


Figura 6.27: Varredura de V_{REF} , com o circuito em malha aberta: perfis da tensão de realimentação V_{FB} (a) e do ganho de tensão (b).

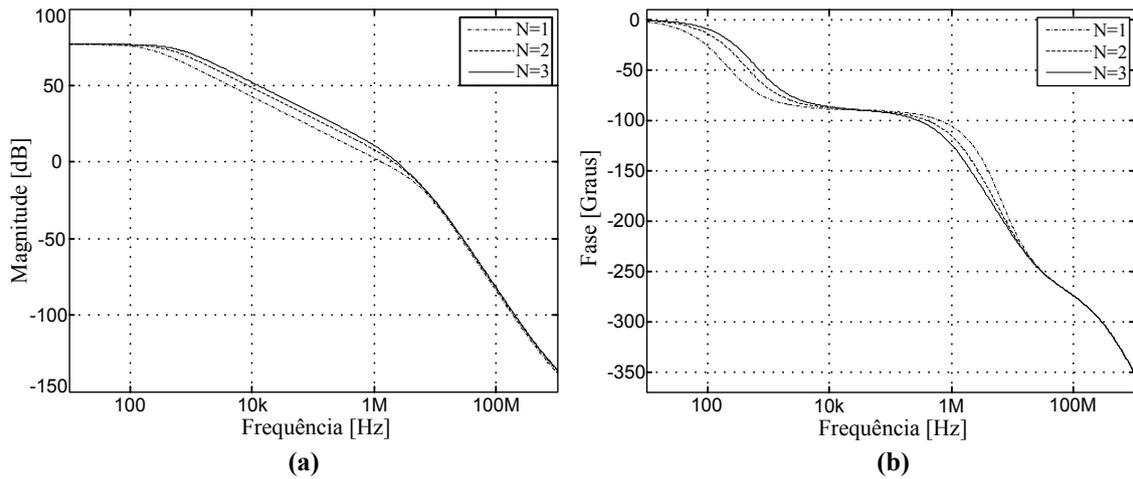


Figura 6.28: Resposta em frequência em malha aberta do circuito de realimentação de modo comum, controlando diferentes quantidades de estágios de saída (N): magnitude (a) e fase (b).

A partir dos gráficos mostrados na Figura 6.28 é possível extrair-se os valores das margens de fase para o sistema em malha aberta nos diferentes valores de N , conforme mostrado na Tabela 6.3.

Tabela 6.3: Margem de fase do circuito em malha aberta.

N	Margem de fase
1	$68,54^\circ$
2	$39,86^\circ$
3	$24,10^\circ$

Observando os resultados mostrados na Tabela 6.3, verifica-se que os efeitos das dinâmicas desconsideradas resultaram em um desvio substancial dos resultados previstos, dado que a margem de fase projetada para $N = 3$ era de 45° , e o resultado obtido por simulação não chega aos 25° . No entanto, como já se comentou, o projeto baseado na margem de fase é bastante conservador, sendo possível que o sistema seja estável mesmo que não seja atendido o valor estipulado.

Em outra simulação do circuito esquemático, dessa vez no domínio do tempo, aplicou-se um sinal pulsante (variando entre 1,0 e 1,5V) na entrada de referencia (V_{REF}) com o circuito em malha fechada. Esta simulação foi realizada para um amplificador de realimentação controlando números (N) diferentes de OTAs. Monitorando-se a tensão

de realimentação do circuito (V_{FB}), obtêm-se as formas de onda mostradas na Figura 6.29.

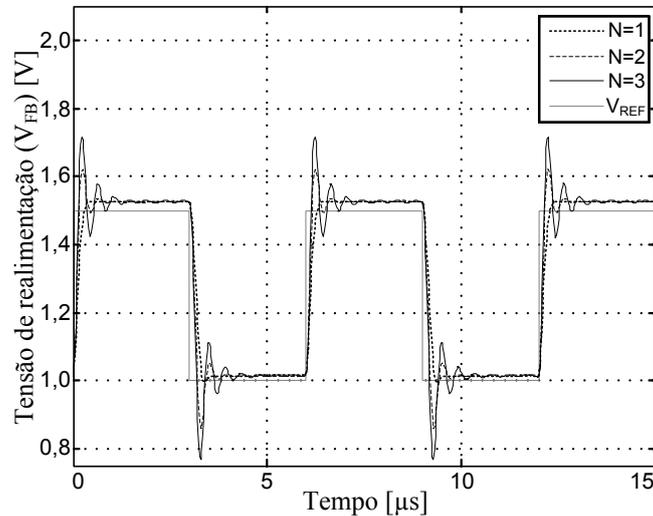


Figura 6.29: Resposta do circuito em malha fechada à uma entrada de referência pulsada.

É possível, observando-se a Figura 6.29, constatar que o circuito é estável para os três valores de N simulados. Conforme previsto pela análise realizada na seção 5.2.1 é possível confirmar que o caso mais crítico ocorre para $N = 3$, para o qual ocorre a maior amplitude de oscilação antes de estabilizar.

Também se pode constatar que, em função do *offset* e da não linearidade na relação entre V_{FB} e V_{REF} , verificados nas simulações DC, que o sinal de realimentação não converge exatamente para a referência.

Como consequência do divisor capacitivo, criado entre os capacitores do filtro e a capacitância parasita para o substrato, o valor da tensão de modo comum na saída dos OTAs (V_{CM}) é maior que a tensão V_{FB} . Com base na estimativa da capacitância parasita como sendo $2/7$ da capacitância do filtro, pode-se estimar que a tensão V_{CM} seja igual a $8/7$ de V_{FB} .

6.4 FILTRO GM-C

Para observar as características do funcionamento do filtro Gm-C projetado, realizaram-se uma série de simulações. Entre estas simulações, fez-se uma análise AC com a tensão de polarização V_b assumindo valores entre 0,15 e 1,15 V, igualmente espaçadas de 0,1 V, resultando nos gráficos mostrados na Figura 6.30.

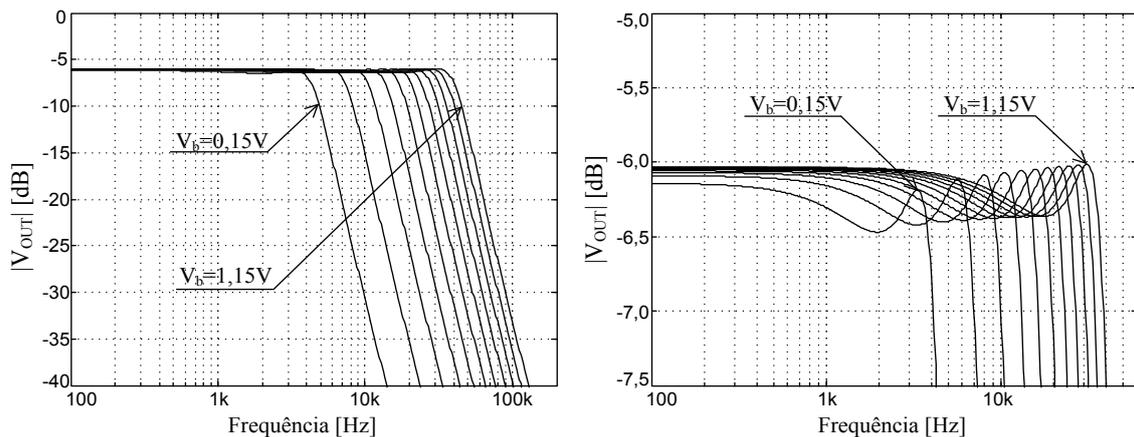


Figura 6.30: Resposta em frequência do filtro Gm-C (a), com detalhe na banda de passagem (b), para diferentes valores da tensão de polarização V_b .

No gráfico da Figura 6.30(b) percebe-se que, para todos os valores de V_b simulados, o *ripple* na banda de passagem da tensão de saída do filtro assume valores dentro das especificações. Para melhor visualizar a faixa de ajuste da frequência de corte do filtro em função da tensão de polarização obteve-se o gráfico mostrado na Figura 6.31.

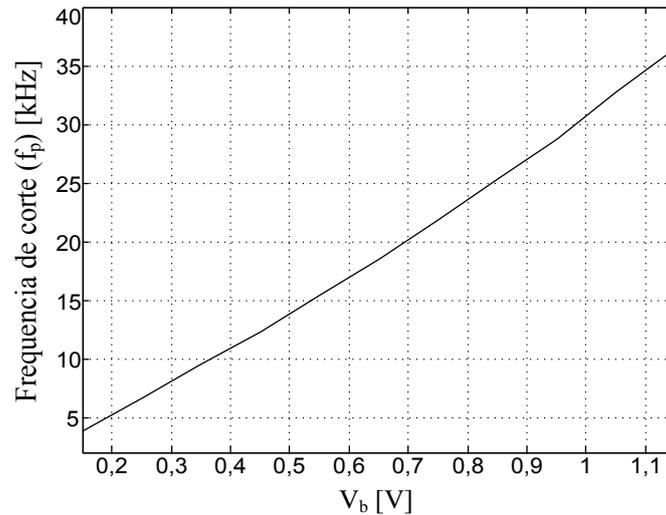


Figura 6.31: Relação entre a frequência de corte do filtro Gm-C e a tensão de polarização V_b .

Na Figura 6.31 é possível verificar que há uma relação bastante linear entre a tensão V_b e a frequência de corte, com uma não linearidade de cerca de 1,75 %. A frequência de corte foi considerada como sendo àquela onde a magnitude atinge 0,5 dB (A_{MAX}) abaixo do ganho DC. Dessa forma, dentro da faixa de V_b utilizada, a frequência de corte pode assumir valores entre 3,87 e 36,51 kHz.

Prosseguindo as análises no domínio da frequência, mediu-se o ruído do circuito, através de simulações baseadas no esquemáticos, resultando nos gráficos da Figura 6.32.

Nos gráficos mostrados na Figura 6.32 são mostrados os perfis da densidade espectral de potência de ruído referenciado na saída e na entrada do filtro, para valores de V_b dentro do mesmo intervalo utilizado nas simulações anteriores.

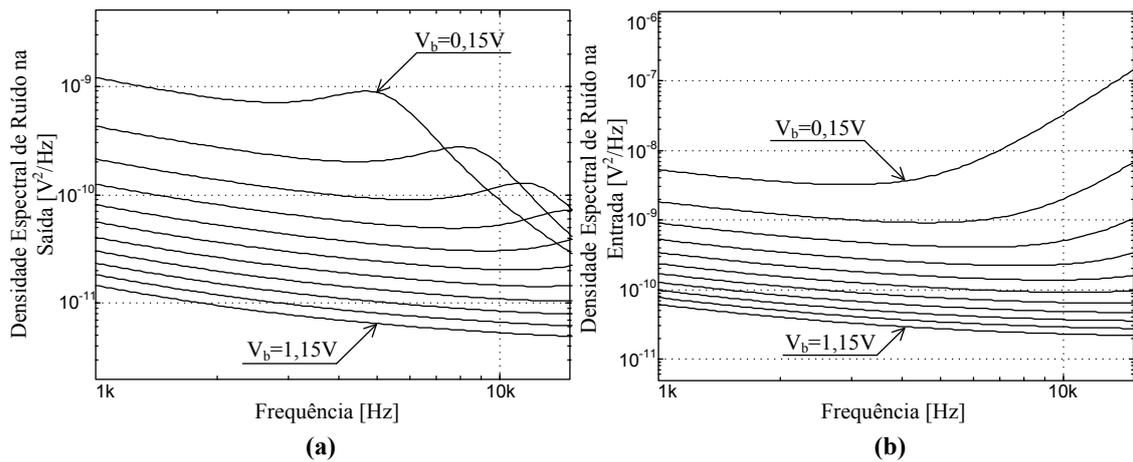


Figura 6.32: Perfis da densidade espectral de potência do ruído para diferentes valores de V_b : referenciado na saída (a); referenciado entrada (b).

Para melhor sintetizar os resultados, integrou-se a densidade espectral de potência de ruído na entrada, dentro da faixa de frequência compreendida entre 1 kHz e a respectiva frequência de corte do filtro para os diversos valores de V_b , resultando no gráfico mostrado na Figura 6.33.

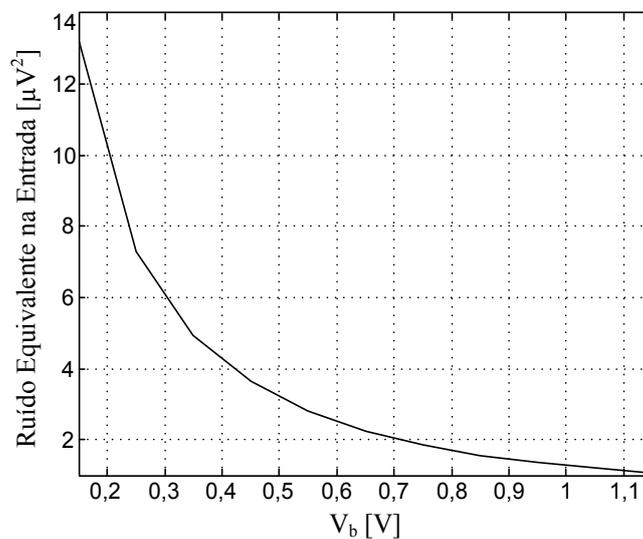


Figura 6.33: Potência de ruído referenciado na entrada para uma faixa de valores de V_b .

Para a verificação da linearidade do filtro, foi realizada uma análise no domínio do tempo, aplicando-se uma excitação senoidal com frequência de 1 kHz às entradas diferenciais do filtro. Então o valor da distorção harmônica total (THD) na saída do filtro foi medido para diversos valores da amplitude do sinal de entrada (V_{in}). Este

procedimento foi realizado para diferentes valores da tensão V_b , e o resultado pode ser visto na Figura 6.34.

Observa-se que o perfil da distorção harmônica da tensão de saída do filtro é muito semelhante àquele observado para a corrente de saída do OTA.

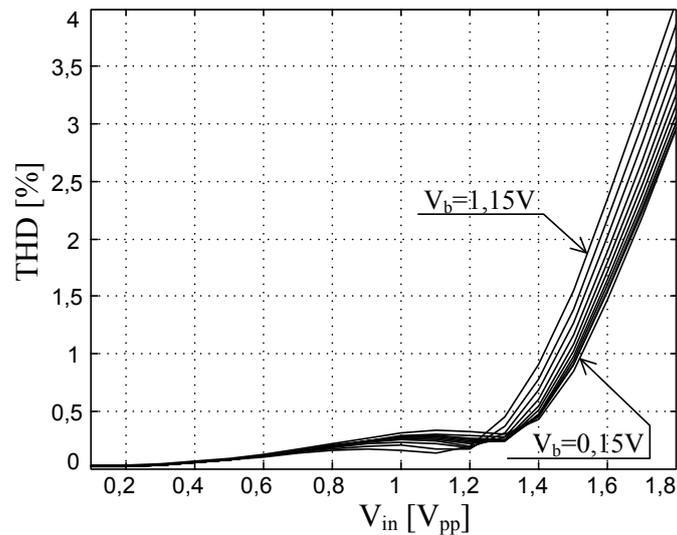


Figura 6.34: Perfil da distorção harmônica total (THD) da tensão de saída do filtro para uma varredura na amplitude da tensão diferencial de entrada em diversos valores de V_b .

Assim como se fez para o OTA, levantou-se a amplitude de entrada correspondente à uma distorção harmônica de 1%, que será considerada como a máxima amplitude de entrada do filtro. Na Figura 6.35 é mostrada a relação entre esta amplitude e a tensão de polarização V_b .

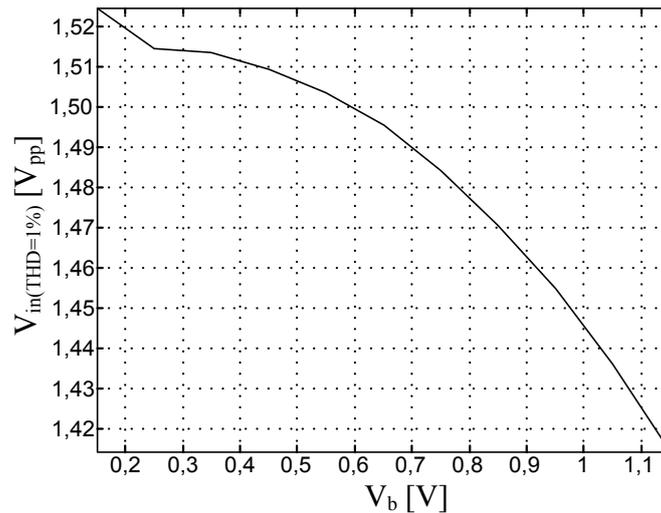


Figura 6.35: Relação entre a máxima amplitude do sinal de entrada do filtro (THD=1%) e a tensão de polarização V_b .

Combinando-se os resultados da máxima amplitude de entrada (Figura 6.35) com a tensão de ruído referenciado na entrada (Figura 6.33), pode-se estimar a faixa dinâmica do filtro, dividindo-se o valor RMS da amplitude de entrada pela raiz quadrada da potência de ruído. O resultado pode ser verificado na Figura 6.36.

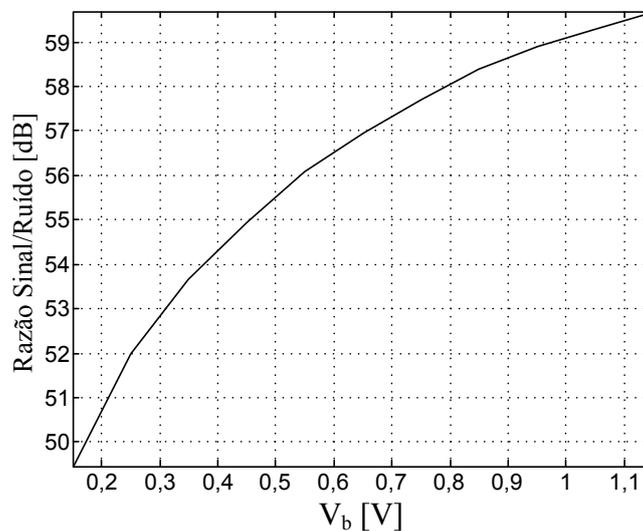


Figura 6.36: Razão Sinal/Ruído na entrada do filtro, para diversos valores de V_b .

Para estimar a potência consumida pelo filtro, realizou-se uma análise no domínio do tempo aplicando um sinal senoidal com amplitude de 1 V e frequência de 1 kHz à entrada diferencial do filtro, então mediu-se o valor RMS da corrente da fonte

de alimentação. Multiplicando-se este valor pela tensão de alimentação ($V_{dd} = 2,5 V$) chega-se a uma potência estimada de aproximadamente $307,82 \mu W$, para $V_b = 0,65 V$.

Os resultados das principais características do filtro Gm-C simulado estão resumidos na Tabela 6.4, onde alguns parâmetros são representados pelos valores correspondentes aos piores casos obtidos nas simulações.

Tabela 6.4: Resumo das características do Filtro Gm-C.

Característica	Valor
Excursão de Sinal	$> 1,41 V_{pp}$
Faixa Dinâmica	$> 49,46 dB$
Frequência de Corte	$3,9 - 36,5 kHz$
Consumo de potência	$307,82 \mu W$

Capítulo 7

DISCUSSÃO

Este capítulo se propõe a discutir de maneira mais ampla os resultados obtidos nos projetos e nas simulações desenvolvidos nos capítulos anteriores. Também serão tecidos comentários sobre possíveis adaptações e melhorias em algumas das estruturas utilizadas.

Os resultados obtidos das simulações do OTA projetado demonstram, de forma bastante clara, sua viabilidade para a aplicação proposta. A estrutura apresentou resultados compatíveis com os requisitos estipulados.

No que diz respeito, especificamente, à estrutura do estágio de entrada do transcondutor, que foi baseada na técnica de cancelamento de corrente, há na literatura algumas críticas [13] quanto sua utilização. Essas críticas recaem, principalmente, sobre a sensibilidade dessa estrutura a erros de descasamento provocados no processo de fabricação.

Por esse motivo o emprego das estatísticas dos erros de fabricação, especialmente do descasamento entre componentes, como um dos critérios de projeto e da metodologia utilizada no desenvolvimento deste trabalho foi tão importante. Verifica-se que esta técnica de projeto pode ser sistematizar para a aplicação em outros projetos distintos.

Embora os resultados das simulações realizadas corroborem o sucesso da aplicação desta técnica, assim como outros resultados obtidos até aqui, sua validade só poderá ser confirmada, de maneira definitiva, com a medição cuidadosa dos chips fabricados.

Quanto aos resultados das análises de ruído, os valores obtidos estão dentro do esperado para um circuito CMOS operando em saturação e na inversão forte, propiciando uma faixa dinâmica bastante razoável, considerando a banda de operação utilizada. Segundo apontaram a análise teórica e as simulações realizadas, a geração do

ruído se concentra mais fortemente sobre apenas dois transistores do circuito do OTA, que juntos contribuem com mais de 80% da potência total do ruído na saída, segundo as simulações.

Contrariando as expectativas, os atenuadores pseudo-diferenciais ativos, utilizados nesse projeto, não apresentam contribuições apreciáveis para o ruído total do circuito. Mas constatou-se, nas simulações, que os mesmos produziram algum prejuízo na linearidade do circuito. Contudo, o consumo de potência dessas estruturas talvez seja seu impacto mais crítico no circuito, dado que os atenuadores sozinhos consomem quase a metade do total consumido pelo circuito.

Uma alternativa para os atenuadores ativos, conforme explanado no capítulo Capítulo 2, seria a utilização dos atenuadores baseados em transistores com portas flutuantes, que além de não produzirem ruído ou distorções, também não demandam potência alguma para serem polarizados, por serem puramente passivos. Assim como se fez para o circuito de realimentação de modo comum, poder-se-ia utilizar alguns dos capacitores do próprio filtro para realizar esta atenuação de tensão.

O emprego de transistores com portas flutuantes (FGMOS) no circuito de controle de modo comum demonstrou um êxito considerável, segundo as análises realizadas. Porém, por ser uma solução pouco convencional, o derradeiro teste será a medição efetuada nos chips fabricados, que até o momento da elaboração deste texto ainda não tinham sido efetuadas.

Uma preocupação no que concerne às aplicações de FGMOS é sua longevidade. Sabe-se que há na literatura alguns estudos que tratam deste aspecto dos transistores com portas flutuantes [66]-[67], porém para aplicações em memórias digitais. Esta característica de FGMOS, aplicados em circuitos analógicos, demanda uma pesquisa mais aprofundada.

Ainda com respeito à estrutura de controle de modo comum desenvolvida no presente trabalho, a técnica de utilização dos próprios capacitores do filtro para realizar a realimentação, sobre a qual ainda não foram encontradas menções na literatura, mostrou-se uma alternativa bastante viável. Embora acrescente elementos parasitas ao filtro, como o sistema tem capacidade de ajustar sua frequência, seus efeitos são pouco sensíveis.

Quanto ao filtro que, embora não fosse o principal alvo deste trabalho, serviu muito bem para ilustrar a aplicação do OTA projetado, apresentado comportamento compatível com o que se esperava. Assim, o filtro resultante pode ser empregado em algumas aplicações práticas em projetos de sistemas analógicos chaveados (discretos no tempo) ou mesmo digitais que exijam um processamento *anti-aliasing* ou de reconstrução de sinais que estejam dentro da faixa de áudio, por exemplo.

O desenho bastante meticuloso dos *layouts* das diversas estruturas do circuito contribui para que o chip fabricado possa apresentar um bom aproveitamento, favorecendo seu devido funcionamento. Conseguiu-se uma boa ocupação da área de silício, consumindo menos de $0,13 \text{ mm}^2$ com as estruturas de polarização e testes, sem abrir mão do cumprimento das boas práticas de desenho. Além disso, como as estruturas foram desenhadas de maneira modular, seus desenhos podem vir a ser reaproveitados em outros projetos, no futuro.

Capítulo 8

CONCLUSÃO

Nesta dissertação de mestrado foram apresentadas duas alternativas de estruturas para o estágio de entrada de um amplificador operacional de transcondutância, ambas baseadas na técnica de cancelamento de corrente com controle de transcondutância através da tensão de polarização do substrato dos transistores do par diferencial. Desenvolveu-se, para ambas as estruturas, uma análise de sensibilidade aos erros de descasamento, em virtude da particular susceptibilidade da técnica utilizada. Susceptibilidade esta que é potencializada pela utilização de transistores idênticos nos pares diferenciais. Concluída as análises optou-se pela estrutura que se mostrou mais simples, tanto do ponto de vista do projeto quanto do circuito em si.

Para ilustrar uma aplicação do transcondutor escolhido sugeriu-se um filtro passa-baixas cujos requisitos foram previamente estabelecidos. Com base nestes requisitos, projetou-se um filtro Chebyshev de terceira ordem. Ao se incluir o critério de descasamento no projeto desse filtro foi possível levantar as especificações sobre as quais foram dimensionadas as estruturas do circuito do transcondutor.

A partir das simulações do OTA e do filtro concluiu-se que ambos atingiram as metas propostas, cumprindo suas especificações definidas e demonstrando a viabilidade das estruturas e das técnicas de projeto utilizadas.

8.1 TRABALHOS FUTUROS

Ainda no campo do projeto, um desdobramento interessante desta pesquisa é a inclusão de requisitos formais, obtidos da análise teórica desenvolvida para o ruído no circuito (Apêndice A), de forma que possam servir de critério adicional para o dimensionamento dos transistores, conferindo ao projetista maior controle sobre esta característica que diz respeito ao desempenho do transcondutor.

Uma vez concluídas as etapas de projetos e simulações, é imprescindível a realização das medidas dos chips fabricados para que se possa verificar a sustentação das metodologias e dos modelos utilizados.

Entre as medições a serem realizadas, é importante que se verifique o aspecto da longevidade das estruturas baseadas em transistores com portas flutuantes, como é o caso do circuito de realimentação de modo comum.

REFERÊNCIAS

- [1] PAN, S. W. *et al.* A Novel OTA with Dual Bulk-Driven Input Stage. *IEEE International Symposium on Circuits and Systems*, p.2721–2724, May, 2009.
- [2] VEERAVALLI, A.; SÁNCHEZ-SINENCIO, E.; SILVA-MARTÍNEZ, J. Transconductance Amplifier Structures With Very Small Transconductances: A Comparative Design Approach. *IEEE Journal of Solid-State Circuits*, v.37, n 6, p.770–775, June 2002.
- [3] HAGA, Y.; ZARE-HOSEINI, H.; BERKOVI, L. *et al.* Design of a 0.8 Volts Fully Differential CMOS OTA Using the Bulk-Driven Technique. *IEEE International Symposium on Circuits and Systems*, v.1, p.220–223, May 2005.
- [4] FERREIRA, L. H. C.; PIMENTA, T. C.; MORENO R. L. An Ultra-Low-Voltage Ultra-Low-Power CMOS Miller OTA With Rail-to-Rail Input/Output Swing. *IEEE Transactions on Circuits and Systems–II: Express Briefs*, v.54, n.10, p.843–847, Oct. 2007.
- [5] CARRILLO, J. M; TORELLI, G; PEREZ-ALOE, R. *et al.* 1-V Rail-to-Rail Bulk-Driven CMOS OTA With Enhanced Gain and Gain-Bandwidth Product. *IEEE European Conference on Circuit Theory and Design*, v.1, p.261–264, Sept. 2005.
- [6] SILVA-MARTINEZ, J.; SOLÍS-BUSTOS, S. Design Considerations For High Performance Very Low Frequency Filters. *IEEE International Symposium on Circuits and Systems– I*, v.2, p.648–651, July 1999.
- [7] TSIVIDIS, Y. *Operation and modeling of the MOS transistor, 2nd ed.* McGraw-Hill, Bostom, 1999.
- [8] LO, TIEN-YU; HUNG, CHUNG-CHIH. A Wide Tuning Range Gm–C Continuous-Time Analog Filter. *IEEE Transactions on Circuits and Systems–I: Regular Papers*, v.54, n 4, Apr. 2007.

- [9] RODRIGUEZ-VILLEGAS, E.; PAYNE, A. J.; TOUMAZOU, C. A 290 nW, weak inversion, Gm-C biquad. *IEEE - Circuits and Systems*, v.2, p.221–224, Aug. 2002.
- [10] OMENI, O.; RODRÍGUEZ-VILLEGAS, E.; TOUMAZOU, C. A Micropower CMOS Continuous-Time Filter With On-Chip Automatic Tuning. *IEEE Transactions on Circuits and Systems–I: Regular Papers*, v.52, n.4, p.695–705, Apr. 2005.
- [11] VITTOZ, E.; FELLRATH, J. CMOS Analog Integrated Circuits Based on Weak Inversion Operation. *IEEE Journal of Solid-State Circuits*, v.Sc-12, n.3, p.224–231, June 1977.
- [12] ARNAUD, A.; GALUP-MONTORO, C. Pico-A/V range CMOS transconductors using series-parallel current division. *Electronics Letters*, v.39, n.18, p.1295–1296, 4th Sept. 2003.
- [13] PACHNIS, I.; DEMOSTHENOUS, A.; DONALDSON, N. Comparison of Transconductance Reduction Techniques for the Design of a Very Large Time-Constant cCMOS Integrator. *IEEE International Conference on Electronics, Circuits and Systems*, p.37–40, Dec. 2006.
- [14] BARÚQUI, F. A. P.; PETRAGLIA, A. Linearly Tunable CMOS OTA With Constant Dynamic Range Using Source-Degenerated Current Mirror. *IEEE Transactions on Circuits and Systems–II: Express Briefs*, v.53, n.9, p.797–801, Sept. 2006.
- [15] LÓPEZ-MARTÍN, A. J. *et al.* Highly Linear Programmable Balanced Current Scaling Technique in Moderate Inversion. *IEEE Transactions on Circuits and Systems–II: Express Briefs*, v.53, n.4, p.283–285 Apr. 2006.
- [16] SENGUPTA, S. Adaptively Biased Linear Transconductor. *IEEE Transactions on Circuits and Systems–I: Regular Papers*, v.52, n.11, pp.2369–2375, Nov. 2005.
- [17] WANG, Z. Making CMOS OTA a linear transconductor. *Electronics Letters*, v.26, n.18, p.1448–1449, 30th Aug. 1990.

- [18] KACHARE, M. *et al.* A Compact Tunable CMOS Transconductor With High Linearity. *IEEE Transactions On Circuits And Systems–II: Express Briefs*, v.52, n.2, p.82–84, Feb. 2005.
- [19] FERRI, G. *et al.* Integrated Rail-to-Rail Low-Voltage Low-Power Enhanced DC-Gain Fully Differential Operational Transconductance Amplifier. *ETRI Journal*, v.29, n.6, p.785–793, Dec. 2007.
- [20] GALAN, J. A. *et al.* Super Class-AB OTAs With Adaptive Biasing and Dynamic Output Current Scaling, *IEEE Transactions on Circuits and Systems–I: Regular Papers*, v.54, n.3, p.443–457 Mar. 2007.
- [21] SZCZEPANSKI, S.; WYSZYTISKI, A.; SCHAUMANN, R. Highly Linear Voltage-Controlled CMOS Transconductors. *IEEE Transactions on Circuits and Systems–I: Fundamental Theory And Applications*, v.40, n.4, p.258–262, Apr. 1993.
- [22] KOZIEL, S.; SZCZEPANSKI, S.; SCHAUMANN, R. Design of highly linear tunable CMOS OTA. *IEEE International Symposium on Circuits and Systems*, v.3, p.731–734, 2002.
- [23] KOZIEL, S.; SZCZEPANSKI, S. Design of Highly Linear Tunable CMOS OTA for Continuous-Time Filters. *IEEE Transactions on Circuits and Systems–II: Analog and Digital Signal Processing*, v.49, n.2, p.110–122, Feb. 2002.
- [24] HARRISON, R. R. A wide-linear-range subthreshold CMOS transconductor employing the back-gate effect. *IEEE International Symposium on Circuits and Systems*, v.3, p.727–730, 2002.
- [25] LOH, K. H.; GEIGER, R. L. Dynamic range performance of a MOS active attenuator. *In: Proceedings of the IEEE International Symposium on Circuits and Systems*, v.3, p.1733–1736, June 1991.
- [26] KIM, J. Y.; GEIGER, R. L. Performance characterization of an active attenuator using two cascaded MOSFET's. *In: Proceedings of the 36th Midwest Symposium on Circuits and Systems*, v.1, p.716–720, Aug. 1993.

- [27] KIM, J. Y.; GEIGER, R. L. MOS active attenuators for analog ICs and their applications to finite gain amplifiers. *In: Proceedings of the IEEE International Symposium on Circuits and Systems*, v.5, p.701–704, May 1994.
- [28] KIM, J. Y.; GEIGER, R. L. Characterisation of linear MOS active attenuator and amplifier, *Electronics Letters*, v.31, n.7, p.511–513, Mar. 1995.
- [29] EL MOURABIT, A.; LU, G. N.; PITTET, P. Wide-Linear-Range Subthreshold OTA for Low-Power, Low-Voltage, and Low-Frequency Applications. *IEEE Transactions on Circuits and Systems–I: Regular Papers*, v.52, n.8, p.1481–1488, Aug. 2005.
- [30] EL MOURABIT, A.; LU, G.N.; PITTET, P. Rail-to-rail differential linear range OTA with pico-A/V transconductance for subHertz OTA-C filter. *16th International Conference on Microelectronics*, p.647–650, Dec. 2004.
- [31] LEWINSKI, A.; SILVA-MARTINEZ, J. A High-Frequency Transconductor Using a Robust Nonlinearity Cancellation. *IEEE Transactions on Circuits and Systems–II: Express Briefs*, v.53, n.9, p.896–900, Sept. 2006.
- [32] GARIMELLA, S. R. S. Highly Linear Wide Dynamic Swing CMOS Transconductance Multiplier using Source-degeneration V-I Converters. *21st International Conference on VLSI Design*, p.300–304, Jan. 2008.
- [33] MONSURRO, P.; PENNISI, S.; SCOTTI, G.; TRIFILETTI, A. Linearization Technique for Source-Degenerated CMOS Differential Transconductors. *IEEE Transactions on Circuits and Systems–II: Express Briefs*, v.54, n.10, p.848–852, Oct. 2007.
- [34] KRUMMENACHER, F.; JOEHL, N. A 4-MHz CMOS Continuous-Time Filter with On-Chip Automatic Tuning. *IEEE Journal at Solid-State Circuits*, v.23, n.3, p.750–758, June 1988.
- [35] KUO, K. C.; LEUCIUC, A. A Linear MOS Transconductor Using Source Degeneration and Adaptive Biasing. *IEEE Transactions on Circuits and Systems–II: Analog And Digital Signal Processing*, v.48, n. 10, p.937–943, Oct. 2001.

- [36] SANCHEZ-RODRIGUEZ, T. *et al.* A CMOS Linear Tunable Transconductor For Continuous-Time Tunable Gm-C Filters. *IEEE International Symposium on Circuits and Systems*, p.912–915, May 2008.
- [37] CHANG, Z. Y.; HASPELAGH, D.; VERFAILLIE, J. A Highly Linear CMOS Gm-C Bandpass Filter with On-Chip Frequency Tuning. *IEEE Journal of Solid-State Circuits*, v.32, n.3, p.388–397, Mar. 1997.
- [38] LEUCIUC, A., A Wide Linear Range Low-Voltage Transconductor. *IEEE International Symposium on Circuits and Systems*, v.1, p.161–164, May 2003.
- [39] GARDE, P. Transconductance Cancellation for Operational Amplifiers. *IEEE Journal of Solid-State Circuits*, v.12, n.3, p.310–311, June 1977.
- [40] SILVA-MARTINEZ, J.; SALCEDO-SUÑER, J. IC Voltage to Current Transducers with Very Small Transconductance. *Analog Integrated Circuits and Signal Processing*, v.13, n.3, p.285–293, Kluwer Academic Publishers, Boston, 1997.
- [41] PANKIEWICZ, B.; SZCZEPANSKI, S. Body-Tunable CMOS OTA for Continuous-Time Analog Filter Applications. *Third IEEE International Conference on Electronics, Circuits and Systems*, v.1, p.132–135, Oct. 1996.
- [42] KIMURA, K. The Ultra-Multi-Tanh Technique for Bipolar Linear Transconductance Amplifiers. *IEEE Transactions on Circuits and Systems–I: Fundamental Theory and Applications*, v.44, n.4, p.288–302, Apr. 1997.
- [43] GILBERT, B. The Multi-Tanh Principle: A Tutorial Overview. *IEEE Journal of Solid-State Circuits*, v.33, n.1, p.2–17, Jan. 1998.
- [44] PRODANOV, V. I. V-I converters with transconductance proportional to bias current in any technology. *IEEE International Symposium on Circuits and Systems*, v.4, p.201–204, May 2000.
- [45] DAOUD, H.; BENNOUR, S.; BENSALAM, S.; LOULOU, M. Low Power SC CMFB Folded Cascode OTA Optimization. *IEEE International Conference on Electronics, Circuits and Systems*, p.570–573, 2008.

- [46] GRAY, P. R. *et al.* *Analysis and design of analog integrated circuits, 4th ed.* John Wiley and Sons, 2001.
- [47] CHOKSI, O.; CARLEY, L. R. Analysis of Switched-Capacitor Common-Mode Feedback Circuit. *IEEE Transactions on Circuits and Systems—II: Analog and Digital Signal Processing*, v.50, n.12, p.906–914, Dec. 2003.
- [48] LUJAN-MARTÍNEZ, C. *et al.* A -72 dB @ 2 MHz IM3 CMOS Tunable Pseudo-Differential Transconductor. *IEEE International Symposium on Circuits and Systems*, p.73–76, May 2008.
- [49] RODRIGUEZ-VILLEGAS, E. *et al.* On Dealing With the Charge Trapped in Floating-Gate MOS (FGMOS) Transistors. *IEEE Transactions on Circuits and Systems—II: Express Briefs*, v.54, n.2, p.156–160, Feb. 2007.
- [50] ENZ, C.; VITTOZ, E. *Charge-based MOS transistor modeling: the EKV model for low-power and RF IC design.* John Wiley & Sons Ltd., 303 p., Sept. 2006.
- [51] PELGROM, M. J. M.; DUINMAIJER, A. C. J.; WELBERS, A. P. G. Matching Properties of MOS Transistors. *IEEE Journal of Solid-State Circuits*, v.24, n.5, p.1433–1439, Oct. 1989.
- [52] PELGROM, M. J. M.; TUINHOUT, H. P.; VERTREGT, M., Transistor matching in analog CMOS applications. *IEEE International Electron Devices Meeting*, p.915–918, Dec. 1998.
- [53] LAKSHMIKUMAR, K. R.; HADAWAY, R. A.; COPELAND, M. A., Characterization and Modeling of Mismatch in MOS Transistors for Precision Analog Design. *IEEE Journal of Solid-State Circuits*, v.Sc-21, n.6, p.1057–1066, Dec. 1986.
- [54] DRENNAN, P. G.; MCANDREW, C. C. A Comprehensive MOSFET Mismatch Model. *IEEE International Electron Devices Meeting*, p.167–170, Dec. 1999.
- [55] DRENNAN, P. G.; MCANDREW, C. C. Understanding MOSFET Mismatch for Analog Design. *IEEE Journal of Solid-State Circuits*, v.38, n.3, p.450–456, Mar. 2003.
- [56] NYQUIST, H. Certain topics in telegraph transmission theory. *Trans. AIEE*, v.47, p.617–644, Apr. 1928. Reprint as classic paper In: *Proc. IEEE*, v.90, n.2, p. 280–305, Feb. 2002.

- [57] SHANNON, C. E. Communication in the presence of noise. *Proc. Institute of Radio Engineers*, v.37, n.1, p.10–21, Jan. 1949. Reprint as classic paper In: *Proc. IEEE*, v.86, n.2, p.447–457, Feb. 1998.
- [58] WING, OMAR, *Classical Circuit Theory*, Springer, 296 p., 2008.
- [59] DARYANANI, G. *Principles of Active Network Synthesis and Design*, John Wiley and Sons, 495 p., Nov. 1976.
- [60] ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design - 2nd ed.* Oxford University Press, Jan. 2002.
- [61] DIMITRIJEV, SIMA *Understanding Semiconductor Devices*, Oxford University Press, Feb. 2000.
- [62] SAINT, C.; SAINT, J. *IC Mask Design: Essential Layout Techniques*. McGraw-Hill Professional, 2002.
- [63] SACKINGER, E.; FORNERA, L. On the Placement of Critical Devices in Analog Integrated Circuits. *IEEE Transactions on Circuits and Systems*, v.37, n.8, p.1052–1057, Aug. 1990.
- [64] JOHNS, D.; MARTIN, K. *Analog Integrated Circuit Design*. John Wiley & Sons, 1997.
- [65] HAARTMAN, M.; ÖSTLING, M., *Low-Frequency Noise in Advanced MOS Devices*, Springer, p. 53–102, 2007.
- [66] CELLERE, GIORGIO *et al.* Radiation Effects on Floating-Gate Memory Cells. *IEEE Transactions On Nuclear Science*, v.48, n.6, p.2222–2228, Dec. 2001.
- [67] CELLERE, GIORGIO *et al.* A review of ionizing radiation effects in floating gate memories. *IEEE Transactions on Device and Materials Reliability*, v.4, n.3, p.359–370, Sep. 2004.

Apêndice A

ANÁLISE TEÓRICA DO RUÍDO NO TRANSCONDUTOR

Para a realização da análise teórica do ruído associado ao OTA projetado, desenvolvida nesta seção, considerou-se, em virtude da simetria apresentada pela estrutura, apenas uma das metades de seu circuito do transcondutor. Simplificando, dessa forma, a complexidade do desenvolvimento matemático associado. Com isso, o diagrama esquemático do circuito sobre o qual essa análise será elaborada resume-se ao mostrado na Figura A.1, onde os trechos de circuito desconsiderados na análise estão mostrados em tom mais claro e uma carga capacitiva (C_L) foi acrescentada à saída positiva (V_{O+}) do transcondutor.

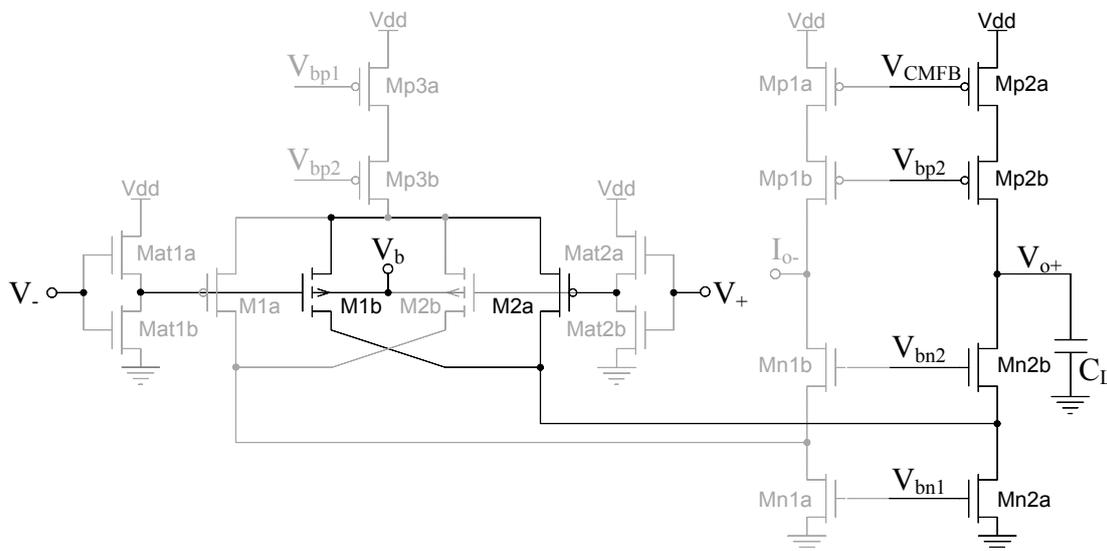


Figura A.1: Diagrama esquemático do circuito do transcondutor projetado com uma carga capacitiva na saída e destaque para os transistores utilizados na análise de ruído.

Existem diferentes tipos de ruídos que podem se manifestar em circuitos integrados, sendo os mais comuns: o ruído térmico, *shot*, *burst*, avalanche e *flicker*. Cada um deles com um comportamento característico.

O ruído *flicker* [65], também chamado simplesmente de ruído $1/f$, é bastante estudado, especialmente em circuitos MOS, e costuma ser predominante nas baixas frequências. Constatou-se pelas simulações que justamente esta modalidade de ruído foi a dominante para faixa de frequências de operação do circuito projetado.

Aperar de ser alvo de muitos estudos, em decorrência de sua natureza, não há uma modelagem capaz de definir o ruído *flicker* de forma suficientemente completa. São consideradas, principalmente, duas modelagens distintas para o este tipo de ruído, são elas: a flutuação de número e a flutuação de mobilidade.

A flutuação do número de portadores, ou simplesmente flutuação de número (ΔN), proposta por A. L. McWhorter, explica o ruído *flicker* em um transistor MOS como resultado do aprisionamento e liberação de portadores ao longo do canal produzindo uma variação aleatória na quantidade de portadores livres.

Esse fenômeno do aprisionamento e liberação dos portadores é provocado por imperfeições, chamadas de armadilhas, presentes principalmente no óxido de porta, e pode ser modelado segundo a mecânica dos processos quânticos envolvidos.

A flutuação de número é aplicada, preferencialmente, para modelar o ruído *flicker* nos transistores do tipo *n*MOS em decorrência de sua boa correspondência com os resultados experimentais para este tipo específico de transistor.

Já a flutuação de mobilidade ($\Delta\mu$), formulada de maneira empírica por F. N. Hogge, procura justificar o ruído *flicker* através de variações aleatória do valor da mobilidade efetiva do substrato de silício dentro do canal do transistor.

Um modelo SPICE de baixo nível utilizado, que descreve a densidade espectral de potência do ruído *flicker*, dada em A^2/Hz , produzida por transistores *n*MOS operando em saturação na inversão forte, é dado pela expressão:

$$S_{I_{Nn}} = \frac{2\pi K_{Fn} I_D^{A_{Fn}}}{\omega L^2 C_{OX}} \quad (A.1)$$

Da mesma forma, o modelo utilizado para descrever o mesmo ruído devido aos transistores *p*MOS é dado por:

$$S_{I_{Np}} = \frac{2\pi K_{Fp} I_D^{A_{Fp}}}{\omega W L C_{OX}} \quad (A.2)$$

Nas expressões (A.1) e (A.2), ω designa a frequência e A_{Fn} , A_{Fp} , K_{Fn} e K_{Fp} são parâmetros que dependem do processo de fabricação e do tipo de transistor.

Para realizar a análise da contribuição de ruído de cada um dos transistores do amplificador operacional, obtém-se o seu modelo de pequenos sinais, com as respectivas fontes de ruído incluídas. Para esta modelagem serão desprezadas as condutâncias entre dreno e fonte e serão consideradas somente as capacitâncias entre porta e fonte (C_{gs}), além da capacitância de carga (C_L). O ruído dos transistores está representado por fontes de corrente em paralelo com os mesmos. O modelo de pequenos sinais de uma das metades do OTA (Figura A.1) pode ser visto na Figura A.2.

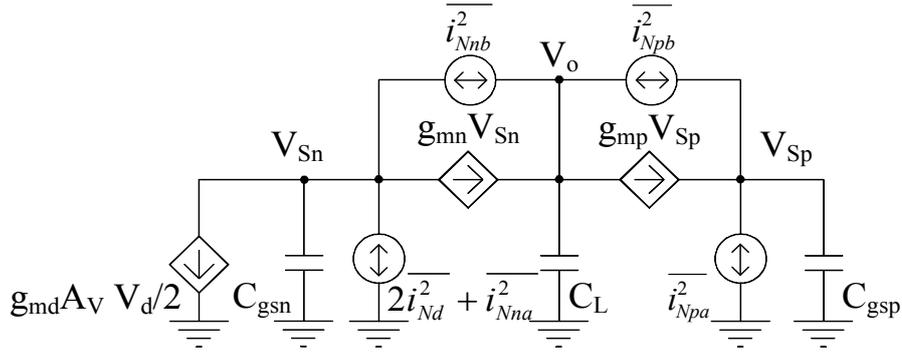


Figura A.2: Diagrama esquemático do modelo de pequenos sinais do transcondutor, para a análise do ruído.

Por simplicidade, supôs-se o circuito dos atenuadores pseudo-diferenciais como sendo livre de ruído, suposição que pode ser sustentada com base nos resultados obtidos por simulações, e apenas sua atenuação (A_v) foi considerada. Além disso, não foram consideradas as capacitâncias entre porta e fonte dos transistores do par diferencial.

Convenciona-se [46] representar o valor das fontes de ruído como sendo a média quadrática da grandeza associada (que nesse caso é a corrente). Porém, para efeitos da análise do circuito, considerando-se que a banda de frequências ($\Delta\omega$) seja suficientemente estreita, é possível assumir que a fonte de ruído seja representada por

uma fonte AC cujo módulo seja seu valor eficaz, ou RMS (*Root Mean Square*). Assim, o valor da amplitude dessa fonte pode ser definido como:

$$i_{Mi} = \sqrt{i_{Ni}^2} \quad (\text{A.3})$$

A partir disso, aplicando-se a lei de Kichhoff dos nós no circuito mostrado na Figura A.2, chega-se ao seguinte sistema de equações:

$$\begin{cases} -g_{m_d} A_v \frac{V_d}{2} - (C_{g_{s_n}} s + g_{m_n}) V_{S_n} + 2i_{N_d} + i_{N_{na}} - i_{N_{nb}} = 0 \\ g_{m_n} V_{S_n} - C_L s V_o - g_{m_p} V_{S_p} + i_{N_{nb}} - i_{N_{pb}} = 0 \\ (g_{m_p} - C_{g_{s_p}} s) V_{S_p} + i_{N_{pa}} + i_{N_{pb}} = 0 \end{cases} \quad (\text{A.4})$$

onde g_{m_n} , g_{m_p} e g_{m_d} são, respectivamente, as transcondutâncias dos transistores dos espelhos de corrente *n*MOS, *p*MOS e de um dos pares diferenciais do estágio de entrada. Sendo $C_{g_{s_n}}$ e $C_{g_{s_p}}$ as capacitâncias entre porta e fonte daqueles espelhos de corrente.

Resolvendo-se o sistema (A.4) para a tensão de saída, pode-se chegar numa expressão racional polinomial com a seguinte forma:

$$V_o = \frac{\text{num}(s)}{\text{den}(s)} \quad (\text{A.5})$$

Onde o denominador $\text{den}(s)$, pode ser escrito como:

$$\text{den}(s) = C_L s (g_{m_p} - C_{g_{s_p}} s) (g_{m_n} + C_{g_{s_n}} s) \quad (\text{A.6})$$

E o numerador $\text{num}(s)$ é dado por:

$$\begin{aligned} \text{num}(s) = & C_{g_{s_n}} C_{g_{s_p}} (i_{N_{pb}} - i_{N_{nb}}) s^2 \\ & + \left[g_{m_n} C_{g_{s_p}} (A_v g_{m_{da}} V_d / 2 - 2i_{N_d} + i_{N_{pb}} - i_{N_{na}}) \right. \\ & \left. + g_{m_p} C_{g_{s_n}} (i_{N_{pa}} + i_{N_{nb}}) \right] s \\ & - g_{m_p} g_{m_n} (A_v g_{m_d} V_d / 2 - 2i_{N_d} - i_{N_{pa}} - i_{N_{na}}) \end{aligned} \quad (\text{A.7})$$

Substituindo-se s por $j\omega$ em $num(s)$ e $den(s)$, considerando-se apenas as fontes de ruído, *i.e.* fazendo $V_d = 0 V$, e supondo que as fontes de ruído sejam independentes é possível calcular a função de transferência associada a cada fonte de ruído independentemente. Para isso considera-se apenas a magnitude de uma dada fonte, e assume-se que todas as demais sejam nulas, dessa forma, a função de transferência associada a cada uma das fontes de ruído é definida de maneira geral como:

$$\frac{V_o}{i_{N_i}} = H(j\omega)|_{M_i} \quad (\text{A.8})$$

Para calcular o valor da média quadrática do ruído na tensão na saída associada a cada uma das possíveis fontes, integra-se o produto entre a densidade espectral de potência da fonte em questão e o módulo da respectiva função de transferência ao quadrado, dentro da banda de frequência, conforme:

$$\overline{V_{oi}^2} = \int_{\omega_0}^{\omega_f} S_{I_i}(\omega) \cdot |H(j\omega)|_{M_i}^2 d\omega \quad (\text{A.9})$$

onde ω_0 e ω_i são, respectivamente, as frequências inicial e final da banda de frequências considerada. Com base nas expressões (A.6), (A.7) e (A.8), o quadrado do módulo da função de transferência associada a cada fonte é dado por:

$$\left\{ \begin{array}{l} |H(j\omega)|_{Mna}^2 = \frac{\alpha_n^2}{\omega^2 C_L^2 (\omega^2 + \alpha_n^2)} \\ |H(j\omega)|_{Mnb}^2 = \frac{1}{C_L^2 (\omega^2 + \alpha_n^2)} \\ |H(j\omega)|_{Mpd}^2 = \frac{4\alpha_n^2}{\omega^2 C_L^2 (\omega^2 + \alpha_n^2)} \\ |H(j\omega)|_{Mpa}^2 = \frac{\alpha_p^2}{\omega^2 C_L^2 (\omega^2 + \alpha_p^2)} \\ |H(j\omega)|_{Mpb}^2 = \frac{1}{C_L^2 (\omega^2 + \alpha_p^2)} \end{array} \right. \quad (\text{A.10})$$

onde:

$$\begin{cases} \alpha_n = \frac{g_{m_n}}{C_{gs_n}} \\ \alpha_p = \frac{g_{m_p}}{C_{gs_p}} \end{cases} \quad (\text{A.11})$$

Assim, a partir de (A.9), aplicando-se expressões para os quadrados dos módulos da função de transferência de cada transistor, mostradas em (A.10), substituindo-se as expressões (A.1) e (A.2) para definir as densidades espectrais de ruído nos transistores n MOS e p MOS e lembrando-se que a corrente quiescente dos transistores é dada por I_b , sendo $3I_b$ no transistor designado por Mna (que representa os transistores Mn2a ou Mn1a do circuito da Figura A.1), tem-se:

$$\begin{aligned} \overline{v_{0Mna}^2} = \frac{\pi(3I_b)^{A_{Fn}} K_{Fn}}{C_{OX}C_L^2 L_n^2 \alpha_n^2} & \left(\frac{\alpha_n^2(\omega_f^2 - \omega_0^2)}{\omega_0^2 \omega_f^2} \right. \\ & \left. + \ln(\alpha_n^2 + \omega_f^2) - \ln(\alpha_n^2 + \omega_0^2) + 2\ln(\omega_f) - 2\ln(\omega_0) \right) \end{aligned} \quad (\text{A.12})$$

$$\overline{v_{0Mnb}^2} = \frac{\pi I_b^{A_{Fn}} K_{Fn}}{C_{OX}C_L^2 L_n^2 \alpha_n^2} \left(2\ln(\omega_f) - 2\ln(\omega_0) + \ln(\alpha_n^2 + \omega_0^2) - \ln(\alpha_n^2 + \omega_f^2) \right) \quad (\text{A.13})$$

$$\begin{aligned} \overline{v_{0Mpd}^2} = \frac{4\pi I_b^{A_{Fp}} K_{Fp}}{C_{OX}C_L^2 L_d W_d \alpha_n^2} & \left(\frac{\alpha_n^2(\omega_f^2 - \omega_0^2)}{\omega_0^2 \omega_f^2} + \ln(\alpha_n^2 + \omega_f^2) - \ln(\alpha_n^2 + \omega_0^2) \right. \\ & \left. + 2\ln(\omega_f) - 2\ln(\omega_0) \right) \end{aligned} \quad (\text{A.14})$$

$$\begin{aligned} \overline{v_{0Mpa}^2} = \frac{\pi I_b^{A_{Fp}} K_{Fp}}{C_{OX}C_L^2 L_p W_p \alpha_p^2} & \left(\frac{\alpha_p^2(\omega_f^2 - \omega_0^2)}{\omega_0^2 \omega_f^2} \right. \\ & \left. + \ln(\alpha_p^2 + \omega_f^2) - \ln(\alpha_p^2 + \omega_0^2) + 2\ln(\omega_f) - 2\ln(\omega_0) \right) \end{aligned} \quad (\text{A.15})$$

$$\overline{v_{0Mpb}^2} = \frac{\pi I_b^{A_{Fp}} K_{Fp}}{C_{OX}C_L^2 L_p W_p \alpha_p^2} \left(2\ln(\omega_f) - 2\ln(\omega_0) + \ln(\alpha_p^2 + \omega_0^2) - \ln(\alpha_p^2 + \omega_f^2) \right) \quad (\text{A.16})$$

sendo L_n , L_p e L_d são os comprimentos, respectivamente, dos transistores n MOS e p MOS dos espelhos de corrente e dos transistores dos pares diferenciais de entrada e W_n , W_p e W_d suas larguras correspondentes. Cabe lembrar a largura do transistor M_{na} é igual a $3W_n$.

O valor da média quadrática da tensão total do ruído *flicker* na saída, devido a cada um dos transistores, supondo que seus ruídos sejam independentes, é dado por:

$$\overline{V_{oTotal}^2} = \sum_i \overline{V_{oMi}^2} = \overline{V_{oMna}^2} + \overline{V_{oMnb}^2} + \overline{V_{oMpd}^2} + \overline{V_{oMpa}^2} + \overline{V_{oMpb}^2} \quad (A.17)$$

O fabricante da tecnologia utilizada neste trabalho fornece os seguintes parâmetros para os modelos de ruído:

Tabela A.1: Valores nominais dos parâmetros utilizados nos modelos de ruído *flicker*.

Parâmetro	Valor
A_{Fn}	1,36
A_{Fp}	1,48
K_{Fn}	$5,1 \cdot 10^{-27}$
K_{Fp}	$8,5 \cdot 10^{-27}$

Assim, substituindo os valores dos parâmetros dos transistores e sabendo-se que:

$$\begin{cases} C_{gs} = \frac{2}{3} WLC_{ox} \\ g_m = \sqrt{2K_p \frac{WI_D}{Ln}} \end{cases} \quad (A.18)$$

é possível determinar o valor da potência total e as contribuições absoluta e relativa, de cada transistor para o ruído na saída. Esses resultados podem ser vistos na Tabela A.2.

Tabela A.2: Resultados da análise teórica realizada, em valores absolutos e com a contribuição relativa de cada transistor.

Parâmetro	Valor absoluto (V^2)	Valor relativo (%)
$\overline{v_{oTotal}^2}$	$21,26 \cdot 10^{-6}$	100
$\overline{v_{oMna}^2}$	$19,05 \cdot 10^{-6}$	89,61
$\overline{v_{oMnb}^2}$	$15,59 \cdot 10^{-15}$	$7,33 \cdot 10^{-8}$
$\overline{v_{oMpd}^2}$	$1,62 \cdot 10^{-6}$	7,64
$\overline{v_{oMpa}^2}$	$0,58 \cdot 10^{-6}$	2,75
$\overline{v_{oMpb}^2}$	$14,87 \cdot 10^{-15}$	$6,99 \cdot 10^{-8}$