

SÍNTESE E IMPLEMENTAÇÃO DE UM
RESTAURADOR DINÂMICO DE TENSÃO

Diogo Rodrigues da Costa Junior

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO
DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA
UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA

Aprovada por:

Prof. Maurício Aredes, Dr.-Ing.

Prof. Luís Guilherme Barbosa Rolim, Dr.-Ing.

Prof. José Luiz da Silva Neto, Ph.D.

Prof^a. Maria Dias Bellar, Ph.D.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2006

COSTA JUNIOR, DIOGO RODRIGUES DA
Síntese e Implementação de um
Restaurador Dinâmico de Tensão [Rio de
Janeiro] 2006

XI, 98 p. 29,7 cm (COPPE/ UFRJ, M.Sc.,
Engenharia Elétrica, 2006)

Dissertação - Universidade Federal do
Rio de Janeiro, COPPE

1. Qualidade de Energia

I. COPPE/UFRJ II. Título (série)

AGRADECIMENTOS

Primeiramente gostaria de manifestar a minha gratidão aos meus pais Diogo e Sandra e à minha irmã KK, pelo suporte e pelo amor a mim dedicado.

Agradeço também ao professor e orientador Maurício Aredes pelo apoio, confiança e valiosas orientações.

Ao professor Guilherme Rolim que sempre acompanhou o meu trabalho e sem suas contribuições certamente o meu caminho seria mais árduo.

Ao professor José Luiz pelas idéias e colaborações na implementação do protótipo em bancada.

Aos colegas e amigos do Laboratório pelas opiniões, discussões e descontração, o que torna o ELEPOT um ambiente extraordinário que, seguramente, facilita o trabalho de todos.

À Christina que na reta final deste trabalho, seu carinho, sua companhia e sua inestimável amizade tiveram um peso inquestionável.

Agradeço a Deus por este trabalho, pelos amigos e pela vida.

Rio de Janeiro, Março de 2006

Diogo R. Costa Jr.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

SÍNTESE E IMPLEMENTAÇÃO DE UM RESTAURADOR DINÂMICO DE TENSÃO

Diogo Rodrigues da Costa Junior

Março / 2006

Orientador: Maurício Aredes

Programa: Engenharia Elétrica

Este trabalho apresenta o desenvolvimento e implementação do protótipo de um Restaurador Dinâmico de Tensão (RDT). O RDT é um dispositivo baseado na Eletrônica de Potência, cujo conceito operacional é o controle da tensão fornecida a uma determinada carga injetando uma tensão através de um transformador série com uma determinada carga sensível.

Um modelo de controle é proposto e detalhado, e este é baseado principalmente em um detector de componente de seqüência positiva. Um módulo auxiliar de controle foi utilizado com intuito de melhorar a resposta do algoritmo de controle de afundamento. Um controle de disparo realimentado também foi utilizado, garantindo uma determinada forma de onda à tensão de compensação efetivamente aplicada pelo RDT. O controle do RDT operando na proteção de uma determinada carga em um sistema de distribuição típico atesta a efetividade da estratégia de controle proposta.

Tendo em vista a grande gama de recursos disponíveis, assim como sua velocidade de processamento de dados, foi utilizado um microcontrolador DSP da *Texas Instruments, Inc.* como plataforma digital do controle, cujo algoritmo foi desenvolvido no ambiente *Code Composer* em linguagem C.

E por fim são apresentados os resultados obtidos com a operação do protótipo que foi montado no Laboratório de Eletrônica de Potência da COPPE/UFRJ.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

SYNTHESIS AND IMPLEMENTATION OF A
DYNAMIC VOLTAGE RESTORER

Diogo Rodrigues da Costa Junior

March / 2006

Advisor: Maurício Aredes

Department: Electrical Engineering

This work presents the development and implementation of a Dynamic Voltage Restorer (DVR). DVR is a Power Electronic device whose operational concept is the control of the supplied voltage to a determined load, by injecting a voltage through a series transformer with a critical load.

A control model based on mainly in a positive sequence voltage detector is proposed and explained in detail. An auxiliary module of control was used in order to improve the response of the voltage sag control algorithm. A feedback fire control was also used, thus assuring a determined wave form in the compensating voltage was effectively applied by the DVR. The DVR control operates protecting a determined load in a typical distribution system thus certifying the effectiveness of the proposed control strategy.

A Digital Signal Processor from Texas Instruments, Inc. is used as a digital platform of control, where the algorithm is developed in the Code Composer Environment using C.

Finally, the results obtained from the operation of the prototype mounted at the COPPE/UFRJ Power Electronic Laboratory are shown.

ÍNDICE

CAPÍTULO 1	INTRODUÇÃO.....	1
1.1.	Motivação.....	2
1.2.	Objetivos	3
1.3.	Organização dos capítulos.....	4
CAPÍTULO 2	QUALIDADE DE ENERGIA.....	5
2.1.	Afundamentos momentâneos de tensão	5
2.2.	Harmônicos	6
2.3.	Desequilíbrio	7
CAPÍTULO 3	RESTAURADOR DINÂMICO DE TENSÃO	9
3.1.	Princípio de operação do RDT	9
3.2.	Configuração do circuito do RDT	11
3.2.1.	Transformador série	11
3.2.2.	Retificador	12
3.2.3.	Inversor.....	14
3.2.3.a.	Tipos de chaveamentos	14
3.2.4.	Filtros	22
3.2.5.	DSP - “Digital Signal Processor”	23
3.2.5.a.	Características	24
3.2.6.	Circuito de medição de tensão	24
3.2.7.	Interface óptica.....	27
CAPÍTULO 4	CONTROLE DO RDT	28
4.1.	Detector de V_{+1}	30
4.1.1.	Detector de componente de seqüência positiva baseado em componentes simétricas.....	30
4.1.1.a.	Resultados de simulações do detector de V_{+1} baseado nas componentes simétricas.....	34

4.1.1.b.	Conclusões sobre o detector de V_{+1} baseado nas componentes simétricas	37
4.1.2.	Detector de componente de Tensão de seqüência positiva (V_{+1}) baseado na Teoria de Potências Instantâneas	37
4.1.2.a.	Phase Locked Loop	37
4.1.2.b.	Princípio de Operação do Detector de V_{+1} baseado na Teoria PQ	44
4.1.2.c.	Resultados de simulações do detector de V_{+1} baseado na Teoria PQ	46
4.1.2.d.	Conclusões sobre o detector de V_{+1} baseado na Teoria PQ	49
4.2.	Algoritmo de compensação de afundamentos	49
4.3.	Algoritmo de compensação de harmônicos e desequilíbrios	51
4.4.	Controle de Disparo	53
4.5.	Módulo auxiliar do controle de afundamento	54
CAPÍTULO 5 SIMULAÇÕES DO RDT		57
5.1.	Simulações do modelo	57
5.1.1.	Resultados de simulação do RDT.	58
5.1.1.a.	Caso 1 : Algoritmo de controle sem o módulo auxiliar de controle de afundamento	59
5.1.1.b.	Caso 2 : Algoritmo de controle com o módulo auxiliar de controle de afundamento	61
CAPÍTULO 6 IMPLEMENTAÇÃO DO PROTÓTIPO		64
6.1.	Circuito de Potência	64
6.2.	Controle	65
6.2.1.	Módulo de inicialização	65
6.2.1.a.	Configuração da CPU	66
6.2.2.	Módulo principal	72
6.2.2.a.	Módulo de interrupção	73
6.2.2.b.	Resultados Obtidos pelo software proposto	79
6.2.3.	Resultados experimentais do protótipo do RDT	85
CAPÍTULO 7 CONCLUSÕES		89
REFERÊNCIAS BIBLIOGRÁFICAS		92
APÊNDICE A TEORIA DAS POTÊNCIAS ATIVA E REATIVA INSTANTÂNEAS		95

ÍNDICE DE FIGURAS

Figura 1.1: Aplicações de Eletrônica de Potência em sistemas de energia: (a) Transmissão CCAT; (b) FACTS – TCSC.	2
Figura 2.1: Afundamento de tensão	6
Figura 2.2: Distorção Harmônica.	7
Figura 2.3: Forma de onda de tensões desequilibradas	7
Figura 3.1: Diagrama unifilar do RDT	10
Figura 3.2: Diagrama fasorial indicando a injeção de tensão de compensação.	10
Figura 3.3: Configuração do circuito do RDT	11
Figura 3.4: Transformador Série	11
Figura 3.5: Retificador trifásico tipo ponte	12
Figura 3.6: Retificador Ponte Diodo - (a) formas de onda das tensões de entrada e da tensão retificada v_d e de seu valor médio v_{d0} ; (b) tempo de condução de cada diodo.	13
Figura 3.7: Topologia de inversor utilizada.	14
Figura 3.8: PWM Senoidal	16
Figura 3.9: (a) Inversor trifásico PWM alimentando carga em conexão Y (b) Circuito equivalente do inversor trifásico PWM	17
Figura 3.10: Vetores de chaveamento	20
Figura 3.11: Sinais de v_a , v_b , e v_c e a trajetória do respectivo vetor V_s	20
Figura 3.12: Sequência de chaveamento	22
Figura 3.13: Filtro L-R-C	23
Figura 3.14: Diagrama de blocos do módulo eZdsp™LF2407	23
Figura 3.15: Circuito divisor de tensão	25
Figura 3.16: Circuito da placa de condicionamento de sinais	27
Figura 3.17: Interface óptica	27
Figura 1.1: Diagrama do algoritmo de controle	30
Figura 4.2: Componentes Simétricas	31
Figura 4.3: Representação gráfica da equação (4.1).	31

Figura 4.4: Detector baseado em componentes simétricas	32
Figura 4.5: Diagrama de blocos utilizado para atrasar ou adiantar de 120°	32
Figura 4.6: Funcionamento dos Blocos de controle: (a) adianta 120° (b) atrasa 120°	33
Figura 4.7: Diagrama de blocos do filtro passa-baixa.....	33
Figura 4.8: Tensões Balanceadas e sem harmônicos	34
Figura 4.9: Componente de Seq. Positiva (v'_a) e componente de seqüência positiva detectada ($v'_{a(det)}$).....	34
Figura 4.10: Tensões desequilibradas e sem harmônicos	35
Figura 4.11: Componente de Seq. Positiva (v'_a) e componente de seqüência positiva detectada ($v'_{a(det)}$)	35
Figura 4.12: Tensões desequilibradas e com distorções harmônicas	35
Figura 4.13: Conteúdo harmônico.....	35
Figura 4.14: Componente de Seq. Positiva (v'_a) e componente de seqüência positiva detectada ($v'_{a(det)}$)	36
Figura 4.15: Tensões desequilibradas e com harmônicos	36
Figura 4.16: Componente de seqüência positiva (v'_a) e componente de seqüência positiva detectada ($v'_{a(det)}$) – Janela de ampliação indicando a defasagem	36
Figura 4.17: Circuito PLL	38
Figura 4.18: Ponto estável de operação do circuito PLL	39
Figura 4.19: Tensões Balanceadas e sem harmônicos	40
Figura 4.20: Tensão v_α e a corrente fictícia i'_β gerada pelo PLL.....	41
Figura 4.21: Gráfico de $p'_{3\phi}$	41
Figura 4.22: Gráfico de ω	41
Figura 4.23: Tensões desequilibradas e com harmônicos	42
Figura 4.24: Conteúdo Harmônico.....	42
Figura 4.25: Tensão v_α e a corrente fictícia i'_β gerada pelo PLL.....	42
Figura 4.26: Gráfico de $p'_{3\phi}$	43
Figura 4.27: Gráfico de \tilde{p}	43
Figura 4.28: Gráfico de ω	43
Figura 4.29: Conteúdo Harmônico de i'_α	44
Figura 4.30: Detector de seqüência positiva	45
Figura 4.31: Sinais de tensões equilibradas	46
Figura 4.32: Componente de seq. positiva (v'_β) e componente de seqüência positiva detectada ($v'_{\beta(det)}$)	47
Figura 4.33: Sinais de tensões desequilibrados.....	47
Figura 4.34: Componente de seq. positiva (v'_β) e componente de seqüência positiva detectada ($v'_{\beta(det)}$)	48
Figura 4.35: Sinais de tensão desequilibrados e distorcidos	48
Figura 4.36: Componente de seq. positiva (v'_β) e componente de seqüência positiva detectada ($v'_{\beta(det)}$)	49
Figura 4.37: Controle de Afundamento de Tensão	50
Figura 4.38: Algoritmo de Controle de Harmônicos e Desequilíbrios	52
Figura 4.39: Algoritmo de Controle de Afundamentos e Algoritmo de Controle de Harmônicos e Desequilíbrios	53
Figura 4.40: Controle de Disparo.....	54
Figura 4.41: Modulo Auxiliar de Controle de Afundamento.....	55

Figura 4.42: Algoritmo de Controle de Afundamentos, Algoritmo de Controle de Harmônicos e Desequilíbrios e Módulo Auxiliar de Controle de Afundamentos.	55
Figura 5.1: Diagrama unifilar do sistema de distribuição típico	58
Figura 5.2: Forma de onda da tensão trifásica na barra comum	59
Figura 5.3: Forma de onda da tensão trifásica na barra regulada.....	60
Figura 5.4: Forma de onda das tensões de linha nas barras do sistema: v_{ab_∞} – tensão na barra infinita; v_{ab_in} – tensão na barra de entrada do RDT; v_{ab_reg} – tensão na barra regulada.....	60
Figura 5.5: Tensão de compensação da fase <i>a</i>	61
Figura 5.6: Valor eficaz da tensão na barra de entrada do RDT (V_{rms_in}) e na barra regulada (V_{rms_reg}).	61
Figura 5.7: Forma de onda da tensão trifásica na barra regulada.....	62
Figura 5.8: Forma de onda das tensões de linha nas barras do sistema: v_{ab_∞} – tensão na barra infinita; v_{ab_in} – tensão na barra de entrada do RDT; v_{ab_reg} – tensão na barra regulada.....	62
Figura 5.9: Tensões de compensação da fase <i>a</i>	63
Figura 5.10: Valor eficaz da tensão na barra de entrada do RDT (V_{rms_in}) e na barra regulada (V_{rms_reg}).	63
Figura 6.1: Unifilar do protótipo	65
Figura 6.2: SCSR1 - <i>System Control and Status Register 1</i>	66
Figura 6.3: WDCR - <i>Watchdog Reset Key Register</i>	67
Figura 6.4: MCRA - <i>I/O Mux Control Register A</i>	68
Figura 6.5: PADATDIR - <i>Port A Data and Direction Control Register</i>	68
Figura 6.6: GPTCONA - <i>General-Purpose Control Register A</i>	69
Figura 6.7: T1CON - <i>Timer 1 Control Register</i>	69
Figura 6.8: ACTRA - <i>Compare Action Control Register A</i>	70
Figura 6.9: Resultado da comparação	70
Figura 6.10: DBTCONA - <i>Dead-Band Timer Control Register A</i>	71
Figura 6.11: ADCTRL1 - <i>ADC Control Register 1</i>	71
Figura 6.12: ADCTRL2 - <i>ADC Control Register 2</i>	72
Figura 6.13: Fluxograma da rotina de interrupção.....	73
Figura 6.14: Diagrama com o C-A/D no modo cascadeado	74
Figura 6.15: Diagrama com C-A/D no modo dual.....	75
Figura 6.16: Aquisição de quatro sinais	80
Figura 6.17: Aquisição de sinais com distorção harmônica.....	81
Figura 6.18: Transformação de Clarke+ - sinais distorcidos	81
Figura 6.19: Resultados do PLL - sinais senoidais	82
Figura 6.20: Resultados do PLL - sinais desequilibrados	83
Figura 6.21: Resultado do Detector de Sequencia Positiva	84
Figura 6.22: Variação do ciclo de trabalho na modulação vetorial.....	84
Figura 6.23: Tensão na barra regulada – RDT desligado.....	85
Figura 6.24: Tensão na barra regulada - RDT liga no momento em que a carga B é conectada	86
Figura 6.25: Tensão de fase na barra comum, e tensão de fase na barra regulada.	87
Figura 6.26: Conteúdo harmônico da tensão na barra comum e da barra regulada	87
Figura 6.27: Tensão de fase na barra comum, e tensão de fase na barra regulada.	88

Figura 6.28 Tensão de fase na barra comum (v_{in}), Tensão de fase na barra regulada(v_{reg}).88

CAPÍTULO 1

INTRODUÇÃO

O desenvolvimento de chaves semicondutoras que podem operar com limites de tensão de alguns milhares de volts e capacidade de corrente de alguns milhares de ampères foi um dos principais fatores que permitiram um considerável aumento das aplicações de Eletrônica de Potência em sistemas elétricos de transmissão e distribuição de energia.

A utilização da Eletrônica de Potência em sistemas de energia teve destaque na transmissão em corrente contínua em alta tensão (CCAT). Este tipo de transmissão permite reduzir as perdas em linhas longas além de ser utilizada para a ligação de dois sistemas assíncronos. No Brasil a transmissão CCAT é adotada na ligação entre a usina hidrelétrica de Itaipu com a subestação de Ibiúna. Pode-se observar na Figura 1.1(a) o diagrama que representa este tipo de transmissão.



O conceito FACTS (*Flexible AC Transmission Systems*) agrupa um conjunto de equipamentos baseados na Eletrônica de Potência permitindo uma maior flexibilidade no controle dos sistemas elétricos [1]. O TCSC (*Thyristor Controlled Series Capacitor*) é um exemplo de equipamento que opera com base neste conceito e, no Brasil, é adotado para manter a estabilidade da conexão dos sistemas elétricos Norte-Sul. Na Figura 1.1 (b) pode ser visto o diagrama do TCSC.

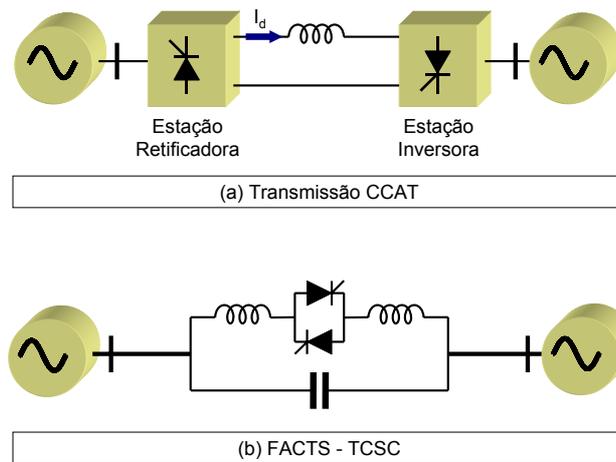


Figura 1.1: Aplicações de Eletrônica de Potência em sistemas de energia:
(a) Transmissão CCAT; (b) FACTS – TCSC.

No ano de 1995, Hingorani introduziu o conceito de *Custom Power* aplicado a sistemas de distribuição de energia [3], cujo o foco é garantir a qualidade e confiabilidade da energia entregue ao consumidor. Pode-se afirmar que o fornecimento de energia elétrica é mais confiável e de melhor qualidade quando a tensão é mantida senoidal, livre de componentes harmônicas, e quando o número de interrupções é reduzido.

1.1. MOTIVAÇÃO

A preocupação com a qualidade da energia em sistemas de distribuição tem aumentado devido a estudos que relatam perdas financeiras expressivas devido a interrupções, afundamentos momentâneos e presença de harmônicos de tensão no fornecimento de energia. É comum associar



problemas de regulação de tensão com soluções clássicas, como o emprego de capacitores em primeiro plano, e compensadores estáticos de reativos (SVC) num segundo plano. Contudo, eles somente controlam a tensão indiretamente, através de mudança da impedância efetiva do sistema. No caso de afundamentos momentâneos na tensão causados por faltas no sistema de transmissão ou distribuição, a injeção de tensão combinada com o suprimento de potência ativa é necessária. Esta é uma característica distintiva de operação de um RDT.

A principal motivação deste trabalho em realizar estudos preliminares voltados para o projeto de um RDT, deve-se ao fato deste equipamento oferecer possibilidades especiais de operação em aplicações visando a melhoria da qualidade de energia entregue a cargas sensíveis. Além disso, a utilização de um sistema digital baseado em um DSP (*Digital Signal Processor*) no controle do RDT permite substituir um *hardware* complexo de componentes analógicos e digitais proporcionando um aumento da confiabilidade e uma redução dos custos.

1.2. OBJETIVOS

Nesta dissertação será apresentada a implementação de protótipo de um Restaurador Dinâmico de Tensão com o seu controle desenvolvido em uma plataforma digital utilizando um processador digital de sinais (DSP). Este RDT é aplicado para compensação de afundamentos, desequilíbrios, e distorções harmônicas. Como objetivos específicos têm-se:

- (i) Apresentação de problemas de Qualidade de Energia;
- (ii) Apresentação do modelo de RDT;
- (iii) Desenvolvimento do controle do RDT;
- (iv) Escolha do detector de sequência positiva;
- (v) Simulações do modelo;
- (vi) Implementação de um circuito de sincronismo;



- (vii) Implementação de um detector de sequência positiva;
- (viii) Implementação do controle de compensação de afundamentos, distúrbios harmônicos e desequilíbrios;
- (ix) Implementação do chaveamento do inversor.
- (x) Análise e implementação do protótipo RDT.

1.3. ORGANIZAÇÃO DOS CAPÍTULOS

No CAPÍTULO 2 são apresentados os problemas de qualidade de energia que o RDT se propõe a minimizar atendendo ao objetivo específico (i).

No CAPÍTULO 3 pode ser encontrada a configuração do circuito do RDT e a descrição de todos os componentes utilizados, atendendo ao objetivo específico (ii).

No CAPÍTULO 4 pode ser encontrado o detalhamento do controle de afundamentos, desequilíbrios e harmônicos, também o circuito de sincronismo (PLL) atendendo ao objetivo (iii). Uma análise entre dois detectores de sequência positiva foi feita neste capítulo com o intuito de atender ao objetivo (iv)

No CAPÍTULO 5 estão descritos os resultados de simulações que validaram o modelo e que deram a base necessária para a implementação de um protótipo. Isto atende ao objetivo (v). Neste CAPÍTULO também é apresentada a implementação em DSP de todo o controle do RDT atendendo os objetivos (vi), (vii), (viii) e (ix). E por fim, serão apresentados os resultados obtidos com o protótipo, atendendo ao objetivo (x).

CAPÍTULO 2

QUALIDADE DE ENERGIA

A conexão de um grande número de cargas não lineares ao sistema elétrico de potência, tendo como consequência o surgimento de distúrbios devidos a harmônicos de tensão e corrente, tem provocado um grande interesse no estudo de Qualidade da Energia. Porém, estudos revelam [16] que, na verdade, os afundamentos momentâneos de tensão são os grandes causadores de queda da Qualidade da Energia.

2.1. AFUNDAMENTOS MOMENTÂNEOS DE TENSÃO

Afundamentos momentâneos de tensão são reduções de curta duração no valor eficaz da tensão, causados por curto-circuito, sobrecargas, ou partida de grandes motores. Este tipo de distúrbio pode causar avarias em diversos tipos de equipamentos [13] e prejuízos em diversos processos industriais.



Na norma IEEE 1346-1998 é definido que afundamento de tensão é a redução para 10 a 90% do valor eficaz da tensão, na frequência fundamental, de uma ou mais fases com uma duração de 1/2 ciclo a 1 minuto.

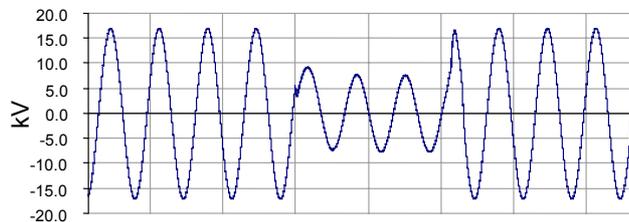


Figura 2.1: Afundamento de tensão

Na Figura 2.1 a forma de onda da tensão sofre uma redução do valor eficaz por aproximadamente 3 ciclos, podendo então ser chamado de afundamento de tensão.

2.2. HARMÔNICOS

Quando a forma de onda da tensão não é exatamente uma senoide pode-se afirmar que existe o chamado de Distorção Harmônica. Considerando-se que a tensão é uma onda periódica, esta pode ser expressa por :

$$v(t) = a_0 + \sum_{i=1}^{\infty} a_i \cos(i\omega_0 t + \phi_i) \quad (2.1)$$

Chama-se de componente fundamental o termo do somatório onde $i=1$, e os demais termos individuais são chamados harmônicos. O termo a_0 é a componente contínua. A frequência fundamental é relacionada com o período T através de $\omega_0 = 2\pi / T$.

A distorção na forma de onda de uma tensão ou corrente pode ser quantificada por um índice chamado de Distorção Harmônica Total (THD – *Total Harmonic Distortion*) definido em (2.2).

$$THD = \sqrt{\sum_{i \neq 1} \left(\frac{V_{si}}{V_{s1}} \right)^2} \quad (2.2)$$



onde V_{si} é o valor eficaz da componente harmônica de ordem “i”.

A principal causa do aparecimento de harmônicos em sistemas de potência é a presença de cargas não lineares como retificadores, lâmpadas eletrônicas, acionamento de motores com conversores estáticos, inversores etc.

Na Figura 2.2 abaixo, pode-se observar um exemplo de forma de onda de tensão onde há presença de harmônicos.

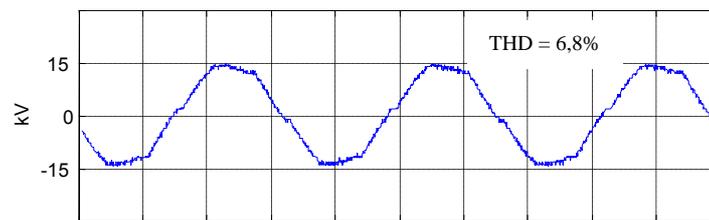


Figura 2.2: Distorção Harmônica.

2.3. DESEQUILÍBRIO

Desequilíbrio de tensão é um fenômeno em um sistema trifásico no qual o valor eficaz da tensão ou o ângulo entre fases consecutivas não é igual.

Algumas das causas de desequilíbrios de tensão são cargas desequilibradas, grandes cargas monofásicas, bancos trifásicos de capacitores defeituosos em uma das fases, e faltas mono ou bifásicas em um ponto do sistema de potência.

Um exemplo de desequilíbrio de tensão está representado na Figura 2.3.

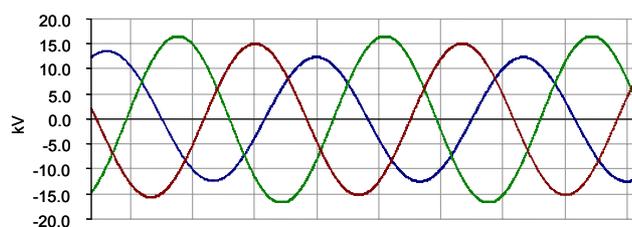


Figura 2.3: Forma de onda de tensões desequilibradas



Desequilíbrios de tensão afetam sobretudo cargas trifásicas, reduzindo a eficiência de motores de indução e síncronos, aquecendo seus enrolamentos.

CAPÍTULO 3

RESTAURADOR DINÂMICO DE TENSÃO

O Restaurador Dinâmico de Tensão (RDT) é um equipamento de conexão série e a sua principal função é eliminar ou reduzir afundamentos momentâneos de tensão, sobre-elevações momentâneas, desequilíbrios e harmônicos nas tensões fornecidas aos consumidores.

3.1. PRINCÍPIO DE OPERAÇÃO DO RDT

A idéia básica do RDT é injetar uma tensão dinamicamente controlada, sintetizada pelo inversor, por meio de um transformador em série com as barras de tensão. As amplitudes e ângulos de fases das tensões injetadas nas três fases são controladas de modo a atenuar qualquer efeito prejudicial na tensão da carga devido a faltas no sistema.



Na Figura 3.1 pode-se observar que a tensão v_{reg} na barra regulada é a soma da tensão com afundamento v_{entr} da barra de entrada, que é a disponível ao RDT, com a tensão de compensação v_c injetada através do transformador série.

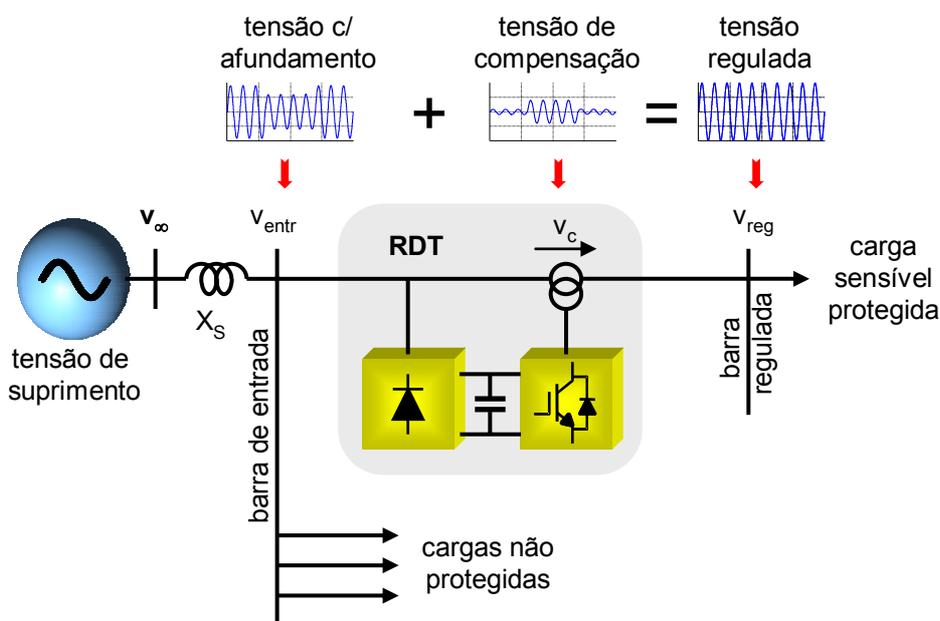


Figura 3.1: Diagrama unifilar do RDT

A tensão de compensação é calculada a partir da tensão da barra de entrada, devendo esta ter uma forma de onda complementar à forma de onda da tensão de entrada, resultando uma tensão na barra regulada livre de afundamentos, desequilíbrio e harmônicos.

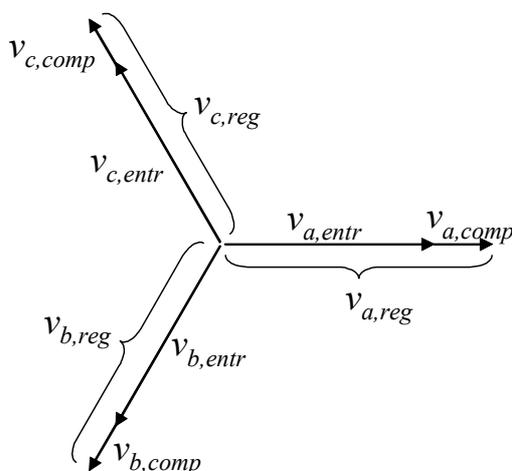


Figura 3.2: Diagrama fasorial indicando a injeção de tensão de compensação.



3.2. CONFIGURAÇÃO DO CIRCUITO DO RDT

O Restaurador Dinâmico de Tensão proposto neste trabalho está ilustrado na Figura 3.3 e seus principais componentes são: um transformador série; um inversor; e um retificador.

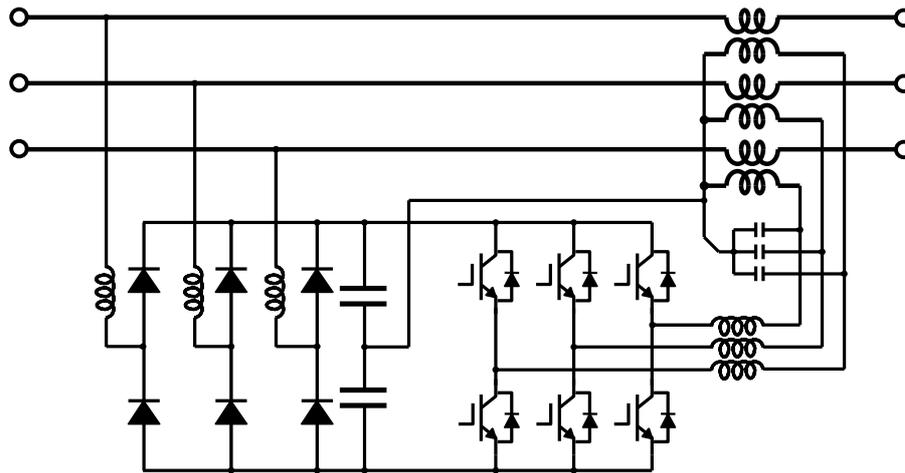


Figura 3.3: Configuração do circuito do RDT

3.2.1. TRANSFORMADOR SÉRIE

O transformador série é um componente importante do RDT. De acordo como a Figura 3.4, toda a corrente fornecida à carga passa por este transformador, mesmo que o RDT não esteja injetando tensão ($v_c = 0$). Devido a isto, o transformador deve ter uma baixa impedância, além de ser capaz de suportar esta corrente. A tensão que o transformador deve suportar está baseada na avaliação da máxima amplitude de tensão necessária a ser injetada no sistema para compensar afundamentos de tensão.

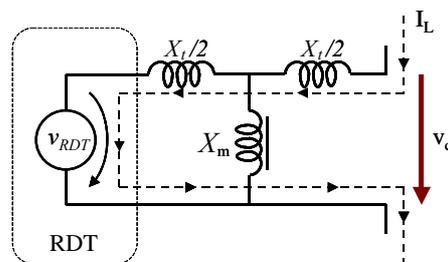


Figura 3.4: Transformador Série



3.2.2. RETIFICADOR

Para a sua operação, o RDT necessita de um fornecimento de energia ativa. Esta fonte de energia pode ser, por exemplo, uma bateria, células fotovoltaicas ou o próprio sistema. Neste projeto foi escolhido o próprio sistema, e esta energia é retirada através de um retificador trifásico.

Os retificadores podem ser controlados e não controlados dependendo do dispositivo semiconductor utilizado. Optou-se, neste trabalho, pela utilização de um retificador com ponte de diodos (não controlado) por apresentar alta confiabilidade e um custo inferior.

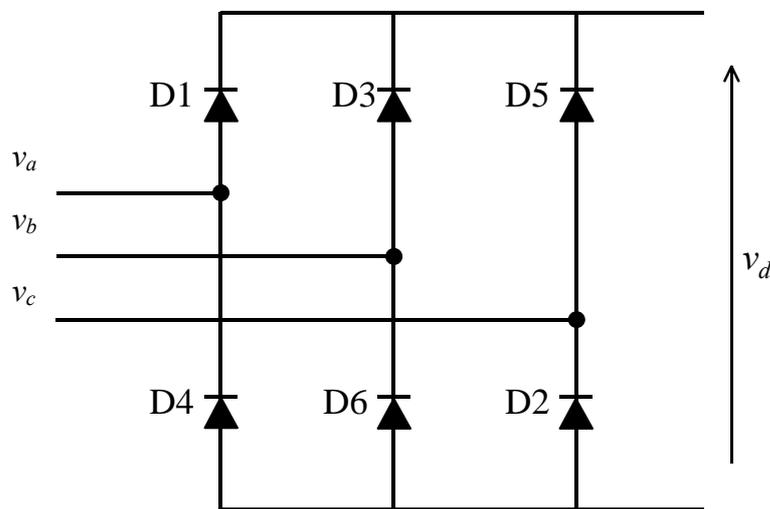


Figura 3.5: Retificador trifásico tipo ponte

O valor médio da tensão no lado de corrente contínua é dado pela equação (3.1).

$$V_{d0} = 1,35.V_{LL} \quad (3.1)$$

onde V_{LL} é valor eficaz da tensão de linha.

A Figura 3.6(a) mostra a forma de onda das tensões v_a , v_b e v_c , a tensão retificada v_d e seu valor médio V_{d0} . Na Figura 3.6(b) pode-se observar o tempo de condução de cada diodo. Quando a curva referente ao determinado diodo está em nível lógico alto significa que o diodo está conduzindo, caso contrário (diodo cortado) estará em nível baixo. Para



exemplificar, a curva relativa ao diodo D1 está com as indicações *ON* e *OFF*, que determinam respectivamente os intervalos de condução e corte do diodo.

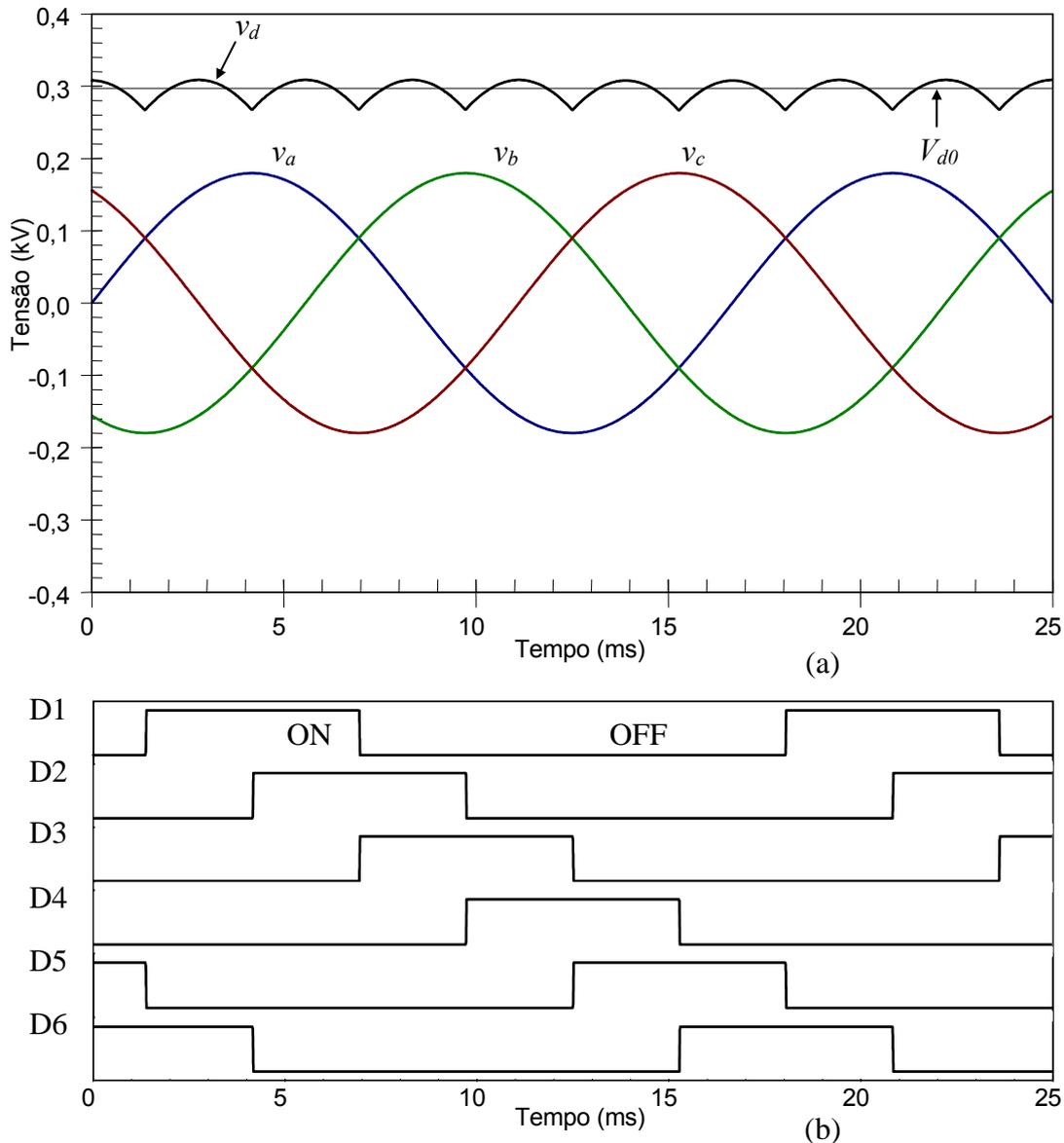


Figura 3.6: Retificador Ponte Diodo - (a) formas de onda das tensões de entrada e da tensão retificada v_d e de seu valor médio v_{d0} ; (b) tempo de condução de cada diodo.

Maiores detalhes sobre o funcionamento deste e de outros tipos de retificadores podem ser encontrados em [2].

É válido lembrar que a forma de onda de v_d mostrada na Figura 3.6(a) corresponde a uma carga com indutância muito grande (uma fonte de corrente). No caso do RDT serão utilizados capacitores com o propósito de manter constante a tensão v_d e armazenar energia para o inversor, como já



apresentado na Figura 3.3, sendo assim, v_d assume o valor de pico da tensão de linha.

3.2.3. INVERSOR

Os conversores estáticos são conjuntos de chaves com capacidade de condução e corte controlados. Quando estes conversores têm a função de sintetizarem uma tensão alternada a partir de uma tensão contínua, são chamados de inversores.

No RDT, as tensões de compensação a serem injetadas no sistema de potência são sintetizadas por um inversor. Dentre as topologias existentes, adotou-se o inversor trifásico em ponte que está representado na Figura 3.7.

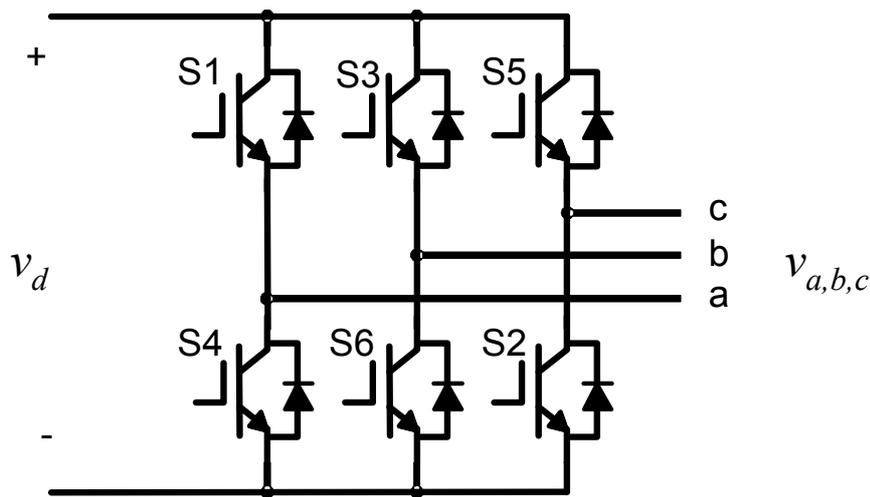


Figura 3.7: Topologia de inversor utilizada.

3.2.3.a. TIPOS DE CHAVEAMENTOS

Existem diversas formas de chaveamento que permitem o controle da tensão sintetizada por inversores de diversas topologias. A seguir serão apresentadas algumas formas de chaveamento que podem ser aplicadas em um inversor tipo ponte, equivalente ao aplicado no RDT em tela.

O chamado chaveamento PAM (*pulse amplitude modulation*) faz com que as chaves auto-comutadas do conversor sejam acionadas uma vez por ciclo (frequência da rede). Neste caso, o controle da amplitude da tensão na saída do inversor é feito pelo controle da amplitude da tensão v_{DC} do capacitor.



Por ser de baixa frequência, este tipo de chaveamento apresenta um alto conteúdo de harmônicos de baixa frequência, porém apresenta uma alta eficiência, podendo ser aplicado em potências elevadas.

O chaveamento PWM (*pulse width modulation*) é realizado em uma frequência maior que a da rede, podendo ser da ordem de alguns kHz. Os harmônicos gerados por este tipo de chaveamento são de ordem elevada, podendo ser facilmente filtrados. Ele apresenta, contudo, uma menor eficiência devido às perdas de energia no chaveamento, não podendo operar em equipamentos de alta potência e limitando-se a alguns megawatts.

Existem várias técnicas de chaveamento PWM, algumas serão apresentadas a seguir.

PWM SENOIDAL – SPWM

Este tipo de PWM é o mais utilizado no controle de inversores, e também foi utilizado nas simulações deste projeto. A SPWM gera os sinais de disparo das chaves semicondutoras a partir da comparação de um sinal de controle $v_{control}$ com frequência f_1 com uma onda triangular portadora v_{tri} de frequência f_{sw} . A tensão de saída do inversor não é uma onda senoidal perfeita. Ela irá conter um componente fundamental na frequência f_1 e harmônicos em torno de f_{sw} e seus múltiplos. [2]

As principais características da SPWM são expressas pelos índices: razão entre a amplitude de $v_{control}$ e a amplitude de v_{tri} ; razão entre a frequência f_1 e a frequência f_{sw} . Estes índices estão definidos respectivamente em (3.2) e (3.3).

$$m_a = \frac{V_{control}}{V_{tri}} \quad (\text{índice de modulação de amplitude}) \quad (3.2)$$

$$m_f = \frac{f_{sw}}{f_1} \quad (\text{índice de modulação de frequência}) \quad (3.3)$$



A Figura 3.8 exemplifica o funcionamento deste tipo de modulação. Nela pode-se observar o sinal de controle $v_{control,a}$ relativo à fase a . A comparação de $v_{control,a}$ com a portadora v_{tri} irá definir o estado das chaves S1 e S4 de acordo com a expressão (3.4). O estado indicado como ON significa que a chave está fechada, e OFF indica que a chave encontra-se aberta.

$$\begin{aligned}
 v_{control,a} > v_{tri} &\Rightarrow \begin{aligned} &S1 - ON \\ &S4 - OFF \end{aligned} \\
 v_{control,a} < v_{tri} &\Rightarrow \begin{aligned} &S1 - OFF \\ &S4 - ON \end{aligned}
 \end{aligned}
 \tag{3.4}$$

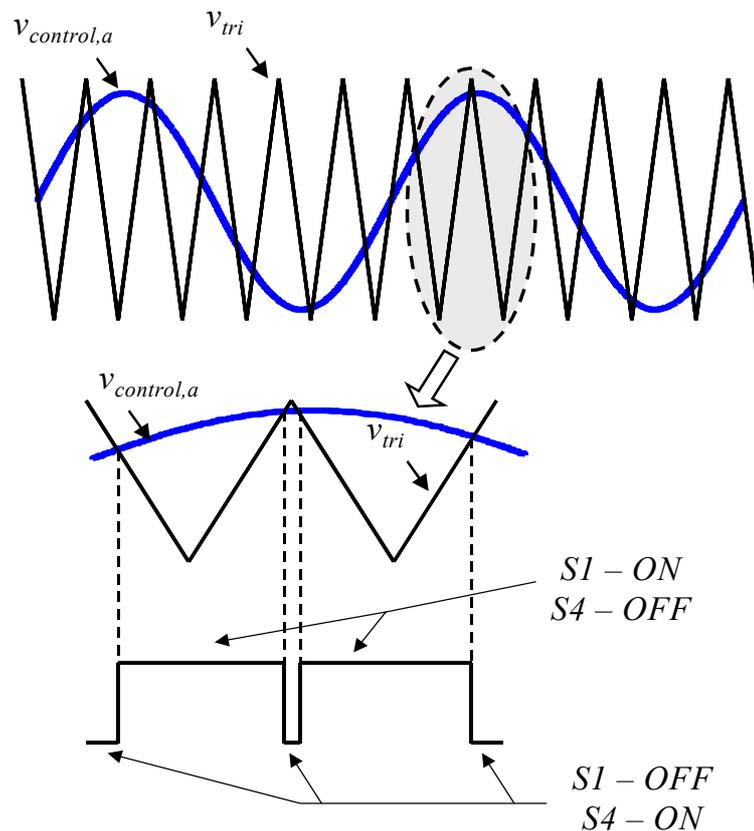


Figura 3.8: PWM Senoidal

Na prática, a frequência f_{sw} do sinal v_{tri} é muito maior que a frequência f_1 do sinal $v_{control}$, isso facilita o processo de eliminação dos harmônicos realizado pelo filtro R-L-C pois o primeiro harmônico gerado seria da ordem de f_{sw} [2].

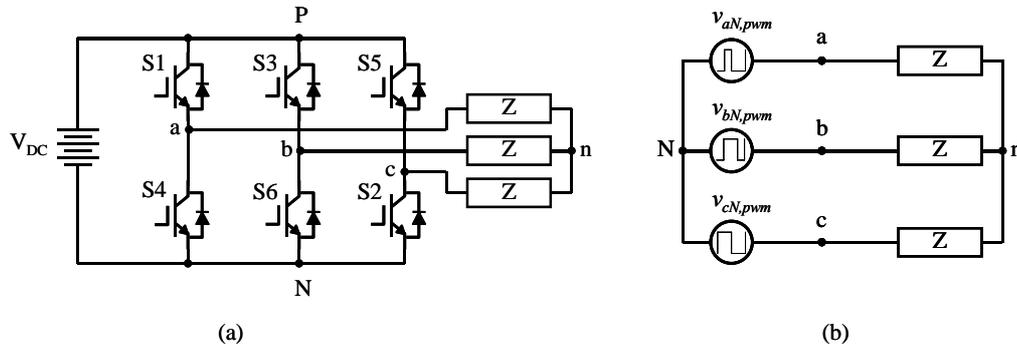


PWM VETORIAL – SPACE VECTOR MODULATION - SVM

Esta técnica de chaveamento tem funcionamento mais complexo do que a SPWM, mas apresenta importantes vantagens, como a diminuição das perdas de energia durante o chaveamento, reduzido conteúdo harmônico nas tensões de saída, e permite o uso mais eficiente da tensão v_{DC} do barramento CC. Esta técnica foi utilizada no protótipo implementado neste trabalho. [4]

A seguir será apresentada uma breve descrição de sistemas trifásicos para um melhor entendimento da SVM.

A Figura 3.9(a) mostra um inversor trifásico alimentando uma carga em conexão Y, e a Figura 3.9(b) mostra o seu circuito equivalente.



**Figura 3.9: (a) Inversor trifásico PWM alimentando carga em conexão Y
(b) Circuito equivalente do inversor trifásico PWM**

Analisando o circuito da Figura 3.9(b) podemos obter as tensões de fase v_{an} , v_{bn} e v_{cn} como explicado a seguir.

De acordo com a lei de Kirchhoff das tensões podemos obter v_{Nn} relativa a cada ramo do circuito da Figura 3.9(b) de acordo com as equações (3.5), (3.6) e (3.7).

$$v_{Nn} = -v_{aN,pwm} + Z \cdot i_a \tag{3.5}$$

$$v_{Nn} = -v_{bN,pwm} + Z \cdot i_b \tag{3.6}$$

$$v_{Nn} = -v_{cN,pwm} + Z \cdot i_c \tag{3.7}$$

$$3 \cdot v_{Nn} = -v_{aN,pwm} - v_{bN,pwm} - v_{cN,pwm} + Z \cdot (i_a + i_b + i_c) \tag{3.8}$$



A soma das equações (3.5), (3.6), e (3.7) resulta na equação (3.8). Aplicando a lei de Kirchhoff das correntes no nó n , tem-se: $i_a + i_b + i_c = 0$, portanto a equação (3.8) pode ser reduzida a:

$$3 \cdot v_{Nn} = -v_{aN,pwm} - v_{bN,pwm} - v_{cN,pwm} \quad (3.9)$$

Agora as tensões de fase aplicadas na carga podem ser calculadas mediante as equações (3.10), (3.11) e (3.12).

$$v_{an} = v_{Nn} + v_{aN,pwm} = \frac{2}{3}v_{aN,pwm} - \frac{1}{3}v_{bN,pwm} - \frac{1}{3}v_{cN,pwm} \quad (3.10)$$

$$v_{bn} = v_{Nn} + v_{bN,pwm} = -\frac{1}{3}v_{aN,pwm} + \frac{2}{3}v_{bN,pwm} - \frac{1}{3}v_{cN,pwm} \quad (3.11)$$

$$v_{cn} = v_{Nn} + v_{cN,pwm} = -\frac{1}{3}v_{aN,pwm} - \frac{1}{3}v_{bN,pwm} + \frac{2}{3}v_{cN,pwm} \quad (3.12)$$

O inversor de Figura 3.9(a) necessita apenas de três sinais de disparo, já que os sinais de comando das chaves S4, S6, e S2, são complementares aos das chaves S1, S3 e S5, com isso temos oito (2^3) combinações possíveis de tensões produzidas pelo inversor. A Tabela 3.1 define para cada combinação de chaves as tensões de cada fase em relação ao ponto N ($v_{aN,pwm}$, $v_{bN,pwm}$, $v_{cN,pwm}$), bem como as tensões de fase na carga (v_{an} , v_{bn} , v_{cn}).

Tabela 3.1: Estados das chaves, tensões das fases em relação ao ponto N, tensões de fases, vetores de chaveamentos

Estados das Chaves			Tensões de fase em relação à N			v_{Nn}	Tensões de fase			Vetores de Chaveamentos
S1	S3	S5	$v_{aN,pwm}$	$v_{bN,pwm}$	$v_{cN,pwm}$		v_{an}	v_{bn}	v_{cn}	
0	0	0	0	0	0	0	0	0	0	O_{000}
1	0	0	V_{DC}	0	0	$-V_{DC}/3$	$2V_{DC}/3$	$-V_{DC}/3$	$-V_{DC}/3$	V_{0°
1	1	0	V_{DC}	V_{DC}	0	$-2V_{DC}/3$	$V_{DC}/3$	$V_{DC}/3$	$-2V_{DC}/3$	V_{60°
0	1	0	0	V_{DC}	0	$-V_{DC}/3$	$-V_{DC}/3$	$2V_{DC}/3$	$-V_{DC}/3$	V_{120°
0	1	1	0	V_{DC}	V_{DC}	$-2V_{DC}/3$	$-2V_{DC}/3$	$V_{DC}/3$	$V_{DC}/3$	V_{180°
0	0	1	0	0	V_{DC}	$-V_{DC}/3$	$-V_{DC}/3$	$-V_{DC}/3$	$2V_{DC}/3$	V_{240°
1	0	1	V_{DC}	0	V_{DC}	$-2V_{DC}/3$	$V_{DC}/3$	$-2V_{DC}/3$	$V_{DC}/3$	V_{300°
1	1	1	V_{DC}	V_{DC}	V_{DC}	$-V_{DC}$	0	0	0	O_{111}



Cada combinação de chaves pode ser representada por um vetor de chaveamento no plano complexo, e que podem ser definidos pelas equações (3.13). Estes vetores também são indicados na Tabela 3.1. Vale notar que apenas o estado de uma chave é alterado entre vetores adjacentes, proporcionando uma otimização do chaveamento.

$$\begin{aligned}
 O_{000} &= 0 \\
 V_{0^\circ} &= V_{DC} \\
 V_{60^\circ} &= V_{DC} \cdot e^{j \frac{\pi}{3}} \\
 V_{120^\circ} &= V_{DC} \cdot e^{j \frac{2\pi}{3}} \\
 V_{180^\circ} &= V_{DC} \cdot e^{j \cdot \pi} \\
 V_{240^\circ} &= V_{DC} \cdot e^{j \frac{4\pi}{3}} \\
 V_{300^\circ} &= V_{DC} \cdot e^{j \frac{5\pi}{3}} \\
 O_{111} &= 0
 \end{aligned} \tag{3.13}$$

Os seis vetores não nulos com módulos iguais a V_{DC} , têm os extremos nos vértices de um hexágono, e possuem ângulo de defasagem entre si de 60° , como pode ser visto na Figura 3.10.

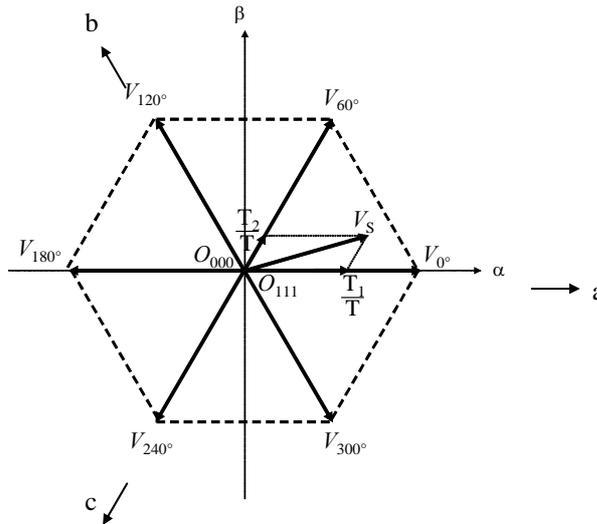


Figura 3.10: Vetores de chaveamento

O objetivo agora é sintetizar a cada instante de chaveamento um dos oito vetores de forma que a média instantânea ao longo do período de chaveamento é igual ao vetor de saída V_s definido na equação (3.14) e representado na Figura 3.11.

$$V_s = v_a \cdot e^{j0} + v_b \cdot e^{j2\pi/3} + v_c \cdot e^{j4\pi/3} \quad (3.14)$$

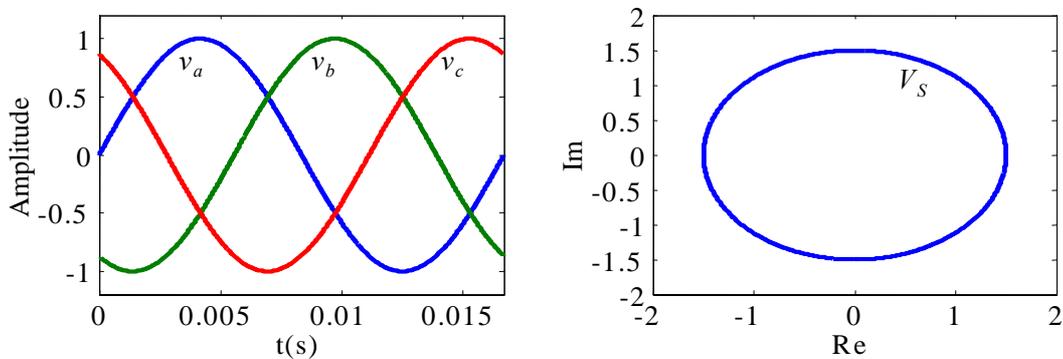


Figura 3.11: Sinais de v_a , v_b e v_c e a trajetória do respectivo vetor V_s

Fazendo com que, num período de chaveamento T_s , o valor médio da tensão de saída do inversor seja igual ao valor médio do vetor de V_s , tem-se:

$$\frac{1}{T_s} \int_0^{T_s} V_s(t) \cdot dt = \frac{1}{T_s} (T_1 \cdot V_x + T_2 \cdot V_{x\pm 60^\circ} + T_0 \cdot (O_{000} / 2 + O_{111} / 2)) \quad (3.15)$$

onde T_1 e T_2 são os respectivos intervalos de tempo nos quais os vetores de chaveamento V_x e $V_{x\pm 60^\circ}$, correspondente ao setor onde V_s se



encontra, são aplicados. Para uma frequência de chaveamento muito alta (T_s muito pequeno), podemos assumir que não há variação do vetor V_s dentro de um período de tempo T_s . Com isso a equação (3.15) transforma-se em (3.16).

$$V_s = \frac{1}{T_s} \cdot (T1 \cdot V_{0^\circ} + T2 \cdot V_{60^\circ} + T0 \cdot (O_{000} / 2 + O_{111} / 2))$$

$$V_s = \frac{1}{T_s} \cdot \left(T1 \cdot V_{DC} + T2 \cdot V_{DC} \cdot e^{j\frac{\pi}{3}} \right) \quad (3.16)$$

onde

$$T0 + T1 + T2 = T_s \quad (3.17)$$

Como exemplo, suponhamos que queremos sintetizar o vetor V_s quando ele se encontra no setor delimitado pelos vetores V_{0° e V_{60° como na Figura 3.10. Podemos encontrar os períodos $T1$ e $T2$ em que são aplicados os padrões de chaveamento dos vetores V_{0° e V_{60° respectivamente (100 e 110) de acordo com (3.16), e o período $T0$ pela equação (3.17). Para este setor a sequência de chaveamento adotada é: ... $O_{000} - V_{0^\circ} - V_{60^\circ} - O_{111} - O_{111} - V_{60^\circ} - V_{0^\circ} - O_{000}$ A Figura 3.12 ilustra como é executada esta sequência de chaveamento. O vetor V_s é calculado a partir dos sinais $v_{a,ref}$, $v_{b,ref}$ e $v_{c,ref}$ conforme (3.14).

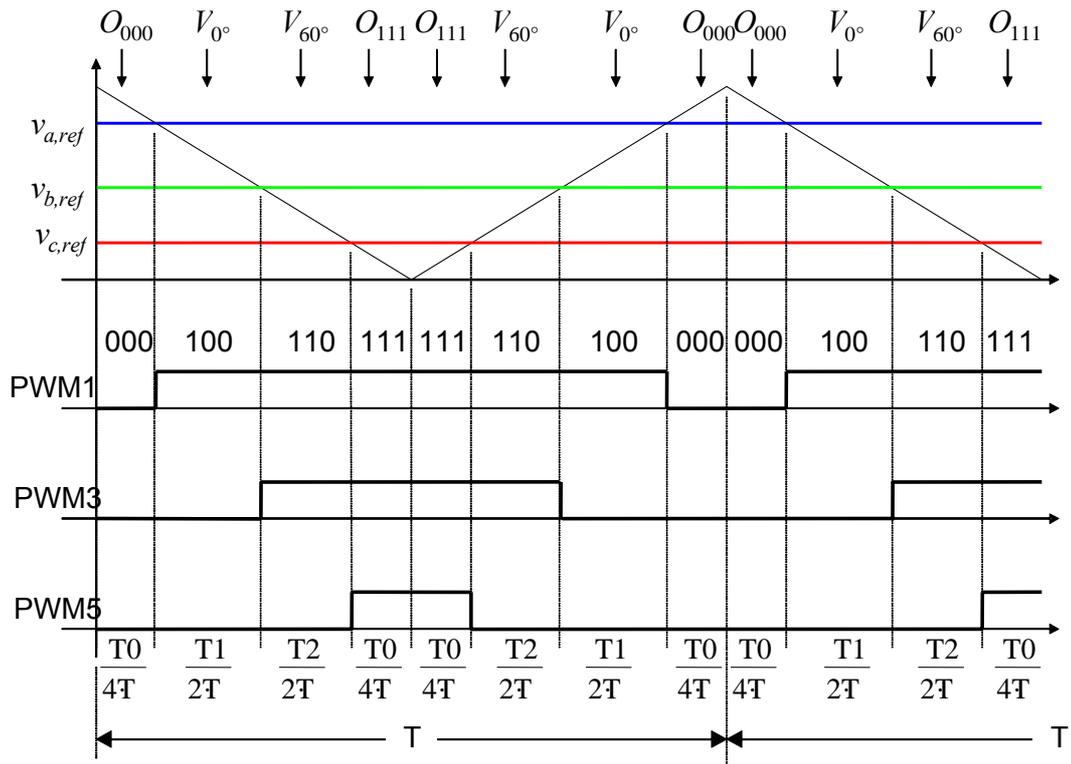


Figura 3.12: Sequência de chaveamento

Cada setor apresenta uma sequência de chaveamento que começa e termina com o vetor O_{000} . Estas sequências estão definidas na tabela Tabela 3.2 abaixo.

Tabela 3.2: Sequências de chaveamento

SETOR	LIMITES	SEQUÊNCIA
1	$V_{0^\circ} - V_{60^\circ}$	$O_{000} - V_{0^\circ} - V_{60^\circ} - O_{111} - O_{111} - V_{60^\circ} - V_{0^\circ} - O_{000}$
2	$V_{60^\circ} - V_{120^\circ}$	$O_{000} - V_{120^\circ} - V_{60^\circ} - O_{111} - O_{111} - V_{60^\circ} - V_{120^\circ} - O_{000}$
3	$V_{120^\circ} - V_{180^\circ}$	$O_{000} - V_{120^\circ} - V_{180^\circ} - O_{111} - O_{111} - V_{180^\circ} - V_{120^\circ} - O_{000}$
4	$V_{180^\circ} - V_{240^\circ}$	$O_{000} - V_{240^\circ} - V_{180^\circ} - O_{111} - O_{111} - V_{180^\circ} - V_{240^\circ} - O_{000}$
5	$V_{240^\circ} - V_{300^\circ}$	$O_{000} - V_{240^\circ} - V_{300^\circ} - O_{111} - O_{111} - V_{300^\circ} - V_{240^\circ} - O_{000}$
6	$V_{300^\circ} - V_{0^\circ}$	$O_{000} - V_{0^\circ} - V_{300^\circ} - O_{111} - O_{111} - V_{300^\circ} - V_{0^\circ} - O_{000}$

3.2.4. FILTROS

A tensão gerada pelo inversor é proveniente de um chaveamento PWM e, como já visto, contém harmônicos de alta frequência. Este problema pode ser facilmente resolvido com a introdução de filtros. Neste trabalho foram utilizados filtros L-R-C que podem ser visto na Figura 3.13.

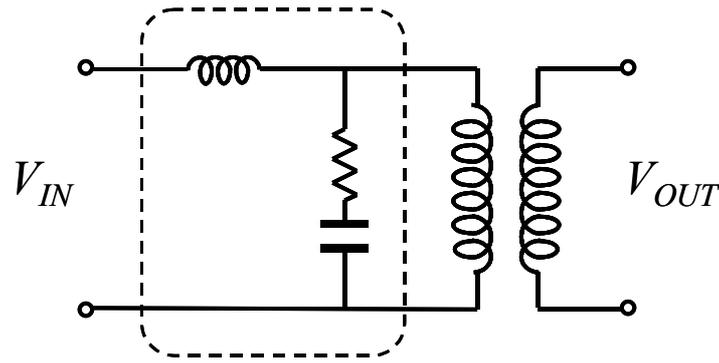


Figura 3.13: Filtro L-R-C

Estes filtros provocam uma defasagem na componente fundamental da tensão gerada pelo inversor. A solução para este problema será apresentada no item 4.4 do CAPÍTULO 4.

3.2.5. DSP - “DIGITAL SIGNAL PROCESSOR”

O controle do RDT foi desenvolvido sobre uma plataforma digital que tem como coração o DSP TMS320LF2407A. Este processador foi desenvolvido pela *Texas Instruments, Inc.* para auxiliar em várias aplicações de controle digital, e está embarcado no módulo eZdspTMLF2407 criado pela *Spectrum Digital, Inc.*. As principais estruturas do módulo eZdspTMLF2407 estão descritas na Figura 3.14.

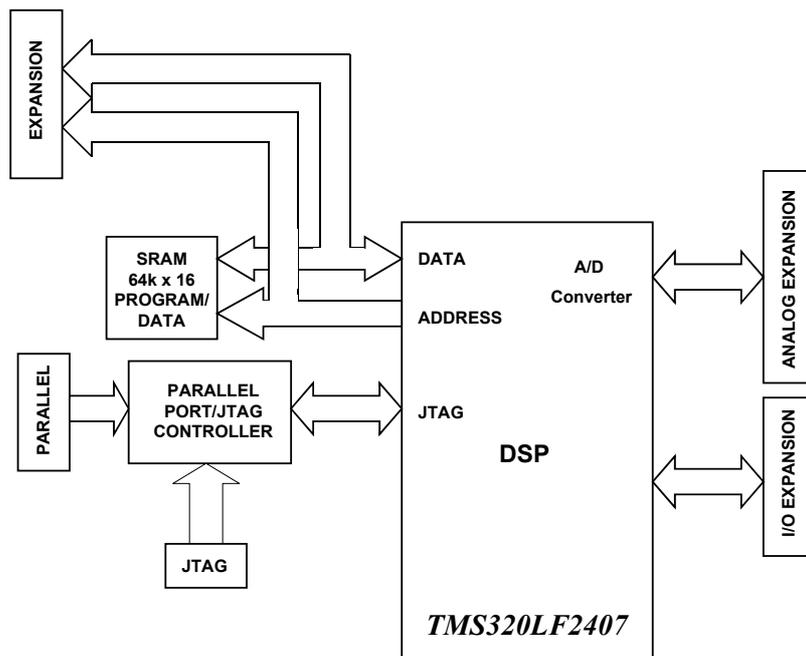


Figura 3.14: Diagrama de blocos do módulo eZdspTMLF2407



3.2.5.a. CARACTERÍSTICAS

O TMS320LF2407A é um dispositivo baseado na geração TMS320C2xx de processador de ponto fixo de 16 bits. Este dispositivo oferece uma CPU de baixo custo, baixa potência, e de alto desempenho de processamento (40MIPS – Milhões de Instruções Por Segundo). Apresenta, ainda, periféricos avançados otimizados para aplicações em eletrônica de potência e controle.

Um periférico muito importante na implementação do sistema é o conversor analógico-digital (C-A/D). O DSP aqui apresentado possui um C-A/D de 10 bits e oferece 16 canais de entrada analógica tendo um tempo mínimo para a aquisição e conversão de 375 ns. A capacidade de autosequenciamento do C-A/D permite que até 16 conversões sejam realizadas na mesma sessão de conversão.

O DSP também possui dois módulos gerenciadores de eventos (EV – *Event Manager*) com dois temporizadores (“Timers”) de propósito geral de 16 bits por módulo, e três unidades de comparação com tempo morto configurável, associado ao *Timer 1* para a geração de PWM simétrico e assimétrico. O circuito integrado possui 40 pinos de entradas-saídas digitais compartilhados com outras funções e três módulos de comunicação com o exterior: serial síncrona (SPI); serial assíncrona (SCI); e CAN (*Controller Area Network*).

3.2.6. CIRCUITO DE MEDIÇÃO DE TENSÃO

Para o correto funcionamento do controle do RDT, há a necessidade de medições dos sinais de tensão no ponto da linha de distribuição na qual o RDT se propõe a compensar os desequilíbrios e harmônicos. Para isso, é necessário um sistema de medição acurado, além de uma proteção e isolamento do circuito de controle.



O sistema de medição desenvolvido para este projeto pode ser dividido em 3 módulos: o primeiro trata de um circuito divisor de tensão formado apenas por resistores; o segundo módulo é formado por condicionadores 5B41-06 fabricados pela *Analog Devices* e montados no *backplane* 5B01 do mesmo fabricante; e o terceiro módulo é uma placa de circuito impresso criada no próprio Laboratório.

O circuito divisor de tensão está representado na Figura 3.15. Os valores dos resistores são dados na Tabela 3.3 abaixo sendo que R_{IN} é a impedância de entrada dos condicionadores 5B41-06 de acordo com a referência [21].

Tabela 3.3: Valores dos resistores do circuito divisor de tensão

R_S	128k Ω
R_P	10k Ω
R_{IN}	650k Ω

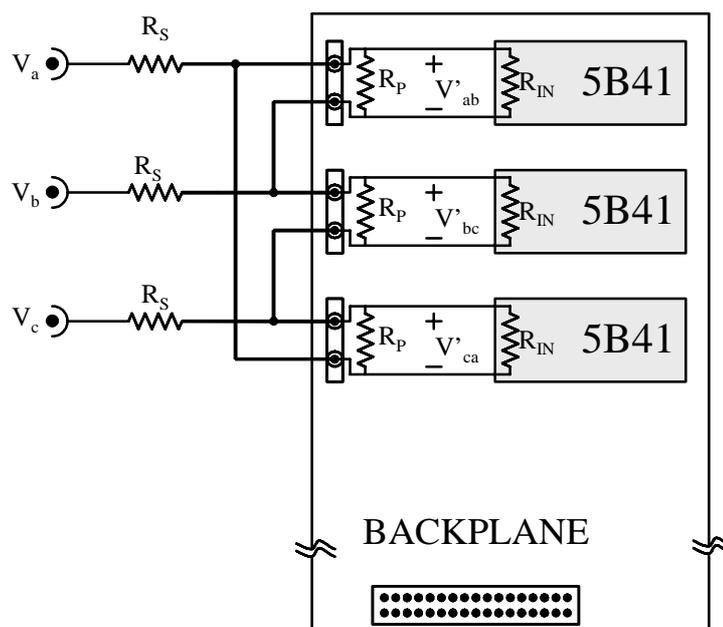


Figura 3.15: Circuito divisor de tensão



A atenuação dada por este circuito está de acordo com a expressão (3.18)

$$aten_{div.ten} = \frac{V'_{ff}}{V_{ff}} = \frac{R_p // R_{IN}}{3 \cdot R_s + R_p // R_{IN}} \approx \frac{1}{40} \quad (3.18)$$

onde V_{ff} é uma tensão de linha medida no sistema, e V'_{ff} é o sinal entregue para os condicionadores 5B41.

O segundo módulo da medição de tensão é formado pelo condicionador 5B41-06 que além de atenuar o sinal da tensão também irá adicionar um *offset* de 2.5V. Com isso o sinal da tensão fase-fase é dado por (3.19).

$$V''_{ff} = 0.25 \cdot \left(\frac{R_p // R_{IN}}{3 \cdot R_s + R_p // R_{IN}} \right) \cdot V_{ff} + 2.5 \quad (3.19)$$

Estes condicionadores são montados no *backplane* 5B01 como visto na Figura 3.15, e também são utilizados para isolar o circuito de potência do circuito de controle. Maiores informações sobre o 5B41 podem ser encontradas em [21].

O terceiro módulo é formado pela placa condicionadora. Esta condiciona os sinais de tensão na faixa 0-5V à faixa 0-3.3V compatível com os níveis das entradas analógicas do DSP. Esta placa apresenta um circuito de proteção para as portas do C-A/D limitando a tensão de entrada a uma faixa de -0,6 a 5,6V. O circuito de condicionamento é esquematizado na Figura 3.16. A placa de condicionamento apresenta seis destes circuitos, sendo então adequada de realizar medições seis sinais.

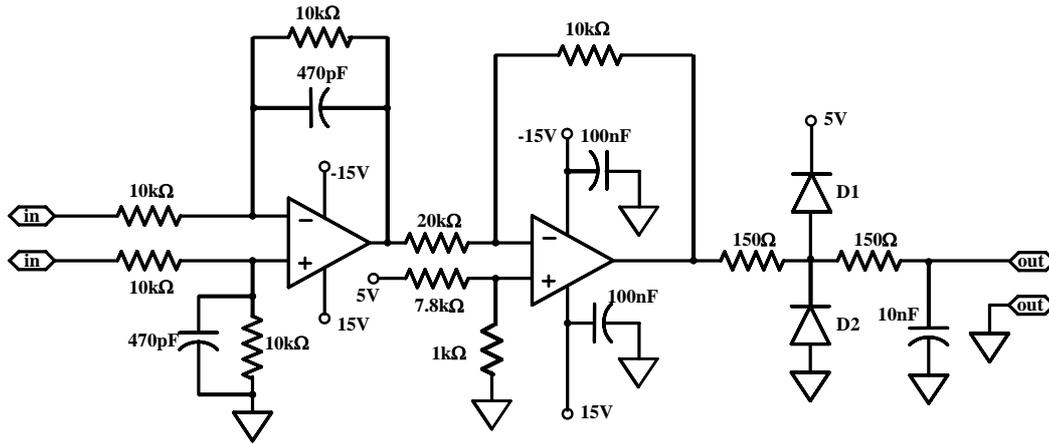


Figura 3.16: Circuito da placa de condicionamento de sinais

3.2.7. INTERFACE ÓPTICA

Com o intuito de tornar o controle do RDT mais confiável, e ainda proporcionar isolamento entre os circuitos de potência e os de controle, optou-se pela utilização de fibras ópticas para o envio dos sinais de disparo e bloqueio das chaves semicondutoras do inversor. Com isso foi necessário desenvolver uma interface óptica responsável pelo envio destes seis sinais de controle (um sinal para cada chave), e também responsável por receber possíveis sinais indicativos de erro de chaveamento, emitidos pelo inversor (um sinal para cada fase).

Os circuitos transmissor (Tx) e receptor (Rx) estão ilustrados na Figura 3.17 abaixo. Ambos os circuitos foram montados de acordo com [22].

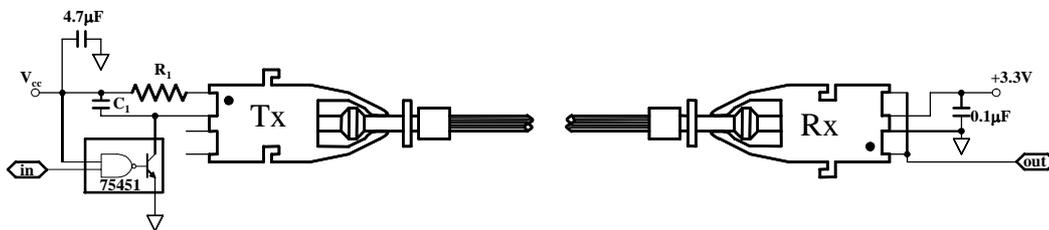


Figura 3.17: Interface óptica

CAPÍTULO 4

CONTROLE DO RDT

O controle do RDT proposto nesta dissertação pode ser dividido em três instâncias, como destacado na Figura 4.1: algoritmo de compensação de afundamentos; algoritmo de compensação de harmônicos e desequilíbrios; e controle de disparo das chaves semicondutoras do inversor. Também vale notar a presença de um módulo auxiliar de controle de afundamentos.

Tanto no controle de afundamento quanto no de harmônicos e desequilíbrios há somente a necessidade de se conhecer a forma de onda da tensão disponível na barra de entrada do RDT. Porém, o controle de disparo proposto deve ter uma realimentação da tensão de compensação aplicada na carga que, neste caso, é obtida pela diferença da tensão na barra regulada com a tensão da barra de entrada, sendo então necessário se conhecer também a tensão na barra regulada.

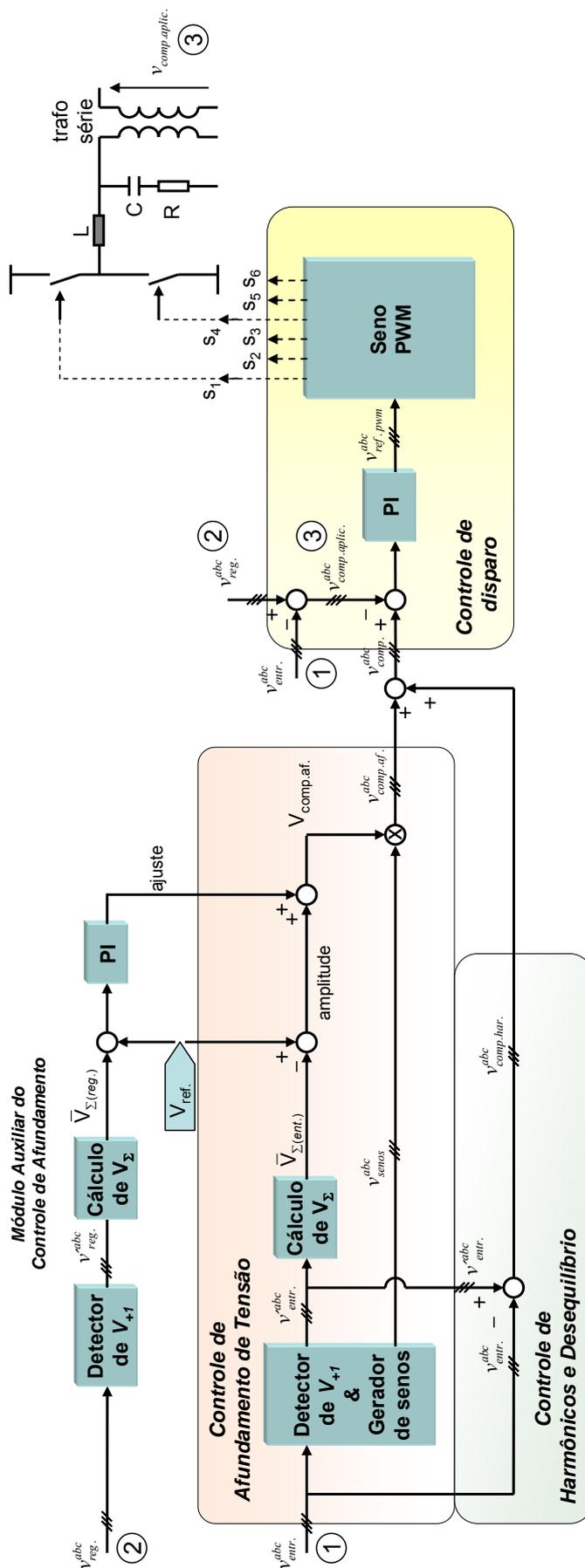


Figura 4.1: Diagrama do algoritmo de controle



Antes da apresentação dos algoritmos é válido apresentar um componente essencial para o correto funcionamento dos mesmos: o Detector de V_{+1} (Detector de componente de seqüência positiva).

4.1. DETECTOR DE V_{+1}

A tensão de fase tanto na barra de entrada como na barra de saída são compostas principalmente de componentes de seqüência positiva, mas podem conter também componentes de seqüência negativa (desequilíbrios) e conter harmônicos (distorções). A detecção da componente fundamental de seqüência positiva é crucial para o correto funcionamento dos algoritmos de controle do RDT.

Nesta dissertação será apresentado o funcionamento e a comparação entre dois tipos de detectores de seqüência positiva. O primeiro detector está relacionado diretamente com o trabalho apresentado por Fortescue [9], enquanto que o segundo detector baseia-se na Teoria de Potências Instantâneas e foi utilizado por Aredes em [10].

4.1.1. DETECTOR DE COMPONENTE DE SEQUÊNCIA POSITIVA BASEADO EM COMPONENTES SIMÉTRICAS

De acordo com o teorema de Fortescue, todo sistema trifásico desequilibrado pode ser decomposto em três sistemas trifásicos balanceados. Estes sistemas definem as seguintes componentes:

- Componentes de seqüência positiva – sistema composto por três fasores de mesma magnitude e defasados de 120° tendo a mesma seqüência dos fasores originais.

- Componentes de seqüência negativa – sistema composto por três fasores de mesma magnitude e defasados de 120° tendo a seqüência oposta dos fasores originais.



- Componentes de sequência zero – sistema composto por três fasores de mesma magnitude e mesmo ângulo de fase.

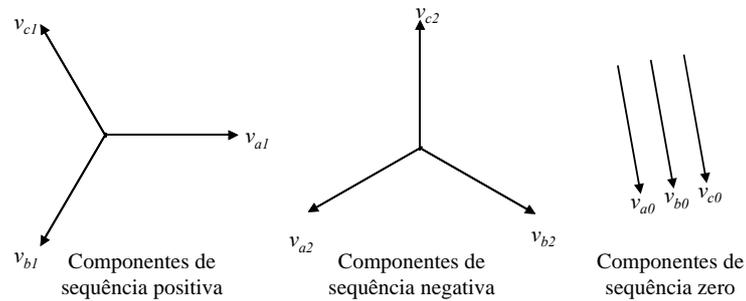


Figura 4.2: Componentes Simétricas

Com isso cada fasor do sistema desequilibrado é igual à soma de suas componentes simétricas, resultando em:

$$\begin{aligned} V_a &= V_{a1} + V_{a2} + V_{a0} \\ V_b &= V_{b1} + V_{b2} + V_{b0} \\ V_c &= V_{c1} + V_{c2} + V_{c0} \end{aligned} \tag{4.1}$$

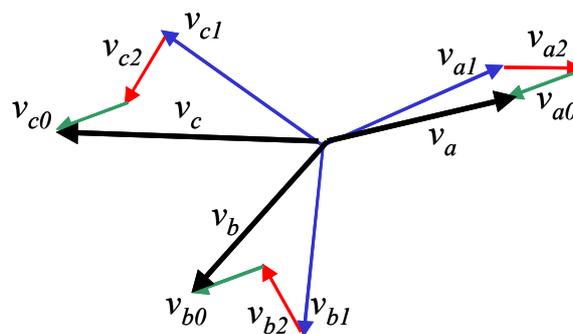


Figura 4.3: Representação gráfica da equação (4.1).

A decomposição de um sistema trifásico desequilibrado em componentes simétricas é feita de acordo com a expressão (4.2).

$$\begin{bmatrix} V_{a0} \\ V_{a1} \\ V_{a2} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & 1 & 1 \\ 1 & a & a^2 \\ 1 & a^2 & a \end{bmatrix} \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \tag{4.2}$$



onde a é um operador que impõe uma rotação de 120° :

$$a = 1 \angle 120^\circ = 1e^{j2\pi/3} = -0.5 + j0.866$$

$$a^2 = 1 \angle 240^\circ = 1e^{-j2\pi/3} = -0.5 - j0.866$$

Harque et al. utiliza em [11] dois blocos de controle que têm um funcionamento similar aos operadores a e a^2 . Com isso foi possível desenvolver o detector de sequência positiva da Figura 4.4.

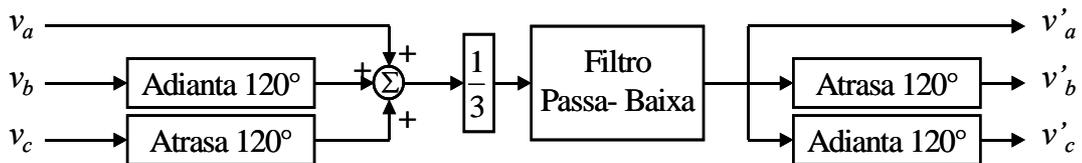


Figura 4.4: Detector baseado em componentes simétricas

A operação dos blocos de controle “Adianta 120° ” e “Atrasa 120° ” resulta em um avanço de fase de 120° em v_b e atraso de 120° em v_c . A Figura 4.5 mostra estes blocos de controle em detalhe. Os termos v_i e v_o são respectivamente funções de entrada e saída deste blocos.

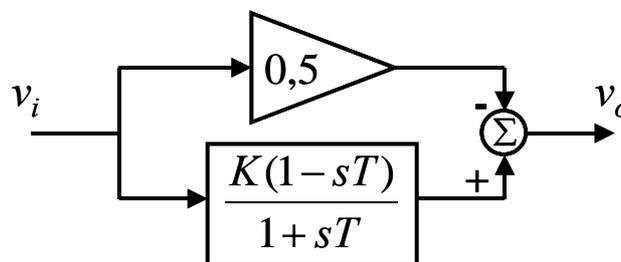


Figura 4.5: Diagrama de blocos utilizado para atrasar ou adiantar de 120°

As magnitudes de K e $1/T$ definem respectivamente o ganho e a frequência fundamental para a qual a função de transferência (4.3) apresentará em sua saída uma defasagem de 90° em relação a sua entrada.

$$\frac{v_o}{v_i} = \frac{K(1-sT)}{1+sT} \quad (4.3)$$

onde $T=1/\omega_1$, $\omega_1=2\pi f_1$ e f_1 é a frequência fundamental.



O valor de K para o caso de adiantar 120° é $\sqrt{3}/2$, e $-\sqrt{3}/2$ para atrasar 120° . A Figura 4.6 exemplifica o funcionamento destes blocos de controle.

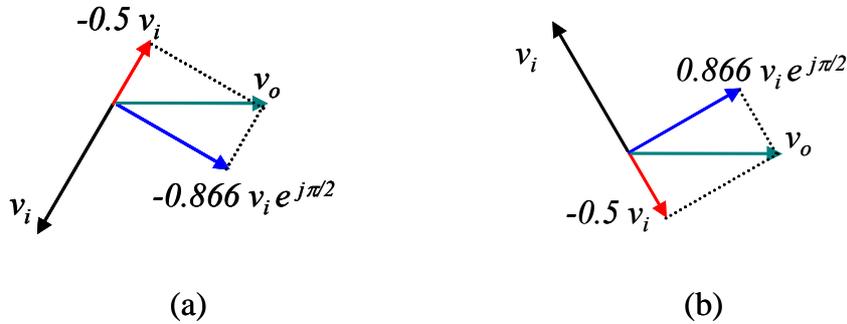


Figura 4.6: Funcionamento dos Blocos de controle: (a) adianta 120° (b) atrasa 120°

O filtro Passa-Baixa tem a finalidade de filtrar as componentes harmônicas. A Figura 4.7 ilustra o seu diagrama de blocos.

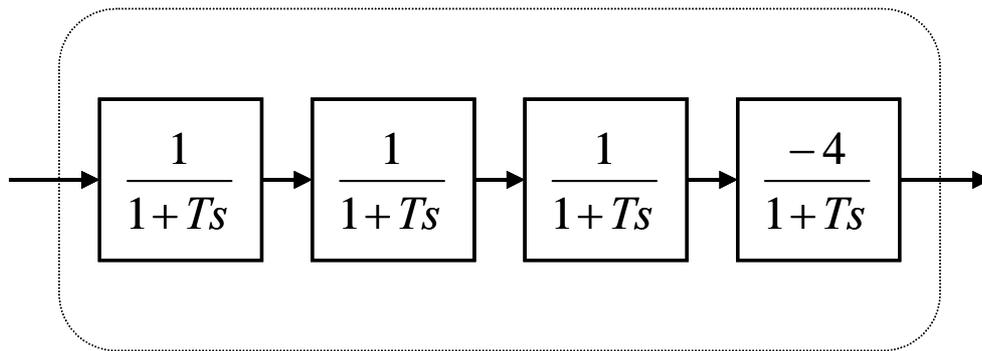


Figura 4.7: Diagrama de blocos do filtro passa-baixa

Como pode ser visto, o filtro passa-baixa utilizado consiste na conexão em série de quatro outros filtros passa-baixa de primeira ordem. A frequência de corte de todos os outros filtros é igual a frequência fundamental, o que resulta em uma defasagem de $-\pi/4$ e um ganho de $1/\sqrt{2}$ na saída de cada filtro passa-baixa de primeira ordem, na frequência fundamental. Desta forma, a defasagem total é de $-\pi$, com uma atenuação de $1/4$ na amplitude do sinal de entrada. Para corrigir este problema o último filtro possui um ganho de -4 . A expressão (4.4) mostra a função de transferência deste filtro.



$$H(s) = \frac{-4}{(1+sT)^4} \quad (4.4)$$

4.1.1.a. RESULTADOS DE SIMULAÇÕES DO DETECTOR DE V_{+1} BASEADO NAS COMPONENTES SIMÉTRICAS

Para comprovar o funcionamento do detector de sequência positiva aqui apresentado, foram feitas, no MATLAB®, algumas simulações utilizando sinais de tensões contendo desequilíbrio e distorções.

1º CASO: TENSÕES BALANCEADAS

O primeiro caso de simulação foi realizado com sinais de entrada equilibrados e sem distúrbios harmônicos como pode ser visto na Figura 4.8. Na Figura 4.9 estão traçados o sinal da componente de sequência positiva da fase a (v'_a) e o sinal obtido pelo detector ($v'_{a(det)}$).

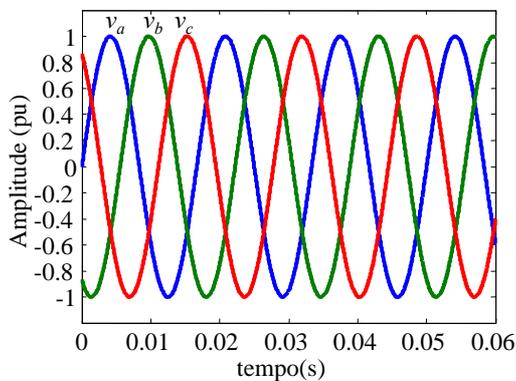


Figura 4.8: Tensões Balanceadas e sem harmônicos

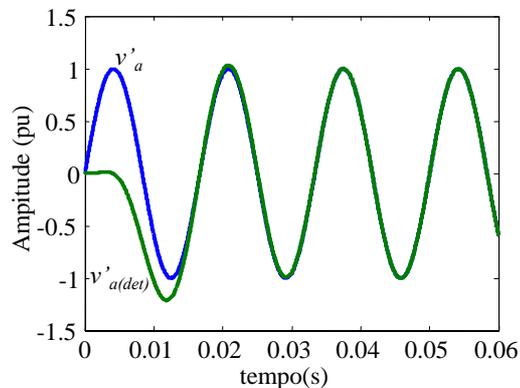


Figura 4.9: Componente de Seq. Positiva (v'_a) e componente de sequência positiva detectada ($v'_{a(det)}$)

2º CASO: TENSÕES DESEQUILIBRADAS

No segundo caso simulado considerou-se um desequilíbrio de 12.5% de sequência negativa nos sinais de entrada e nenhum conteúdo harmônico, como pode ser visto na Figura 4.10. Na Figura 4.11 estão traçados o sinal da



componente de sequência positiva da fase a (v'_a) e o sinal obtido pelo detector ($v'_{a(det)}$).

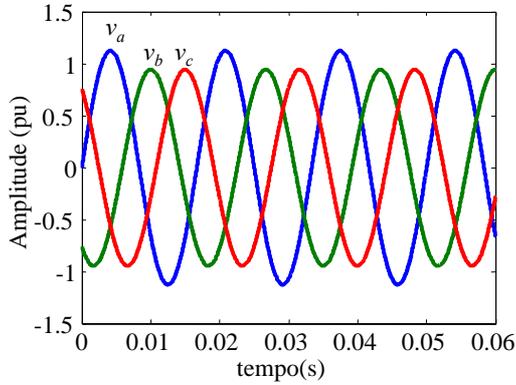


Figura 4.10: Tensões desequilibradas e sem harmônicos

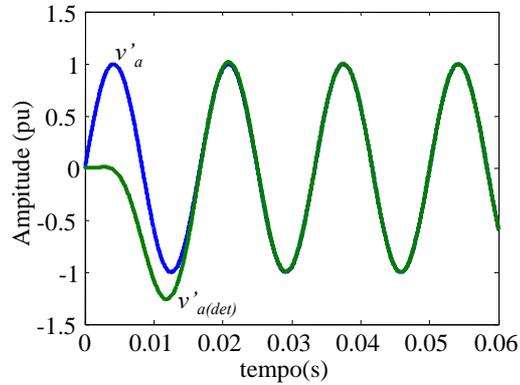


Figura 4.11: Componente de Seq. Positiva (v'_a) e componente de sequência positiva detectada ($v'_{a(det)}$)

3º CASO: TENSÕES DESEQUILBRADAS E COM HARMÔNICOS

O terceiro caso de simulação foi realizado considerando além de um desequilíbrio de 12.5% de sequência negativa nos sinais de entrada uma considerável distorção harmônica. Na Figura 4.14, estão traçados o sinal da componente de sequência positiva da fase a (v'_a) e o sinal obtido pelo detector ($v'_{a(det)}$).

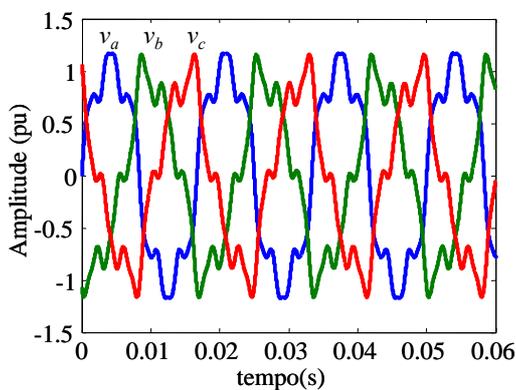


Figura 4.12: Tensões desequilibradas e com distorções harmônicas

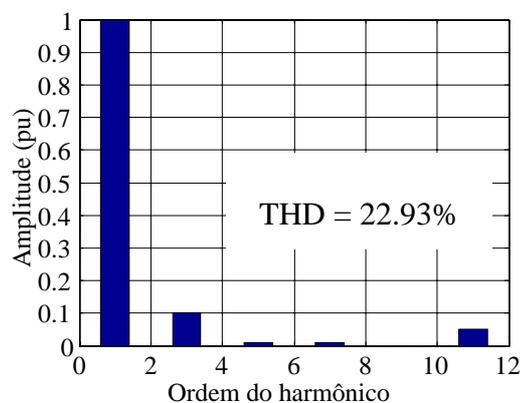


Figura 4.13: Conteúdo harmônico

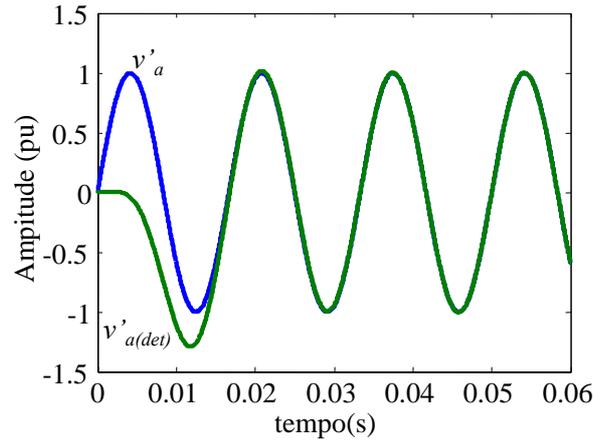


Figura 4.14: Componente de Seq. Positiva (v'_a) e componente de seqüência positiva detectada ($v'_{a(det)}$)

4º CASO: TENSÕES DESEQUILBRADAS, COM HARMÔNICOS E FREQUENCIA DE 59 Hz

O quarto caso de simulação foi realizado com uma sinal de entrada de 59Hz com 10 % de componente de seqüência negativa e distorção harmônica conforme indicado na Figura 4.15. Na Figura 4.16 estão traçados o sinal da componente de seqüência positiva da fase a (v'_a) e o sinal obtido pelo detector ($v'_{a(det)}$). Pode-se notar que estas não estão em fase, como nos casos anteriores, apresentando uma defasagem de aproximadamente $2,2^\circ$.

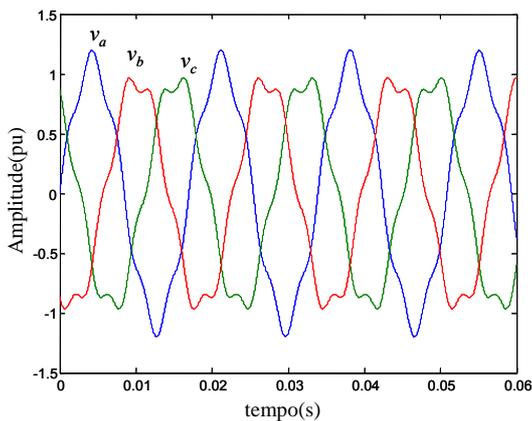


Figura 4.15: Tensões desequilibradas e com harmônicos

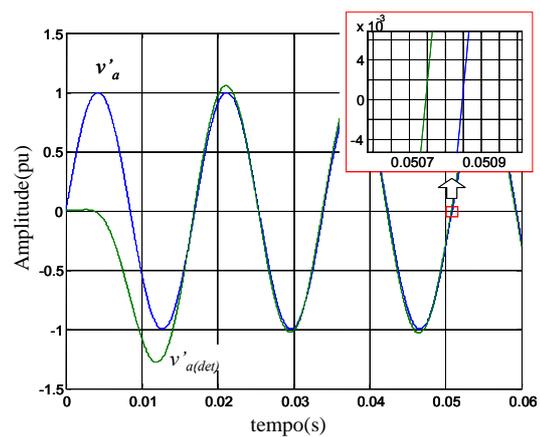


Figura 4.16: Componente de seqüência positiva (v'_a) e componente de seqüência positiva detectada ($v'_{a(det)}$) – Janela de ampliação indicando a defasagem



4.1.1.b. CONCLUSÕES SOBRE O DETECTOR DE V_{+1} BASEADO NAS COMPONENTES SIMÉTRICAS

Este detector pode, na prática, ter seu funcionamento prejudicado, pois como é um sistema de controle em malha aberta, qualquer variação da frequência fundamental do sistema faz com que este apresente um erro. Os blocos de defasagem “Adianta 120°” e “Atrasa 120°” estão configurados para funcionamento em uma frequência fundamental predefinida. Qualquer desvio na frequência das tensões do sistema fará com que esses blocos não sejam capazes de operar corretamente, e que pode invalidar o algoritmo do detector para algumas aplicações.

Além dos blocos de controle já citados, o filtro passa-baixa, também apresentará um erro se a frequência fundamental variar. Este apresentará na saída um sinal com fase e amplitude incorretas.

4.1.2. DETECTOR DE COMPONENTE DE TENSÃO DE SEQUÊNCIA POSITIVA (V_{+1}) BASEADO NA TEORIA DE POTÊNCIAS INSTANTÂNEAS

4.1.2.a. PHASE LOCKED LOOP

O circuito PLL é responsável pela determinação da frequência e ângulo de fase da componente fundamental de sequência positiva de tensões ou correntes do sistema. Este dispositivo vem sendo aplicado no controle de equipamentos de Eletrônica de Potência que operam dentro dos conceitos FACTS ou *Custom Power*.

Para o entendimento do algoritmo do Circuito PLL implementado é conveniente conhecer alguns dos princípios da Teoria das Potências Ativa e Reativa Instantâneas (ou simplesmente Teoria PQ) (APÊNDICE A).

ALGORITMO DO CIRCUITO PLL



O circuito PLL utilizado tem seu diagrama de blocos representado na Figura 4.17, onde v_α e v_β são sinais de tensões reais do sistema elétrico que passaram pela transformação de Clarke (4.5). Já i'_α e i'_β são sinais de correntes fictícias geradas internamente ao PLL.

$$\begin{bmatrix} v_0(t) \\ v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \\ 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (4.5)$$

$$p'_{3\phi} = v_\alpha \cdot i'_\alpha + v_\beta \cdot i'_\beta \quad (4.6)$$

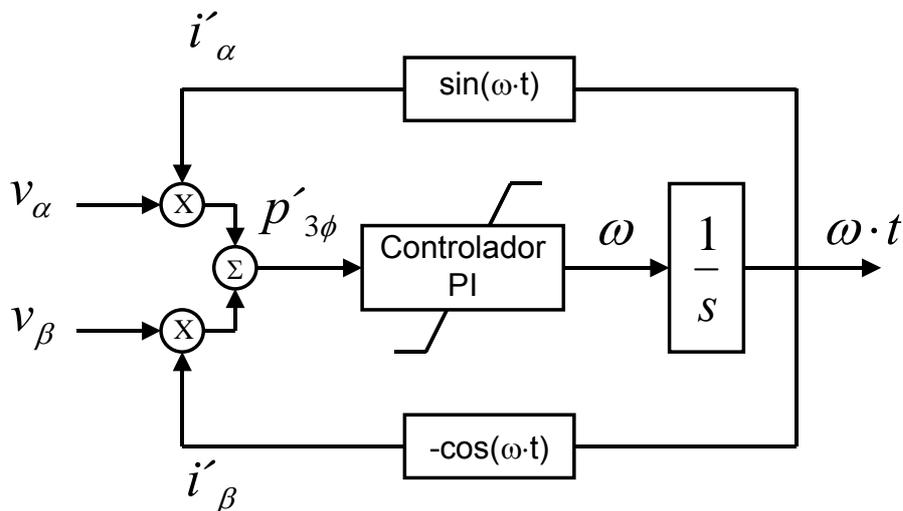


Figura 4.17: Circuito PLL

Pelo diagrama observa-se que a entrada $p'_{3\phi}$ do controlador PI é calculada de acordo com a equação (4.6), sendo que agora as correntes i'_α e i'_β são compostas unicamente de uma componente de seqüência positiva e de amplitude unitária, fazendo com que as expressões definidas na Teoria PQ (APÊNDICE A) de \bar{p} e \tilde{p} sejam reduzidas para (4.7) e (4.8) respectivamente.

$$\bar{p} = 3V_{+1} \cos(\delta_{+1} - \phi_{+1}) \quad (4.7)$$



$$\begin{aligned} \tilde{p} = & \sum_{n=1}^{\infty} 3V_{+n} \cos((\omega_n - \omega_1)t + \delta_{+n} - \phi_{+1}) + \\ & + \sum_{n=1}^{\infty} -3V_{-n} \cos((\omega_n + \omega_1)t + \delta_{-n} + \phi_{+1}) \end{aligned} \quad (4.8)$$

Sabendo que o controlador PI é capaz de anular o erro de regime, observamos à luz da equação (4.7) que existem dois pontos de operação em que o valor de \bar{p} é nulo: um quando as correntes fictícias i'_{α} e i'_{β} estão atrasadas de 90° com relação à componente fundamental de seqüência positiva de suas respectivas tensões; e o outro ponto ocorre quando as correntes estão adiantadas de 90° com relação à componente fundamental de seqüência positiva de suas respectivas tensões.

Porém, no ponto em que as correntes estão atrasadas de 90° de suas tensões, qualquer perturbação no sistema faz com que o PLL saia de sincronismo, sendo então um ponto de operação instável. Com isso, o único ponto de operação estável do circuito PLL ocorre quando as correntes estão adiantadas de 90° de suas respectivas tensões, como pode ser observado na Figura 4.18.

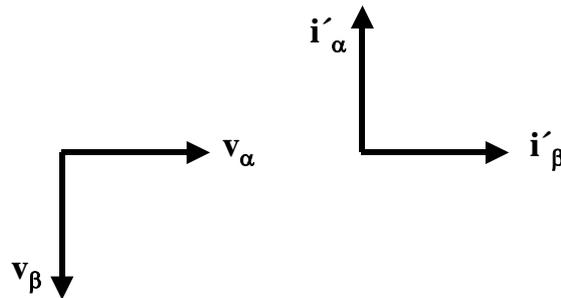


Figura 4.18: Ponto estável de operação do circuito PLL

Em regime o valor da saída ω do PI é constante e igual à frequência angular do sistema elétrico. O valor de ωt utilizado para gerar as realimentações de correntes são obtidos a partir da integração de ω .

Ajuste do controlador PI



O valor de $p'_{3\phi}$ possuirá ainda uma parcela oscilante que, dependendo do ajuste nos ganhos K_I e K_P , pode causar uma oscilação indesejada no valor de ω . A sintonia do PI deve também garantir uma resposta dinâmica suficientemente rápida do PLL para variações em tempo real do sistema. Por isso, deve-se tolerar uma pequena oscilação de ω se o sistema contiver tensões com um elevado nível de harmônicos e desequilíbrios. Os valores para os ganhos K_I e K_P obtidos empiricamente e mostrados abaixo, respeitam esse compromisso:

$$K_P = 50 \quad K_I = 3000; \quad \text{considerando tensões normalizadas como entrada do circuito PLL}$$

Resultados de simulações do circuito PLL

A fim de verificar o correto funcionamento do PLL modelado conforme Figura 4.17, foram conduzidas algumas simulações no MATLAB® cujos resultados são mostrados nos próximos itens.

i) Tensões balanceadas e sem distorção harmônica

No primeiro caso simulado considera-se que o sistema de tensões trifásicas encontrar-se balanceado e sem harmônicos (Figura 4.19).

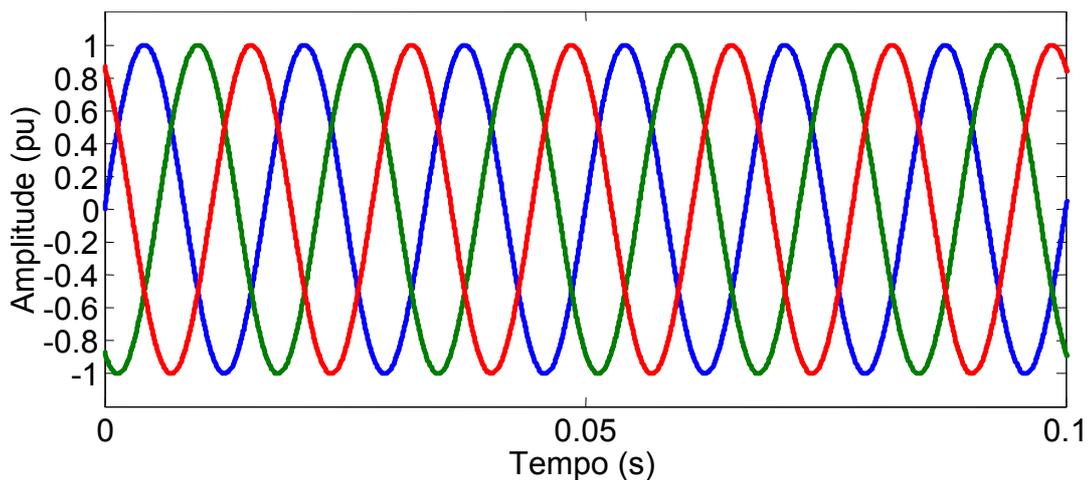


Figura 4.19: Tensões Balanceadas e sem harmônicos

Na Figura 4.20 estão traçados os sinais v_α e i'_β que, como visto na Figura 4.18, encontram-se em fase quando o PLL atinge seu ponto de operação estável.

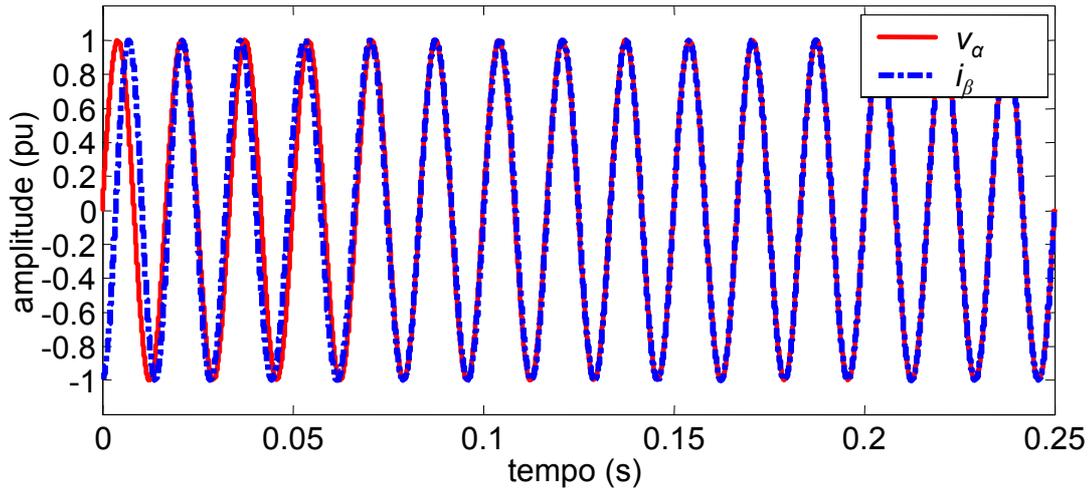


Figura 4.20: Tensão v_α e a corrente fictícia i'_β gerada pelo PLL

Na Figura 4.21 observa-se o gráfico de $p'_{3\phi}$ calculado pelo PLL. Note que o instante em que o valor de $p'_{3\phi}$ se estabiliza em zero é o mesmo na qual i'_β fica em fase com v_α da Figura 4.20.

Na Figura 4.22 observa-se o gráfico da frequência angular ω que corretamente se estabiliza no valor de $2\pi f$ (376.99 rad/s).

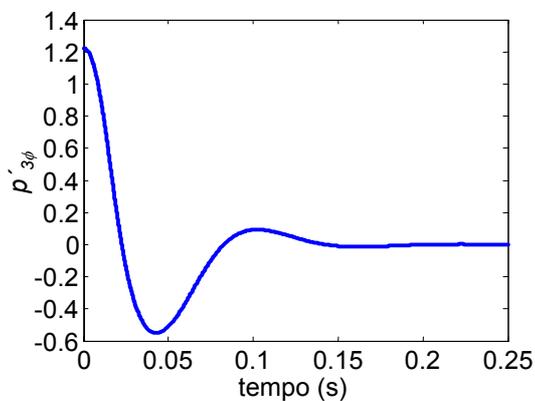


Figura 4.21: Gráfico de $p'_{3\phi}$

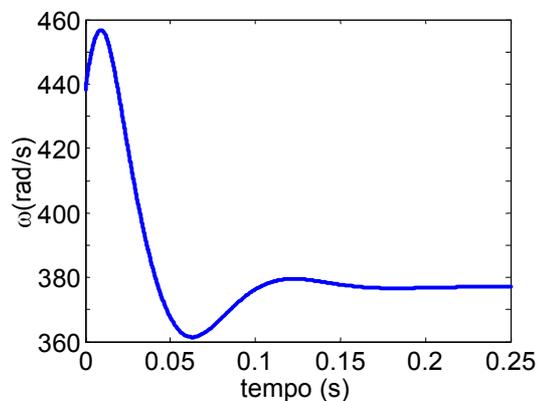


Figura 4.22: Gráfico de ω

ii) Tensões desequilibradas e com distorção harmônica

No segundo caso simulado considera-se que o sistema de tensões trifásicas esteja desequilibrado e possua harmônicos (Figura 4.23).

Os sinais da Figura 4.23 contêm 12.5% de seqüência negativa e um nível de distorção harmônica total (THD) de 13.8%. O seu espectro harmônico pode ser visto na Figura 4.24.

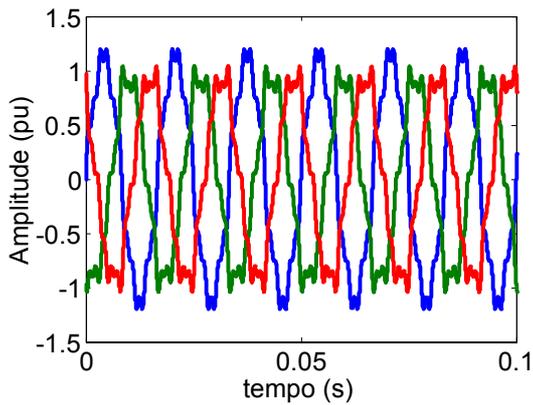


Figura 4.23: Tensões desequilibradas e com harmônicos

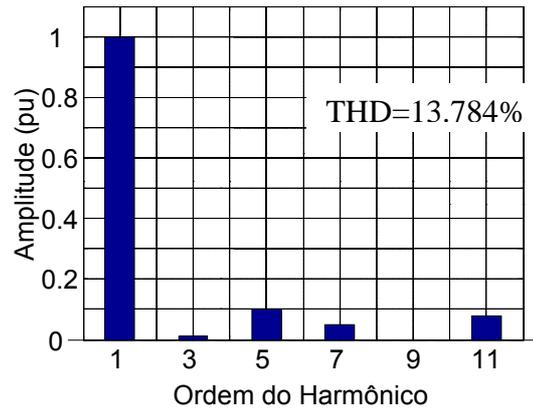


Figura 4.24: Conteúdo Harmônico

Na Figura 4.25 estão traçados os sinais v_α (calculado apenas com a componente fundamental de seqüência positiva) e i'_β que, como visto na Figura 4.18, encontram-se em fase quando o PLL atinge seu ponto de operação estável.

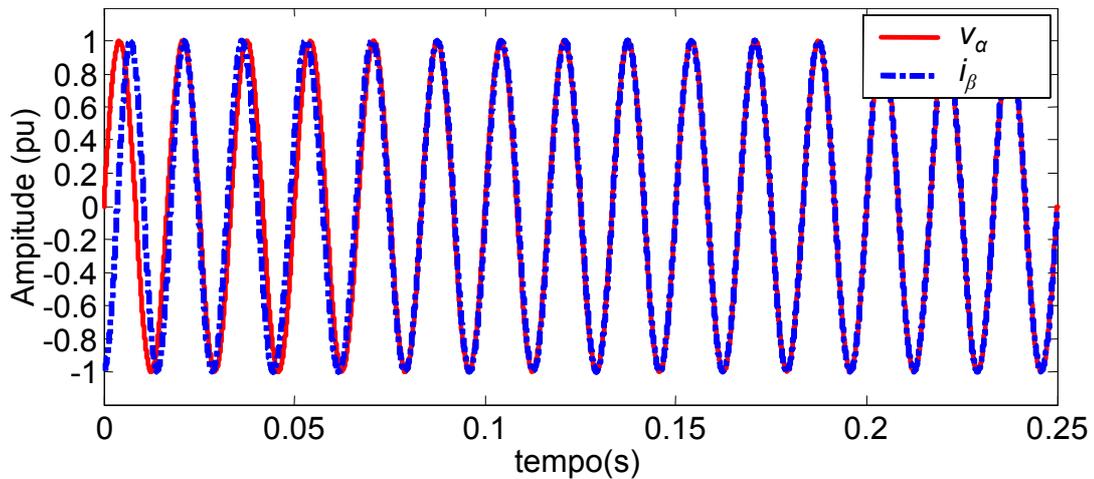


Figura 4.25: Tensão v_α e a corrente fictícia i'_β gerada pelo PLL

Na Figura 4.26 observa-se o gráfico de $p'_{3\phi}$ calculado pelo PLL. Note que este valor terá uma parcela oscilante (Figura 4.27) de acordo com a equação (4.8).

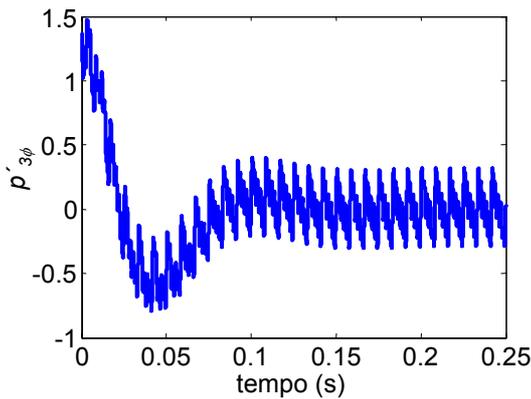


Figura 4.26: Gráfico de $p'_{3\phi}$

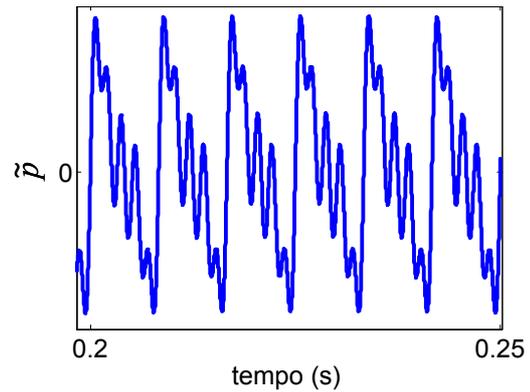


Figura 4.27: Gráfico de \tilde{p}

Esta parcela oscilante faz com que a saída ω do PI possua um desvio máximo de 4% em torno do valor de $2\pi f$ (376.99 rad/s). A Figura 4.28 mostra o gráfico de ω .

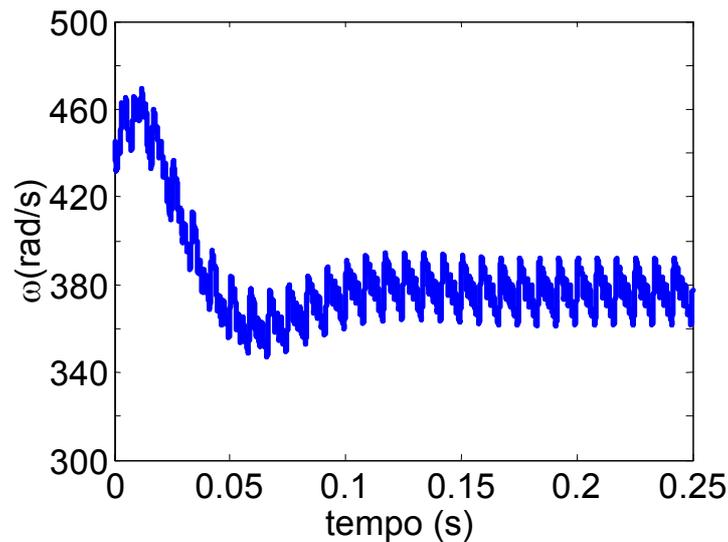


Figura 4.28: Gráfico de ω

Esta oscilação em ω gerado pelo PLL causa uma distorção nas correntes fictícias i'_α e i'_β . Estas correntes apresentam, para este caso, um THD de 0.391% e a amplitude do maior harmônico (3^o) vale 0.348% da amplitude da fundamental, como mostrado na Figura 4.29.

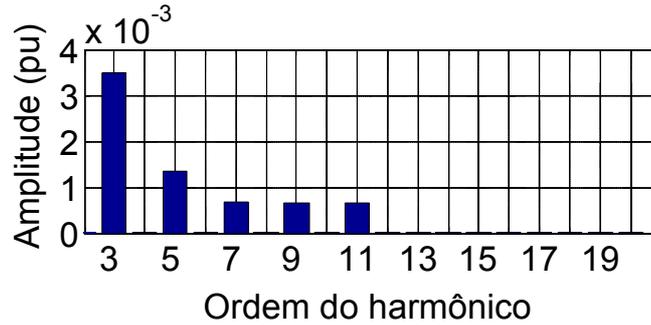


Figura 4.29: Conteúdo Harmônico de i'_α

Conclusões sobre o circuito PLL

O circuito PLL proposto para ser utilizado no controle do RDT pois apresentou resultados satisfatórios, como pode ser comprovado na seção anterior, para sistemas com distúrbios harmônicos e desequilíbrios de tensão.

No caso de um sistema trifásico com tensões e correntes equilibradas e sem distorções os valores instantâneos das potências real e da imaginária são constantes. No caso de um sistema trifásico com tensões desequilibradas e/ou distorcidas, estas potências apresentarão uma parcela constante e outra oscilante segundo as equações (A.9) e (A.12) do APÊNDICE A.

4.1.2.b. PRINCÍPIO DE OPERAÇÃO DO DETECTOR DE V_{+1} BASEADO NA TEORIA PQ

Na Figura 4.30, o diagrama de blocos do Detector de V_{+1} baseado na Teoria PQ pode ser observado. Este recebe os sinais de tensão v_a , v_b e v_c e calcula, através da transformação α - β (4.5), os sinais v_α e v_β que são utilizados no circuito PLL (item 4.1.2.a) para gerar os sinais i'_α e i'_β (4.9). Em tempo real, são calculadas as potências instantâneas utilizando i'_α , i'_β , v_α e v_β de acordo com (4.10).

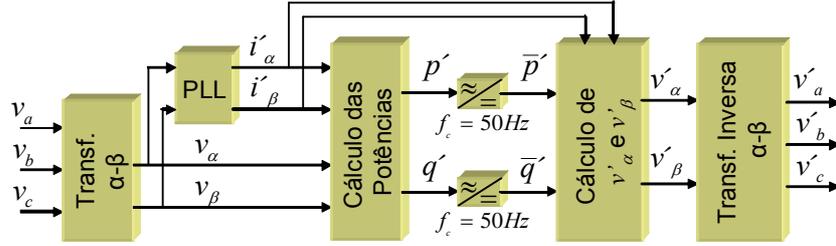


Figura 4.30: Detector de sequência positiva

$$\begin{aligned} i'_{\alpha} &= \sin(\omega^{pll}t) \\ i'_{\beta} &= -\cos(\omega^{pll}t) \end{aligned} \quad (4.9)$$

$$\begin{aligned} p' &= v_{\alpha} \cdot i'_{\alpha} + v_{\beta} \cdot i'_{\beta} \\ q' &= -v_{\alpha} \cdot i'_{\beta} + v_{\beta} \cdot i'_{\alpha} \end{aligned} \quad (4.10)$$

Como os sinais de correntes gerados pelo PLL são de sequência positiva e sem distorções, podemos dizer que somente a componente fundamental de sequência positiva da tensão contribui para as parcelas constantes das potências ativa e reativa, como já pode ser visto nas equações (A.10) e (A.13). Estas parcelas são obtidas com um filtro *Butterworth* de quinta ordem e frequência de corte de 50 Hz como pode ser visto no diagrama da Figura 4.30.

Com os valores de \bar{p}' e \bar{q}' , e i'_{α} e i'_{β} de acordo com a expressão (4.11) obtemos o valor instantâneo da componente fundamental de sequência positiva das tensões nas coordenadas α - β [10].

$$\begin{bmatrix} v'_{\alpha} \\ v'_{\beta} \end{bmatrix} = \frac{1}{i'^2_{\alpha} + i'^2_{\beta}} \cdot \begin{bmatrix} i'_{\alpha} & -i'_{\beta} \\ i'_{\alpha} & i'_{\beta} \end{bmatrix} \cdot \begin{bmatrix} \bar{p}' \\ \bar{q}' \end{bmatrix} \quad (4.11)$$

É importante destacar que as correntes i'_{α} e i'_{β} utilizadas no cálculo das potências reais e imaginárias p' e q' são correntes fictícias, portanto estas são potências fictícias sem nenhum sentido físico.

Os sinais de tensão v'_{α} , v'_{β} , e v'_{γ} que representam as componentes de sequência positiva são obtidas a partir de (4.12).



$$\begin{bmatrix} v_a(t) \\ v_b(t) \\ v_c(t) \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1 & 0 \\ 1/\sqrt{2} & -1/2 & \sqrt{3}/2 \\ 1/\sqrt{2} & -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_0 \\ v_\alpha \\ v_\beta \end{bmatrix} \quad (4.12)$$

4.1.2.c. RESULTADOS DE SIMULAÇÕES DO DETECTOR DE V_{+1} BASEADO NA TEORIA PQ

Para comprovar o funcionamento e verificar a dinâmica do detector de sequência positiva baseado na Teoria PQ, foram feitas algumas simulações, no MATLAB®, utilizando sinais de tensões contendo ou não desequilíbrio e distorções.

1º CASO: TENSÕES BALANCEADAS

O primeiro caso de simulação foi realizado com sinais de entrada equilibrados e sem distúrbios harmônicos como pode ser visto na Figura 4.31. Na Figura 4.32 estão traçados o sinal da componente de sequência positiva (v'_β) e o sinal obtido pelo detector ($v'_{\beta(det)}$).

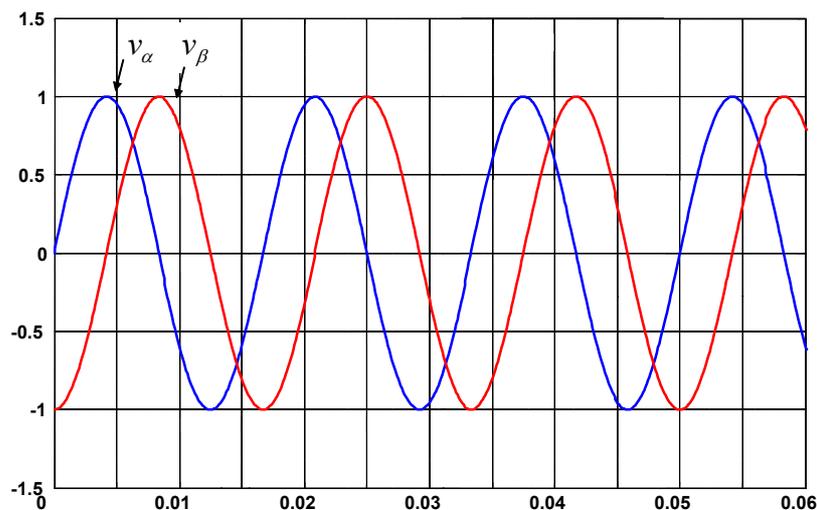


Figura 4.31: Sinais de tensões equilibradas

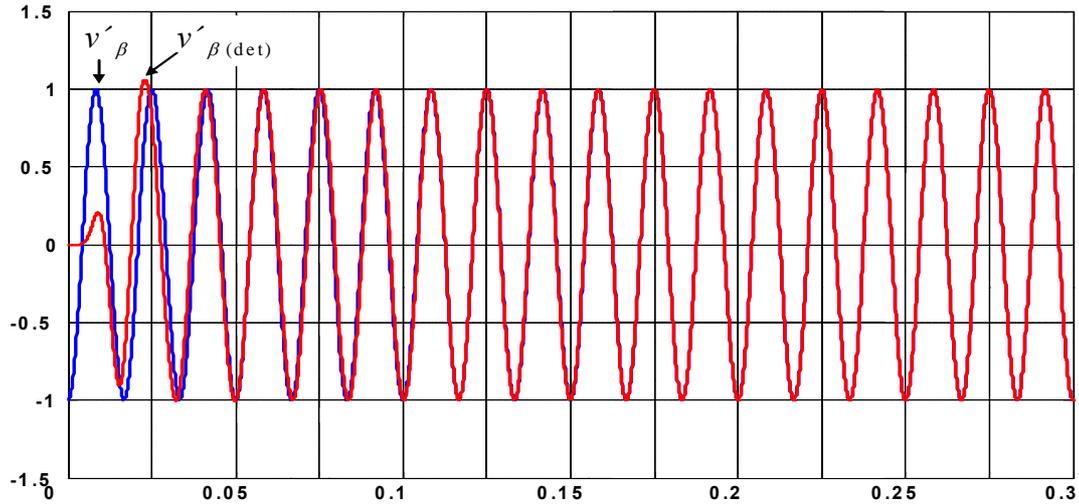


Figura 4.32: Componente de seq. positiva (v'_β) e componente de seqüência positiva detectada ($v'_{\beta(det)}$)

O período transitório do detector tem duração de aproximadamente 0,1 segundo. Este transitório está diretamente relacionado com a dinâmica do circuito PLL.

2º CASO: TENSÕES DESEQUILBRADAS

No segundo caso simulado considerou-se um desequilíbrio de 12,5% de seqüência negativa na frequência fundamental e nenhum conteúdo harmônico, como pode ser visto na Figura 4.33. Na Figura 4.34 estão traçados o sinal da componente de seqüência positiva (v'_β) e o sinal obtido pelo detector ($v'_{\beta(det)}$).

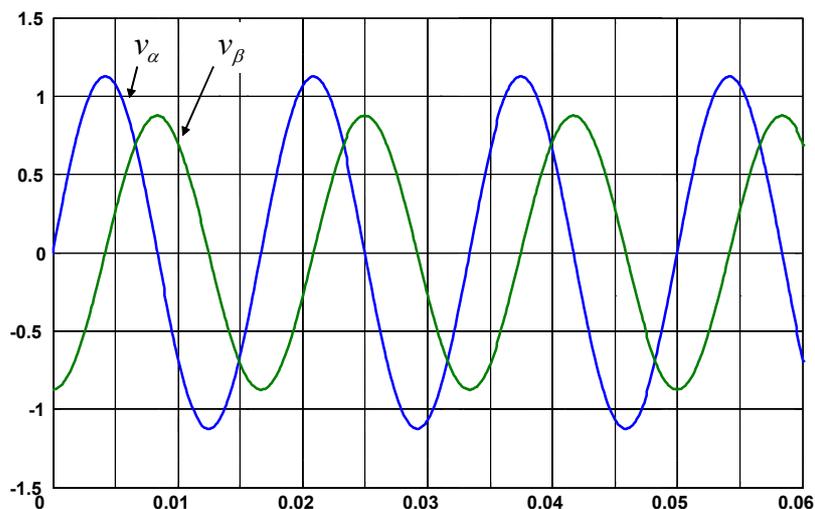


Figura 4.33: Sinais de tensões desequilibrados

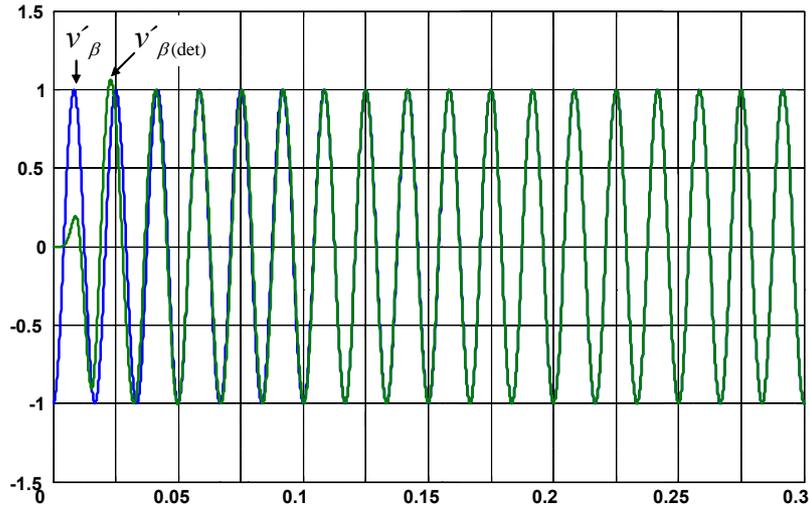


Figura 4.34: Componente de seq. positiva (v'_β) e componente de sequência positiva detectada ($v'_{\beta(det)}$)

Mesmo com o desequilíbrio entre fases, em aproximadamente 0,12 segundo o detector foi capaz de encontrar a fase e a amplitude da componente de sequência positiva do sistema.

3º CASO: TENSÕES DESEQUILIBRADAS E COM HARMÔNICOS

O terceiro caso de simulação foi realizado considerando além de um desequilíbrio de 12,5% de sequência negativa nos sinais de entrada uma considerável distorção harmônica. Na Figura 4.35, estão traçados o sinal da componente de sequência positiva da fase a (v'_β) e o sinal obtido pelo detector ($v'_{\beta(det)}$).

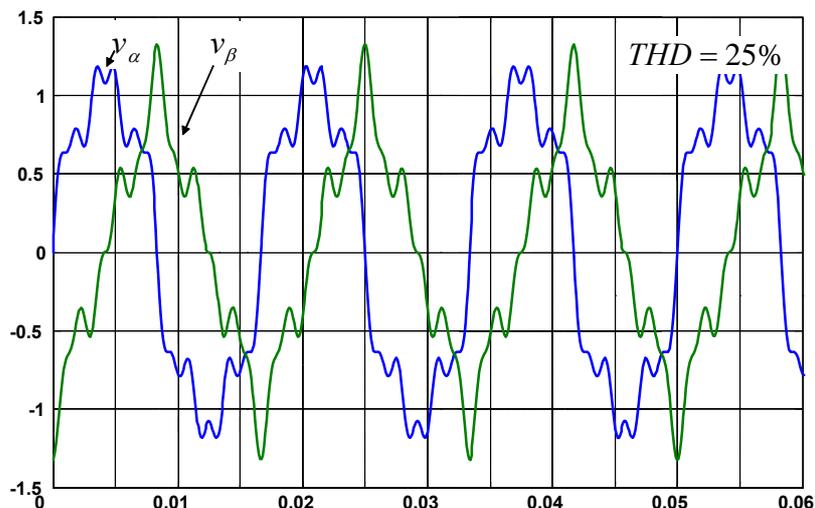


Figura 4.35: Sinais de tensão desequilibrados e distorcidos

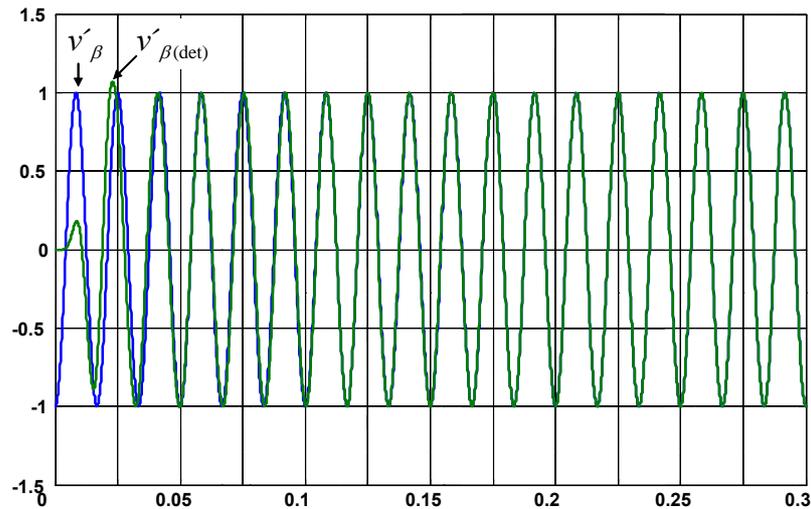


Figura 4.36: Componente de seq. positiva (v'_β) e componente de sequência positiva detectada ($v'_{\beta(det)}$)

Na Figura 4.36 pode ser visto que em menos de 0,15s o detector é capaz de rastrear com perfeição o sinal da componente fundamental de sequência positiva do sistema, mesmo com tensões desequilibradas e distorcidas.

4.1.2.d. CONCLUSÕES SOBRE O DETECTOR DE V_{+1} BASEADO NA TEORIA PQ

Observa-se que este detector apresenta uma dinâmica mais lenta que a apresentada no item 4.1.1 com resultados na Figura 4.9, na Figura 4.11, na Figura 4.14 e na Figura 4.16. Porém a sincronização baseada em um PLL aumenta a robustez do detector, permitindo que ele possa ser utilizado em sistemas onde a frequência fundamental varie.

4.2. ALGORITMO DE COMPENSAÇÃO DE AFUNDAMENTOS

O algoritmo de compensação de afundamentos de tensão está representado na Figura 4.37. Este está baseado no fato de que a tensão da barra regulada é a soma da tensão disponível no barramento de entrada do RDT com a tensão de compensação sintetizada.

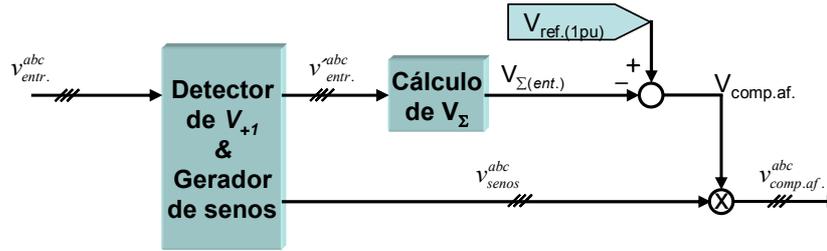


Figura 4.37: Controle de Afundamento de Tensão

O controle recebe como entrada os sinais das tensões da barra de entrada do RDT ($v^a_{entr.}$, $v^b_{entr.}$ e $v^c_{entr.}$). Utilizando-se o Detector de V_{+1} , apresentado anteriormente, calcula-se as componentes de seqüência positiva da tensão da barra de entrada ($v^a_{entr.}$, $v^b_{entr.}$ e $v^c_{entr.}$). Utilizando os conceitos de valor coletivo V_{Σ} [10], definido na equação (4.13), calcula-se o valor eficaz da tensão de linha ($V_{LL,rms}$), conforme demonstrado a seguir.

$$V_{\Sigma} = \sqrt{v_a^2 + v_b^2 + v_c^2} \quad (4.13)$$

Para tensões que apresentem somente componentes de seqüência positiva:

$$v_a = V_{FN} \sin(\omega t);$$

$$v_b = V_{FN} \sin(\omega t - 2\pi/3);$$

$$v_c = V_{FN} \sin(\omega t + 2\pi/3);$$

$$\Rightarrow v_{\Sigma} = \sqrt{V_{FN}^2 \sin^2(\omega t) + V_{FN}^2 \sin^2(\omega t - 2\pi/3) + V_{FN}^2 \sin^2(\omega t + 2\pi/3)}$$

sabendo-se que:

$$\cos(2X) = \underbrace{\cos^2(X) - \sin^2(X)}_{1 - \sin^2(X)}$$

$$\cos(2X) = 1 - 2\sin^2(X)$$

$$\sin^2(X) = \frac{1}{2} - \frac{1}{2}\cos(2X)$$

pode-se verificar que o valor coletivo é constante e indica o valor eficaz da tensão de linha, conforme descrito a seguir:



$$v_{\Sigma} = \sqrt{V_{FN}^2 \left(\frac{1}{2} - \frac{1}{2} \cos^2(2\omega t) \right) + V_{FN}^2 \left(\frac{1}{2} - \frac{1}{2} \cos^2(2\omega t - \frac{4\pi}{3}) \right) + V_{FN}^2 \left(\frac{1}{2} - \frac{1}{2} \cos^2(2\omega t + \frac{4\pi}{3}) \right)}$$

$$v_{\Sigma} = V_{FN} \sqrt{\frac{3}{2} - \frac{1}{2} \underbrace{(\cos^2(2\omega t) + \cos^2(2\omega t + 2\pi/3) + \cos^2(2\omega t - 2\pi/3))}_{=0}}$$

$$v_{\Sigma} = \sqrt{\frac{3}{2}} V_{FN} \Rightarrow \boxed{v_{\Sigma} = V_{FF_{RMS}}}$$

Então, pode-se afirmar que $V_{\Sigma(\text{entr.})}$ representa o valor eficaz da componente de seqüência positiva da tensão fase-fase da barra de entrada e comparando este valor com o valor de referência, obtém-se $V_{\text{comp.af.}}$, que é o valor eficaz da tensão de compensação de afundamentos $v_{\text{comp.af.}}$.

Os sinais v^a_{seno} , v^b_{seno} e v^c_{seno} são formados a partir do PLL do Detector de V_{+1} , apresentando freqüência e fases equivalentes às das componentes de seqüência positiva da barra de entrada do RDT. Estes sinais ainda apresentam valores eficazes unitários e quando multiplicados por $V_{\text{comp.af.}}$ resultam nas tensões de compensação ($v^a_{\text{comp.af.}}$, $v^b_{\text{comp.af.}}$ e $v^c_{\text{comp.af.}}$).

Como pode ser observado, este algoritmo de controle está em malha aberta, e apresenta uma importante vantagem se comparado com aquele apresentado em [14]. Uma contribuição deste trabalho constitui no fato de que o controle aqui apresentado não utiliza um controlador PI para garantir um erro nulo em regime nulo. Isso proporciona uma resposta mais rápida a afundamentos de tensão, como pode ser observado nos resultados apresentados no Capítulo a seguir.

4.3. ALGORITMO DE COMPENSAÇÃO DE HARMÔNICOS E DESEQUILÍBRIOS

Dentro dos conceitos de *Custom Power* implantou-se no controle do RDT um algoritmo de compensação de harmônicos e desequilíbrios para que o consumidor final, além de ter garantido um fornecimento de energia sem afundamentos de tensão, tenha também uma tensão de qualidade livre destes outros distúrbios.



A forma da tensão da barra de entrada do RDT pode ser representada pela equação (4.14), onde está expressa somente uma fase. Em (4.14) observa-se que $v_{entr.}$ tem uma componente de sequência positiva (primeira parcela). A segunda e a terceira parcelas de $v_{entr.}$ representam, respectivamente, a componente de sequência negativa e o somatório de todos os harmônicos.

$$v_{entr.} = \sqrt{2} \cdot V_{+1} \sin(\omega_1 t + \phi_{+1}) + \sqrt{2} \cdot V_{-1} \sin(\omega_1 t + \phi_{-1}) + \sum_{h=2}^{\infty} \sqrt{2} \cdot V_h \sin(\omega_h t + \phi_h) \quad (4.14)$$

$$v'_{entr.} = \sqrt{2} \cdot V_{+1} \sin(\omega_1 t + \phi_{+1}) \quad (4.15)$$

$$v_{comp.har.} = -\sqrt{2} \cdot V_{-1} \sin(\omega_1 t + \phi_{-1}) - \sum_{h=2}^{\infty} \sqrt{2} \cdot V_h \sin(\omega_h t + \phi_h) \quad (4.16)$$

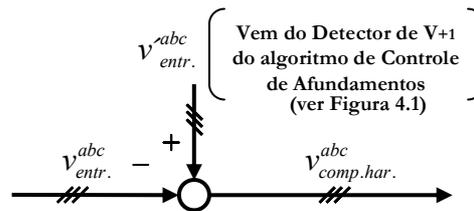


Figura 4.38: Algoritmo de Controle de Harmônicos e Desequilíbrios

De acordo com o diagrama do controle de harmônicos e desequilíbrios representado na Figura 4.38, pode-se observar que a tensão de compensação harmônica e de desequilíbrios $v_{comp.har.}$ é obtida subtraindo o sinal da tensão de entrada ($v_{entr.}$) do sinal da componente de sequência positiva da tensão de entrada ($v'_{entr.}$). O resultado da subtração nada mais é que a componente de harmônicos e desequilíbrios da tensão do barramento de entrada e com a polaridade oposta.

A seguir pode ser observada a Figura 4.39 onde estão representados juntos, os algoritmos de Controle de Afundamentos e de Controle de Harmônicos e Desequilíbrio.

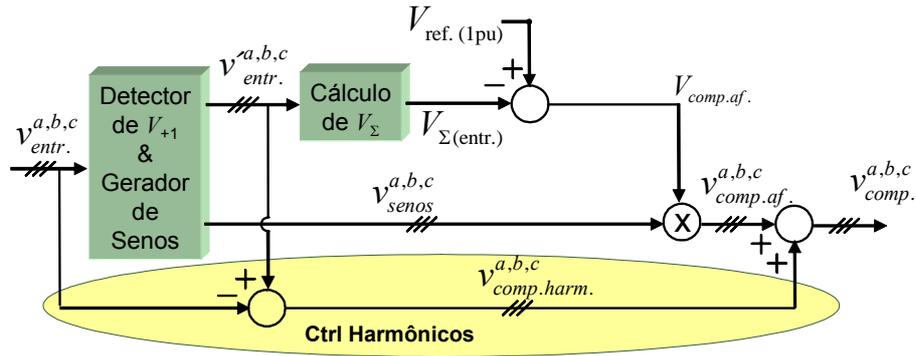


Figura 4.39: Algoritmo de Controle de Afundamentos e Algoritmo de Controle de Harmônicos e Desequilíbrios

4.4. CONTROLE DE DISPARO

A tensão de compensação ($v_{comp.}$), que é a referência para o chaveamento do inversor, é soma das tensões de compensação de afundamento ($v_{comp.af.}$) e de compensação de harmônicos e desequilíbrios ($v_{comp.har.}$). Como o circuito L-R-C na saída do inversor PWM causa uma atenuação e um deslocamento de fase na tensão de compensação sintetizada pelo inversor, e os algoritmos de controle anteriormente apresentados são em malha aberta, foi necessária a utilização de uma malha adicional de controle. O objetivo é garantir que a tensão injetada no sistema, através do transformador série, tenha a mesma forma de onda da tensão de referência calculada. Esta malha adicional está baseada no controle linear de corrente apresentado em [8], mas como, no caso, o objetivo é um controle de tensão, algumas modificações tornaram-se necessárias. Este controle adicional compara a tensão de compensação aplicada, que é obtida pela equação (4.17), com a tensão de compensação calculada, fechando uma malha de controle. O erro dessa comparação é a entrada de um controlador PI que apresenta em sua saída a tensão de referência para o módulo PWM, que é o responsável por criar os sinais de chaveamento S1, S2, ... S6. Este controle é uma contribuição deste trabalho tendo em vista que, com este, o RDT operará com um controle em malha fechada mesmo sendo os dois algoritmos apresentados anteriormente (itens 4.2 e 4.3) em malha aberta.



$$v_{comp.aplic.} = v_{reg.} - v_{entr.} \quad (4.17)$$

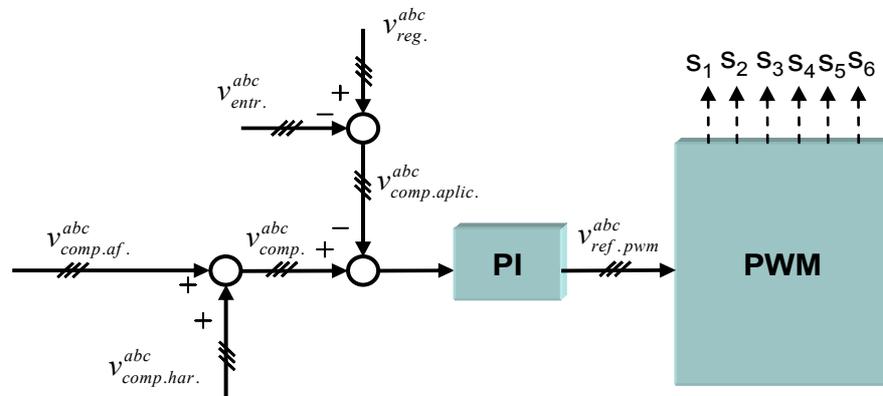


Figura 4.40: Controle de Disparo

Como a entrada do controlador PI (erro da comparação entre a tensão de compensação calculada e medida) é um sinal oscilante, o mesmo não possibilita uma compensação total da tensão. No capítulo a seguir poderá ser observado que para afundamentos de tensão em torno de 50%, pode-se obter uma compensação de 98%. Esta é a principal motivação da proposta do modo auxiliar de controle de afundamento, que compara sinais contínuos (valores eficazes) podendo superar a estratégia anterior.

4.5. MÓDULO AUXILIAR DO CONTROLE DE AFUNDAMENTO

O algoritmo de controle de afundamento, por si só, por ser um controle em malha aberta, não apresenta como resultado uma compensação total (erro em regime nulo), como pode ser observado nos resultados apresentados no Capítulo a seguir. Porém este trabalho propõe uma malha adicional de controle aqui chamado de Módulo Auxiliar do Controle de Afundamento. Esta malha de controle tem o objetivo de compensar a parte do afundamento que não foi compensado pelo algoritmo de compensação anteriormente apresentado.

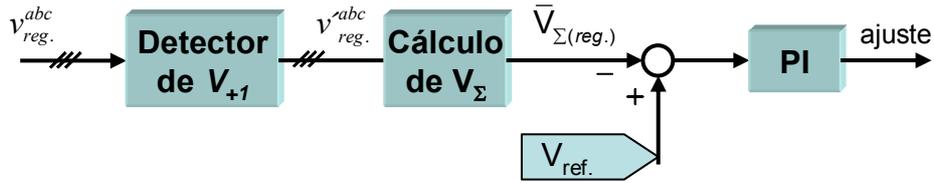


Figura 4.41: Módulo Auxiliar de Controle de Afundamento

De acordo com o diagrama de blocos ilustrado na Figura 4.41, o módulo auxiliar calcula o valor coletivo da componente fundamental de seqüência positiva da tensão na barra regulada. Para isso mostrou-se necessária a inclusão de um outro circuito de detecção de V_{+1} , idêntico ao utilizado nas tensões da barra de entrada. Este valor coletivo é comparado com o valor de referência $V_{ref.}$, o mesmo utilizado no algoritmo original de controle de afundamento (ver Figura 4.42), sendo o erro utilizado como entrada de um controlador PI, que apresentará em sua saída o valor eficaz (ajuste) a ser adicionado àquele obtido pelo algoritmo original de controle de afundamento.

Na Figura 4.42 pode-se observar os algoritmos de Controle de Afundamentos e de Controle de Harmônicos e Desequilíbrio acrescidos do Módulo Auxiliar de Controle de Afundamentos.

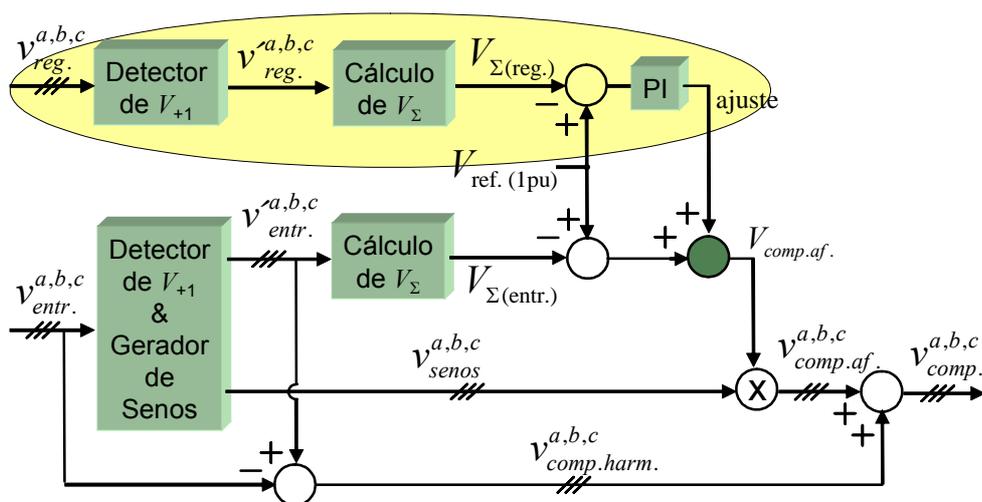


Figura 4.42: Algoritmo de Controle de Afundamentos, Algoritmo de Controle de Harmônicos e Desequilíbrios e Módulo Auxiliar de Controle de Afundamentos.



Em situações que não exijam uma compensação total da tensão, o módulo auxiliar pode ser dispensado, já que este corrige um erro de aproximadamente 2% que não é compensado pelo algoritmo original de compensação de afundamentos, o que é irrelevante em diversas aplicações. E ainda assim, a atuação do RDT atenderá os requisitos inclusos na normalização da regulação de tensão, como pode ser verificado em [13].

CAPÍTULO 5

SIMULAÇÕES DO RDT

NESTE capítulo serão apresentadas as simulações e a validação do modelo proposto do Restaurador Dinâmico de Tensão.

5.1. SIMULAÇÕES DO MODELO

Antes da implementação do protótipo do RDT, foi necessário realizar diversas simulações de forma a analisar e validar o modelo proposto operando em um sistema de distribuição típico.

O simulador utilizado foi o PSCAD v4.0.1. Este foi escolhido por apresentar algumas vantagens, tais como a interface de visualização dos resultados em tempo real; a possibilidade de modificação de parâmetros do controle também em tempo real; os sistemas elétricos e de controle podem ser aglomerados em módulos melhorando a organização da simulação; interpolação da solução entre dois *time steps*, obtendo a solução no instante



exato do evento. O diagrama unifilar do sistema de distribuição simulado está representado na Figura 5.1. Este é composto por nove alimentadores radiais modelados em π . Todos conectados na barra comum. Entre a barra comum e a barra infinita há uma linha modelada por um R-L série. Este sistema é o mesmo utilizado em [27] e [29].

O RDT está inserido no final de um dos alimentadores, em série com a carga considerada crítica que deverá ser protegida.

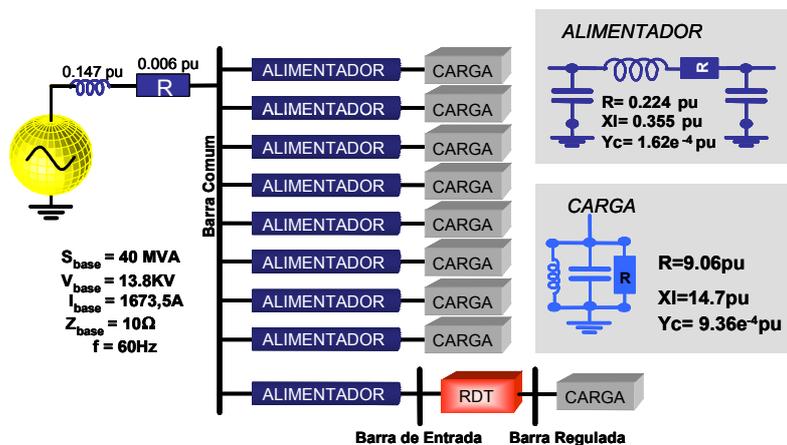


Figura 5.1: Diagrama unifilar do sistema de distribuição típico

5.1.1. RESULTADOS DE SIMULAÇÃO DO RDT.

O caso teste foi modelado considerando os seguintes aspectos:

- a tensão na barra comum apresenta um valor em torno de 87 % da tensão nominal. Esta queda de tensão é provocada pelo carregamento adotado nos alimentadores.
- um curto-circuito trifásico, em um dos alimentadores adjacente no instante 0.45 seg., resulta em um afundamento para 55 % na tensão da barra comum. O curto-circuito ocorreu em um ponto localizado a cerca de 30 % do comprimento total do alimentador, a partir da carga. Este leva 300 ms para ser extinto.



- o RDT está inserido em série com a carga sensível atuando somente a partir do instante 0.35 seg.. Isso devido a necessidade do carregamento do capacitor do elo CC, e a dinâmica do detector V_{+1} .

5.1.1.a. CASO 1 : ALGORITMO DE CONTROLE SEM O MÓDULO AUXILIAR DE CONTROLE DE AFUNDAMENTO

Os resultados das simulações aqui apresentados têm o objetivo de validar a estratégia de controle sem a inclusão do módulo auxiliar relatado no item 4.5 do CAPÍTULO 4.

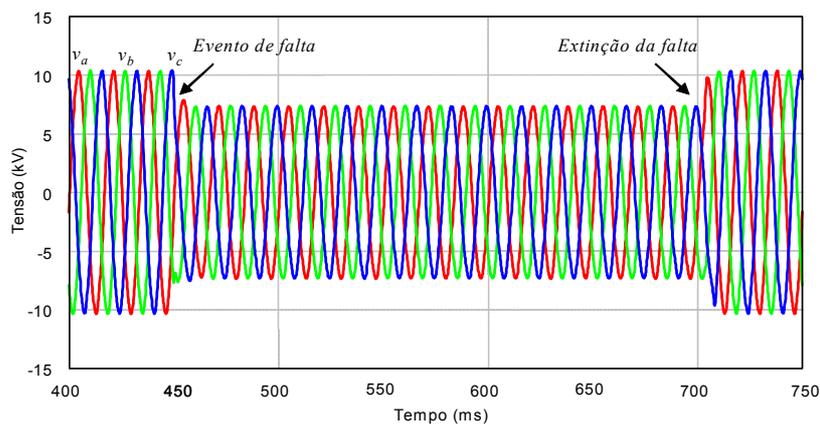


Figura 5.2: Forma de onda da tensão trifásica na barra comum

Na Figura 5.2 estão ilustradas as formas de onda das tensões de fase na barra comum do sistema. Note que no instante de 450 ms há um afundamento de tensão causado pelo curto-circuito trifásico no alimentador adjacente.

O resultado da atuação do RDT pode ser observado na Figura 5.3, onde encontra-se a forma de onda da tensão de fase na barra regulada.

A Figura 5.4 mostra a tensão de linha em três barras do sistema. Pode-se notar que a tensão na barra infinita ($v_{ab_{\infty}}$) possui valor 1 pu (valor RMS) e não possui harmônicos. Em compensação a tensão na barra de entrada do RDT ($v_{ab_{in}}$) é bem inferior a este valor e possui uma grande



quantidade de harmônicos. Já a tensão na barra regulada (v_{ab_reg}) possui um baixo conteúdo harmônico, quando comparada com a tensão da barra de entrada, demonstrando um ótimo funcionamento do RDT. A defasagem entre a tensão na barra infinita e a tensão nas outras barras é devido à impedância da linha de transmissão.

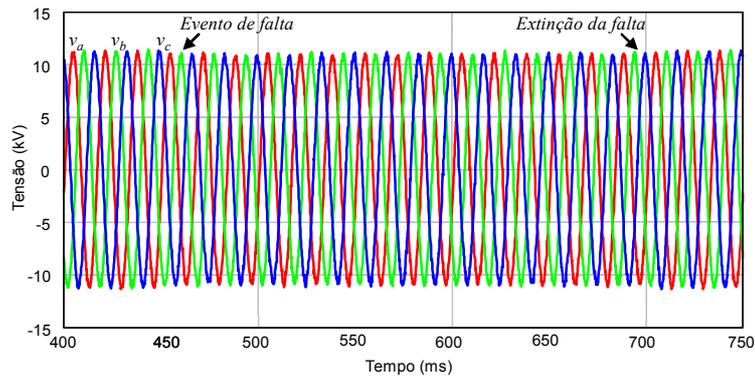


Figura 5.3: Forma de onda da tensão trifásica na barra regulada

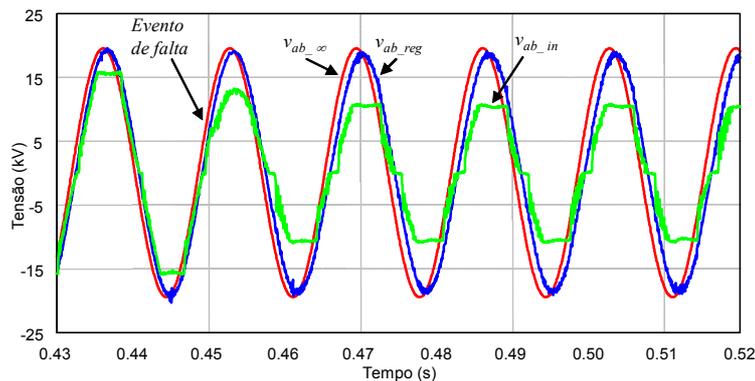


Figura 5.4: Forma de onda das tensões de linha nas barras do sistema: v_{ab_in} – tensão na barra infinita; v_{ab_in} – tensão na barra de entrada do RDT; v_{ab_reg} – tensão na barra regulada

O funcionamento do controle de disparo pode ser verificado na Figura 5.5. Nela, pode-se observar a forma de onda da tensão de compensação de referência para a fase a , $v_{comp,ref}$. (calculada pelos algoritmos de controle de afundamento e de controle de harmônicos e desequilíbrio), e também a tensão de compensação aplicada pelo RDT $v_{comp,aplic}$. Verifica-se que a tensão injetada pelo RDT não acompanha exatamente a referência, resultando em uma limitação na compensação total do afundamento, como já mencionado no capítulo anterior.



Isso pode ser observado na Figura 5.6, onde o valor eficaz da tensão na barra regulada permanece em 0.99 pu, e na ocorrência da falta este valor reduz para 0.97 pu. Nesta figura também está representado o valor eficaz de tensão na barra de entrada do RDT.

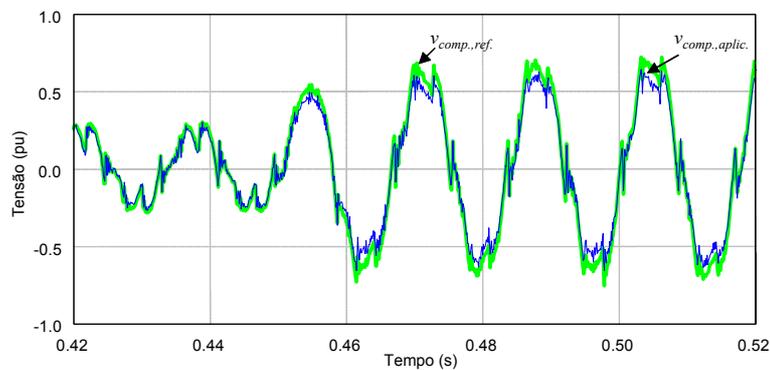


Figura 5.5: Tensão de compensação da fase a

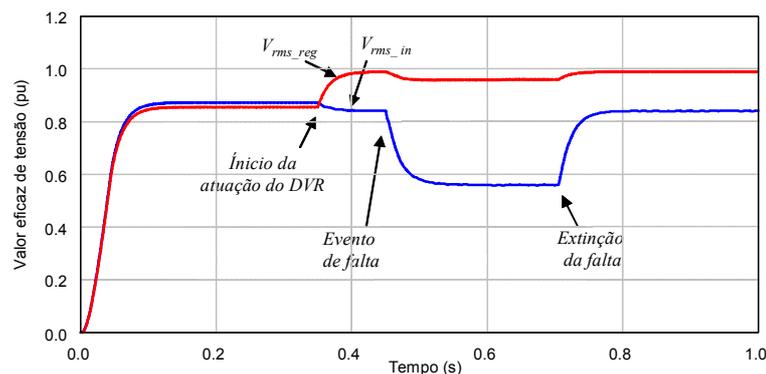


Figura 5.6: Valor eficaz da tensão na barra de entrada do RDT (V_{rms_in}) e na barra regulada (V_{rms_reg}).

5.1.1.b. CASO 2 : ALGORITMO DE CONTROLE COM O MÓDULO AUXILIAR DE CONTROLE DE AFUNDAMENTO

Adotando o módulo auxiliar do controle de afundamento, foi possível compensar totalmente o afundamento na tensão na barra regulada. Na Figura 5.7 são apresentadas as formas de onda da tensão de fase na barra regulada, durante a ocorrência da falta no alimentador adjacente.

Na Figura 5.8 estão ilustradas as formas de onda das tensões de linha na barra infinita, na barra de entrada e na barra regulada. A tensão na barra



infinita (v_{ab_∞}) apresenta valor eficaz de 1 pu e não possui harmônicos. Como a tensão na barra de entrada do RDT apresenta um afundamento para cerca de 55 %, e um grande conteúdo harmônico, comprova-se a eficiência do controle proposto, visto que a tensão na barra regulada (v_{ab_reg}) foi plenamente compensada.

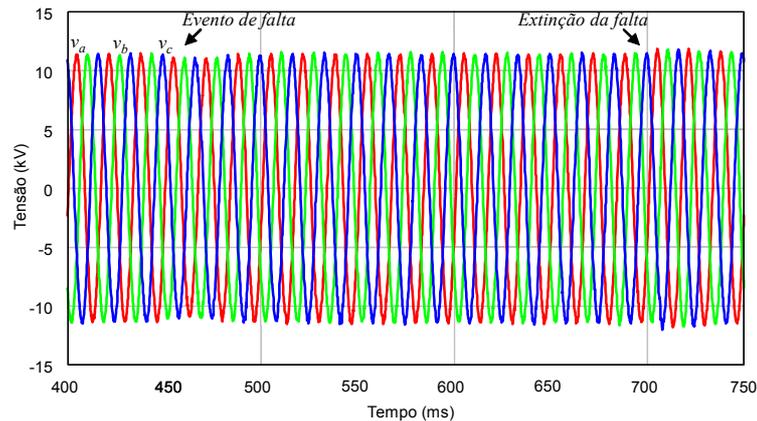


Figura 5.7: Forma de onda da tensão trifásica na barra regulada

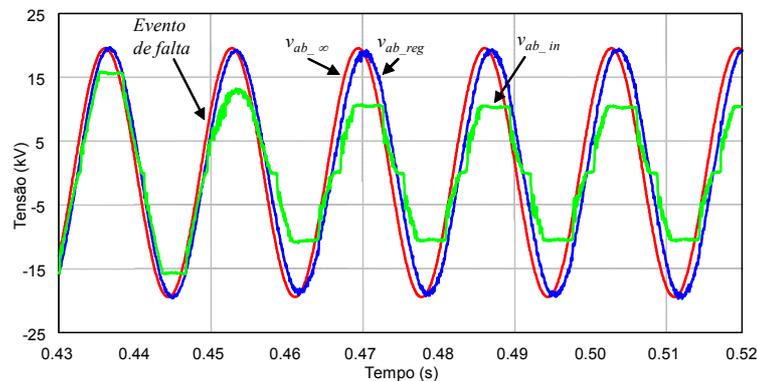


Figura 5.8: Forma de onda das tensões de linha nas barras do sistema: v_{ab_∞} – tensão na barra infinita; v_{ab_in} – tensão na barra de entrada do RDT; v_{ab_reg} – tensão na barra regulada

As tensões de compensação de referência obtidas com e sem o módulo auxiliar podem ser observadas na Figura 5.9. Também nesta figura está ilustrada a forma de onda da tensão de compensação efetivamente aplicada pelo RDT ($v_{a_comp_med}$). Verifica-se que $v_{a_comp_med}$ acompanha a tensão de compensação de referência $v_{a_comp_org}$ calculada pelo algoritmo de controle sem o módulo auxiliar. Entretanto foi necessário utilizar como referência para o controle de chaveamento, a tensão de compensação ($v_{a_comp_ref}$) obtida com o módulo auxiliar.

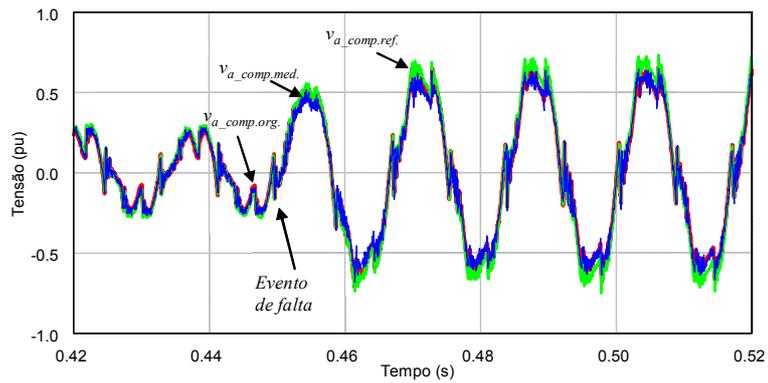


Figura 5.9: Tensões de compensação da fase a

Os valores eficazes das tensões na barra regulada e de entrada do RDT estão representados na Figura 5.10. Apesar da tensão de entrada apresentar um valor de aproximadamente 0.55 pu durante o curto-circuito, a tensão na barra regulada, após um pequeno transitório, mantém-se com o valor eficaz de 1 pu.

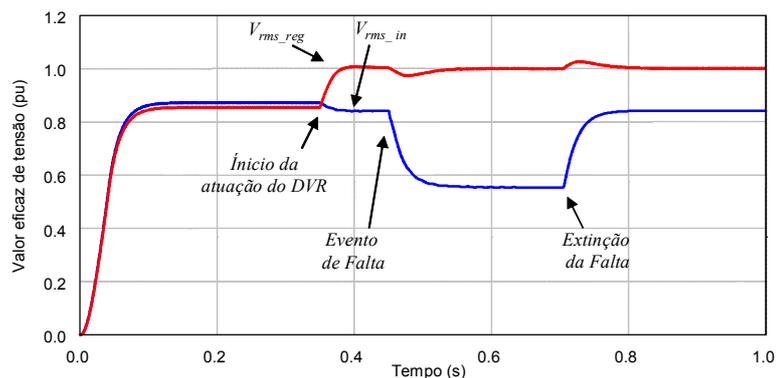


Figura 5.10: Valor eficaz da tensão na barra de entrada do RDT (V_{rms_in}) e na barra regulada (V_{rms_reg}).

CAPÍTULO 6

IMPLEMENTAÇÃO DO PROTÓTIPO

NESTE capítulo será apresentada a implementação do protótipo do Restaurador Dinâmico de Tensão

6.1. CIRCUITO DE POTÊNCIA

Na Figura 6.1 está representado o diagrama unifilar do circuito de potência do protótipo do RDT.

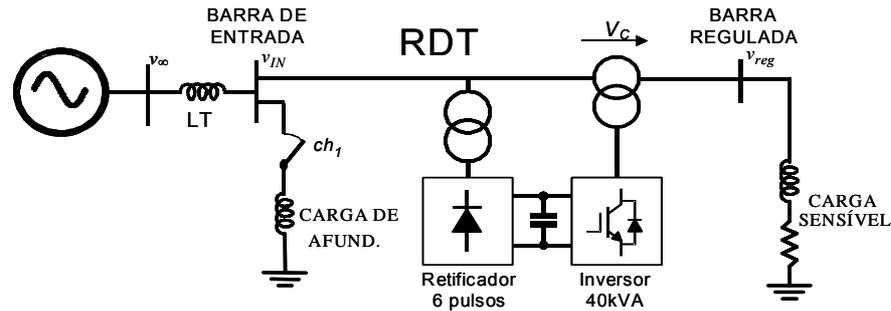


Figura 6.1: Unifilar do protótipo

Carga Sens.	88mH + 30 Ω
Carga de Af.	88mH
LT	10mH
Trafo Série	0.59mH

6.2. CONTROLE

O controle proposto foi implementado no microcontrolador DSP TMS320LF2407A da Texas Instruments, Inc.. Este DSP foi escolhido por apresentar processamento de dados de elevado desempenho, além de periféricos para operação em tempo real, concentrando as principais características de *hardware* e *software* necessárias ao controle do RDT.

A seguir será apresentada uma descrição da implementação dos algoritmos no DSP, e em especial, de algumas sub-rotinas que merecem destaque.

6.2.1. MÓDULO DE INICIALIZAÇÃO

Este módulo é executado após todo evento de *reset* (reinicialização), e nele são realizadas as seguintes tarefas:

- configuração da CPU;
- registradores de estado;
- watchdog;
- estado de espera de acesso à memória (*wait-state*);
- configurações de funções para os pinos;



gerenciador de eventos;
 conversor A/D; e
 inicialização de bibliotecas;
 inicialização de variáveis; e
 definições de constantes.

6.2.1.a. CONFIGURAÇÃO DA CPU

O primeiro registrador a ser configurado neste módulo é o SCSR1 (*System Control and Status Register 1*), que tem seu campo de *bits* representado na Figura 6.2.

15	14	13	12	11	10	9	8
Reserved	CLKSRC	LPM1	LPM0	CLK PS2	CLK PS1	CLK PS0	Reserved
R-0	RW-0	RW-0	RW-0	RW-1	RW-1	RW-1	R-0
7	6	5	4	3	2	1	0
ADC CLKEN	SCI CLKEN	SPI CLKEN	CAN CLKEN	EVB CLKEN	EVA CLKEN	Reserved	ILLADR
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	R-0	RC-0

Note: R = Read access, W = Write access, C = Clear, -0 = value after reset

Figura 6.2: SCSR1 - System Control and Status Register 1

Neste registrador foi definido o escalonamento para o *clock* de entrada da CPU através dos *bits* CLK PS_x (x=2,1,0), na combinação mostrada na primeira linha (4 x Fin) da Tabela 6.1. O valor Fin representa a frequência do oscilador principal.

Configurando os *bits* 7(ADC CLKEN) e 2(EVA CLKEN) deste mesmo registrador para nível lógico um, habilita-se respectivamente o *clock* para o módulo do conversor AD e para o gerenciador de eventos A, utilizados na implementação do algoritmo.

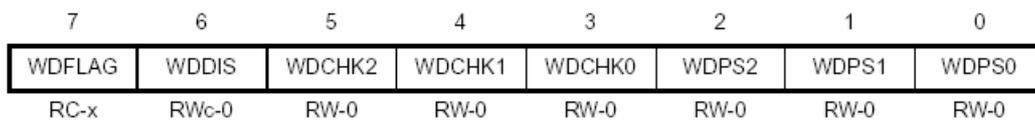
Tabela 6.1: Configuração do *clock* de entrada para a CPU

CLK PS2	CLK PS1	CLK PS0	CLOCK da CPU
0	0	0	4 x Fin
0	0	1	2 x Fin
0	1	0	1.33 x Fin
0	1	1	1 x Fin
1	0	0	0.8 x Fin
1	0	1	0.66 x Fin
1	1	0	0.57 x Fin
1	1	1	0.5 x Fin

Fin = 10 MHz -- frequência do oscilador

O segundo registrador configurado neste módulo é o WSGR (*Wait-State Generator*) que determina o tempo de espera para acesso a memória. Este foi configurado para zero.

O chamado *watchdog timer* é um temporizador periférico que monitora a operação do *software* e *hardware*, e pode gerar eventos de *reset* caso detecte um distúrbio na operação. Na etapa de desenvolvimento do código, tornou-se conveniente desabilitar esta função, atribuindo-se nível lógico um aos *bits* WDDIS, WDCHK2 e WDCHK0 do registrador WDCR (*Watchdog Timer Control Register*) da Figura 6.3. Em seguida é necessário reinicializar com zero o contador do *watchdog* escrevendo-se o valor 55h (em hexadecimal) no registrador WDKEY (*Watchdog Reset Key Register*), e em seguida o valor AAh. Qualquer outro valor causa um *reset* no sistema.



Note: R = Read access, C = Clear by writing 1, W = Write access, Wc = Write access conditional on WD OVERRIDE bit being equal to 1, -0 = value after reset, -x = value after reset determined by action/inaction of WD timer

Figura 6.3: WDCR - *Watchdog Reset Key Register*

Alguns pinos de interface com a CPU podem compartilhar funções [19] que devem ser definidas previamente. Como o inversor estático utilizado no protótipo é controlado por seis sinais PWM e pode emitir três sinais indicativos de erro, foi necessário configurar seis pinos para função PWM e três para obtenção de sinais digitais. O registrador envolvido aqui é



o MCRA (*I/O Mux Control Register A*) e tem seu campo de *bits* representado na Figura 6.4

15	14	13	12	11	10	9	8
MCRA.15	MCRA.14	MCRA.13	MCRA.12	MCRA.11	MCRA.10	MCRA.9	MCRA.8
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
7	6	5	4	3	2	1	0
MCRA.7	MCRA.6	MCRA.5	MCRA.4	MCRA.3	MCRA.2	MCRA.1	MCRA.0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

Note: R = Read access, W = Write access, -0 = value after reset

Figura 6.4: MCRA - I/O Mux Control Register A

Para selecionar as funções PWM_x (x=1,2,3,4,5,6) para os pinos de interface foi necessário escrever o valor lógico “um” nos *bits* 6, 7, 8, 9, 10 e 11 do MCRA. A seleção das funções de entrada ou saída digital (E/S), para a leitura dos possíveis erros emitidos pelo inversor, é realizada escrevendo-se o valor lógico “zero” nos *bits* 3, 4 e 5 - funções IOPA_x (x=3,4,5). Em seguida define-se para estes pinos a sua direção (entrada digital) através do registrador PADATDIR (*Port A Data and Direction Control Register*) da Figura 6.5, escrevendo-se o nível lógico “zero” nos *bits* 3, 4 e 5 deste registrador.

15	14	13	12	11	10	9	8
A7DIR	A6DIR	A5DIR	A4DIR	A3DIR	A2DIR	A1DIR	A0DIR
RW-0							
7	6	5	4	3	2	1	0
IOPA7	IOPA6	IOPA5	IOPA4	IOPA3	IOPA2	IOPA1	IOPA0
RW-†							

† The reset value of these bits depends upon the state of the respective pins.

Note: R = Read access, W = Write access, -0 = value after reset

Figura 6.5: PADATDIR - Port A Data and Direction Control Register

Os sinais de erro podem ser obtidos, então, em tempo real lendo-se o estado dos *bits* IOPA₃, 4 e 5 deste mesmo registrador.

Também foram configurados neste módulo os registradores do gerenciador de eventos A (EVA - *Event Manager A*). O GPTCONA (*General-Purpose Control Register A*) tem seu campo de *bits* representado na Figura 6.6. Com este registrador é possível definir um evento de interrupção provocado



por período do temporizador 1, para iniciar a conversão A/D. Para isto, escreve-se no campo de dois *bits* T1TOADC o valor 10b(binário).

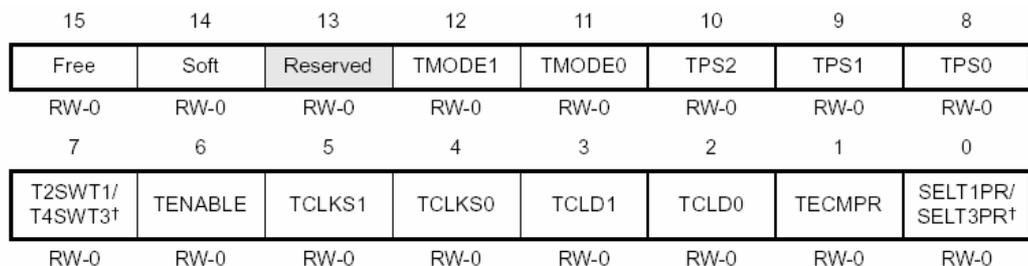


Note: R = Read access, W = Write access, -n = value after reset

Figura 6.6: GPTCONA - General-Purpose Control Register A

Utilizou-se neste trabalho a biblioteca DMC [20], fornecida pela própria Texas, que apresenta diversas funções. Algumas destas funções, para o seu correto funcionamento, realizam inicializações na CPU. Como é o caso da FC_PWM_DRV que é responsável por gerar os sinais de disparo das chaves do inversor.

O primeiro registrador que esta função configura é o T1CON (*Timer 1 Control Register*) da Figura 6.7. Nos campos FREE-SOFT(*bits* 15-14) escreve-se o valor 10b para que a operação do temporizador seja ininterrupta. Nos *bits* TMODE1 e TMODE0 configura-se o modo de operação do contador, no caso, escolheu-se o modo contínuo *up/down* escrevendo-se o valor 01b neste campo. O escalonamento do *clock* de entrada foi definido em x/1, com a configuração do campo TPS2-TPS0 no valor 000b. No *bit* 6 (TENABLE) se habilita as operações do timer e no *bit* 1 habilita-se os comparadores.



Note: R = Read access, W = Write access, -0 = value after reset
 † Reserved in T1CON and T3CON

Figura 6.7: T1CON - Timer 1 Control Register



O próximo registrador configurado pela função FC_PWM_DRV é o ACTRA (*Compare Action Control Register A*) que tem o seu campo de *bits* representado na Figura 6.8. Nele é possível configurar a ação do comparador na saída dos pinos configurados para os PWM1-6. Escrevendo-se, por exemplo, o valor 00b nos *bits* CMP1ACT1-0 a saída PWM1 é forçada a assumir nível lógico baixo. Caso o valor seja 11b a saída PWM1 assume nível lógico alto. Os valores 01b e 10b, por outro lado, fazem com que a saída PWM1 dependa do valor do comparador 1 e do temporizador 1. Caso se escolha configurar o modo “ativo alto”, os *bits* CMP1ACT1-0 devem conter 01b. O valor 10b configura o modo “ativo baixo”. Esta diferença pode ser facilmente entendida analisando a Figura 6.9.

15	14	13	12	11	10	9	8
SVRDIR	D2	D1	D0	CMP6ACT1	CMP6ACT0	CMP5ACT1	CMP5ACT0
RW-0							
7	6	5	4	3	2	1	0
CMP4ACT1	CMP4ACT0	CMP3ACT1	CMP3ACT0	CMP2ACT1	CMP2ACT0	CMP1ACT1	CMP1ACT0
RW-0							

Note: R = Read access, W = Write access, -0 = value after reset

Figura 6.8: ACTRA - Compare Action Control Register A

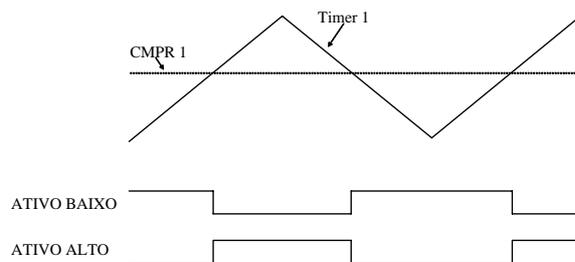
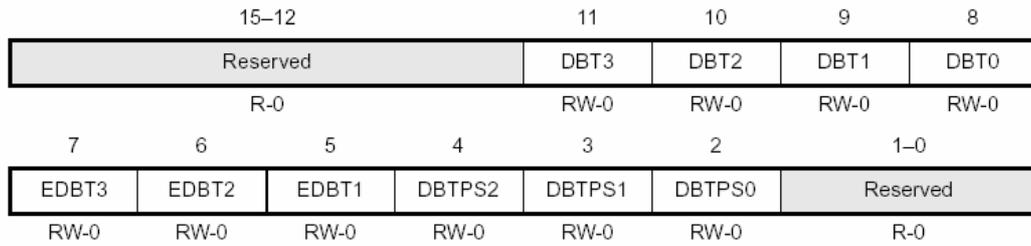


Figura 6.9: Resultado da comparação

Com isso, configurou-se os PWM1, 3 e 5 para o modo “ativo baixo”, e os PWM2, 4 e 6 para o modo “ativo alto”.

O último registrador configurado pela função FC_PWM_DRV é o DBTCONA (*Dead-Band Timer Control Register A* - Figura 6.10), onde se define o tempo morto que é implementado no chaveamento (*bits* 11-8), indicando-se os comparadores para os quais este deve ser admitido (*bits* 7-2).



Note: R = Read access, W = Write access, -0 = value after reset

Figura 6.10: DBTCONA - Dead-Band Timer Control Register A

O conversor AD foi configurado utilizando primeiramente o registrador ADCTRL1 (*ADC Control Register 1*) da Figura 6.11, para selecionar que o conversor irá funcionar continuamente, mesmo que ocorra alguma parada, escreve-se o valor 1b no *bit* 12 (FREE). No campo de *bits* ACQ PS3 - ACQ PS0 configurou-se o valor 0011b para selecionar uma escala de *clock* que garanta a conversão analógico-digital. No *bit* 5 (INT PRI) foi definido que a requisição de interrupção pelo ADC é de baixa prioridade. No *bit* 4 (SEQ CASC) definiu-se que o sequenciador irá operar em modo cascadeado.

O seqüenciador deve retornar ao estado inicial a fim de se preparar para receber um sinal de disparo, isto é feito no *bit* 14 do registrador ADCTRL2 (*ADC Control Register 2*), Figura 6.12. Já no *bit* 8, configura-se que o disparo do conversor A/D será feito pelo gerenciador de eventos A (EVA).



Note: R = Read access, W = Write access, S = Set only, -0 = value after reset

Figura 6.11: ADCTRL1 - ADC Control Register 1



15	14	13	12	11	10	9	8
EVB SOC SEQ	RST SEQ1/ STRT CAL	SOC SEQ1	SEQ1 BSY	INT ENA SEQ1 (Mode 1)	INT ENA SEQ1 (Mode 0)	INT FLAG SEQ1	EVA SOC SEQ1
RW-0	RS-0	RW-0	R-0	RW-0	RW-0	RC-0	RW-0
7	6	5	4	3	2	1	0
EXT SOC SEQ1	RST SEQ2	SOC SEQ2	SEQ2 BSY	INT ENA SEQ2 (Mode 1)	INT ENA SEQ2 (Mode 0)	INT FLAG SEQ2	EVB SOC SEQ2
RW-0	RS-0	RW-0	R-0	RW-0	RW-0	RC-0	RW-0

Note: R = Read access, W = Write access, S = Set only, C = Clear, -0 = value after reset

Figura 6.12: ADCTRL2 - ADC Control Register 2

No registrador MAXCONV definiu-se o número de conversões que serão realizadas, e no registrador CHSELSEQ1 definiu-se a seqüência dos canais que devem ser submetidos às conversões.

6.2.2. MÓDULO PRINCIPAL

Neste módulo, a declaração de todas as variáveis é executada, assim como as definições de constantes; e configuração de interrupção além de chamar o módulo de inicialização.

O primeiro passo é habilitar as interrupções utilizando o *bit* INTM que deve ser configurado em nível zero. No IMR (*Interrupt Mask Register*) mascara-se a interrupção INT1; com isto ela pode ser habilitada ou desabilitada por *software*. No *bit* 7 do registrador EVAIMRA (*Event Manager A Interrupt Mask Register A*) habilita-se a T1PINT (*Timer 1 Period Interrupt*) e o *bit* 7 do registrador EVAIFRA (*Event Manager A Interrupt Flag Register A*) indica quando há interrupção pendente, por isso ele deve inicialmente ser configurado garantindo à CPU que não há pendências. Com isso, pode-se aceitar uma interrupção deste tipo. A configuração deste *bit* é o último passo feito no módulo principal garantindo que a rotina de interrupção seja executada somente com todas as definições e configurações concluídas.

É necessário também, manter o módulo principal sendo executado como tarefa de fundo e para isso é implementado um laço infinito no fim deste módulo.



6.2.2.a. MÓDULO DE INTERRUPÇÃO

Este módulo é executado periodicamente sempre que o temporizador 1 atinge o valor do período armazenado no registrador T1PR (*Timer 1 Period Register*), e a partir daí toda a rotina de serviço de interrupção é executada.

Nesta rotina realiza-se a amostragem das variáveis, o cálculo das ações de controle e implementação da modulação vetorial. Na Figura 6.13 pode ser vista uma descrição dos eventos executados dentro da rotina de interrupção e estes são detalhados a seguir.

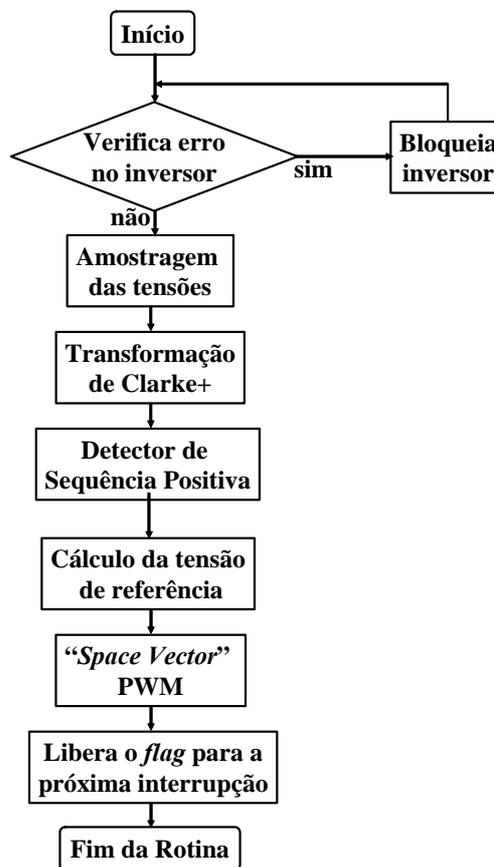


Figura 6.13: Fluxograma da rotina de interrupção

VERIFICAÇÃO DO ERRO NO INVERSOR

Quando ocorre algum problema no chaveamento, o inversor emite um sinal de erro para o DSP que bloqueia as três fases do inversor até que o sinal de erro desapareça. Este bloqueio é feito reconfigurando a função dos pinos de saída PWM para pinos de saída digital e com isso emite um sinal



para o inversor abrir suas chaves superiores (S1, S3 e S5) e fechar as chaves inferiores (S2, S4 e S6).

No momento em que o inversor para de emitir o sinal de erro a rotina segue normalmente as suas outras etapas.

AMOSTRAGEM DAS TENSÕES

O algoritmo de controle do RDT requer os sinais de tensões da barra de entrada do RDT (tensão com afundamento) e de sua barra saída (tensão regulada). Decidiu-se então medir duas tensões de linha em cada barra (v_{ab_in} , v_{bc_in} , v_{ab_reg} e v_{bc_reg}). Com isso é necessário utilizar quatro canais do conversor AD, que tem seu funcionamento explicado a seguir:

Princípios de operação do conversor analógico digital (C-A/D)

O seqüenciador C-A/D consiste de dois seqüenciadores (SEQ1 e SEQ2) independentes de oito estados (onde a palavra “estado” representa o número de autoconversões que podem ser feitas pelo seqüenciador). Estes seqüenciadores podem operar separadamente (modo dual) ou cascadeados, formando um seqüenciador de dezesseis estados (modo simples). Os diagramas dos dois modos de operação dos seqüenciadores são mostrados nas Figura 6.14 e Figura 6.15

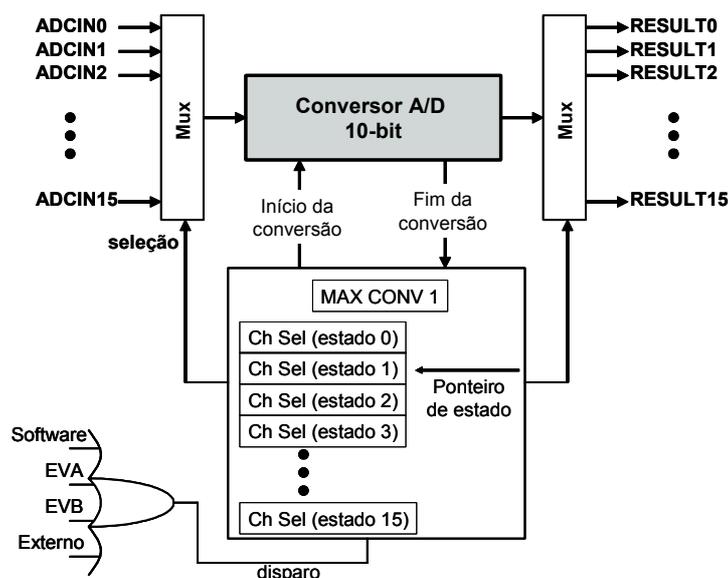


Figura 6.14: Diagrama com o C-A/D no modo cascadeado

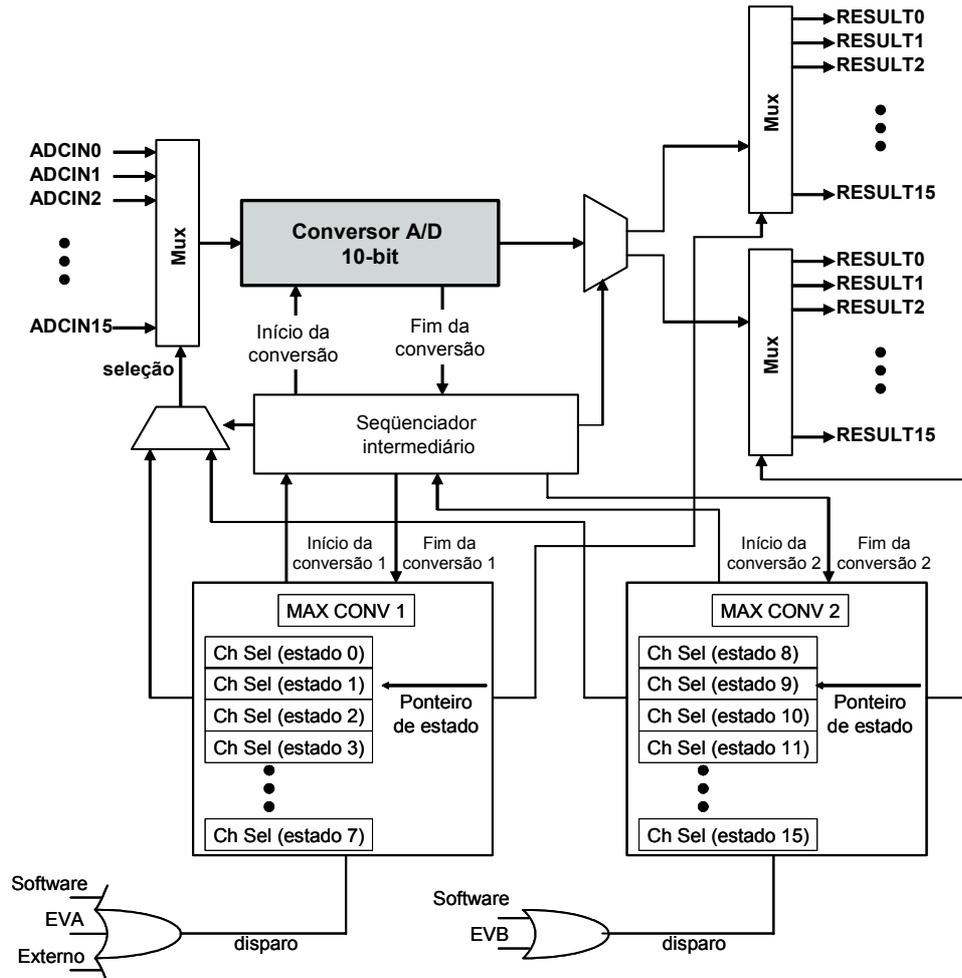


Figura 6.15: Diagrama com C-A/D no modo dual

Em ambos os casos, o C-A/D tem a habilidade de autosequenciar uma série de conversões. Nas figuras pode-se observar que, para várias conversões, um dos dezesseis canais de entrada ($ADCIN_x$) pode ser selecionado através do MUX analógico. Após a conversão, o valor digital é armazenado no registrador apropriado ($RESULT_x$). Também é possível amostrar o mesmo sinal várias vezes, permitindo um aumento da resolução dos resultados da conversão.

No caso, foram utilizados quatro canais de entrada ($ADCIN_0$, $ADCIN_1$, $ADCIN_2$, $ADCIN_3$) configurados nesta ordem no registrador $CHSELSEQ1$). Com isso os sinais relativos às tensões de linha v_{ab_in} , v_{bc_in} , v_{ab_out} , v_{bc_out} , são armazenados respectivamente nos registradores $RESULT_0$, $RESULT_1$, $RESULT_2$ e $RESULT_3$. Pode-se ver no capítulo 7 de [18] que o resultado da conversão é armazenado nos dez *bits* mais significativos destes



registradores, devendo-se então deslocar este resultado para os dez primeiros *bits* antes de normalizar o valor obtido.

Na seção 6.2.2.b pode-se encontrar alguns resultados da aquisição e normalização dos sinais de tensão.

TRANSFORMAÇÃO DE CLARKE+

A transformação de coordenadas a-b-c para α - β -0 é uma transformação algébrica de um sistema de tensões e correntes trifásicas para um sistema de coordenadas ortogonais entre si (e não a 120° como no sistema a-b-c).

A diferença da transformação (Clarke+) aqui implementada para a original proposta pela Engenheira Edith Clarke em [17], é que as tensões disponíveis são tensões de linha, com isso a matriz de transformação de coordenadas é alterada:

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} \frac{2}{\sqrt{3}} & \frac{1}{\sqrt{3}} \\ 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} v_{ab} \\ v_{bc} \end{bmatrix} \quad (6.1)$$

Como já foi comentado anteriormente, a unidade aritmético-lógica do DSP opera com números em ponto-fixa, dificultando a implementação desta transformação de coordenadas.

Para alcançar um máximo de precisão sem que ocorra um *overflow* todas as operações implementadas neste trabalho foram analisadas no Matlab® utilizando os conceitos de operação com ponto fixo [24]. O objetivo aqui é encontrar formato de ponto fixo que proporcione a melhor precisão.

Na seção 6.2.2.b, adiante, pode-se encontrar alguns resultados desta transformação.

DETECTOR DE SEQÜÊNCIA POSITIVA



O primeiro passo para a implementação do detector de sequência positiva foi a criação do circuito PLL que se mostrou eficiente mesmo em condições desfavoráveis de distorção e desequilíbrio.

O PLL utilizou a função *park* da biblioteca DMC [20] para gerar os sinais de realimentação. Esta função implementa as seguintes equações:

$$\begin{cases} ID = Id \cdot \cos \theta + Iq \cdot \sin \theta \\ IQ = -Id \cdot \sin \theta + Iq \cdot \cos \theta \end{cases} \quad (6.2)$$

Onde Id , Iq e θ são entradas da função.

Com isso assumiu-se que $Iq=1$; $Id=0$; e θ é o ωt (integral da saída do controlador PI). Assim as realimentações são $i'_\alpha=ID$ e $i'_\beta=IQ$.

Neste PLL não foi necessário zerar o ωt quando este se torna maior que 2π , porque o maior valor que a variável ωt pode assumir é o valor correspondente a 2π , assim quando este se torna maior, ocorre um *overflow* que automaticamente faz com que ωt assumira um valor de -2π , tendo o mesmo efeito de zerar.

Uma contribuição deste trabalho é o emprego de saturação do valor de ω fazendo com que o circuito PLL apresente um melhor desempenho [15].

Com o PLL funcionando, o próximo passo para a implementação do detector de sequência é o cálculo da parcela constante de q' , para isto foi necessário implementar um filtro passa-baixa *butterworth* de 5ª ordem, que foi projetado utilizando a biblioteca de desenvolvimento de filtros digitais [25] disponibilizada pela *Texas Instruments*.

Os cálculos das tensões de sequência positiva são:

$$\begin{bmatrix} v'_\alpha \\ v'_\beta \end{bmatrix} = \frac{1}{i'^2_\alpha + i'^2_\beta} \cdot \begin{bmatrix} i'_\alpha & -i'_\beta \\ i'_\alpha & i'_\beta \end{bmatrix} \cdot \begin{bmatrix} \bar{p}' \\ \bar{q}' \end{bmatrix} \quad (6.3)$$



Com intuito de otimizar o código, (6.3) pode ser reduzido para (6.4), já que sabemos que em regime permanente \bar{p}' vale zero e as correntes de realimentação apresentam amplitude de valor unitário, assim $\frac{1}{i'_{\alpha}{}^2 + i'_{\beta}{}^2} = 1$.

$$\begin{cases} v'_{\alpha} = i'_{\beta} \cdot \bar{q}' \\ v'_{\beta} = -i'_{\alpha} \cdot \bar{q}' \end{cases} \quad (6.4)$$

CONTROLE DE AFUNDAMENTO

Primeiramente foi feito um controle em malha aberta para testar o funcionamento do sistema. Este adiciona uma tensão com amplitude fixa na barra controlada. Para gerar as tensões de referência para o chaveamento foi utilizado novamente a função *park* da biblioteca DMC [20], onde agora o valor de I_q representa a amplitude da tensão de compensação. Os resultados obtidos por este controle estão apresentados na seção 6.2.2.b.

No controle de afundamento em malha fechada é necessário o cálculo do valor coletivo das tensões da barra controlada, para isto foi utilizada a função *qsqrt* da biblioteca *Fixed-Point Math* [26].

O fechamento da malha é feito comparando o valor coletivo com uma referência, encontrando um sinal de erro que é a entrada de um controlador PI. Este fornece em sua saída a amplitude da tensão de compensação. O sinal da tensão de compensação é novamente criado utilizando a função *park*.

MODULAÇÃO SPACE VECTOR

Para encontrar o ciclo de cada fase para o chaveamento do inversor, foi utilizada a função SVGEN DQ da biblioteca DMC [20]. Esta gera os ciclos de trabalho com base na técnica de modulação vetorial já apresentada na seção 3.2.3.a deste trabalho. Esta função tem como entrada as tensões de referência nas coordenadas α - β .



Com o ciclo de trabalho, utilizou-se a função FC_PWM_DVR para gerar os sinais de disparo para o inversor. Esta função necessita, além do ciclo de trabalho das três fase, o período de chaveamento além de toda uma pré-configuração já feita pelo Módulo de Inicialização.

LIBERAÇÃO DO FLAG

Como já dito, o *bit* 7 do registrador EVAIFRA indica que uma interrupção foi solicitada, e por isso deve ser configurado em nível lógico 1 no fim de cada interrupção permitindo o atendimento de novas interrupções do mesmo tipo.

6.2.2.b. RESULTADOS OBTIDOS PELO SOFTWARE PROPOSTO.

Nesta seção serão apresentados os resultados obtidos pelo programa desenvolvido no DSP.

CONVERSOR ANALÓGICO-DIGITAL

O primeiro teste realizado com o intuito de comprovar o funcionamento do conversor A/D, foi a aquisição de quatro sinais. O resultado deste teste pode ser observado na Figura 6.16 que mostra os quatro sinais puramente senoidais que foram aplicados nos canais do A/D.

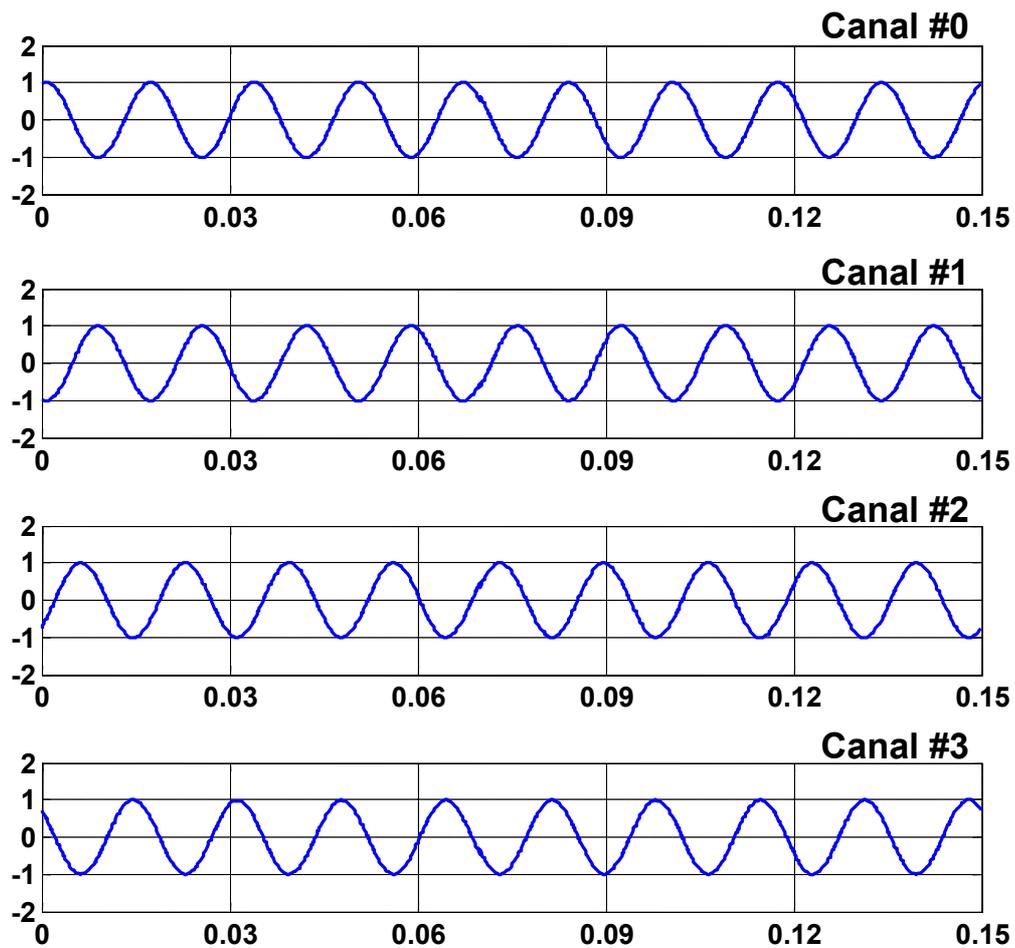


Figura 6.16: Aquisição de quatro sinais

Também foi testada a capacidade de medir sinais com distorções harmônicas. A Figura 6.17 mostra o resultado da aquisição de dois sinais com 20% de distorção sendo que o primeiro com harmônico de décima primeira ordem e o segundo sinal com harmônico de quinta ordem.

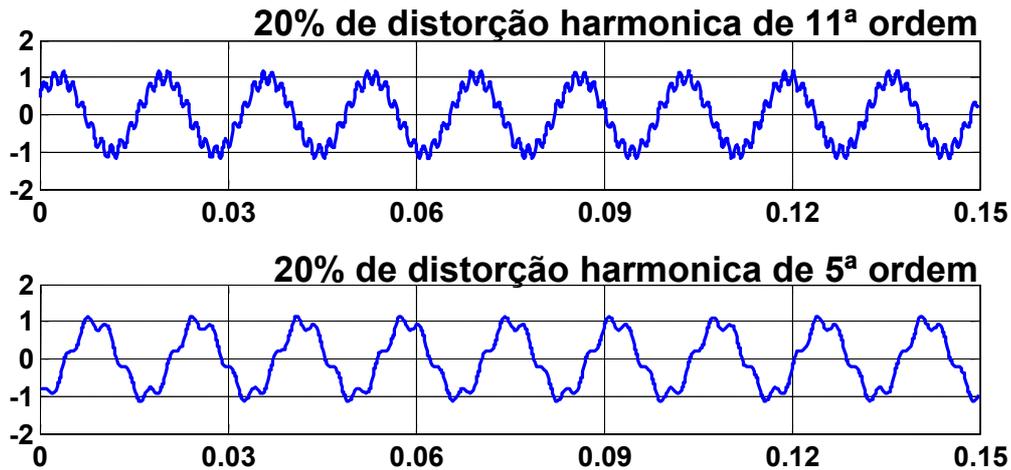


Figura 6.17: Aquisição de sinais com distorção harmônica

TRANSFORMAÇÃO DE CLARKE+

A Figura 6.18 mostra o resultado implementação da transformação de Clarke+. Note que a transformação foi feita a partir de sinais de tensão de linha (v_{ab}, v_{bc}) distorcidos.

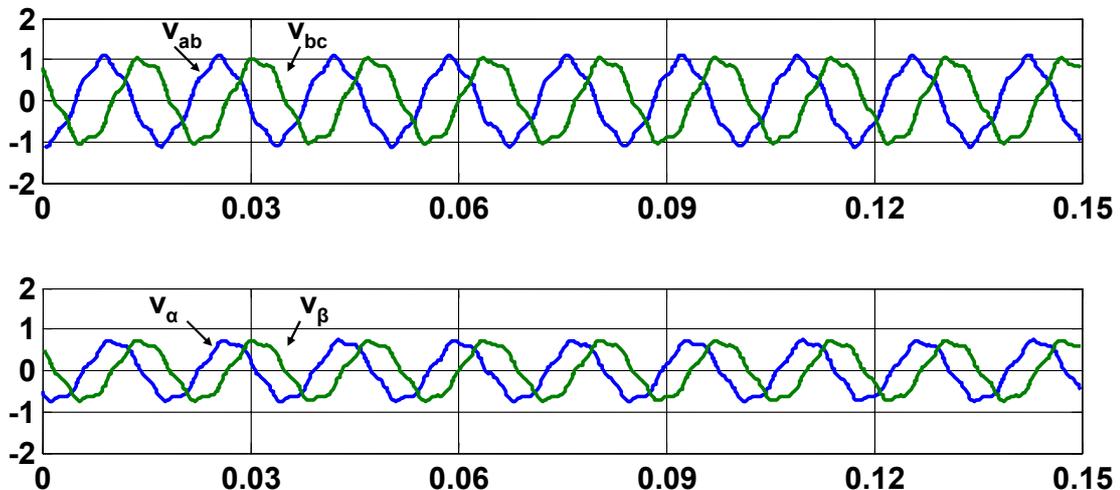


Figura 6.18: Transformação de Clarke+ - sinais distorcidos

DETECTOR DE SEQUÊNCIA POSITIVA

A Figura 6.19 mostra o desempenho do circuito PLL operando com sinais de entrada senoidais. O que deve ser observado é que o PLL encontra seu ponto de operação no momento que o erro de fase é zero (aproximadamente 150ms) e a frequência vale um. Note que a faixa de variação do sinal de ωt é de -1 até 1 o que corresponde a uma variação angular de -2π até 2π .



Na Figura 6.20 pode ser visto o desempenho do PLL operando com sinais desequilibrado (12,5% de seqüência negativa). Note que tanto o valor do erro de fase quanto o de frequência apresentam uma pequena oscilação que, como já discutido, é totalmente aceitável.

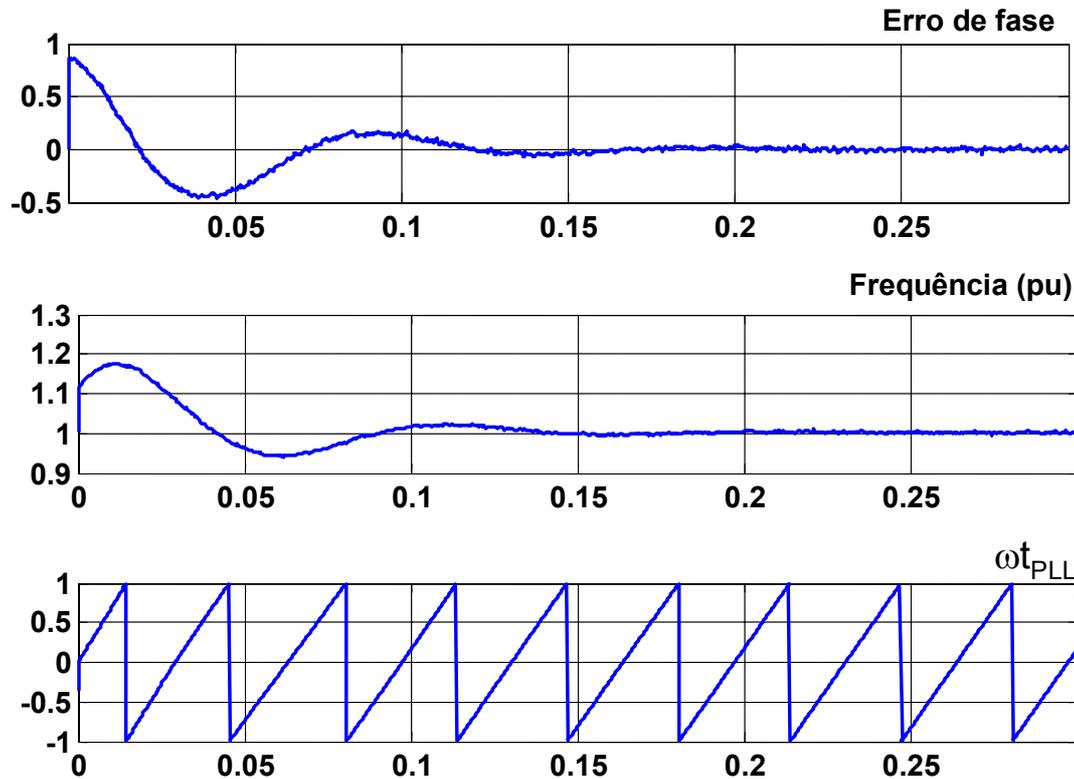


Figura 6.19: Resultados do PLL - sinais senoidais

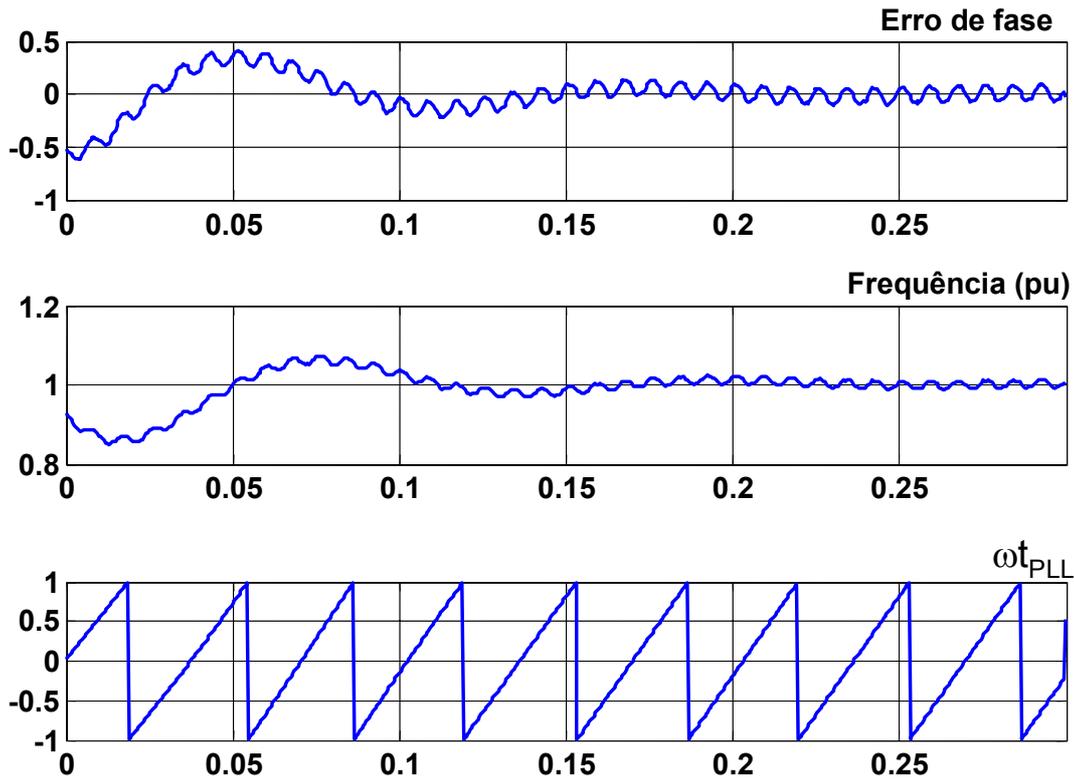


Figura 6.20: Resultados do PLL - sinais desequilibrados

Na Figura 6.21 pode ser vista a tensão v_β medida e transformada para a coordenada β e a componente de seqüência positiva v'_β obtida pelo detector.

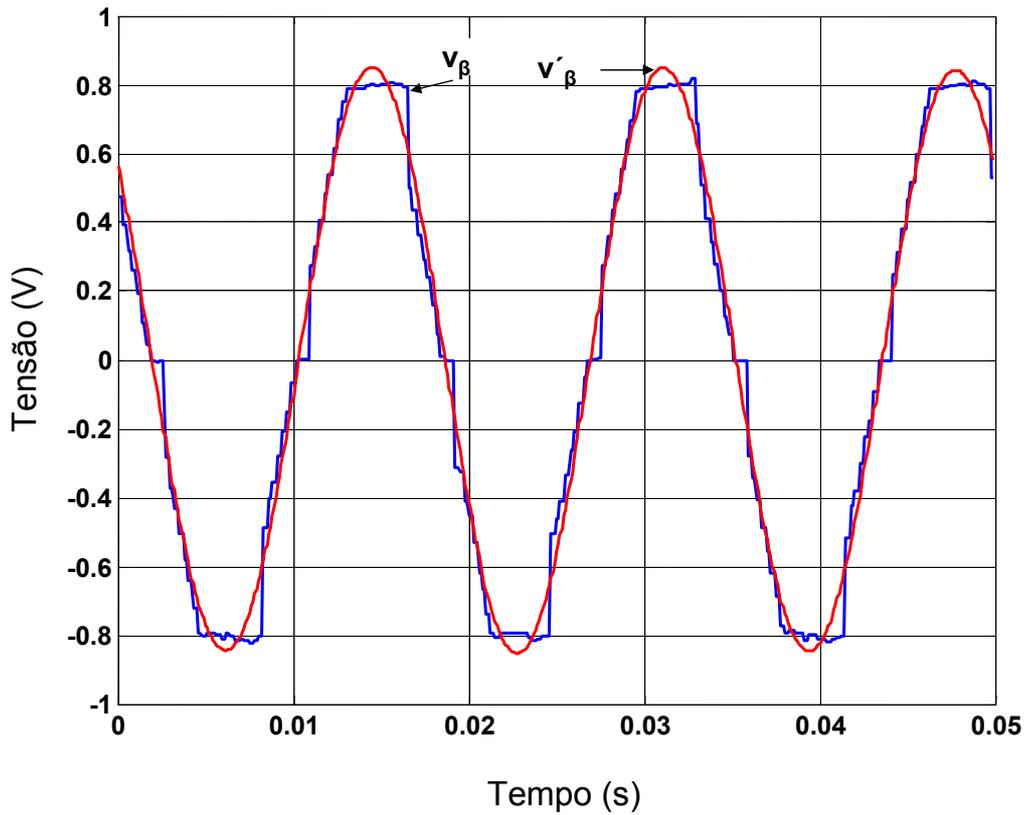


Figura 6.21: Resultado do Detector de Sequencia Positiva

MODULAÇÃO SPACE VECTOR

Na Figura 6.22 pode-se ver a variação do ciclo de trabalho de uma das fases no tempo. Note que esta variação não é totalmente senoidal, esta contém harmônicos de seqüência zero que serão naturalmente filtrados pelo conversor.

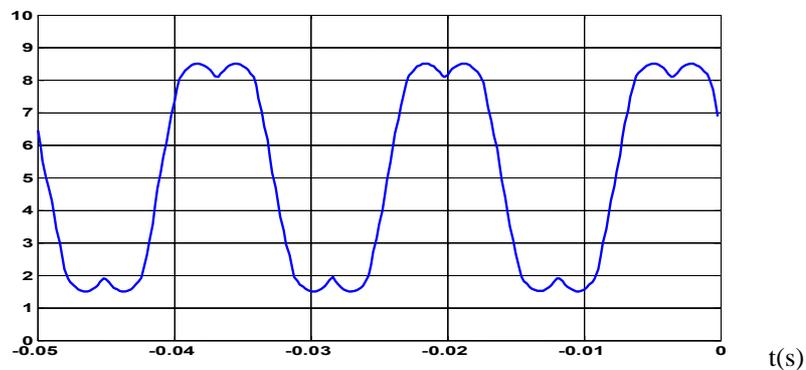


Figura 6.22: Variação do ciclo de trabalho na modulação vetorial



6.2.3. RESULTADOS EXPERIMENTAIS DO PROTÓTIPO DO RDT

MALHA ABERTA

O primeiro teste que foi feito com o protótipo foi o de verificar a sua capacidade de injetar uma tensão de compensação, e para isso foi utilizado um controle em malha aberta, onde não são realimentadas as tensões na barra regulada e o RDT impõe uma tensão de compensação de amplitude previamente definida. Neste caso, foi utilizada uma carga mais leve, com isso o nível de distorção harmônica é menor do que se fosse utilizado a carga especificada no item 6.1 deste trabalho que somente foi utilizada quando o controle em malha fechada foi implementado.

A Figura 6.23 mostra a tensão na barra de saída (regulada) com o RDT desligado. A partir desta figura calculou-se o valor de tensão que o RDT deve injetar para que a tensão nesta barra permaneça a mesma com ou sem a conexão da carga B.

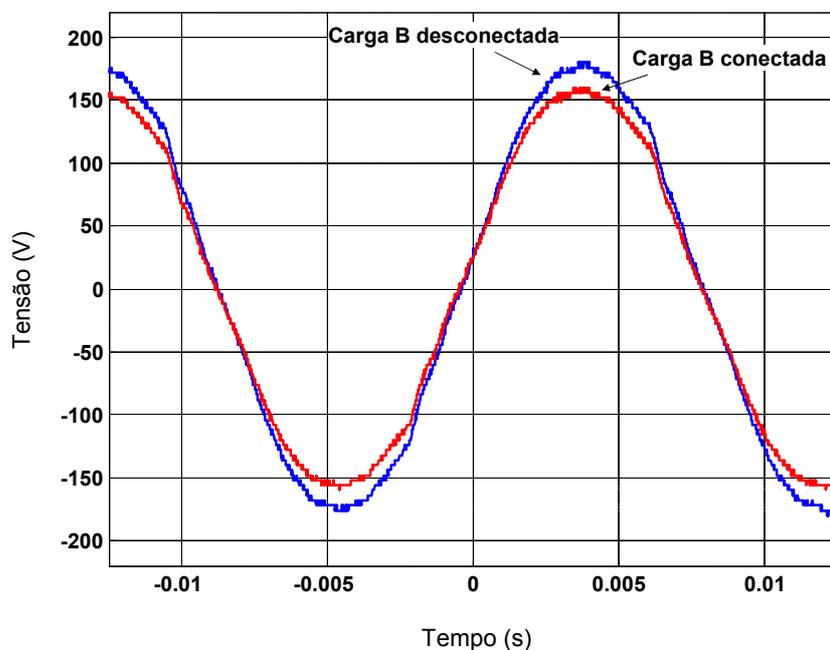


Figura 6.23: Tensão na barra regulada – RDT desligado



O resultado deste controle de tensão pode ser visto na Figura 6.24 onde o RDT deve ser ligado somente no momento em que a carga B é conectada.

Note que o RDT compensa com sucesso o afundamento causado pela conexão da carga de afundamento. O problema deste controle é que deve-se saber previamente quanto de afundamento e quando este vai ocorrer para que se possa ajustar a tensão e o momento que o RDT deve compensar.

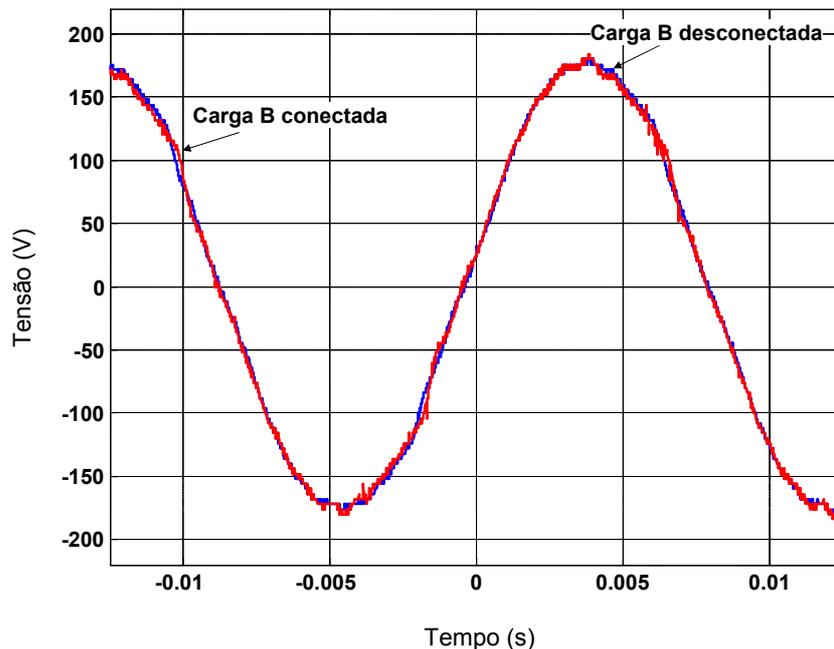


Figura 6.24: Tensão na barra regulada - RDT liga no momento em que a carga B é conectada

MALHA FECHADA

Com o controle em malha fechada, a tensão de compensação que deve ser aplicada é calculada em tempo real, podendo o RDT permanecer ligado, mesmo no momento em que não há afundamento. Com isso a tensão na barra regulada permanece com um valor eficaz constante como pode ser visto na Figura 6.25 e também na Figura 6.27. (Os resultados apresentados nesta seção são relativos a implementação do algoritmo de controle de afundamento, do algoritmo de controle de harmônico e do algoritmo de controle de disparo, apresentados anteriormente).



A primeira forma de onda da Figura 6.25 é tensão de fase da barra comum, esta apresenta uma distorção harmônica provocada pela corrente drenada através do retificador não controlado do próprio RDT.

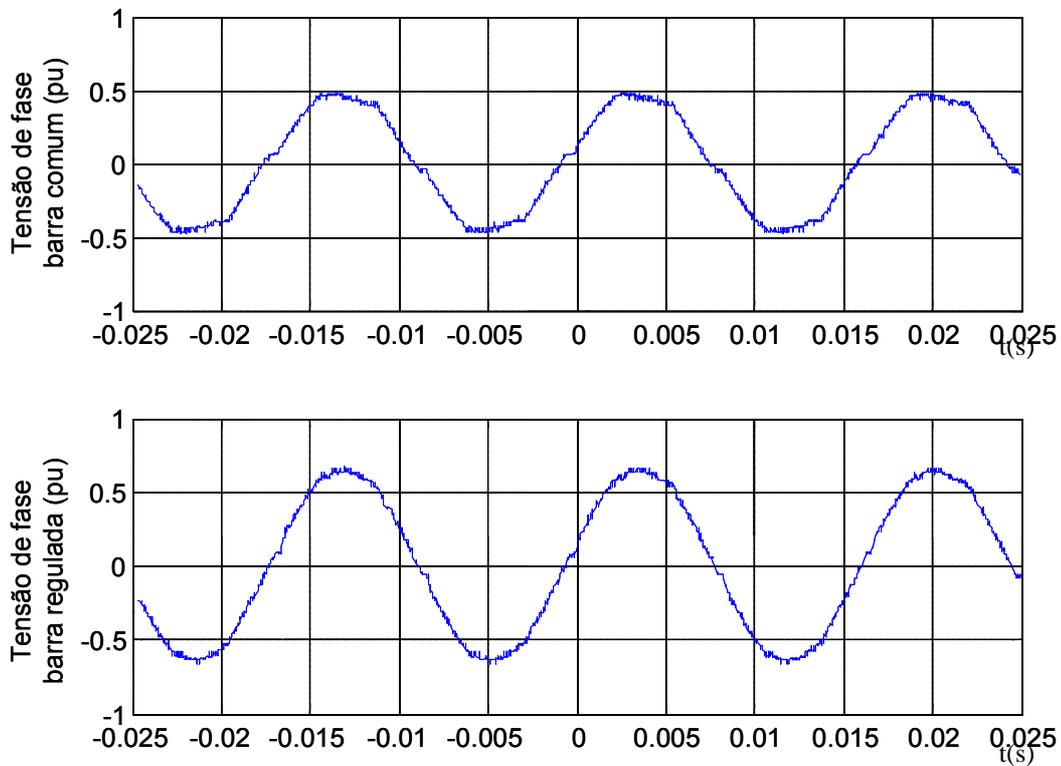


Figura 6.25: Tensão de fase na barra comum, e tensão de fase na barra regulada

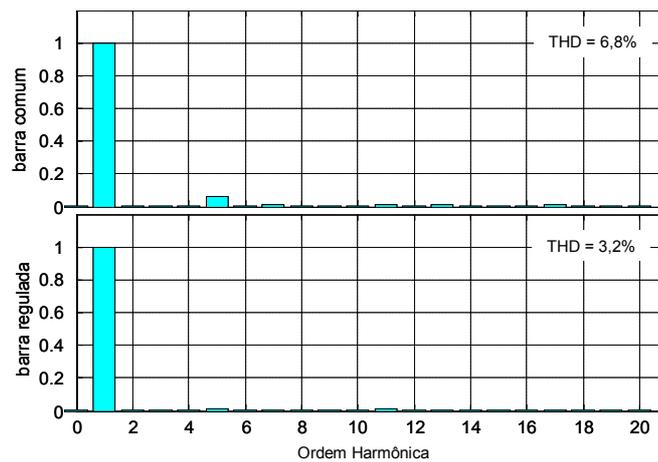


Figura 6.26: Conteúdo harmônico da tensão na barra comum e da barra regulada

A Figura 6.26 indica o conteúdo harmônico das duas formas de onda representadas na Figura 6.25. É fácil observar que componentes harmônicas



(sobretudo de 5ª ordem) presentes na tensão da barra comum são atenuadas pelo RDT não sendo refletidas à tensão da barra regulada.

Na Figura 6.27 pode-se observar a dinâmica do RDT quando há um afundamento de tensão na barra comum. Neste caso o afundamento ocorreu em 0 seg.. Pode-se observar que a tensão na barra regulada praticamente não se altera confirmando a eficácia do modelo de RDT implementado.

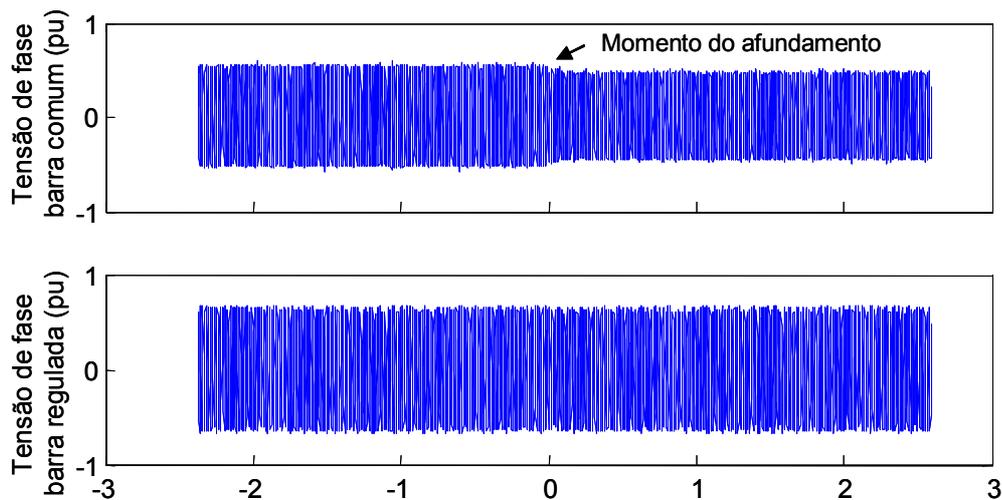


Figura 6.27: Tensão de fase na barra comum, e tensão de fase na barra regulada

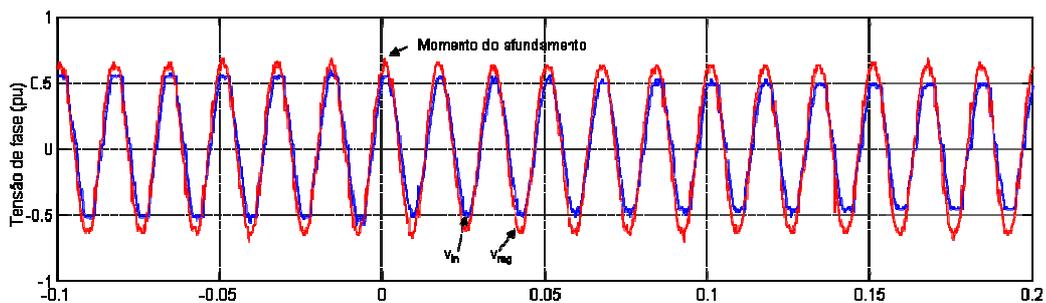


Figura 6.28 Tensão de fase na barra comum (v_{in}), Tensão de fase na barra regulada (v_{reg}).

Na Figura 6.28 pode-se comparar a tensão da barra comum (v_{in}) com a tensão na barra regulada (v_{reg}). No momento do afundamento, o valor eficaz da tensão v_{in} sofre uma redução enquanto o valor eficaz da tensão v_{reg} permanece praticamente sem grandes alterações, mantendo esta barra regulada.

CAPÍTULO 7

CONCLUSÕES

BASEADO nos resultados obtidos conclui-se que este trabalho alcançou seu objetivo, comprovando a eficiência do RDT na proteção de uma carga sensível contra afundamentos de tensão, distúrbios harmônicos e desequilíbrio.

Devido à característica de compensação de harmônicos, esta estratégia permite a utilização de um retificador não controlado para suprir a energia ao elo CC do RDT. Deste modo tem-se uma redução no custo final deste tipo de equipamento.

A estratégia originalmente proposta pode ser modificada para uma compensação total de afundamentos de tensão, aplicando o módulo auxiliar de controle de afundamentos. Esta modificação implica na inclusão de mais um detector de seqüência positiva de tensão, aumentando a complexidade do algoritmo de controle.



Dependendo da aplicação, o módulo auxiliar do controle de afundamento não se faz necessário, tendo em vista que a estratégia original proporciona uma compensação de cerca de 97 % do afundamento de tensão, conforme apresentado nos resultados das simulações. Este valor atende os requisitos estabelecidos em norma relativa a afundamentos de tensão.

O DSP utilizado para a implementação da estratégia de controle se mostrou bastante adequado já que este apresenta funções que foram vitais para o sucesso do trabalho.

O detector de sequência positiva implementado se mostrou bastante robusto já que foi capaz de obter a componente fundamental de sequência positiva mesmo em condições de alto índice de distorção.

Os resultados apresentados pelo protótipo validam a estratégia de controle implementada.

Como sugestões para trabalhos futuros são indicados os seguintes itens:

- Análise dos limites de compensação, abordando o aspecto do colapso que pode ser provocado pelo retificador a diodos;
- Análise do desempenho da topologia de RDT cujo o retificador a diodos está conectado na barra regulada.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] HINGORANI, N. G., GYUGY, L., *Understanding FACTS – Concepts and Technology of Flexible AC Transmission Systems*, 1 ed. New York, IEEE Press, 1999.
- [2] MOHAN, N., UNDELAND, T. M., ROBBINS, W. P., *Power Electronics: Converters, Applications, and Design*, 2 ed., New York, John Wiley & Sons, 1995.
- [3] HINGORANI, N. G., “Introducing Custom Power”, *IEEE Spectrum*, v. 32, n. 6, pp. 41-48, June 1995.
- [4] MOHAN, N., *Advanced Electric Drives: Analysis, Control and Modeling using Simulink*, 1 ed., Minneapolis, MNPERE, 2001.
- [5] BOLLEN, M. H. J., “Voltage Sags: Effects, Mitigation and Prediction”, *Power Engineering Journal*, v. 10, n. 3, pp. 129-135, June 1996.
- [6] TOSATO, F., QUAIA, S., “Reducing Voltage Sags through Fault Current Limitation”, *IEEE Transactions on Power Delivery*, v. 16, n. 1, pp. 12-17, January 2001.



- [7] GYUGYI, L., “Converter-Based FACTS Technology: Electric Power Transmission in the 21st Century”, In: *Proceedings of IPEC'2000*,
- [8] KAZMIERKOWSKI, M. P., MALESANI, L., “Current Control Techniques for Three-Phase Voltage Source PWM Converters: A Survey”, *IEEE Transactions on Industrial Electronics*, v. 45, n. 5, pp. 691-703, Oct. 1998.
- [9] FORTESCUE, C. L.; “Method of Symmetrical Coordinates Applied to the Solution of Polyphase Networks”, *Transactions AIEE*, v. 37, pp.1027-1140, 1918.
- [10] AREDES, M.; *Active Power Line Conditioners*, Dr-Ing. Thesis, Technische Universität Berlin, Berlin, 1996.
- [11] HARQUE, M. T.; HOSSEINI, S. H.; ISE, T.; “A Control Strategy for parallel Active Filters Using Extended p-q Theory and Quasi Instantaneous Positive Sequence Extraction Method”, In: *Proceedings of ISIE 2001*, v.1, pp. 348-353, Jun. 2001.
- [12] WATANABE, E. H, STEPHAN, R. M., AREDES, M., “New concepts of Instantaneous Active and Reactive Power in Electrical Systems with Generic Loads”, *IEEE Transactions on Power Delivery*, v.8, n.2, pp. 697-703, Apr. 1993.
- [13] BOLLEN, M. H. J., *Understanding Power Quality Problems: Voltage Sags and Interruptions*, 1ed., New York, IEEE Press, 2000.
- [14] SILVA NETO, J. L., FERNANDES, R. M., COSTA JR., D., R., ROLIM, L. G., AREDES, M., “Implementation of a Low Cost Series Compensator for Voltage Sags”, In: *Proceedings of VI International Conference Industry Application*, v.1, 2004.
- [15] COSTA JR., D. R., ROLIM, L. G. B., AREDES, M., “Analysis and Software Implementation of a Robust Synchronizing Circuit – PLL



- Circuit”, IN: *Proceedings of IEEE International Symposium of Industrial Electronics*, 2003.
- [16] WAGNER, V. E., ANDRESHAK, A. A., STANIAK, J. P., “Power Quality and Factory Automation”, *IEEE Transactions on Industry Applications*, v.26, n.4, pp. 620-626, Jul 1990.
- [17] CLARKE, E., *Circuit Analysing Power Systems, Vol I ‘ Symmetrical and Related Components*, 1ed., New York, John Wiley & Sons, 1950.
- [18] TMS320LF/LC240xA DSP Controllers Reference Guide – System and Peripherals, Texas Instruments Inc., Dallas 2002.
- [19] eZdsp™LF2407A-Technical Reference, Spectrum Digital Inc., Stafford, 2003.
- [20] Digital Motor Control – Software Library, Texas Instruments Inc., Dallas 2001.
- [21] The 5B User’s Manual, Analog Device Inc., Massachusetts, 1987.
- [22] Versatile Link – The Versatile Fiber Optic Connection – Technical Data, Agilent, 1999.
- [23] HOLTZ, J., “Pulse Width Modulation for Electronic Power Conversion”, In: BOSE, B., K. (ed), *Power Electronics and Variable Frequency Drivers*, 1ed., chapter 4, New York, IEEE Press, 1997.
- [24] Fixed Point Blockset User’s Guide, The MathWorks, Inc.,2002.
- [25] Filter Library - Module user’s Guide C24x Foundation Software, Texas Instruments Inc., Dallas 2002.
- [26] Fixed Point Math Library – Module user’s Guide C24x Foundation Software, Texas Instruments Inc., Dallas 2002.



- [27] COSTA JR., D. R., MOOR NETO, J. A., AREDES, M., “Análise de uma estratégia de controle para Restauradores Dinâmicos de Tensão”, In: *Anais do Congresso Brasileiro de Automática*, pp. Gramado, Setembro 2004.
- [28] IEEE Standard 1346-1998.
- [29] AREDES, M., FERNANDES, R. M., MIRANDA, U. A., et al., “Simulation study of a low-cost series compensator for voltage sags, harmonics and unbalances applied to a practical system”, In: Proceedings of the 7th Brazilian Power Electronics Conference – COBEP’2003, pp. 885-890, Fortaleza, Sep. 2003.

APÊNDICE A

TEORIA DAS POTÊNCIAS ATIVA E REATIVA INSTANTÂNEAS

A principal diferença entre a teoria convencional de potências ativa e reativa e a teoria das potências ativa e reativa instantâneas (Teoria PQ) é que a primeira baseia-se no domínio da frequência e a segunda no domínio do tempo. Para sistemas com distorções harmônicas e desequilíbrios entre fases a teoria convencional mostra-se bem menos eficiente, e torna-se inválida durante transitórios. Os sistemas com conteúdo harmônico elevado devido a cargas não lineares, são mais facilmente analisados com a utilização da Teoria PQ.

As potências instantâneas são definidas pela expressão (A.1).



$$\begin{bmatrix} p_0(t) \\ p(t) \\ q(t) \end{bmatrix} = \begin{bmatrix} v_0(t) & 0 & 0 \\ 0 & v_\alpha(t) & v_\beta(t) \\ 0 & v_\beta(t) & -v_\alpha(t) \end{bmatrix} \begin{bmatrix} i_0(t) \\ i_\alpha(t) \\ i_\beta(t) \end{bmatrix} \quad (\text{A.1})$$

As tensões v_α , v_β e v_0 descritas em (A.1) são obtidas através da transformação de Clarke mostrada na expressão (A.2). Esta transformação também é válida para as correntes i_α , i_β e i_0 .

$$\begin{bmatrix} v_0(t) \\ v_\alpha(t) \\ v_\beta(t) \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \\ 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (\text{A.2})$$

Sistemas balanceados e sem harmônicos.

Para sistemas balanceados e sem harmônicos é válido:

$$\begin{cases} v_\alpha = \sqrt{3}V \text{sen}(\omega t) \\ v_\beta = -\sqrt{3}V \text{cos}(\omega t) \end{cases} \quad (\text{A.3})$$

e

$$\begin{cases} i_\alpha = \sqrt{3}I \text{sen}(\omega t + \phi) \\ i_\beta = -\sqrt{3}I \text{cos}(\omega t + \phi) \end{cases} \quad (\text{A.4})$$

Com isso $p(t)$ e $q(t)$ são constantes e valem:

$$p(t) = 3VI \text{cos}(\phi) \quad (\text{A.5})$$

$$q(t) = -3VI \text{sen}(\phi) \quad (\text{A.6})$$

Das expressões (A.5) e (A.6) conclui-se que:



$$|\phi| = 90^\circ \Rightarrow p(t) = 0$$

$$\phi = 0^\circ \wedge \phi = 180^\circ \Rightarrow q(t) = 0$$

$$|\phi| < 90^\circ \Rightarrow p(t) > 0$$

$$0^\circ < \phi < 180^\circ \Rightarrow q(t) < 0$$

$$|\phi| > 90^\circ \Rightarrow p(t) < 0$$

$$180^\circ < \phi < 360^\circ \Rightarrow q(t) > 0$$

Sistemas desequilibrados e com harmônicos

Para sistemas desequilibrados e com conteúdo harmônico são válidas as expressões:

$$\begin{cases} v_\alpha = \sum_{n=1}^{\infty} \sqrt{3}V_{+n} \text{sen}(\omega_n t + \delta_{+n}) + \sum_{n=1}^{\infty} \sqrt{3}V_{-n} \text{sen}(\omega_n t + \delta_{-n}) \\ v_\beta = \sum_{n=1}^{\infty} -\sqrt{3}V_{+n} \text{cos}(\omega_n t + \delta_{+n}) + \sum_{n=1}^{\infty} \sqrt{3}V_{-n} \text{cos}(\omega_n t + \delta_{-n}) \end{cases} \quad (\text{A.7})$$

e

$$\begin{cases} i_\alpha = \sum_{n=1}^{\infty} \sqrt{3}I_{+n} \text{sen}(\omega_n t + \phi_{+n}) + \sum_{n=1}^{\infty} \sqrt{3}I_{-n} \text{sen}(\omega_n t + \phi_{-n}) \\ i_\beta = \sum_{n=1}^{\infty} -\sqrt{3}I_{+n} \text{cos}(\omega_n t + \phi_{+n}) + \sum_{n=1}^{\infty} \sqrt{3}I_{-n} \text{cos}(\omega_n t + \phi_{-n}) \end{cases} \quad (\text{A.8})$$

onde n é o índice para as ordens dos harmônicos.

Assim a potência real instantânea $p(t)$, além da parcela constante (\bar{p}), terá uma parcela oscilante (\tilde{p}):

$$p(t) = \bar{p} + \tilde{p} \quad (\text{A.9})$$

onde:

$$\bar{p} = \sum_{n=1}^{\infty} 3V_{+n}I_{+n} \text{cos}(\delta_{+n} - \phi_{+n}) + \sum_{n=1}^{\infty} 3V_{-n}I_{-n} \text{cos}(\delta_{-n} - \phi_{-n}) \quad (\text{A.10})$$



$$\begin{aligned}
\tilde{p} = & \sum_{m=1}^{\infty} \left[\sum_{\substack{n=1 \\ m \neq n}}^{\infty} 3V_{+m} I_{+n} \cos((\omega_m - \omega_n)t + \delta_{+m} - \phi_{+n}) \right] + \\
& + \sum_{m=1}^{\infty} \left[\sum_{\substack{n=1 \\ m \neq n}}^{\infty} 3V_{-m} I_{-n} \cos((\omega_m - \omega_n)t + \delta_{-m} - \phi_{-n}) \right] + \\
& + \sum_{m=1}^{\infty} \left[\sum_{n=1}^{\infty} -3V_{+m} I_{-n} \cos((\omega_m + \omega_n)t + \delta_{+m} + \phi_{-n}) \right] + \\
& + \sum_{m=1}^{\infty} \left[\sum_{n=1}^{\infty} -3V_{-m} I_{+n} \cos((\omega_m + \omega_n)t + \delta_{-m} + \phi_{+n}) \right]
\end{aligned} \tag{A.11}$$

A potência imaginária instantânea $q(t)$ também terá uma parcela constante (\bar{q}) e uma parcela oscilante (\tilde{q}):

$$q(t) = \bar{q} + \tilde{q} \tag{A.12}$$

onde:

$$\bar{q} = \sum_{n=1}^{\infty} -3V_{+n} I_{+n} \text{sen}(\delta_{+n} - \phi_{+n}) + \sum_{n=1}^{\infty} 3V_{-n} I_{-n} \text{sen}(\delta_{-n} - \phi_{-n}) \tag{A.13}$$

$$\begin{aligned}
\tilde{q} = & \sum_{m=1}^{\infty} \left[\sum_{\substack{n=1 \\ m \neq n}}^{\infty} -3V_{+m} I_{+n} \text{sen}((\omega_m - \omega_n)t + \delta_{+m} - \phi_{+n}) \right] + \\
& + \sum_{m=1}^{\infty} \left[\sum_{\substack{n=1 \\ m \neq n}}^{\infty} 3V_{-m} I_{-n} \text{sen}((\omega_m - \omega_n)t + \delta_{-m} - \phi_{-n}) \right] + \\
& + \sum_{m=1}^{\infty} \left[\sum_{n=1}^{\infty} 3V_{+m} I_{-n} \text{sen}((\omega_m + \omega_n)t + \delta_{+m} + \phi_{-n}) \right] + \\
& + \sum_{m=1}^{\infty} \left[\sum_{n=1}^{\infty} -3V_{-m} I_{+n} \text{sen}((\omega_m + \omega_n)t + \delta_{-m} + \phi_{+n}) \right]
\end{aligned} \tag{A.14}$$