

ESTRUTURAS APS RESISTENTES À RADIAÇÃO PARA APLICAÇÕES ESPACIAIS

Kátia Goretti de Lima

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Carneiro de Mesquita Filho, Dr. d'État

Prof. Antonio Petraglia, Ph.D.

Prof. José Vicente Calvano, D.Sc.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2006

LIMA, KÁTIA GORETTI DE

Estruturas APS Resistentes à Radiação para
Aplicações Espaciais [Rio de Janeiro] 2006

XIII, 105 p. 29,7 cm (COPPE/UFRJ, M.Sc.,
Engenharia Elétrica, 2006)

Dissertação - Universidade Federal do Rio de
Janeiro, COPPE

1. Estruturas APS resistentes à radiação

I. COPPE/UFRJ II. Título (série)

Dedico este trabalho ao meu marido e a minha filha, que são o motivo de minhas lutas e o porto seguro de minha vida; e aos meus amados pais que sempre estiveram ao meu lado, apoiando minhas decisões e me ensinando a viver.

AGRADECIMENTOS

Primeiramente, agradeço a Deus, que me protege nos momentos mais difíceis, me orienta nos momentos de dúvidas e que acalma minha alma quando penso em desistir;

Ao meu marido Jorge e minha filha Daniela, que me deram muito amor e compreensão, ao longo desta caminhada;

Ao meu Pai Severino que sempre foi meu ídolo e grande incentivador na escolha da minha profissão;

À minha mãe Carminha que sempre me apoiou e incentivou nas horas mais difíceis, com suas palavras de carinho;

Às minhas irmãs Paula e Márcia, por acreditarem em mim;

À Marinha do Brasil, na figura do Instituto de Pesquisas da Marinha, por ter me permitido cursar o mestrado;

Aos meus amigos do Grupo de Apoio Tecnológico, pela amizade, companheirismo e lealdade, e por acreditarem no meu trabalho, incentivando e ajudando de todas as formas possíveis para que conseguisse chegar até aqui;

À minha amiga Adalgisa que sempre me incentivou e acreditou que eu seria capaz, o meu agradecimento especial;

Ao meu amigo e orientador, Professor, Doutor, Antonio Carneiro de Mesquita Filho, que aceitou minha inscrição. Considero-me uma privilegiada por ter sido orientada pelo Senhor. Peço desculpas se em algum momento o decepcionei. Agradeço sinceramente por tudo que aprendi com o Senhor. Muito obrigada de coração;

Finalmente, saibam que todos vocês, familiares, professores e amigos, de alguma maneira me ajudaram, e que se consegui subir mais este degrau, foi porque tive a ajuda e o carinho de vocês. Muito obrigada.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

ESTRUTURAS APS RESISTENTES À RADIAÇÃO PARA APLICAÇÕES ESPACIAIS

Kátia Goretti de Lima

Março/2006

Orientador: Prof. Antonio Carneiro de Mesquita Filho

Programa: Engenharia Elétrica

O ambiente espacial pode causar falhas de operação ou até mesmo danificar circuitos eletrônicos não protegidos contra os efeitos das radiações ionizantes. O efeito degradante que a radiação ionizante tem sobre circuitos integrados CMOS requer o uso de tecnologias de fabricação especialmente desenvolvidas para esta finalidade. Processos especiais ou estruturas de blindagem representam custos adicionais e limitações de peso e tamanho que podem eventualmente tornar tais soluções economicamente inviáveis.

O objetivo principal desta dissertação é mostrar que a resistência à radiação pode ser obtida em tecnologias CMOS convencionais através de técnicas de layout apropriadas. Como exemplo, é desenvolvido o projeto de estruturas APS resistentes à radiação utilizando um processo CMOS comercial. Os elementos básicos do circuito são os transistores NMOS integrados com geometria resistente à radiação e estruturas de proteção que minimizam os efeitos de dose ionizante total. Serão apresentados o projeto funcional e físico de um circuito de teste utilizando esses tipos de componentes.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

RADIATION-HARDENED APS STRUCTURES FOR SPACE APPLICATIONS

Kátia Goretti de Lima

March/2006

Advisor: Prof. Antonio Carneiro de Mesquita Filho

Department: Electrical Engineering

Ionizing radiation in space environment can cause operational failures or even damage unprotected electronic circuits. The degradation produced in conventional CMOS technologies may require CMOS technologies specially devised to this kind of application. Special CMOS radiation-hardened fabrication processes and shielding structures impose additional costs and limitations of size and weight which may render some solutions economically impractical.

The main objective of this dissertation is to show that conventional CMOS technologies can provide radiation hardening to some extent if special layout techniques are used in the design of the components. As an example the design of radiation-hardened APS structures intended to be fabricated in a commercial CMOS process is described. The main circuit components are radiation-hardened NMOS transistors and guarding structures intended to minimize the total ionizing dose effects. The functional and physical design of a test circuit will be discussed.

ÍNDICE

AGRADECIMENTOS	iv
ÍNDICE DE FIGURAS	x
ÍNDICE DE TABELAS	xii
ABREVIATURAS	xiii
1. Introdução	1
2. Sensores de Imagem	4
2.1. Sensor de Imagem CCD.....	4
2.1.1. Arquitetura da Matriz de Pixels CCD	5
2.2. Sensor de Imagem CMOS.....	7
2.2.1. Sensor de Pixel Passivo (PPS).....	8
2.2.2. Sensor de Pixel Ativo (APS)	9
2.2.2.1. APS Fotodiodo	10
2.2.2.2. APS Fotogate	12
2.3. Fatores que Comprometem a Qualidade da Imagem.....	13
2.4. Comparação entre CCD e Sensor CMOS APS	14
3. Efeitos da Radiação sobre Circuitos CMOS	17
3.1. Efeitos de Dose Ionizante Total.....	18
3.2. Efeitos da Radiação Ionizante no Transistor CMOS Convencional.....	19
3.2.1. Alteração da Tensão de Limiar V_{TH}	21
3.2.2. Redução na Mobilidade de Portadores.....	22
3.2.3. Aumento do Ruído	22
3.2.4. Aumento da Corrente de Fuga e Criação de Transistores Parasitas ...	23
3.3. Anéis de Guarda: Proteção para Circuitos CMOS.....	24
3.4. Transistores Resistentes à Radiação	25
3.4.1. Transistor P-MOS	25
3.4.2. Transistor de Geometria Fechada (ELT)	26
3.4.3. Transistor “dogbone”.....	28
3.4.3.1. Relação Largura/Comprimento de Canal (W/L) em um “dogbone”	29
3.5. Problemas de Modelagem.....	30
3.5.1. O Modelo ACM.....	33
3.5.1.1. Parâmetros.....	33

3.5.1.2. Tensão de Pinch-off	35
3.5.1.3. Coeficiente de Rampa n	35
3.5.1.4. Corrente de Normalização	35
3.5.1.5. Largura W e Comprimento L	36
3.5.1.6. Correntes Direta e Reversa.....	37
3.5.1.7. Condições de Polarização Simplificadoras	38
3.5.1.8. Relação Geral entre Tensões e Correntes no Modelo ACM....	38
3.5.1.9. Transcondutâncias de Pequenos Sinais	39
4. Estrutura do Circuito de Teste APS Resistente à Radiação.....	44
4.1. Arquitetura Geral do Circuito de Teste	46
4.2. Planta Baixa do Circuito.....	47
4.3. A Matriz APS.....	49
4.3.1. Lógica de Endereçamento de Linha	51
4.3.1.1. Simulação do Buffer	52
4.3.1.2. Simulação do Seletor de Linha	55
4.3.2. Lógica de Endereçamento de Coluna.....	55
4.3.2.1. Simulação do Decodificador de Coluna	58
4.3.3. Lógica de Comando de Reset.....	60
4.3.4. Lógica de Comando de Leitura	61
4.3.5. Arquitetura dos Pixels	62
4.3.5.1. Pixel Tipo 1.....	64
4.3.5.2. Pixel Tipo 2.....	65
4.3.5.3. Pixel Tipo 3.....	65
4.3.5.4. Pixel Tipo 4.....	66
4.3.6. Circuito Interno de Polarização	67
4.3.7. Saída do Sinal da Matriz	67
4.4. Estruturas de Teste.....	68
4.4.1. Matriz de Transistores.....	68
4.4.2. Circuitos Lógicos.....	69
4.4.2.1. Registrador com Deslocamento Síncrono.....	70
4.4.2.2. Oscilador em Anel	72
4.5. Interface Externa.....	72
4.5.1. Encapsulamento	72
4.5.2. Pads	74
4.5.3. Identificação dos Pinos	76

5. Conclusão	78
6. Referências Bibliográficas.....	79
Apêndices.....	86
Apêndice 1: Dimensões dos Transistores de Teste	86
Apêndice 2: Simulações	90
Apêndice 3: Layouts	97
Apêndice 4: Comparativo Layout x Esquemático	99
Apêndice 5: Resultados obtidos na tecnologia CMOS 0,6 μm	105

ÍNDICE DE FIGURAS

Fig. 2.1 - Capacitor MOS	5
Fig. 2.2 - Arquitetura de dispositivos CCD	5
Fig. 2.3 - Detalhe da arquitetura de Transferência entre linhas	7
Fig. 2.4 - Diagrama de blocos básico do CCD	7
Fig. 2.5 - Estrutura básica do pixel PPS	8
Fig. 2.6 - Arquitetura básica de uma matriz PPS	9
Fig. 2.7 - Arquitetura geral de uma matriz APS	9
Fig. 2.8 - Pixel APS fotodiodo básico	10
Fig. 2.9 - Exemplo de layout de pixel fotodiodo	11
Fig. 2.10 - Sinais de saída do circuito do pixel, com luz e sem luz	12
Fig. 2.11 - Pixel APS fotogate básico	13
Fig. 2.12 - Exemplo de layout de pixel fotogate	13
Fig. 2.13 - Imageador digital miniaturizado	15
Fig. 3.1 - Cinturões de radiação	17
Fig. 3.2 - Mecanismo de atuação da dose ionizante total	18
Fig. 3.3 - Transistor MOS de quatro terminais.....	19
Fig. 3.4 - Mobilidade de elétrons e buracos	20
Fig. 3.5 - Gráfico típico da curva $I_{DS} \times V_{GS}$ de um transistor	21
Fig. 3.6 - Geometria do transistor MOS	23
Fig. 3.7 - Corrente parasita em um transistor linear convencional	24
Fig. 3.8 - Transistor P-MOS.....	26
Fig. 3.9 - Transistor convencional (a) e Transistor de geometria fechada (b)	26
Fig. 3.10 - Formas de transistores de geometria fechada	27
Fig. 3.11 - Transistores em geometria fechada e anel de guarda P+	27
Fig. 3.12 - Layout do Transistor “dogbone”	28
Fig. 3.13 - Canal de condução: “dogbone” e transistor convencional	29
Fig. 4.1 - Planta baixa (<i>floorplan</i>).....	47
Fig. 4.2 - Layout do circuito completo.....	48
Fig. 4.3 - Detalhe dos barramentos de alimentação na coroa de pads do circuito.....	49
Fig. 4.4 - Esquemático conceitual de um pixel APS	50
Fig. 4.5 - Esquemático e símbolo do decodificador 2-para-4	51
Fig. 4.6 - Esquemático e símbolo do decodificador 6-para-64 com habilitação	51
Fig. 4.7 - Símbolo do buffer de saída dos decodificadores de endereço	52
Fig. 4.8 - Buffer com carga de 0,5 pF.....	53
Fig. 4.9 - Buffer com carga de 1 pF	53

Fig. 4.10 - Buffer com carga de 1,5 pF	54
Fig. 4.11 - Buffer com carga de 0,5 pF, 1 pF e 1,5 pF.....	54
Fig. 4.12 - Lógica de Seleção de Linha	55
Fig. 4.13 - Arquitetura e símbolo das chaves analógicas (multiplexadores)	56
Fig. 4.14 - Arquitetura e símbolo do multiplexador analógico de 64 entradas e uma saída.....	56
Fig. 4.15 - Lógica digital efetivamente realizada para comando dos multiplexadores. (A) e (B) mostram a estrutura dos blocos em (C).....	58
Fig. 4.16 - Saídas do decodificador rst2, rst4, rst8, rst16, rst32 e rst64	59
Fig. 4.17 - Saídas do decodificador rst1 a rst64	59
Fig. 4.18 - Lógica digital na saída dos decodificadores 6-para-64 para controle da inicialização	61
Fig. 4.19 - Esquemático conceitual da lógica de comando de leitura.....	62
Fig. 4.20 - Esquemático simplificado dos pixels, sem e com transistor adicional	63
Fig. 4.21 - Pixel de tipo 1 e o circuito elétrico equivalente.....	65
Fig. 4.22 - Pixel do tipo 2 e o circuito elétrico equivalente.....	65
Fig. 4.23 - Pixel do tipo 3 e o circuito elétrico equivalente.....	66
Fig. 4.24 - Pixel do tipo 4 e o circuito elétrico equivalente.....	66
Fig. 4.25 - Esquemático e símbolo da fonte de corrente de polariz. de cada coluna ...	67
Fig. 4.26 - Caminho elétrico conceitual que leva o sinal do catodo do fotodiodo até a saída Vout do circuito para a matriz 64x64	68
Fig. 4.27 - Esquemático da matriz de transistores para caracterização e extração de parâmetros.....	68
Fig. 4.28 - Arquitetura do registrador síncrono	71
Fig. 4.29 - Esquemático e símbolo do flip-flop que compõe o registrador.....	71
Fig. 4.30 - Arquitetura do oscilador em anel	72
Fig. 4.31 - (a) Encapsulamento JLCC68 e (b) Esquemático do encapsulamento	74
Fig. 4.32 - Circuito elétrico equivalente para os 4 tipos de pads utilizados no circuito. 75	
Fig. 4.33 - Layout dos pads do circuito.....	76
Fig. 4.34 - Diagrama de soldagem do circuito dentro do JLCC68.....	77

ÍNDICE DE TABELAS

TAB. 3.1 - Parâmetros do modelo ACM	34
TAB. 4.1 - Dimensões (mm) do encapsulamento do primeiro protótipo.....	73

ABREVIATURAS

ACM	Advanced Compact MOSFET Model
ADC	Analogic to Digital Converter
AMS	Austria Micro Systems
APS	Active Pixel Sensor
CCD	Charge Coupled Device
CDS	Correlated Double Sampling
CMOS	Complementary Metal Oxide Semiconductor
DRAM	Dynamic Random Access Memory
DSP	Digital Signal Processor
EKV	Enz-Krummenacher-Vittoz
FF	Fill Factor
LEO	Low Earth Orbit
MOS	Metal Oxide Semiconductor
PPS	Passive Pixel Sensor
QE	Quantum Efficiency
S/H	Sample-and-Hold
SEE	Single Event Effects
SF	Source-Follower
SOI	Silicon-On-Insulator
TID	Total Ionizing Dose

1. Introdução

No início dos anos 90 surgiu no *Jet Propulsion Laboratory* (JPL) da NASA o protótipo do primeiro sensor de imagens APS (*“Active Pixel Sensor”*) [1]. Os sensores de imagem do tipo APS têm recebido considerável atenção nos últimos anos como uma alternativa atraente em relação aos dispositivos CCD (*“Charge Coupled Device”*) atualmente utilizados na maioria dos sistemas de aquisição de imagem, como câmeras de TV portáteis e máquinas fotográficas digitais. A principal vantagem oferecida pelo sensor APS [2] é o seu baixo custo já que pode ser implementado em tecnologias CMOS convencionais. A utilização do mesmo processo de fabricação possibilita a integração dos sensores de imagem, funções de controle e processamento de sinais tal como a conversão analógico-digital, no mesmo substrato. Isso permite obter imagens com melhor índice de redução de ofuscamento (*“blomming”*) além de menor consumo de energia e maior densidade de componentes no sistema final. Além disso, na estrutura do sensor APS cada pixel é acessado individualmente possibilitando a implementação direta de funções como “zoom” e acesso aleatório. Os sensores APS são utilizados em diversas áreas [3], como por exemplo, na medicina em circuitos de biometria para medidas na íris e retina e implantes visuais; em circuitos de segurança para a identificação de impressões digitais; em sistemas de comunicações em geral e mais especificamente na área espacial em sistemas de atitude de satélites.

Algumas aplicações específicas exigem, dos circuitos desenvolvidos, características especiais que não são atendidas utilizando-se as tecnologias e layouts convencionais. É o caso dos circuitos destinados ao uso na indústria espacial em foguetes orbitais e satélites [4]. Tais dispositivos, operando no limiar da atmosfera terrestre, estão sujeitos ao bombardeio de radiações ionizantes que não alcançam a superfície do planeta. O bombardeio de partículas é capaz de causar falhas operacionais ou até mesmo danificar diretamente os circuitos integrados expostos, degradando progressivamente seu funcionamento.

A solução do problema passa pela criação de estratégias que confiram robustez aos dispositivos eletrônicos expostos a essas condições, permitindo seu funcionamento confiável e preciso durante a vida útil prevista para o equipamento.

A operação no ambiente espacial necessita do entendimento dos mecanismos que causam degradação, bem como, testes de radiação nos componentes de maneira a assegurar que eles resistirão ao ambiente severo encontrado nos sistemas espaciais.

Foi com este objetivo que o projeto “UNIESPAÇO 2004 - Imageador APS para Aplicações Espaciais” [65] foi criado. O projeto focalizou o estudo, pesquisa e desenvolvimento de um imageador APS completo tolerante à radiação ionizante que possa ser utilizado em plataformas de atitude de satélites em órbita terrestre baixa (*Low Earth Orbit – LEO*).

Este projeto compreende o estudo, modelagem, fabricação e caracterização de estruturas de teste, circuitos integrados e sistemas digitais de leitura.

A etapa inicial do projeto é a fabricação de um protótipo contendo estruturas de teste para a caracterização e medida quantitativa da degradação provocada pela radiação ionizante e em especial o impacto nas características eletro-ópticas dos pixels fabricados. O circuito de teste projetado deverá conter a eletrônica de apoio necessária ao funcionamento coordenado de toda a cadeia de processamento, que vai da leitura dos elementos sensores até o fornecimento do sinal de saída estando, portanto, sujeita às mesmas condições restritivas de resistência à radiação. Para isso, as técnicas de proteção com especial destaque para a geometria dos transistores NMOS capazes de operar sob elevados níveis de radiação serão discutidas.

O problema da degradação com a radiação impõe que seja possível não apenas monitorar as variações das propriedades dos dispositivos como também incluir estes efeitos nos modelos elétricos de simulação. Isto é ainda mais importante considerando que a faixa de temperatura de operação de um sistema espacial

embarcado pode variar significativamente, entretanto, esse projeto não se compromete a garantir as especificações fora das condições ambientes de laboratório. Assim, parte do estudo futuro deverá ser orientado para a simulação de dispositivos integrados numa faixa indo de -40°C até $+85^{\circ}\text{C}$.

Esta dissertação é composta de 4 capítulos além da introdução.

No Capítulo 2 são discutidos os tipos de sensores de imagem mais utilizados. São citadas as principais características dos sensores CCDs e dos sensores CMOS, bem como, uma comparação entre eles.

No Capítulo 3 são apresentados os efeitos da radiação sobre circuitos CMOS e são propostas técnicas de layout que reduzem os efeitos causados pela radiação ionizante.

No Capítulo 4 é descrita a estrutura do circuito de teste APS resistente à radiação, suas especificações, planta baixa, lógica de endereçamento, matriz de pixels, estruturas de teste e interface externa.

No Capítulo 5 é apresentada a conclusão da dissertação.

2. Sensores de Imagem

Os sensores de imagem [5] são caracterizados pela tecnologia utilizada, consumo de energia, qualidade da imagem, velocidade de captura, tamanho e custo. Os sensores de imagem mais utilizados atualmente são os CCDs e os sensores CMOS.

2.1. Sensor de Imagem CCD

A tecnologia de sensores de imagem CCD foi proposta em 1970 por Willard Boyle e George Smith no laboratório da Bell, nos Estados Unidos [6]. Desde então, vem sendo utilizada em grande escala em produtos, incluindo máquinas de fax, fotocópias, câmeras digitais, scanners e celulares.

O CCD é composto de milhares, ou milhões, de células sensíveis à luz (*pixels*) capazes de produzir uma carga elétrica proporcional à intensidade da radiação luminosa incidente. Normalmente, os pixels são organizados em uma simples linha ou em uma matriz bi-dimensional composta por linhas e colunas. Em scanners, por exemplo, os pixels são organizados numa linha, neste caso, é necessário mover o CCD sobre a imagem (ou vice-versa). Já as câmeras digitais são formadas por uma matriz de pixels bidimensional, dessa forma, uma imagem bidimensional pode ser capturada numa única exposição.

Um dos principais parâmetros de um CCD é a resolução, que é igual ao número total de pixels existentes na área sensível à luz do dispositivo. Um dos primeiros dispositivos CCD de matriz, desenvolvido em 1974, possuía resolução de 100x100 pixels. Atualmente, encontram-se dispositivos com resolução de aproximadamente 9000x7000, ou seja, 63 milhões de pixels.

Os CCDs são fabricados utilizando tecnologia MOS (*Metal-Oxide-Semiconductor*) específica, onde cada pixel pode ser considerado como um capacitor MOS, Figura 2.1, que converte fótons em carga elétrica que é armazenada para uma leitura posterior.

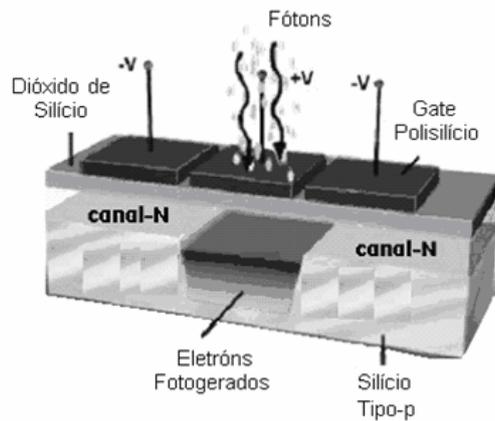


Fig. 2.1 - Capacitor MOS

O cálculo da energia potencial no capacitor MOS é obtido pela equação 2.1, onde (q) é a densidade de carga, e (Ψ) é o potencial eletrostático.

$$\text{Energia potencial} = -|q| \times \Psi \quad (2.1)$$

2.1.1. Arquitetura da Matriz de Pixels CCD

Geralmente as arquiteturas dos dispositivos CCDs são classificadas em função do mecanismo de transferência de quadros (*frames*) e pertencem a uma das quatro categorias; transferência de quadro completo (*Full Frame*), transferência de quadro (*Frame Transfer*), transferência parcial de quadro (*Split Frame Transfer*) e transferência entre linhas (*Interline Transfer*) [5] como mostrado na Figura 2.2.

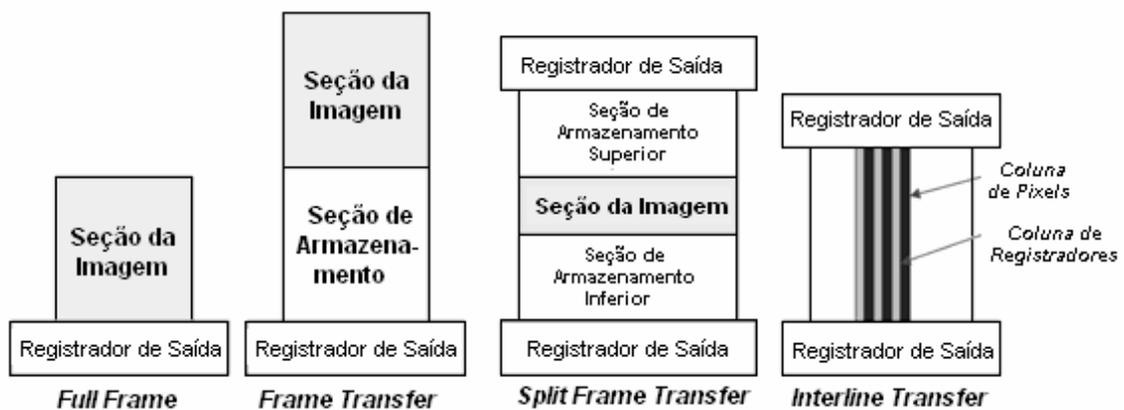


Fig. 2.2 - Arquitetura de dispositivos CCD [5]

No processo de quadro completo (*Full Frame*) a imagem é transferida diretamente da seção da imagem do sensor ao registrador de leitura [7]. Neste caso, somente uma linha de pixels por vez pode ser transferida para o registrador de leitura, enquanto o restante dos pixels da imagem deve aguardar. Durante este período, os pixels que ainda não foram lidos continuam armazenando informações da imagem. Isso pode distorcer e borrar a imagem. Uma solução para este problema é proteger da luz a região de captura da imagem mecanicamente através de uma cobertura.

Na transferência de quadro (*Frame Transfer*) o dispositivo utiliza uma seção de armazenamento protegida da luz do mesmo tamanho da matriz de pixels. Após o tempo de integração da imagem, a imagem capturada é transferida para a seção adjacente de armazenamento. Enquanto a próxima cena está sendo capturada, a cena capturada anteriormente é transferida para o registrador de saída. Durante a transferência da imagem capturada para a seção de armazenamento, é necessário proteger a matriz de pixels da luz para evitar os problemas citados na arquitetura de quadro completo.

A transferência parcial de quadro (*Split Frame Transfer*) é semelhante ao processo anterior exceto pelo fato de que a seção de armazenamento é dividida em duas partes, sendo que cada parte contém um registrador de saída. Esta arquitetura é vantajosa, pois permite transferir a imagem da seção de armazenamento ao registrador de saída com a metade do tempo gasto na arquitetura *Frame Transfer*.

Na transferência entre linhas (*Interline Transfer*) o dispositivo é composto por colunas de pixels e por colunas de registradores protegidos da luz de forma intercalada. No final do tempo de integração, a imagem capturada é transferida rapidamente para as colunas de registradores [7]. Enquanto um novo quadro é capturado, as cargas armazenadas nas colunas de registradores são transferidas para os registradores de saída. Este tipo de arquitetura não requer o uso de mecanismos para proteção de luz, visto que a imagem capturada é transferida diretamente às colunas de registradores como mostrado na Figura 2.3.

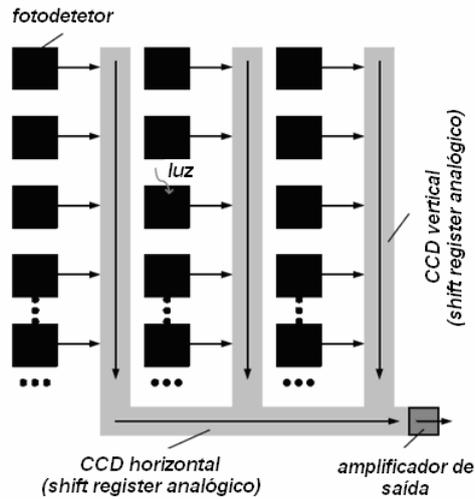


Fig. 2.3 - Detalhe da arquitetura de Transferência entre linhas [8]

Como a tecnologia CCD não permite a integração de circuitos para o processamento da carga obtida da matriz de pixels num único substrato, devem ser conectados componentes externos ao sensor de imagem CCD, Figura 2.4, para que uma câmera com esta tecnologia seja construída. Os circuitos normalmente implementados são os conversores ADC (*Analogic to Digital Converter*), geradores de sinais de sincronismo, controle de ganho entre outros.

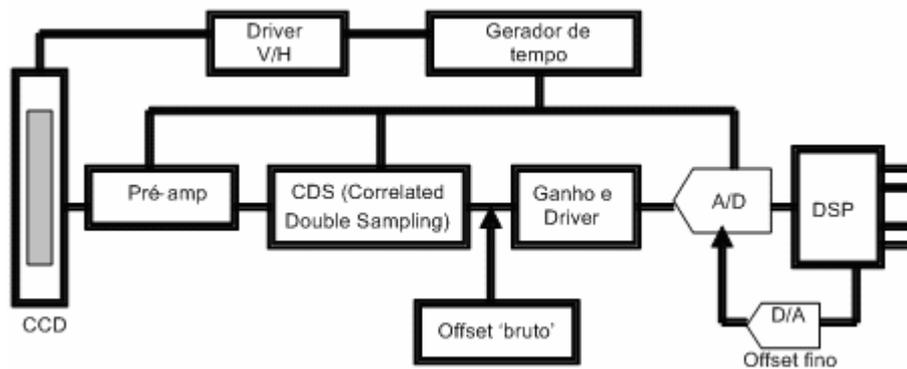


Fig. 2.4 - Diagrama de blocos básico do CCD

2.2. Sensor de Imagem CMOS

Assim como os CCDs, os sensores de imagem CMOS [1, 8] são formados por elementos sensíveis à luz capazes de gerar um sinal elétrico ou carga proporcional à intensidade da luz que incide sobre eles. No entanto, o processo utilizado para realizar esta conversão é diferente em cada tecnologia. No CCD o pixel utiliza um capacitor

MOS enquanto nos sensores CMOS [11], o pixel pode ser constituído de fotodiodos, capacitores e transistores que podem ser integrados formando um circuito individual para cada pixel.

Existem basicamente dois tipos de sensores de imagem CMOS [12, 13]: o pixel passivo e o pixel ativo, ambos utilizando as mesmas técnicas para leitura dos pixels.

Nos sensores CMOS existe a possibilidade de seleccionar as linhas e colunas permitindo acessar pixels individuais ou somente a região de interesse dentro da imagem. Assim, é possível aumentar o número de quadros lidos por segundo.

2.2.1. Sensor de Pixel Passivo (PPS)

O pixel passivo foi introduzido em 1967 por Weckler [8]. Cada pixel de uma matriz PPS consiste de um elemento fotosensível, geralmente um fotodiodo, e apenas um transistor como mostrado na Figura 2.5. O transistor é usado como chave, transferindo o sinal do pixel para o amplificador de integração de carga (*Charge Integration Amplifier*). Os sensores PPS operam como DRAMs.

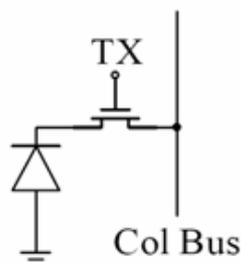


Fig. 2.5 - Estrutura básica do pixel PPS [8]

O sinal é detectado por um amplificador de saída em cada coluna ou por um único amplificador para todo o sistema de imagem como mostrado na Figura 2.6.

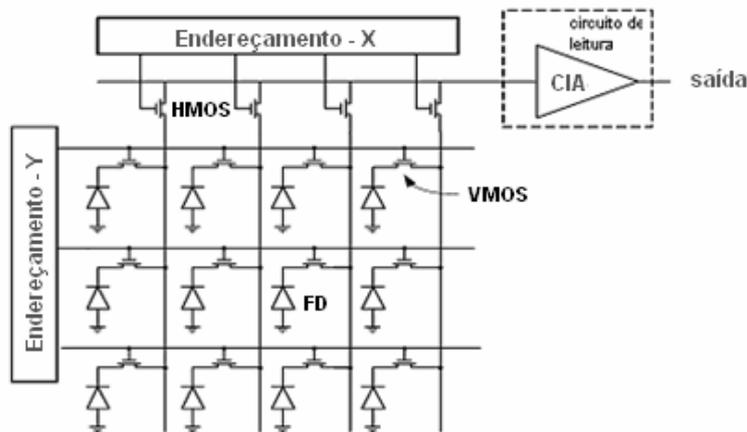


Fig. 2.6 - Arquitetura básica de uma matriz PPS [8]

2.2.2. Sensor de Pixel Ativo (APS)

A inclusão de um amplificador em cada pixel deu origem ao chamado Sensor de Pixel Ativo (APS).

Um sensor APS [14, 15, 16] típico consiste de uma matriz de células básicas (pixels) dispostas em linhas e colunas, de circuitos lógicos de seleção para as linhas e colunas, circuitos amplificadores de saída, conversor A/D e de um circuito de sincronização e controle. Além desses circuitos básicos podem ser acrescentados mais circuitos de acordo com a aplicação a que se destina o sensor. A arquitetura típica de uma matriz APS é mostrada na Figura 2.7.

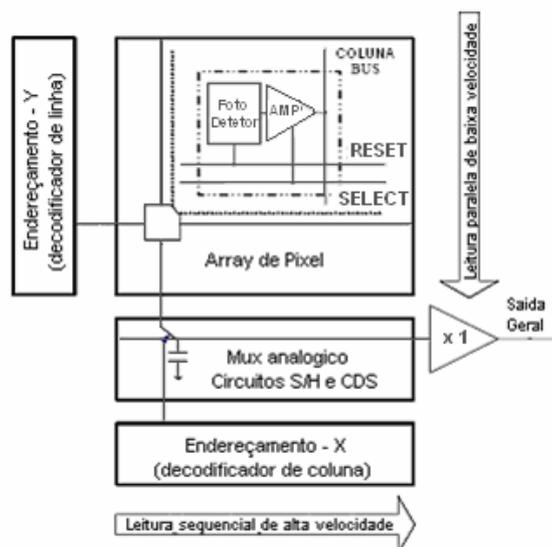


Fig. 2.7 - Arquitetura geral de uma matriz APS [8]

Uma célula de APS é composta de um elemento sensor de luz do tipo fotodiodo ou fotogate e de um circuito isolador (“*buffer*”) que faz o acoplamento elétrico entre o sinal do pixel e o circuito de saída. Normalmente este amplificador é um seguidor de fonte, apresentando a saída em modo corrente. Desta forma, as várias células que compõem uma coluna podem estar conectadas a um único amplificador de saída.

Entre as várias estruturas existentes para a célula APS, as mais empregadas são o pixel ativo com fotodiodo e o pixel ativo com fotogate.

No pixel com fotodiodo, além do transistor amplificador em seguidor de fonte ligado ao fotodiodo, existe ainda um transistor de reset e outro para seleção da célula conectando-a ao barramento de leitura totalizando três transistores por célula. No pixel do tipo fotogate, existe um transistor adicional empregado para transferência da carga elétrica acumulada sob o fotogate. Esta estrutura faz uso de cinco transistores, ocupando portanto maior área do pixel para a eletrônica de leitura. Além destas estruturas básicas existem ainda outras estruturas mais específicas, como por exemplo, o pixel logarítmico que apresenta uma elevada faixa dinâmica.

2.2.2.1. APS Fotodiodo

A estrutura básica de um APS Fotodiodo [8] é composta por um fotodiodo e um circuito com três transistores: um transistor de Reset, um transistor de Seleção de Linha (RS) e um transistor Seguidor de Fonte (SF). O esquema deste pixel é mostrado na Figura 2.8.

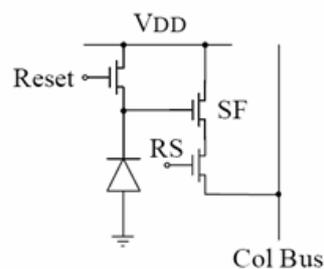


Fig. 2.8 - Pixel APS fotodiodo básico [8]

O transistor de Reset tem a função de inicializar o pixel carregando a capacitância do fotodiodo. Esta carga gera uma tensão $V_{DD}-V_T$ que decai em função do nível de iluminação (tempo de integração), conseqüentemente a tensão entre porta e fonte do transistor SF também cai. Logo, há uma diminuição da corrente no barramento de coluna.

A fotocorrente (corrente no fotodiodo - I_{PHOTO}) é proporcional ao número de pares elétron-buraco gerados a partir dos fótons absorvidos dentro da região de depleção e nas proximidades da junção do fotodiodo. Esta relação é apresentada na equação 2.2 onde (η) é a eficiência quântica, (I_0) é o fluxo incidente de fótons, (e) é a carga do elétron, (A) é a área do fotodiodo e (\hbar) é a constante de Planck e (ω) é a freqüência da radiação. O sinal de tensão de saída (V_t) do fotodiodo após o mesmo ter sido resetado é apresentado na equação 2.3, onde (V_{RESET}) é a tensão de polarização reversa, (t) é o tempo, (N_A) são impurezas aceitadoras e (ϵ_{Si}) é a permissividade do silício [3].

$$I_{photo} = \frac{\eta e I_0 A}{\hbar \omega} \quad (2.2) \quad V_t = \left[V_{reset}^{\frac{1}{2}} - \left\{ \frac{I_{photo} \cdot t}{A \cdot (2 \cdot q \cdot \epsilon_{Si} \cdot N_A)} \right\}^{\frac{1}{2}} \right] \quad (2.3)$$

O transistor RS seleciona o pixel na matriz cujo sinal é conduzido para o transistor de carga que está ligado à coluna. Um exemplo de um layout para esta arquitetura de pixel é mostrado na Figura 2.9.

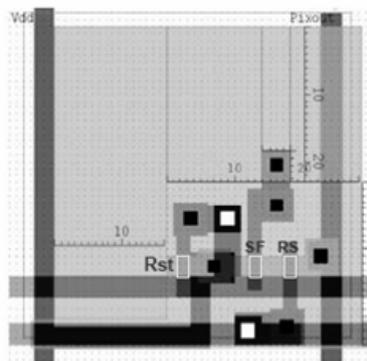


Fig. 2.9 - Exemplo de layout de pixel fotodiodo [8]

Na Figura 2.10 os sinais esperados para esta arquitetura de pixel são mostrados.

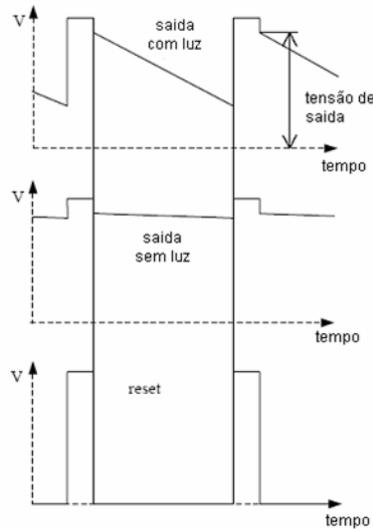


Fig. 2.10 - Sinais de saída do circuito do pixel, com luz e sem luz [17]

2.2.2.2. APS Fotogate

A Figura 2.11 mostra a arquitetura básica do pixel APS fotogate. O conceito básico para o pixel fotogate originou-se da tecnologia CCD. Enquanto a carga gerada é integrada sob um fotogate com um poço de potencial alto, a tensão do nó de saída é resetada e a tensão correspondente é lida pelo Sample-and-Hold (*S/H*) dos circuitos de Dupla Amostragem Correlacionada (*Correlated Double Sampling - CDS*). Os circuitos CDS, geralmente localizados no final de cada coluna, subtraem o valor do sinal do pixel a partir do valor de reset. Seu objetivo principal é eliminar o ruído causado por variações aleatórias na tensão de limiar do transistor de reset e no transistor amplificador, variações na geometria do fotodetector, variações na corrente de escuro bem como eliminar o ruído $1/f$ no circuito. Quando a integração é completada, a carga é transferida para o nó de saída pulsando o sinal no fotogate. Então, a tensão correspondente da carga integrada é lida pelo transistor SF para o 2º *S/H* dos CDS. Os CDS produzem a diferença entre o nível de tensão reset e o nível de foto-tensão.

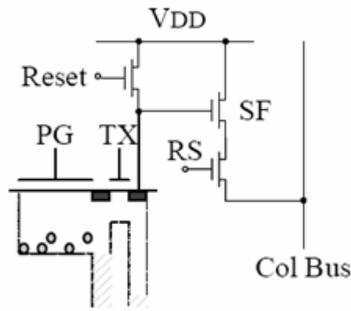


Fig. 2.11 - Pixel APS fotogate básico [8]

Na Figura 2.12 o layout básico de um pixel fotogate é mostrado como exemplo.

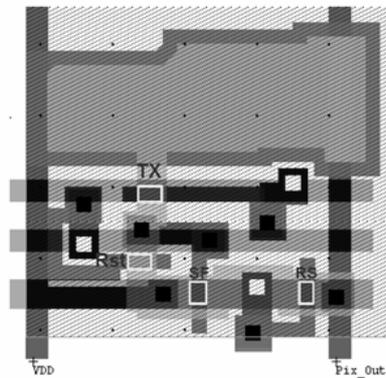


Fig. 2.12 - Exemplo de layout de pixel fotogate [8]

2.3. Fatores que Comprometem a Qualidade da Imagem

Tanto os dispositivos CCDs quanto os CMOS, apresentam alguns problemas na qualidade da imagem tais como:

a) Fator de preenchimento (*Fill Factor*): Percentual que indica a sensibilidade do pixel à luz. O ideal seria 100% mas na realidade este valor não é obtido devido ao fato do pixel possuir internamente, áreas insensíveis à luz.

b) Ruído da corrente no escuro (*Dark Current Noise*): Definido por uma carga não desejável que se acumula no pixel devido à variação da temperatura ambiente.

c) Eficiência Quântica (*Quantum Efficiency - QE*): Razão entre o número de elétrons detectados, e o produto do número de fótons incidentes na área do pixel.

d) Ofuscamento (*Blooming*): Efeito que ocorre durante o período de integração da imagem quando o limite de geração de portadores é excedido. Normalmente é causado pela presença de objeto com brilho excessivo. Quando ocorre este excesso, os elétrons fluem para as regiões vizinhas, criando uma área da imagem saturada.

2.4. Comparação entre CCD e Sensor CMOS APS

Algumas diferenças entre as tecnologias CCD e CMOS APS [18] serão apresentadas a seguir:

A. Consumo de Potência

Nos sensores CMOS, os circuitos de suporte são integrados num único substrato enquanto os sensores CCD necessitam de vários circuitos auxiliares de suporte. Isso possibilita não só redução de energia como também redução no tamanho do circuito. Os sensores CMOS podem integrar funções analógicas e digitais no mesmo circuito [19]. O consumo de potência [20] no sensor CMOS é menor que no sistema CCD. Como exemplo, a Figura 2.13 mostra um imageador digital miniaturizado com resolução de 256x256 pixels, ADC de 10-bit e tensão de 3 Volts. O consumo de potência deste imageador é 12 mW com velocidade máxima de 60 imagens/seg.



Fig. 2.13 - Imageador digital miniaturizado [19]

B. Velocidade

Atualmente os sensores de imagem CMOS adquirem em torno de 1Gigapixel por segundo, graças à possibilidade de arquiteturas paralelas e à integração de funções em um único circuito, reduzindo capacitâncias, indutâncias e atrasos de propagação [19].

C. Fornecimento de Tensão

Os CCDs necessitam de vários fornecimentos de tensão para transferir carga de pixel para pixel e um fornecimento adicional para reduzir o ruído de corrente no escuro [20]. Enquanto isso, os sensores CMOS necessitam de apenas um fornecimento de tensão contra três ou quatro que o CCD necessita.

D. Fator de Preenchimento

Os sensores CMOS têm geralmente um fator de preenchimento de 50 a 70% enquanto os CCDs têm mais de 80%. No pixel CMOS, a sensibilidade com a luz é reduzida porque parte do pixel é preenchido com circuitos que foram integrados ao circuito.

E. Custo da Fabricação

Enquanto os CCDs exigem fabricação especializada com processos delicados e caros, os sensores CMOs são fabricados no mesmo padrão de 90% dos circuitos integrados existentes no mercado atual, reduzindo o custo.

F. Modo de Leitura

Os sensores CMOS permitem vários modos de leitura. Por outro lado, os CCDs realizam a leitura transferindo a carga de um pixel para outro, exigindo assim a leitura de toda a matriz de pixels.

G. Sensibilidade

Os CCDs possuem sensibilidade maior então necessitam de um menor tempo de integração. Os pixels CMOS possuem sensibilidade reduzida à luz incidente devido a menor área sensível à luz.

H. Tolerância à Radiação

Os sensores de imagem CMOS podem ser implementados usando tecnologias de resistência à radiação [21]. Já os CCDs necessitam de processos especiais ou equipamentos de blindagem que oferecem custos adicionais e limitações de peso e tamanho que podem tornar tais soluções economicamente inviáveis, dependendo da aplicação.

3. Efeitos da Radiação sobre Circuitos CMOS

O uso de dispositivos microeletrônicos no espaço requer que eles preservem sua funcionalidade em ambiente radioativo [21]. A radiação espacial é constituída de prótons e elétrons aprisionados no campo magnético da Terra, podendo penetrar a blindagem da aeronave. As regiões de prótons e elétrons aprisionados são chamadas de cinturões de radiação (*radiation belts*), Figura 3.1, ou Cinturões Van Allen (*Van Allen belts*) e são mais significativas entre as altitudes de 1.000 Km a 32.000 Km [22].

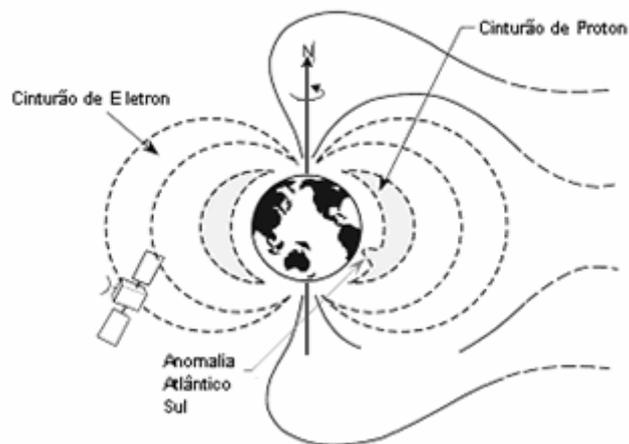


Fig. 3.1 - Cinturões de radiação [23]

A radiação espacial produz mudanças nas propriedades elétricas dos circuitos integrados. Existem três categorias básicas de efeitos de radiação a que um circuito integrado está vulnerável: Dano por Deslocamento (*Displacement Damage*), Dose Ionizante Total (*Total Ionizing Dose - TID*) e Efeitos de Evento Único (*Single-Events Effects - SEE*). O processo fundamental que ocorre no silício devido à radiação ionizante é a criação de pares elétron-buraco no caminho atravessado pela partícula. Esta dissertação focaliza-se nos efeitos de dose ionizante total [24, 25], que são os que mais afetam os dispositivos do circuito de teste projetado.

3.1. Efeitos de Dose Ionizante Total

Dose ionizante total é o acúmulo de radiação ionizante [26] ao longo de determinado tempo, causando degradação no desempenho do dispositivo. É medida em rad (*radiation absorbed dose*).

$$1 \text{ Gy} = 100 \text{ rads} = 1 \text{ J/Kg} [27]$$

$$1 \text{ rad} = 100 \text{ erg/gram}$$

A dose total [28] cria pares elétrons-buraco nas camadas de dióxido de silício (SiO_2) dos dispositivos como mostrado na Figura 3.2. Cada par criado consome em torno de 18 eV. Desta forma, o número de pares criados por dose de radiação é de aproximadamente $8.18 \times 10^{12} \text{ cm}^{-3} \text{ rad}^{-1}$ no dióxido de silício. Os elétrons possuem alta mobilidade e são rapidamente drenados, mas os buracos possuem menor mobilidade. Alguns buracos são transportados e aprisionados no óxido. Sob efeito de um campo elétrico, podem ou não migrar para a interface do óxido com o substrato. Apesar de haver certo índice de recombinação, no final tem-se óxido com excesso de cargas positivas, aprisionadas na estrutura [29].

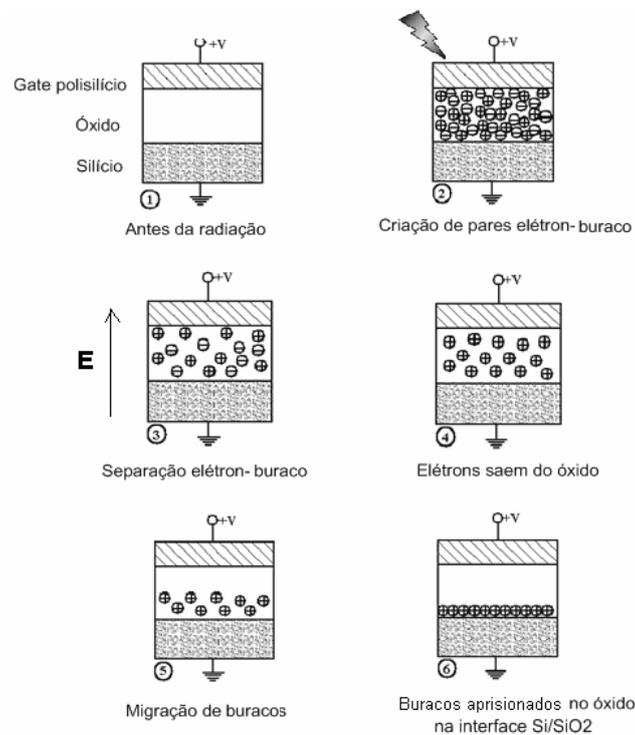


Fig. 3.2 - Mecanismo de atuação da dose ionizante total [30]

3.2. Efeitos da Radiação Ionizante no Transistor CMOS Convencional

O transistor MOS é um dispositivo de quatro terminais, Figura 3.3, formado a partir de um substrato semiconductor dopado (tipicamente silício do tipo p). A parte central da estrutura é coberta com uma fina camada de material isolante (normalmente dióxido de silício ou simplesmente óxido fino). Sobre esta camada de óxido fino é então criado um eletrodo de baixa resistividade, chamado porta (*gate*), normalmente formado por silício policristalino altamente dopado. Para finalizar, adiciona-se às laterais do dispositivo, através de implante, duas regiões fortemente dopadas de forma inversa do substrato. Estas regiões são simétricas, e chamadas de fonte e dreno (*source e drain*).

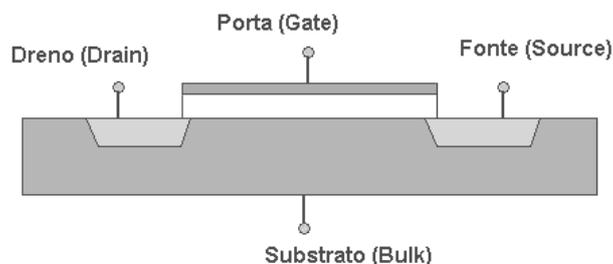


Fig. 3.3 - Transistor MOS de quatro terminais

O transistor MOS é um componente ativo que controla a passagem de corrente entre os seus eletrodos fonte e dreno. Geralmente usado como chave em circuitos digitais, pode estar aberta ou fechada dependendo se uma tensão é fornecida pelo seu eletrodo de controle, porta. Por exemplo, quando uma tensão suficiente é aplicada na porta de um transistor N-MOS, ele permite a passagem de corrente; quando a tensão permanece abaixo da tensão de limiar, a porta não permite a passagem de corrente. A tensão de limiar depende do projeto do dispositivo e dos materiais utilizados, mas seu valor geralmente está entre 0,5 e 1,5 Volts. O óxido que isola a porta da fonte e dreno é um isolante feito de dióxido de silício.

Os problemas surgem quando o dispositivo é exposto à radiação [31]. Primeiro o óxido fica ionizado pela dose que absorve. Os elétrons livres e os buracos se desviam sob influência do campo elétrico induzido no óxido pela tensão na porta.

Estes elétrons e buracos seriam benignos caso fossem simplesmente drenados para fora do óxido e desaparecessem, mas apesar dos elétrons possuírem alta mobilidade, Figura 3.4, os buracos não possuem e uma fração deles fica aprisionada no óxido. Depois da dose de radiação, é construída uma grande carga positiva, que tem o mesmo efeito de uma tensão positiva aplicada à porta. Dependendo da quantidade de radiação, o dispositivo conduz mesmo sem qualquer tensão aplicada na porta. A corrente fonte-dreno do transistor não pode mais ser controlada pela porta, fazendo com que ele fique permanentemente ligado. O transistor P-MOS possui um efeito similar, porém oposto.

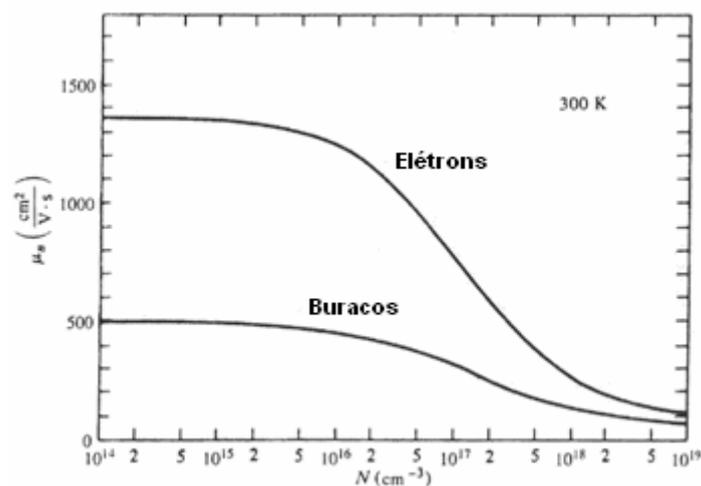


Fig. 3.4 - Mobilidade de elétrons e buracos [32]

Na próxima seção, serão apresentados os principais efeitos a que transistores integrados CMOS convencionais estão sujeitos quando submetidos à radiação ionizante [33].

3.2.1. Alteração da Tensão de Limiar V_{TH}

Trata-se do efeito mais importante, já que a tensão de limiar, Figura 3.5, é a tensão de porta necessária para criar uma camada de inversão e ligar o transistor. Uma alteração desta tensão modifica as características de operação do circuito, e dependendo da dose, impede seu funcionamento.

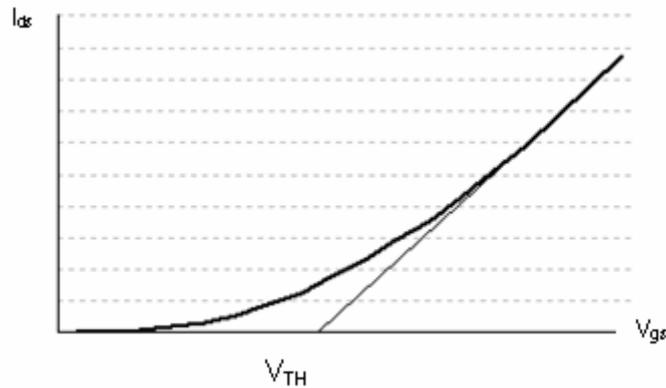


Fig. 3.5 - Gráfico típico da curva $I_{DS} \times V_{GS}$ de um transistor [4]

O acúmulo de cargas positivas aprisionadas no óxido cria um campo elétrico vertical na superfície do substrato, atraindo elétrons para a interface Si/SiO₂. Os elétrons atraídos diminuem a concentração líquida de cargas positivas próximo à superfície do substrato, na medida em que alteram o balanço entre os portadores de carga no silício dopado. A diminuição da carga positiva na superfície do substrato torna mais fácil atingir o limiar de inversão do substrato, e o efeito visível é a diminuição da tensão de limiar do transistor N-MOS. Em dispositivos P-MOS, o efeito é contrário, e a tensão a ser aplicada deve ser mais negativa de forma a compensar a quantidade maior de portadores negativos no canal.

Conforme as tecnologias de fabricação atingem resoluções menores, os transistores fabricados tornam-se menos susceptíveis à radiação. A razão é que a espessura da camada de óxido é reduzida com a resolução e o óxido depositado conseqüentemente deve ser de melhor qualidade devido às maiores intensidades de campo elétrico que a camada deve suportar. Sendo assim, tecnologias de menor

resolução são naturalmente mais resistentes à radiação do que as tecnologias mais antigas [31].

3.2.2. Redução na Mobilidade de Portadores

As armadilhas induzidas na interface degradam a mobilidade [32] dos portadores no canal do transistor MOS, ocasionando a redução na condutância do canal e na transcondutância do transistor, levando à redução do ganho. A equação 3.1a define mobilidade onde v_d é a velocidade de deriva dos portadores e E é o campo elétrico.

$$\mu = \frac{v_d}{E} \quad (3.1a)$$

$$\mu = \frac{\mu_0}{1 + \alpha(\Delta N_{it})} \quad (3.1b)$$

A redução na mobilidade pode ser diretamente parametrizada pela equação 3.1b. Ela define a variação da mobilidade dos portadores sob influência da radiação onde μ_0 é o valor da mobilidade antes da irradiação, $\alpha = (8 \pm 2) \times 10^{-13} \text{ cm}^2$ e ΔN_{it} é o incremento no número de armadilhas na interface por unidade de área.

A redução na mobilidade dos portadores, por aumentar o tempo de trânsito, leva à redução direta da velocidade do dispositivo.

A transcondutância do transistor é obtida pela equação 3.2.

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = \frac{2I_D}{(V_{GS} - V_{TH})} \quad (3.2)$$

3.2.3. Aumento do Ruído

Após a irradiação, observa-se um aumento do ruído branco (independente de frequência), e do ruído flicker (proporcional a $1/f$). Este efeito está relacionado ao aumento da concentração de armadilhas na interface e das cargas aprisionadas próxima a ela.

3.2.4. Aumento da Corrente de Fuga e Criação de Transistores Parasitas

O acúmulo de cargas no óxido não ocorre apenas sobre o canal do transistor, mas em toda superfície do circuito. Particularmente, nos espaços entre os transistores, o substrato é recoberto por uma camada de óxido mais espessa (aproximadamente 290 nm para uma tecnologia de 0,35 μm) [34] do que a existente sobre a região de inversão no canal (aproximadamente 7,6 nm na mesma tecnologia), como mostrado na Figura 3.6.

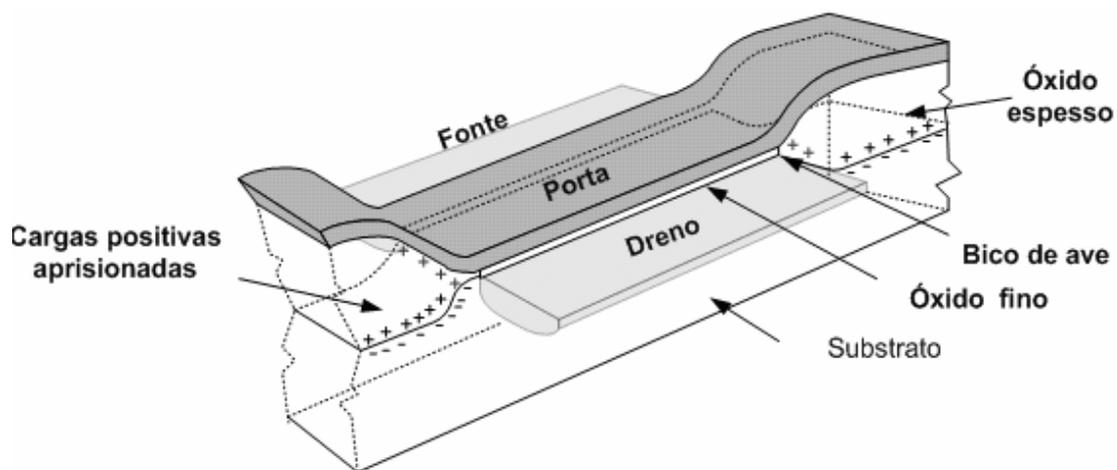


Fig. 3.6 - Geometria do transistor MOS [35]

Nestes locais, por não haver campos elétricos intensos, o problema do aprisionamento de cargas torna-se mais grave. Os elétrons deslocam-se facilmente para locais onde são drenados, mas os buracos, com pouca mobilidade, permanecem aprisionados no óxido e com mais dificuldade de se recombinar do que os buracos aprisionados sob a porta. Como a espessura do óxido nestas regiões é maior, o volume de cargas aprisionadas é mais significativo. O resultado é que o aprisionamento de cargas no óxido espesso pode mais facilmente provocar a inversão do substrato sob ele, dando origem a transistores parasitas que formam caminhos de condução fora de controle entre o dreno e fonte do mesmo transistor ou entre transistores diferentes, como mostrado na Figura 3.7.

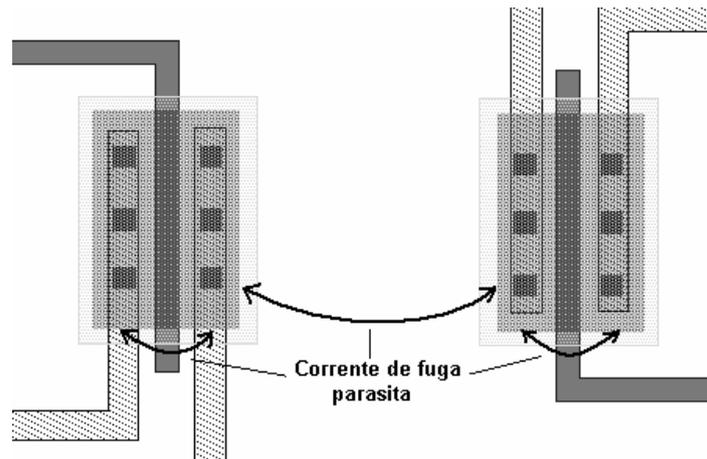


Fig. 3.7 - Corrente parasita em um transistor linear convencional [4]

As mudanças nas características dos dispositivos presentes no circuito podem levar a sérias alterações no funcionamento do circuito. Algumas destas alterações podem ser muito difíceis de prever sem a realização de extensas simulações. Em alguns casos, as mudanças podem ser tão severas que o circuito ou partes deles podem parar de funcionar ou fazê-lo apenas em frequências de operação mais baixa [35]. A forma como cada circuito responde a uma determinada condição de radiação depende do projeto do circuito e do comportamento intrínseco dos dispositivos fabricados na tecnologia correspondente.

3.3. Anéis de Guarda: Proteção para Circuitos CMOS

Anéis de guarda são blindagens capazes de minimizar os efeitos da radiação ou impedir que eles comprometam o funcionamento do circuito, restringindo as áreas afetadas. Devem ser utilizados para cercar uma região mais extensa ou um bloco de circuito específico, já que ocupam muita área útil.

Basicamente funcionam de duas formas: como isolantes, impedindo um contato elétrico mesmo após o efeito de radiação severa, ou como terminal de drenagem, proporcionando um caminho de baixa impedância para cargas livres produzidas durante a exposição à radiação.

3.4. Transistores Resistentes à Radiação

Recentemente têm sido propostas técnicas de layout, que embora não consigam eliminar os danos, reduzem os efeitos causados pela radiação [36, 37]. Os dispositivos projetados utilizando estas técnicas são denominados resistentes à radiação (*Radiation-Hardened*) [38, 39, 40].

Existem processos de fabricação imunes ou menos susceptíveis a tais fenômenos, como os processos SOI (*Silicon-On-Insulator*). Existem também os processos sub-micrônicos cuja camada de óxido já muito fina sobre os transistores, fornece uma maior resistência ao acúmulo de cargas.

Algumas técnicas de layout procuram solucionar o problema através de estruturas geometricamente desenhadas que naturalmente dificultem os processos físicos correspondentes aos efeitos da radiação. A seguir, serão apresentadas algumas dessas técnicas.

3.4.1. Transistor P-MOS

Os transistores P-MOS são naturalmente resistentes à radiação. A razão é que o substrato em um transistor P-MOS, por ser formado por silício com dopagem do tipo n, não está sujeito à inversão devido ao acúmulo de cargas positivas na área de óxido espesso ao redor do transistor. Assim, apesar de a tensão de limiar ser afetada, ela ocorre no sentido oposto, dificultando a inversão do transistor e, portanto, não permite a formação de transistores parasitas ou regiões que possibilitem a fuga de corrente.

Uma das desvantagens é que transistores P-MOS, por necessitarem de uma região de dopagem n profunda (Poço tipo n) ao seu redor, Figura 3.8, ocupam mais espaço de layout em processos que utilizam substrato do tipo p.

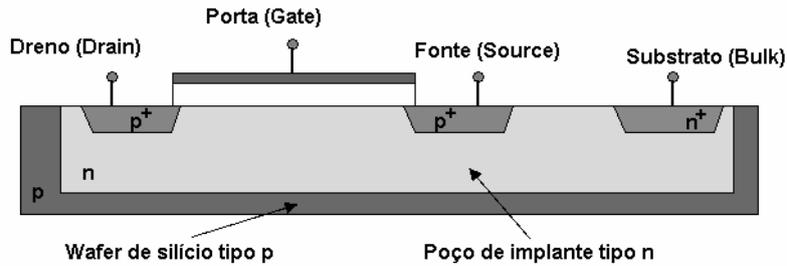


Fig. 3.8 - Transistor P-MOS

3.4.2. Transistor de Geometria Fechada (ELT)

O layout padrão do transistor MOS consiste dos terminais fonte e dreno separados por um canal de largura W e comprimento L [41]. Os transistores de geometria fechada modificam o layout normal de um transistor, envolvendo completamente um dos terminais (dreno ou fonte) pelo polisilício, como mostrado na Figura 3.9. Isto garante que a condução entre os terminais se dará sob comando da porta, não havendo caminho para uma eventual corrente parasita.

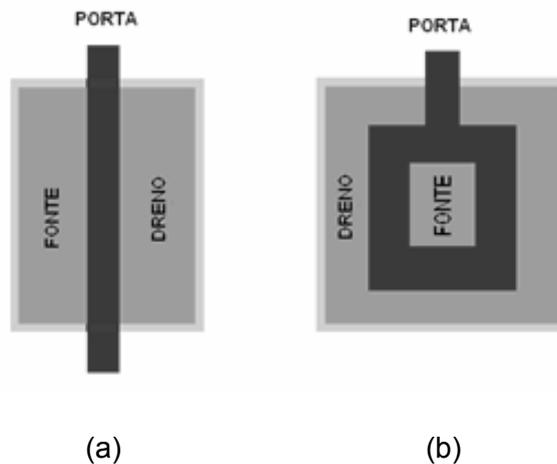


Fig. 3.9 - Transistor convencional (a) e Transistor de geometria fechada (b) [35]

Existe uma grande variedade de formas de transistores de geometria fechada [42, 43, 44]: circular, quadrangular, retangular, octagonal e quadrangular com extremidades de 45° , mostradas na Figura 3.10.

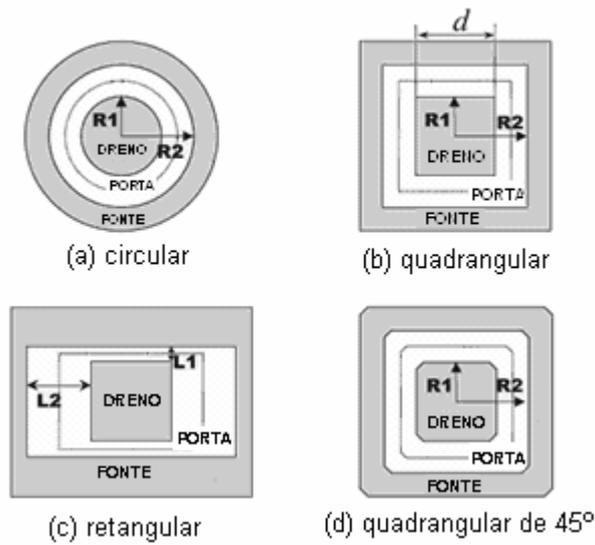


Fig. 3.10 - Formas de transistores de geometria fechada [41]

As regras de projeto de algumas tecnologias limitam a possibilidade de utilização de algumas formas [45, 46].

Existem algumas desvantagens neste tipo de transistor. Sua modelagem é uma tarefa complexa, exige grandes razões W/L, ocupando assim, um espaço considerável, as características elétricas e dinâmicas do transistor são intrinsecamente assimétricas e ainda necessitam de anéis de guarda pois o problema da inversão do substrato na periferia do dispositivo permanece como é mostrado na Figura 3.11.

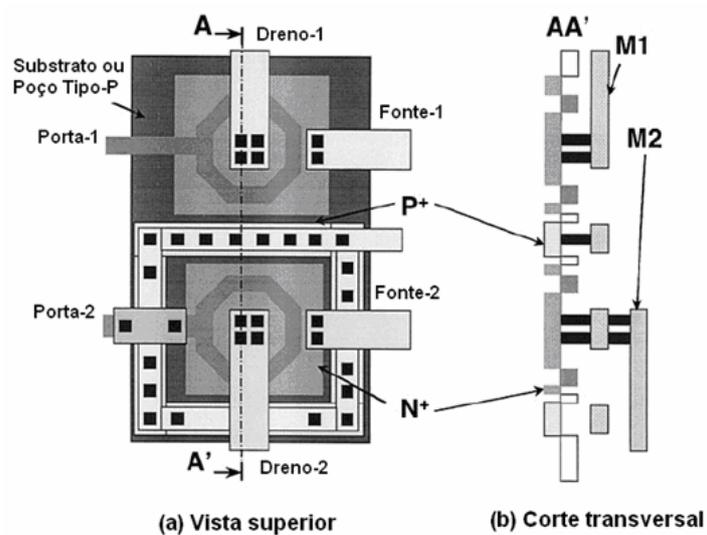


Fig. 3.11 - Transistores em geometria fechada e anel de guarda P+ [44]

Apesar das desvantagens, pode-se dizer que a técnica de projetar transistores com geometria fechada [47] fornece resistência ao MOS contra os efeitos da radiação de dose total no ambiente espacial, uma vez que elimina as bordas por onde a radiação cria uma via de fuga nos transistores convencionais [48].

3.4.3. Transistor “dogbone”

Como resposta às desvantagens dos transistores citados anteriormente, foi sugerida uma nova estrutura de transistor (dogbone) resistente à radiação, compacto e simétrico [49]. O dispositivo resultante tem a geometria mostrada na Figura 3.12.

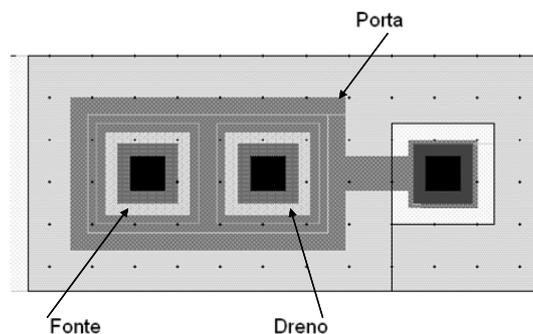


Fig. 3.12 - Layout do Transistor “dogbone”

Trata-se um transistor onde os dois terminais são completamente envoltos por polissilício, utilizando-se a mínima distância permitida pela tecnologia empregada. As regiões ao redor dos contatos recebem dopagem n^+ enquanto a área externa ao transistor é circundada por uma região de difusão p^+ retangular. Com este arranjo, alguns problemas encontrados nos transistores NMOS convencionais e nos transistores de geometria fechada são resolvidos, tais como:

1. A fronteira com a região de óxido espesso está distante fisicamente do canal de condução do transistor, eliminando os Bicos de ave (*Bird's beaks*).
2. Não há caminho possível de condução entre os terminais que não seja controlado pela porta.

3. A dopagem p externa ao transistor eleva a tensão de limiar de tal forma que a inversão do substrato nesta região fica dificultada, inibindo a formação do caminho de condução entre dois transistores distintos.
4. O formato e o tamanho não se afastam muito de um transistor convencional, minimizando o impacto na área utilizada.

3.4.3.1. Relação Largura/Comprimento de Canal (W/L) em um “dogbone”

Transistores “dogbone” são diferentes, por construção, de transistores retangulares convencionais, o que pode dificultar sua caracterização e modelagem. Têm, além disso, a peculiaridade de estarem cercados por uma região de implante p, criada justamente para dificultar a inversão do substrato nas regiões ao seu redor.

Descontando-se os efeitos de incerteza fotográfica das dimensões das máscaras de fabricação e a interferência lateral entre a dopagem p forte e o substrato p sujeito à inversão sob o terminal de porta, o canal de condução do “dogbone” é essencialmente retangular, como mostrado na Figura 3.13.

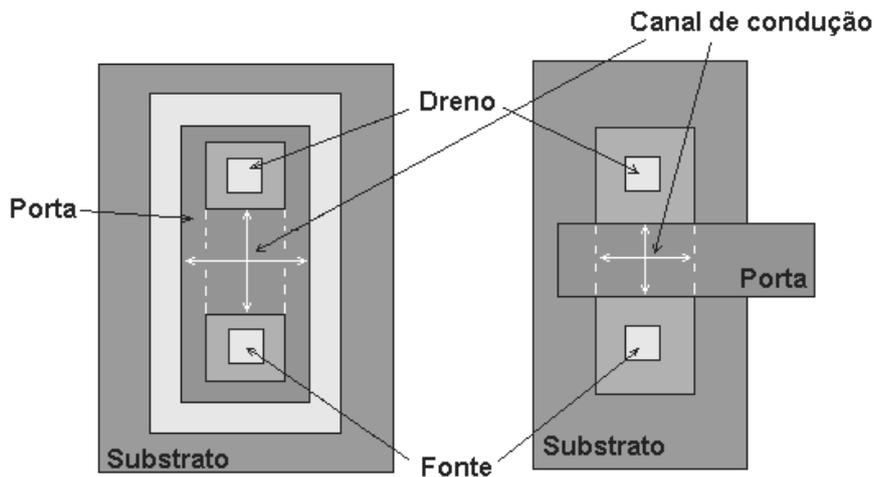


Fig. 3.13 - Canal de condução: “dogbone” e transistor convencional

No “dogbone”, a região de difusão p^+ que circunscreve o dispositivo elimina a influência do óxido espesso na largura do dispositivo. Por outro lado, o implante p^+ pode difundir-se sob o terminal de porta e interagir com o substrato p, sob ele, alterando a largura efetiva do transistor [50].

3.5. Problemas de Modelagem

O comportamento elétrico de componentes de um circuito eletrônico é consequência dos princípios físicos de seu funcionamento. O modelo físico fundamental da grande maioria dos componentes que são escolhidos para fabricação em circuitos integrados é levantado experimentalmente de forma exaustiva e permite descrever o funcionamento do componente nas condições mais abrangentes possíveis [50, 51].

Na microeletrônica os circuitos integrados contêm um grande número de componentes inviabilizando a resolução de equações com a complexidade do modelo físico para todo o circuito. Este obstáculo levou ao desenvolvimento de modelos elétricos simplificados [52], capazes de descrever o funcionamento dos componentes em condições específicas, e com precisão compatível com as incertezas inerentes ao processo de fabricação do componente.

O programa que resolve o conjunto de equações destes modelos e fornece o valor de grandezas elétricas diretamente observáveis (tensões e correntes) é o simulador elétrico de circuitos. Um modelo de transistor adequado ao projeto e simulação de circuitos integrados deve possuir algumas características particulares:

- Possuir expressões únicas e contínuas para todas as características do dispositivo, e válidas em todas as regiões de operação.
- Respeitar a simetria estrutural entre fonte e dreno.
- Conservar as tensões e cargas nos terminais do dispositivo.
- Possuir um reduzido número de parâmetros.
- Permitir a análise da variação de desempenho com a temperatura e a dispersão estatística do processo de fabricação.

- Ser escalonável, permitindo desde cálculos simples e menos precisos até cálculos complexos e mais exatos para as simulações feitas em computador.
- Minimizar o número de parâmetros estritamente matemáticos sem significado físico.

O simulador elétrico mais conhecido é o SPICE, e existem várias versões comerciais ou acadêmicas. Globalmente todas são equivalentes e incluem modelos elétricos para os dispositivos mais utilizados em circuitos eletrônicos: resistores, capacitores, diodos e transistores. Cada um destes modelos necessita de parâmetros que definem as características materiais próprias a cada dispositivo.

Os primeiros modelos desenvolvidos eram bem simples e se tornaram inadequados com o avanço das tecnologias de fabricação e com o aumento da complexidade das arquiteturas de circuito. Para simular circuitos em tecnologias modernas é preciso utilizar modelos avançados, que são os únicos capazes de aproximar de forma realista o funcionamento dos circuitos fabricados.

Com o tempo estes modelos se tornaram bastante complexos e o número de parâmetros chega atualmente a uma centena [53], num dos modelos mais aceitos e utilizados pela indústria. O número de parâmetros reflete a quantidade e a complexidade das equações que o modelo contém.

Esta quantidade de parâmetros complica o procedimento de medição dos parâmetros a partir de um conjunto de transistores fabricados em uma tecnologia específica. Normalmente o fabricante (*foundry*) se encarrega desta tarefa e fornece os valores típicos de parâmetros do processo de fabricação para vários modelos SPICE.

A complexidade da extração de parâmetros é um problema quando se deseja investigar anomalias de funcionamento de um circuito integrado já fabricado. O fabricante não refaz a extração completa para cada batelada (*run*) de fabricação, muito menos, para cada placa de silício (*wafer*). O mais comum é se dispor de valores para apenas alguns parâmetros simples.

Recentemente dois grupos de pesquisa [54, 55] introduziram novos modelos de transistores MOS para simulação que buscam descrever os transistores modernos de maneira precisa, com um número reduzido de parâmetros onde estes tenham uma representação física direta. Estes modelos compactos são conhecidos como modelo ACM (*Advanced Compact MOSFET*) e modelo EKV (*Enz-Krummenacher-Vittoz*).

O modelo ACM [54] é mais simples, e se encontra disponível apenas no simulador SMASH. O modelo EKV está disponível na maior parte de simuladores elétricos [55]. Existe atualmente em duas versões, EKV2.6 e EKV3.0 sendo que apenas a versão EKV2.6 está implementada em simuladores disponíveis.

O modelo elétrico mais utilizado para tecnologias ultrafinas modernas é o BSIM3v3. Já existem também os modelos BSIM4 e mesmo BSIM5, mas estes ainda são pouco utilizados. O kit de design da tecnologia AMS C35B4 contém os parâmetros para o modelo BSIM3v3. O problema deste modelo é o número grande de parâmetros, o que resulta num procedimento de extração complexo. O esforço necessário para efetuar esta extração só pode ser reduzido utilizando um software especializado, de custo elevadíssimo (*IC-CAP, UTMOST*). Além disto, os parâmetros deste modelo não tem um significado físico direto, são simplesmente variáveis de um método puramente matemático de otimização. Isto torna muito difícil usar ou adaptar este modelo para uso fora das condições usuais (extremos de temperatura) ou de incluir os efeitos da radiação ionizante.

A documentação disponível publicamente sobre extração de parâmetros para o modelo ACM é bem mais completa que a do modelo EKV [56]. Por esta razão a metodologia para futura extração descrita aqui, será calcada no modelo ACM, e adaptada para obter os parâmetros correspondentes do modelo EKV.

3.5.1. O Modelo ACM

O modelo ACM foi desenvolvido pelo LINSE-UFSCAR e introduzido em 1997 [57]. Possui uma formulação baseada na análise de cargas do dispositivo, como o modelo EKV. Além disso, preserva a simetria estrutural do dreno-fonte do transistor e utiliza um número reduzido de parâmetros físicos.

Uma característica particularmente interessante do modelo ACM é a utilização de uma corrente de normalização, que permite a descrição do funcionamento do dispositivo em função desta corrente de normalização, e não mais diretamente a partir de suas dimensões, facilitando a tarefa de extração dos parâmetros.

O modelo ACM possui um conjunto de 14 parâmetros [58, 59]. Desses, 10 parâmetros são ditos fundamentais (dependem apenas de fenômenos físicos e relacionam-se com o processo de fabricação) e 4 são ditos geométricos, por estarem relacionados à geometria e construção do transistor. Comparando-se esses 14 parâmetros com os mais de 100 apresentados por algumas versões da família BSIM, percebe-se o valor de um modelo deste tipo na simplificação da análise e simulação.

3.5.1.1. Parâmetros

Os parâmetros do modelo ACM são apresentados na Tabela 3.1, descritos tal qual o necessário para a simulação de acordo com as equações que serão apresentadas posteriormente:

TAB. 3.1 - Parâmetros do modelo ACM

Nome	Descrição	Extração	Unidade
μ_0 (U0)	Mobilidade	Canal Longo	$\text{Cm}^2/\text{V.s}$
C'_{ox} (COX)	Capacitância por unidade de área do óxido sob a porta	Processo	F/m^2
V_{TO} (VTO)	Tensão de limiar para $V_{\text{DB}}=V_{\text{SB}}=0 \text{ V}$	Canal Longo	V
γ (GAMMA)	Coefficiente de efeito de corpo	Canal Longo	$\sqrt{\text{V}}$
ϕ (PHI)	Potencial de superfície	Canal Longo	V
λ (LAMBDA)	Coefficiente para CLM (Channel Length Modulation)	Canal Curto	-
η_{W} (WETA)	Coefficiente de efeito de canal estreito	Canal Curto	-
η_{L} (LETA)	Coefficiente de efeito de canal curto	Canal Curto	-
D_{W} (DW)	Coefficiente de estreitamento do canal	Processo	m
D_{L} (DL)	Coefficiente de encurtamento do canal	Processo	m
μ_{CRIT} (UCRIT)	Campo elétrico longitudinal crítico para degradação da mobilidade	Canal Curto	V/m
θ (THETA)	Coefficiente de redução da mobilidade devido ao campo elétrico transversal	Canal Longo	$1/\text{V}$
X_{J} (XJ)	Profundidade da junção	Processo	m
σ (SIGMA)	Coefficiente para DIBL (Drain Induced Barrier Lowering)	Canal Curto	m^2

Os parâmetros de modelagem são normalmente fornecidos pelos fabricantes de circuitos na documentação sobre o processo. Entretanto, como o ACM é um modelo avançado e recente, muitos fabricantes ainda não oferecem os parâmetros correspondentes. Neste caso, é possível estimar alguns parâmetros do modelo ACM utilizando parâmetros de outros modelos similares. Outros precisam ser extraídos de dispositivos já fabricados, para serem utilizados posteriormente no projeto de novos dispositivos.

3.5.1.2. Tensão de Pinch-off

Um parâmetro importante do modelo é a tensão de “pinch-off” V_P que é definida como sendo a tensão no canal que corresponde à densidade de carga de inversão igual a $-nC'_{ox}\phi_t$ naquele ponto (fonte ou dreno). Nesta condição a tensão V_P está relacionada ao V_G pela equação 3.3:

$$V_P = \left(\sqrt{V_G - V_{T0} + \left(\sqrt{\phi_0} + \frac{\gamma}{2} \right)^2} - \frac{\gamma}{2} \right)^2 - \phi_0 \quad (3.3)$$

3.5.1.3. Coeficiente de Rampa n

Um outro parâmetro fundamental é o coeficiente de rampa n . Ele é definido como:

$$n \equiv \left(\frac{dV_P}{dV_G} \right)^{-1} \quad (3.4)$$

Donde se obtém a relação:

$$n = 1 + \frac{\gamma}{2\sqrt{V_P + \phi_0}} \quad (3.5)$$

3.5.1.4. Corrente de Normalização

Um elemento central do modelo ACM é a corrente característica I_S :

$$I_S = \frac{1}{2} \mu n C'_{ox} \phi_t^2 \frac{W}{L} \quad (3.6)$$

O termo ϕ_t^2 é o quadrado da “tensão térmica” kT/q e implica que a temperatura do dispositivo tem de ser conhecida.

O termo C'_{ox} é a capacitância da porta por unidade de área, que é fornecida pela foundry ou é calculado a partir da espessura do óxido da porta t_{ox} .

Cabe observar que o modelo EKV [60, 61, 62] também define uma corrente característica I_S , que corresponde a quatro vezes a corrente acima. Esta diferença

decorre de uma definição ligeiramente diferente para a condição de transição entre inversão fraca e moderada. Em todos os outros aspectos a corrente I_S tem a mesma função nas duas formulações.

3.5.1.5. Largura W e Comprimento L

Os parâmetros W e L nas expressões representam sempre as dimensões elétricas do transistor para o modelo, e não são iguais as dimensões do desenho da máscara. A relação entre estes parâmetros elétricos (ou efetivos) e os geométricos é a seguinte:

$$\begin{aligned}W_{eff} &= W_{geom} + \Delta W \\L_{eff} &= L_{geom} + \Delta L\end{aligned}\tag{3.7}$$

A correção do L e do W depende do processo de fabricação, e também do método de extração utilizado (e conseqüentemente do modelo elétrico). Sempre que possível se utilizam dispositivos com dimensões grandes o suficiente para que a diferença entre dimensões elétricas e efetivas não seja significativa. A exceção é quando o parâmetro do modelo que se deseja extrair é exatamente um dos que descrevem os efeitos transistores curtos, estreitos ou de campos elétricos elevados.

A corrente I_S é calculada em função da geometria do transistor. Ela depende da tensão V_G através do coeficiente de rampa n . Esta dependência também está presente na mobilidade μ . Outros efeitos mais complexos ocorrem em transistores curtos/estreitos ou em condições onde o campo elétrico exercido pelas tensões no dreno e fonte é intenso. Por causa disto, a polarização do dispositivo durante a extração é escolhida de maneira que todos os efeitos sejam pouco significativos e assim seja possível considerar que a corrente I_S é fixa para um dado transistor.

3.5.1.6. Correntes Direta e Reversa

No modelo ACM a corrente que passa pelo canal do transistor I_D é o resultado da superposição de duas componentes, a corrente direta I_F e a corrente reversa I_R :

$$\begin{aligned} I_F &= \frac{1}{2} \mu n C'_{ox} \phi_t^2 \frac{W}{L} \left[\left(\frac{Q'_{IS}}{n C'_{ox} \phi_t} \right)^2 - 2 \frac{Q'_{IS}}{n C'_{ox} \phi_t} \right] \\ I_R &= \frac{1}{2} \mu n C'_{ox} \phi_t^2 \frac{W}{L} \left[\left(\frac{Q'_{ID}}{n C'_{ox} \phi_t} \right)^2 - 2 \frac{Q'_{ID}}{n C'_{ox} \phi_t} \right] \end{aligned} \quad (3.8)$$

As correntes I_F e I_R dependem de V_G , V_D e V_S pela relação entre estes potenciais e a densidade de carga elétrica no dreno e fonte. As equações acima podem ser reescritas diretamente em termos destas densidades de carga:

$$\begin{aligned} -\frac{Q'_{IS}}{n C'_{ox} \phi_t} &= \sqrt{1 + \frac{I_F}{\frac{1}{2} \mu n C'_{ox} \phi_t^2 \frac{W}{L}}} - 1 \\ -\frac{Q'_{ID}}{n C'_{ox} \phi_t} &= \sqrt{1 + \frac{I_R}{\frac{1}{2} \mu n C'_{ox} \phi_t^2 \frac{W}{L}}} - 1 \end{aligned} \quad (3.9)$$

Onde se definem as expressões de corrente normalizadas:

$$\begin{aligned} i_f &= \frac{I_F}{\frac{1}{2} \mu n C'_{ox} \phi_t^2 \frac{W}{L}} \\ i_r &= \frac{I_R}{\frac{1}{2} \mu n C'_{ox} \phi_t^2 \frac{W}{L}} \end{aligned} \quad (3.10)$$

Com base nestas expressões os autores do modelo ACM afirmam que a corrente característica I_S é uma definição natural baseada em princípios físicos. Lembrando que a definição (arbitrária) para a transição em inversão moderada é $Q_I' = -n C'_{ox} \phi_t$, pode-se então calcular a corrente normalizada de pinch-off como sendo:

$$-\frac{nC'_{ox}\phi_t}{nC'_{ox}\phi_t} = \sqrt{1+i_p} - 1 \Rightarrow i_p = 3 \quad (3.11)$$

3.5.1.7. Condições de Polarização Simplificadoras

Neste caso é importante observar que só é possível medir I_D que é a superposição das duas componentes. Isto dificulta identificar a condição de pinch-off através da corrente.

Uma solução possível é polarizar o transistor em condições adequadas. A corrente direta I_F é considerada nula se V_S for superior a V_P . De forma similar, a corrente reversa I_R é aproximadamente zero para V_D superior a V_P . Conseqüentemente, se a tensão V_D for mantida ligeiramente superior a V_G a componente reversa desaparece e a corrente na fonte consiste apenas na componente direta i_f . Se i_f for igual a i_p observando a tensão V_S tem-se acesso a V_P . Esta condição de polarização é usada repetidamente nos procedimentos de extração publicados.

É interessante observar na expressão para V_P , que na condição V_P nulo, V_G tem de ser forçosamente igual a V_{T0} ficando evidente a simplicidade da extração na condição de pinch-off se ela puder ser identificada.

$$V_P = \left(\sqrt{V_G - V_{T0} + \left(\sqrt{\varphi_0} + \frac{\gamma}{2} \right)^2} - \frac{\gamma}{2} \right)^2 - \varphi_0 \quad (3.12)$$

3.5.1.8. Relação Geral entre Tensões e Correntes no Modelo ACM

A última expressão fundamental do modelo relaciona as tensões às correntes normalizadas:

$$\begin{aligned}
V_P - V_S &= \phi_t \left\{ \sqrt{1+i_f} - \sqrt{1+i_p} + \ln \left(\frac{\sqrt{1+i_f} - 1}{\sqrt{1+i_p} - 1} \right) \right\} \\
V_P - V_D &= \phi_t \left\{ \sqrt{1+i_r} - \sqrt{1+i_p} + \ln \left(\frac{\sqrt{1+i_r} - 1}{\sqrt{1+i_p} - 1} \right) \right\} \\
i_p &= 3
\end{aligned} \tag{3.13}$$

Estas expressões são válidas em todos os regimes de inversão e operação do transistor.

3.5.1.9. Transcondutâncias de Pequenos Sinais

Alguns procedimentos de extração aproveitam unicamente as relações básicas apresentadas, como é o caso da obtenção do V_{T0} . No entanto, é possível extrair mais facilmente alguns parâmetros, ou calcular uma estimativa mais precisa, aproveitando certas relações entre as condições de polarização e as transcondutâncias do transistor, definidas a seguir:

$$\begin{aligned}
g_{mg} &= \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D, V_S} & g_{ms} &= \left. \frac{\partial I_D}{\partial V_S} \right|_{V_G, V_D} \\
g_{md} &= \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G, V_S} & g_{mb} &= \left. \frac{\partial I_D}{\partial V_B} \right|_{V_D, V_G, V_S}
\end{aligned} \tag{3.14}$$

Estas transcondutâncias podem ser computadas numericamente de curvas de medidas, usando diretamente as definições e utilizando incrementos infinitesimais (ΔI_D , etc.).

Como o intuito do nosso trabalho é a extração de parâmetros, cabem algumas considerações práticas com relação aos erros numéricos e de medidas, assim como configurações de bancada.

As medidas necessárias para calcular g_{mb} são pouco práticas.

Dada a simetria do dispositivo, tanto faz medir g_{md} ou g_{ms} , devem ser idênticos para condições de polarização idênticas (i.e. se i_f for igual a i_r).

A transcondutância g_{mg} é sempre inferior a g_{ms} . Isto implica que a medida de corrente e de tensão será mais delicada. Alternativamente, o erro experimental final será maior na obtenção de g_{mg} que na de g_{ms} , para a mesma aparelhagem.

Utilizando as definições do conjunto de equações 3.14 e as relações anteriores, podemos obter as expressões para as transcondutâncias:

$$\begin{aligned}
 g_{ms} &= \frac{2I_S}{\phi_t} (\sqrt{1+i_f} - 1) = \frac{2I_F}{\phi_t} \left(\frac{1}{\sqrt{1+i_f} + 1} \right) \\
 g_{md} &= \frac{2I_S}{\phi_t} (\sqrt{1+i_r} - 1) = \frac{2I_R}{\phi_t} \left(\frac{1}{\sqrt{1+i_r} + 1} \right) \\
 g_{mg} &= \frac{g_{ms} - g_{md}}{n}
 \end{aligned} \tag{3.15}$$

É importante notar que as expressões para g_{md} acima não correspondem à condutância de saída do transistor MOS em saturação g_o . A variação da corrente com a tensão do dreno em saturação, ou efeito Early, não está presente nas equações apresentadas.

Este efeito é modelado através de uma correção da corrente I_S , mais precisamente pela subtração de um termo ΔL , dependente das condições de polarização, do comprimento L_{eff} (já corrigido com relação ao L_{geom} , como já foi observado na equação 3.7).

O conjunto de relações das equações 3.15 geralmente é a base de vários procedimentos de extração, tanto para o modelo ACM como para o modelo EKV, aproveitando a relação entre a transcondutância e a corrente:

$$\begin{aligned}
 \frac{g_{ms}}{I_S} &= \frac{2}{\phi_t} (\sqrt{1+i_f} - 1) \\
 \frac{g_{ms}}{I_F} &= \frac{2}{\phi_t} \left(\frac{1}{\sqrt{1+i_f} + 1} \right)
 \end{aligned} \tag{3.16}$$

Esta razão atinge um valor máximo quando o transistor está em inversão fraca onde i_f é muito menor que 1. A razão cai deste máximo com o aumento da corrente.

Calculando esta redução podemos inferir o i_f naquela corrente. Se $i_f = 3$ então, devido à equação 3.13, também sabemos que V_S é igual a V_P e caso esta tensão seja igual a zero aplicando a equação 3.12 observamos que V_G deve ser exatamente igual a V_{T0} .

A única sutileza é que a razão g_{ms}/I_F não pode ser calculada se não conhecemos I_F . Este é normalmente o caso, pois só podemos medir diretamente a corrente total I_D . A solução mais freqüente é polarizar o transistor de tal forma que a corrente reversa I_R seja desprezível.

Todas as equações apresentadas foram desenvolvidas para transistores ideais de grandes dimensões e onde os campos elétricos não são muito fortes. Transistores modernos operam muito longe destas condições, assim o modelo ACM tem correções para os coeficientes e parâmetros básicos para modelar corretamente os efeitos não-ideais. Estes efeitos de segunda ordem não serão discutidos de maneira detalhada, mas é necessário examinar as equações modificadas, para efetuar a extração dos parâmetros para estas correções.

Em transistores curtos e/ou estreitos uma fração importante da carga no canal depende das regiões dopadas e/ou depletadas da fonte/dreno ou laterais. Este efeito de partição de carga (*charge sharing*) pode ser modelado de várias maneiras. No modelo ACM ele é incorporado na expressão de V_P , modificando-a e também introduzindo uma correção no coeficiente γ . O conjunto total de correções pode ser decomposto em partes:

$$\begin{aligned}
 V_P(V_G, V_S, V_D) &= V_{P0}(V_G) + \frac{\sigma}{n}(V_D + V_S) \\
 V_{P0}(V_G) &= \left(\sqrt{V_G - V_{T0} + \varphi_0 + \gamma \sqrt{\varphi_0} + \left(\frac{\gamma'}{2}\right)^2} - \frac{\gamma'}{2} \right)^2 - \varphi_0 \\
 \gamma' &= \gamma - \frac{\varepsilon_0 \varepsilon_{Si}}{C'_{ox}} \left(\frac{2\eta_L}{L_{eff}} - \frac{3\eta_W}{W_{eff}} \right) \sqrt{\varphi_0}
 \end{aligned} \tag{3.17}$$

A tensão V_P passa a ser função de V_D e V_S e é definida uma tensão de pinch-off para tensão V_{DS} nula. Esta última difere da definição anterior (equação 3.12) pela

inclusão do coeficiente corrigido para canais curtos e estreitos γ' . A expressão para n (equação 3.5) fica dúbia, pois passa a existir uma dependência circular entre V_P e n . Uma interpretação é calcular a equação 3.5 usando V_{P0} no lugar de V_P e γ' no lugar de γ . Na prática, para a extração, o problema não existe, pois o que é medido (ou inferido, através de V_S , como já foi discutido) é o V_P da equação 3.17 e não o V_{P0} . Assim, ao calcular a equação 3.4 usando o valor medido, automaticamente será utilizado o valor de V_P já incluindo todos os efeitos de canal curto e estreito. A questão é importante, pois um dos procedimentos de extração proposto para o modelo ACM aplica a expressão de V_P com as correções acima, o que resulta em expressões corrigidas para transcondutâncias de pequenos sinais.

Os novos parâmetros σ , η_L e η_W devem ser extraídos em princípio de transistores curtos ou estreitos. No caso de transistores longos, a equação 3.12 pode continuar a ser usada, mas em transistores curtos ou estreitos a discrepância se torna significativa, e passa a ser necessário utilizar a expressão completa no lugar do V_P obtido com a equação 3.12.

O parâmetro σ é particularmente importante, pois modela o fenômeno DIBL, e é proporcional ao quadrado de L_{eff} .

A mobilidade dos portadores no canal depende da intensidade do campo elétrico, tanto transversal como longitudinal e reduz com o aumento do campo. O ACM usa um modelo simples que considera os efeitos de canal curto e estreito, mas descarta o efeito do campo longitudinal (entre dreno e fonte). Neste modelo a mobilidade reduz segundo o aumento da tensão V_P :

$$\mu = \frac{\mu_0}{1 + \theta \gamma \sqrt{V_{P0} + \varphi_0}} \quad (3.18)$$

É importante notar que neste caso é usado o termo V_{P0} , onde entram as correções para o transistor curto e/ou estreito. Para facilitar a extração é possível simplesmente usar um transistor longo e largo, e assim usar a equação 3.12, junto

com o coeficiente γ obtido com o mesmo transistor. Os parâmetros a serem extraídos são μ_0 e θ e é útil observar que o efeito da redução de mobilidade será evidenciado mais facilmente para valores elevados de V_P .

Uma vez tendo corrigido a mobilidade dos portadores conforme a equação 3.18 o modelo ACM inclui a saturação de velocidade dos portadores na região de espaço-carga através de uma nova correção na mobilidade efetiva. Esta correção está relacionada com outra, a correção do comprimento efetivo do canal. A corrente de dreno do transistor em saturação será menor que o calculado pela equação e este efeito é descrito pela correção da mobilidade e da corrente efetiva. Isto introduz um parâmetro para extração, UCRIT.

Finalmente, é necessário descrever o comportamento da condutância de saída g_o do transistor na região de saturação. Esta característica do transistor resulta da superposição de diversos mecanismos diferentes: DIBL, modulação do comprimento efetivo do canal, saturação de velocidade dos portadores na região de espaço-carga, ionização de impacto no dreno. O mecanismo dominante depende da geometria do transistor e do nível de inversão, além evidentemente do nível de tensão no dreno. A definição da condutância de saída é feita em termos de uma tensão de Early equivalente V_A .

4. Estrutura do Circuito de Teste APS Resistente à Radiação

Como já foi mencionado no Capítulo 1, o projeto que motivou o desenvolvimento desta dissertação focalizou o estudo, pesquisa e desenvolvimento de um imageador APS completo tolerante à radiação ionizante que possa ser utilizado em plataformas de atitude de satélites.

O projeto prevê o desenvolvimento de um circuito com as seguintes especificações [63]:

- uma matriz de pixels ativos APS constituída de no mínimo 64x64 pixels, extensível a resoluções mais elevadas.
- pixel com dimensões de 25 μm x25 μm ;
- fator de preenchimento de pelo menos 50%;
- deve incluir toda a eletrônica de leitura; e
- período de funcionamento de 5 anos em ambiente espacial, em órbita terrestre baixa (*LEO*).

O projeto foi dividido em 5 fases:

- (a) análise do problema e escolha da solução;
- (b) projeto;
- (c) simulação e projeto dos componentes;
- (d) fabricação;
- (e) teste e caracterização do circuito fabricado;

Tecnologias de dimensões ultrafinas (90 nm, 0,13 μm , 0,18 μm) oferecem a maior densidade de integração possível, o que se traduziria num passo de malha pequeno para o imageador. No entanto a faixa dinâmica seria fortemente reduzida, visto que estas tecnologias trabalham com tensões de alimentação menores que 1,8

Volts. A aplicação almejada é um sensor de estrelas, onde o algoritmo de identificação busca definir o centróide de cada corpo celeste. Para fontes de luz pontuais (estrelas) isto é facilitado se o sistema óptico for mantido num foco ligeiramente diferente do exato, o que transforma um ponto de luz incidente num único pixel em um círculo luminoso. Conseqüentemente, é pouco útil dispor de uma matriz de pixels com passo muito reduzido, pois isto implica no uso de uma tecnologia de fabricação ultrafina, com custo muito elevado e faixa dinâmica possível mais reduzida.

Dentro dos limites orçamentários disponíveis, a melhor tecnologia encontrada é a AMS C35B4 [64]. Esta tecnologia oferece uma variação de processo específico para fabricação de sensores ópticos CMOS (0,35 μm CMOS Opto Process), com menor corrente de fuga nos fotodiodos e uma camada anti-reflexo adicional, para otimizar a resposta eletro-óptica. Esta opção é interessante, pois permite uma melhoria automática da sensibilidade do APS sem necessidade de modificação no projeto do circuito. Porém, o custo de fabricação com esta opção, é mais elevado. Após a definição da tecnologia foi feito o estudo detalhado das suas características para determinar o tipo de pixel que melhor explore as vantagens das camadas disponíveis.

Outro aspecto fundamental para o imageador proposto é a tolerância à radiação. Iniciou-se preparando estruturas de teste e caracterização para medir quantitativamente a degradação provocada pela radiação ionizante.

Tendo sido definidos a tecnologia de fabricação, os tipos de pixel mais adequados e as estruturas de teste a serem incluídas para caracterização elétrica, foram então definidas a arquitetura interna e a planta baixa (*floorplan*) do circuito integrado, em função do custo da área do circuito e do objetivo de testar o maior número possível de elementos que serão necessários na etapa posterior.

4.1. Arquitetura Geral do Circuito de Teste

O circuito integrado é composto de duas metades distintas. Uma parte constituída por uma matriz APS de 64x64 pixels associada a uma lógica de endereçamento e controle. A segunda parte do circuito contém várias estruturas de teste para caracterização de cada um dos blocos fundamentais necessários à versão final da matriz APS.

As duas metades do circuito foram concebidas para funcionarem de maneira totalmente independente, de modo a evitar que problemas em um bloco prejudiquem o funcionamento do outro. Este princípio de precaução foi seguido também no projeto de cada metade, na medida do possível.

O circuito foi enviado para fabricação no run CMP A35C5_6 e foram fabricadas 15 unidades (*dice*) montadas em encapsulamentos JLCC-68 pelo próprio serviço CMP. O circuito foi projetado dentro dos limites de área de fabricação mínima de 5 mm² ($\sqrt{5}$ mm X $\sqrt{5}$ mm).

Todos os elementos existentes no circuito foram projetados usando metodologia de projeto *Full Custom*, e foram observadas regras especiais para permitir o funcionamento após exposição substancial à radiação ionizante. Estas regras foram derivadas do conhecimento adquirido pelo grupo para o projeto de circuitos resistentes à radiação, usando tecnologias de fabricação mais antigas. Estas regras serão validadas na tecnologia atual com este primeiro protótipo.

Estas regras de projeto específicas não fazem parte do kit de projeto de circuitos da tecnologia AMS 0,35 μ m C35B4 [64], e não têm suporte (garantia) do fabricante. Em consequência disto, as rotinas normais de verificação de DRC/ERC/EXT não são capazes de reconhecê-las e sinalizam como erros de projeto. É preciso advertir o serviço CMP antes de enviar os arquivos para fabricação e assim liberar a fabricação.

4.2. Planta Baixa do Circuito

Para permitir a comparação entre diversas implementações dos fotosensores a matriz de 64x64 pixels foi dividida em quatro submatrizes de 32x32 pixels com três variantes do pixel utilizando fotodiodos de junção profunda; e uma submatriz com pixels convencionais utilizando fotodiodos de junção rasa. Na segunda parte do circuito foi implementado um conjunto de estruturas de teste para caracterizar separadamente a tolerância à radiação de transistores e de portas lógicas simples. A planta baixa do circuito é mostrada na Figura 4.1.

O circuito foi projetado de maneira a tornar as partes independentes para minimizar a possibilidade de que interações danosas entre as partes quando o circuito é exposto à luz e maximizar a probabilidade de funcionamento da matriz, mesmo que as estruturas de teste fabricadas se encontrem, por exemplo, em curto-circuito. Por isso foi feito um anel de pads dividido em duas partes independentes (identificadas na Figura 4.1 como “coroa de pads esquerda” e “coroa de pads direita”) de tal forma que o mau funcionamento de uma parte não impede o funcionamento da outra. O layout do circuito completo é mostrado na Figura 4.2.

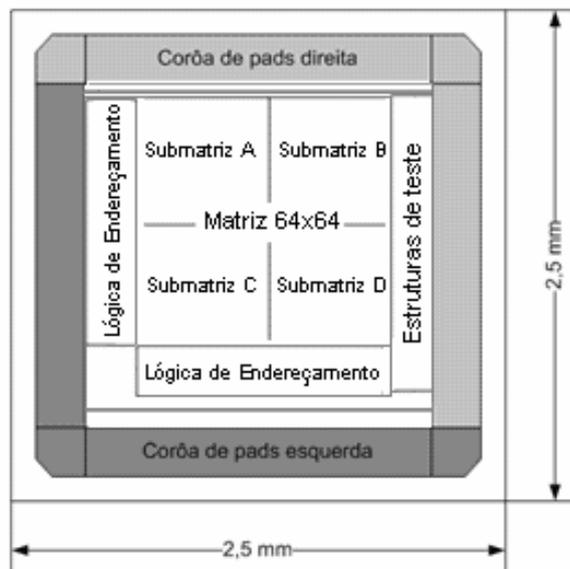


Fig. 4.1 - Planta baixa (*floorplan*)

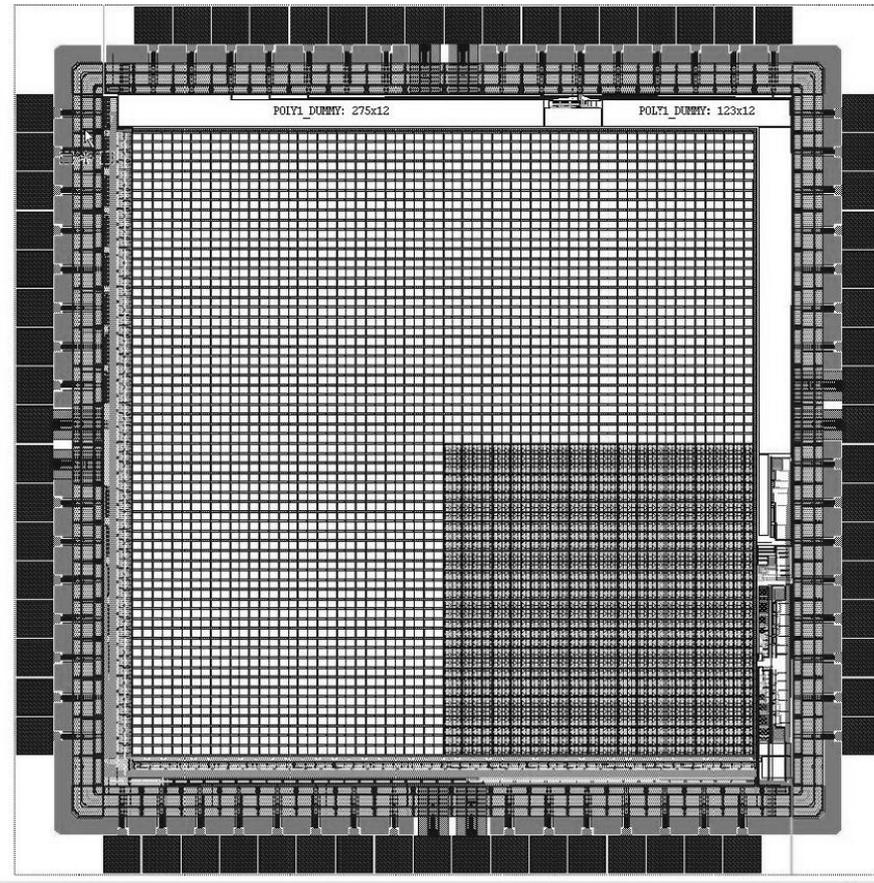


Fig. 4.2 - Layout do circuito completo

O substrato do processo de fabricação a ser utilizado, do tipo P é a referência de alimentação negativa e constitui um nó elétrico comum a todo o circuito. O processo de fabricação C35 utiliza normalmente uma tensão nominal de operação de 3.3 Volts [64]. Assim, todos os circuitos analógicos e digitais presentes neste circuito foram projetados para operar com este nível de tensão de alimentação. Existem quatro barramentos independentes de alimentação positiva no circuito, dois para toda a matriz de pixels 64x64 (seção analógica e digital) e dois para o conjunto de estruturas de teste. É possível e mesmo desejável alimentar apenas um dos barramentos de cada vez, em função do tipo de medida a ser feito.

Na Figura 4.3 é mostrado o detalhe dos barramentos de alimentação na coroa de pads do circuito, evidenciando o uso de duas linhas de V_{DD} , uma para blocos digitais, V_{DDD} , e outra para os blocos analógicos, V_{DDA} .

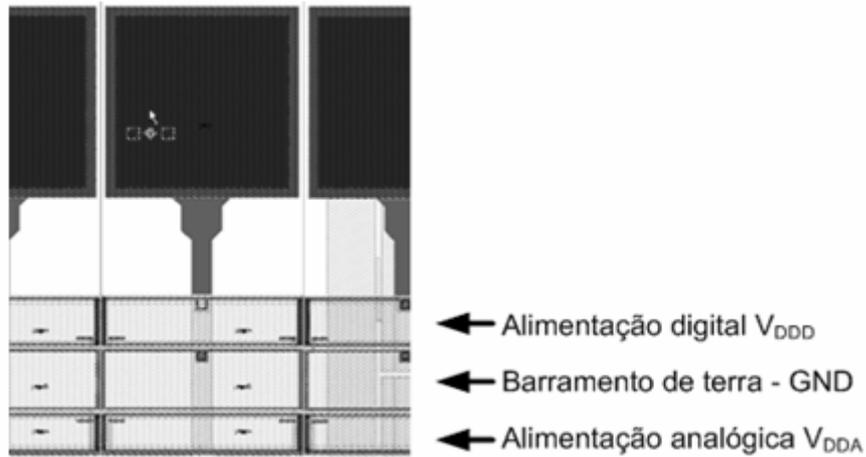


Fig. 4.3 - Detalhe dos barramentos de alimentação na coroa de pads do circuito

O barramento GND está ligado ao substrato do circuito, que é comum para todos os elementos no circuito integrado. Para minimizar acoplamento de parasitas este barramento está ligado a 4 pads diferentes, dispostos simetricamente no perímetro da coroa e é aconselhável conectá-los todos à um plano terra de baixa impedância.

4.3. A Matriz APS

A matriz de pixels APS contém 64x64 pixels, divididos em quatro quadrantes. Cada quadrante é composto de pixels de um único tipo, sendo todo o conjunto de pixels comandado pelas mesmas linhas. Cada pixel pode ser endereçado individualmente, seja para comandar a leitura do pixel, seja para forçar a inicialização da tensão do fotodiodo do pixel. Também é possível inicializar todos os pixels da matriz simultaneamente. De uma maneira geral a lógica digital é alimentada por uma linha V_{DD} , separada da alimentação positiva V_{DDA} usada para alimentar os pixels da matriz. Os transistores que efetuam o reset dos fotodiodos têm uma alimentação adicional V_{DDR} , separada das alimentações anteriores.

A seleção do sinal do pixel desejado é feita habilitando o transistor de passagem R_SEL no interior do pixel, o que conecta o transistor SF do pixel à fonte de

corrente de polarização existente na coluna daquele pixel mostrado na Figura 4.4. Todos os outros pixels na mesma coluna (em linhas diferentes) não estão selecionados, assim o sinal de saída do transistor SF de apenas um pixel estará presente naquela coluna. O comando do transistor R_SEL dos pixels é feito via uma lógica de endereçamento de linha.

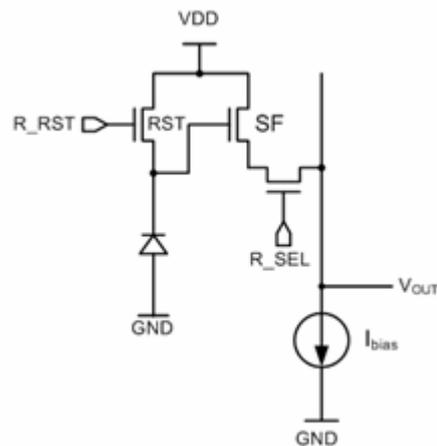


Fig. 4.4 - Esquemático conceitual de um pixel APS

O sinal de saída de cada coluna é transferido à saída global da matriz via um conjunto de chaves analógicas. Como a faixa dinâmica de saída do pixel não é próxima a V_{DD} , usam-se apenas transistores NMOS como chaves analógicas, reduzindo a capacitância total na saída. Estas chaves são comandadas por uma lógica de endereçamento de coluna.

A utilização de uma matriz APS para aquisição de imagens pressupõe a execução de um conjunto de operações numa ordem bem definida. A seqüência exata de operações e o intervalo preciso entre elas dependem do modo de utilização da matriz e das condições ambientes. Em linhas gerais, é feita a inicialização dos pixels da matriz e, após um intervalo de tempo fixo ou variável, é realizada a leitura da tensão de saída de um ou mais pixels. Como a leitura não interfere com a tensão no interior do pixel é possível repeti-la várias vezes, ou então efetuar a leitura no mesmo instante que a inicialização, ou ainda imediatamente após a inicialização. Cada variação corresponde a um modo de aquisição diferente e a intenção no projeto desta

matriz de teste foi acomodar os principais métodos de leitura atualmente utilizados em matrizes APS.

4.3.1. Lógica de Endereçamento de Linha

O endereçamento de linha é feito através de um decodificador digital 6-para-64. Este decodificador é realizado a partir do cascadeamento de decodificadores 2-para-4 com entrada de habilitação (*enable*). Cada decodificador 2-para-4 é composto de 4 portas NAND de 3 entradas e um inversor. O esquemático e o símbolo do decodificador são mostrados na Figura 4.5.

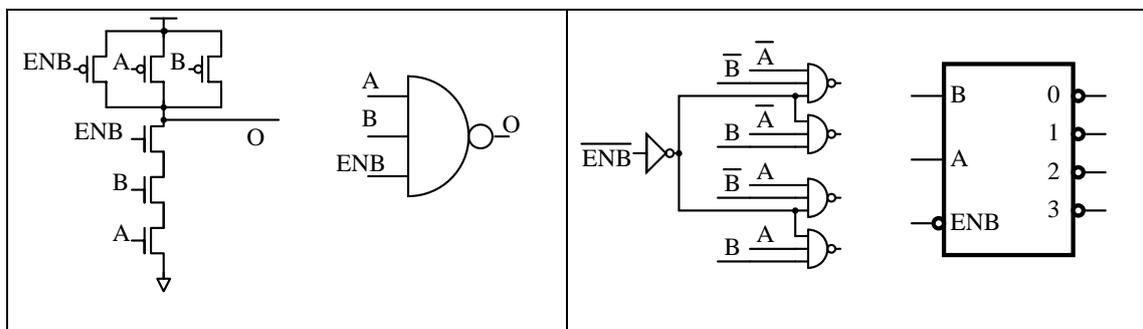


Fig. 4.5 - Esquemático e símbolo do decodificador 2-para-4

O esquemático do conjunto é mostrado na Figura 4.6.

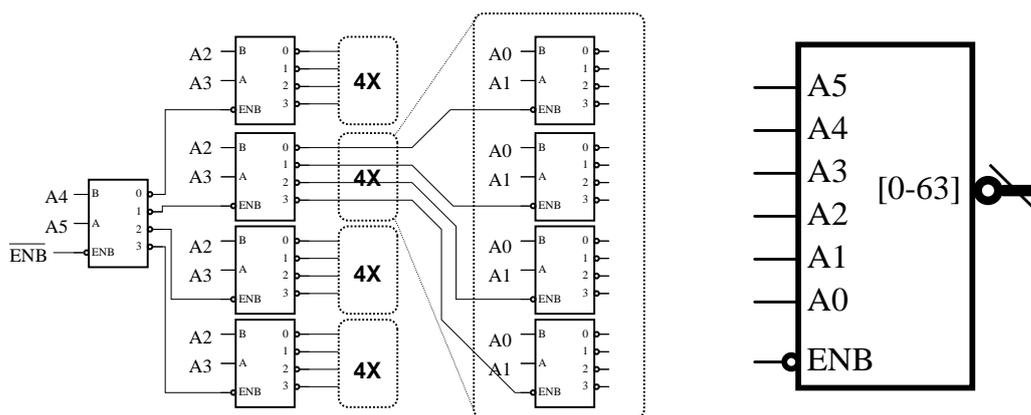


Fig. 4.6 - Esquemático e símbolo do decodificador 6-para-64 com habilitação

O uso de portas NAND3 implica que a saída do decodificador é ativa em nível lógico baixo (0, que corresponde eletricamente a V_{SS}), enquanto os transistores de

seleção no interior dos pixels são NMOS e exigem uma tensão positiva para darem passagem ao sinal. Para compatibilizar isto é necessário incluir um nível de inversão lógica. Além disto, a capacitância total apresentada por todos os pixels na mesma linha, junto com a capacitância das interconexões, é significativa. Estes dois problemas são resolvidos simultaneamente utilizando um estágio lógico adicional de buffers, capazes de fornecer mais corrente que uma porta lógica convencional. O símbolo destes buffers é mostrado na Figura 4.7.

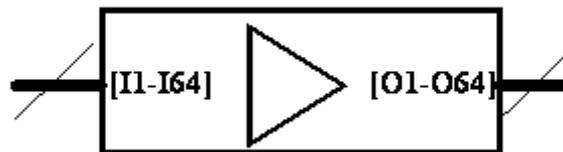


Fig. 4.7 - Símbolo do buffer de saída dos decodificadores de endereço

4.3.1.1. Simulação do Buffer

Devido à inexistência de modelos para os componentes utilizados, as simulações foram efetuadas utilizando transistores convencionais com dimensões (relação W/L) equivalentes às esperadas para os transistores resistentes à radiação utilizados.

Ao medir a máscara de layout de um “dogbone” mínimo obtém-se um comprimento $L = 0,4 \mu\text{m}$ e uma largura $W = 1,8 \mu\text{m}$. A relação $W/L = 4,5$. Sua área de porta usando o mesmo procedimento é $A = 3,98 \mu\text{m}^2$.

Fazendo a extração do layout (que utiliza o modelo de um transistor convencional), obtém-se um comprimento $L = 1 \mu\text{m}$ e uma largura $W = 4 \mu\text{m}$. A relação W/L obtida com extração de layout é $W/L = 4$ e a área de porta é $A = 4 \mu\text{m}^2$.

Sendo assim, um transistor “dogbone” mínimo equivale a um transistor convencional com relação $W/L = 4$, valor esse próximo do esperado.

As simulações serviram fundamentalmente para verificar a funcionalidade dos blocos projetados e a correção dos layouts.

As listagens das simulações encontram-se no Apêndice 2.

O Buffer foi simulado considerando carga de 0,5 pF, 1,0 pF e 1,5 pF. A Figura 4.8 mostra o resultado da simulação para uma carga de 0,5 pF.

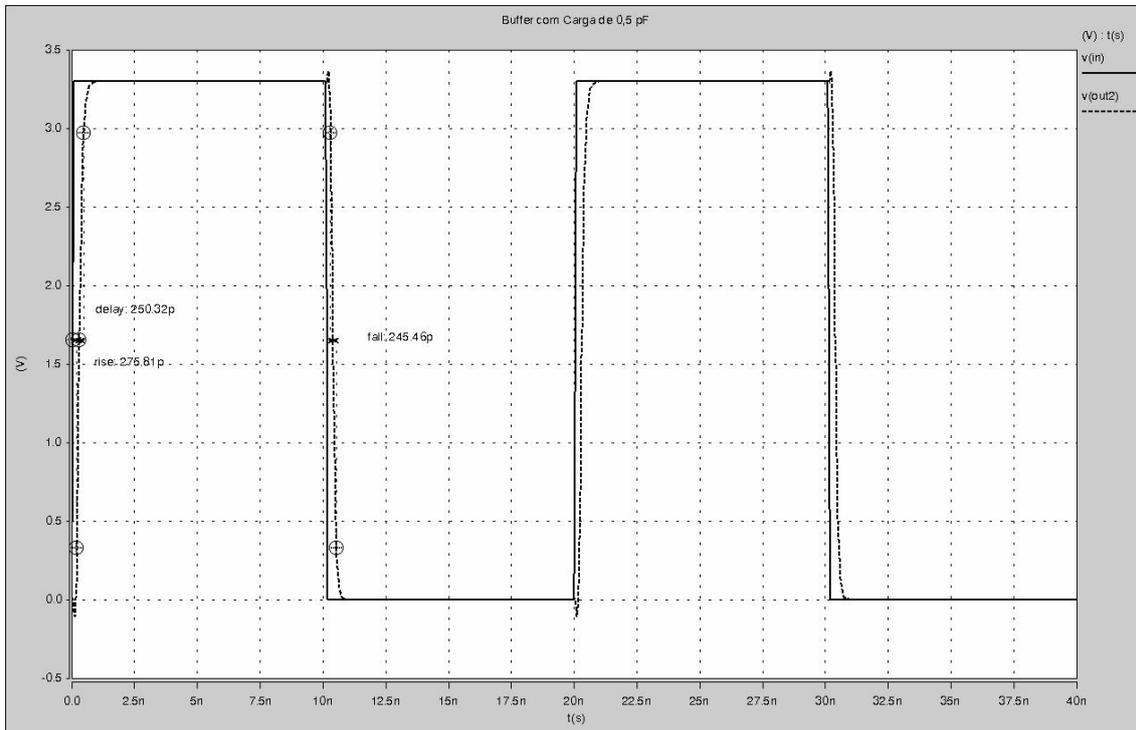


Fig. 4.8 - Buffer com carga de 0,5 pF

A Figura 4.9 mostra o resultado da simulação para uma carga de 1 pF.

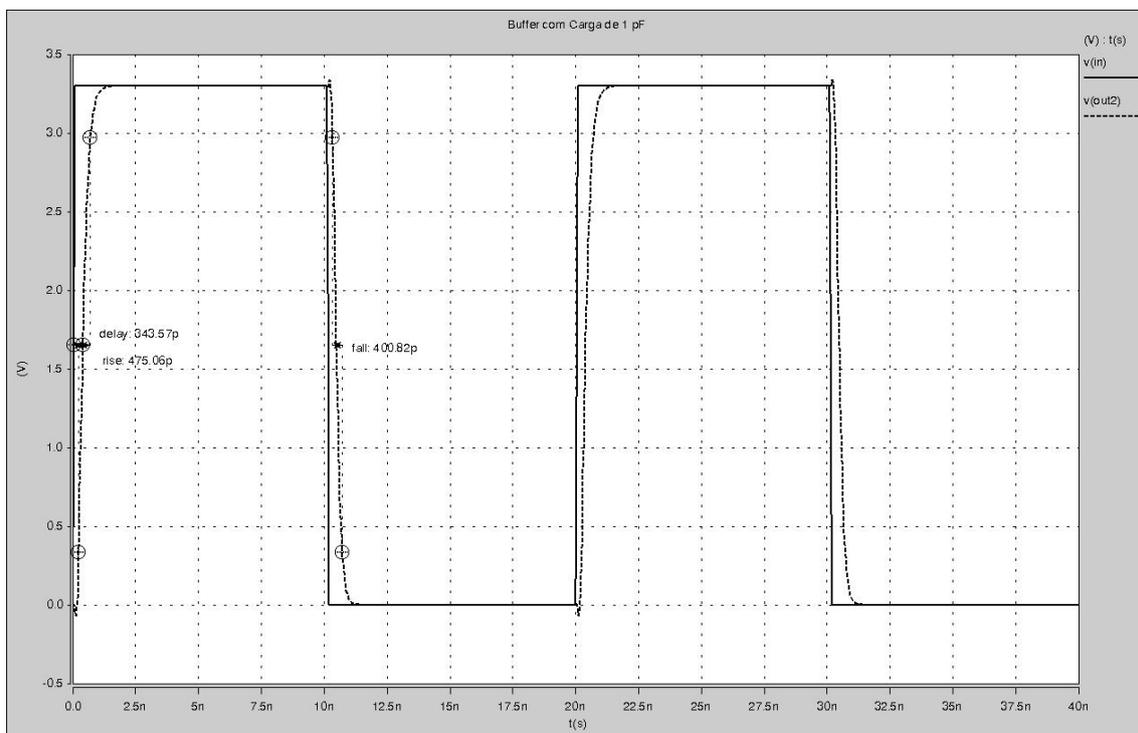


Fig. 4.9 - Buffer com carga de 1 pF

A Figura 4.10 mostra o resultado da simulação para uma carga de 1,5 pF.

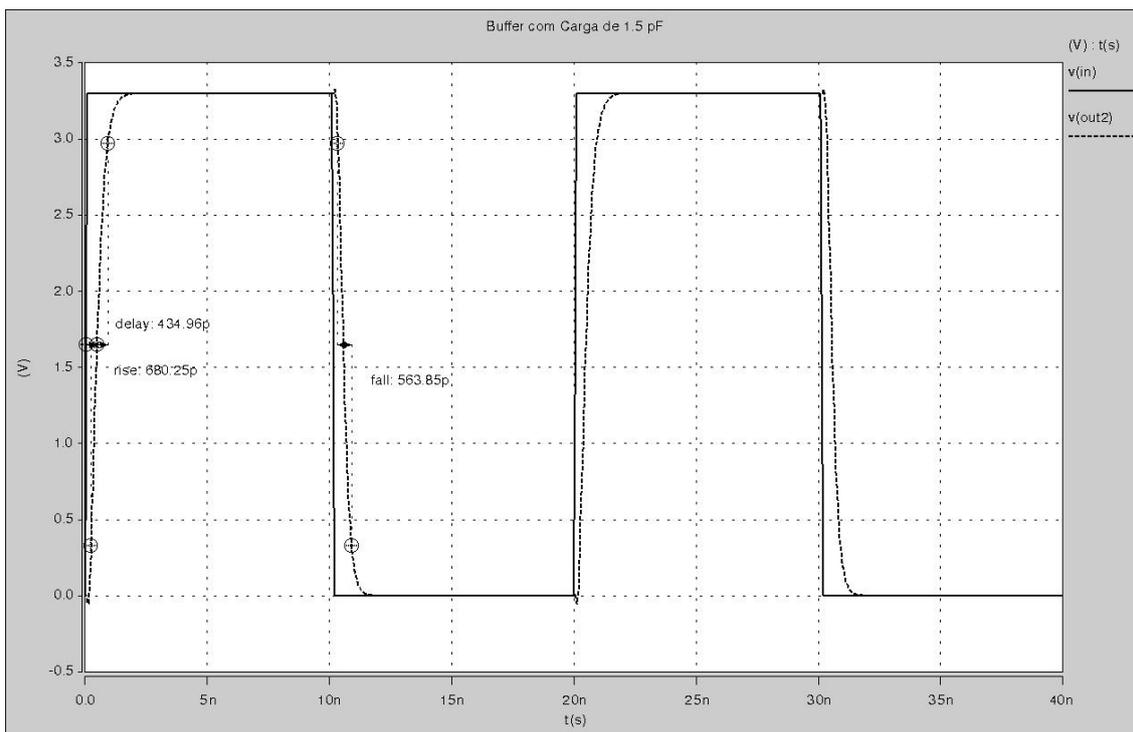


Fig. 4.10 - Buffer com carga de 1,5 pF

Na Figura 4.11, as três curvas no mesmo gráfico.

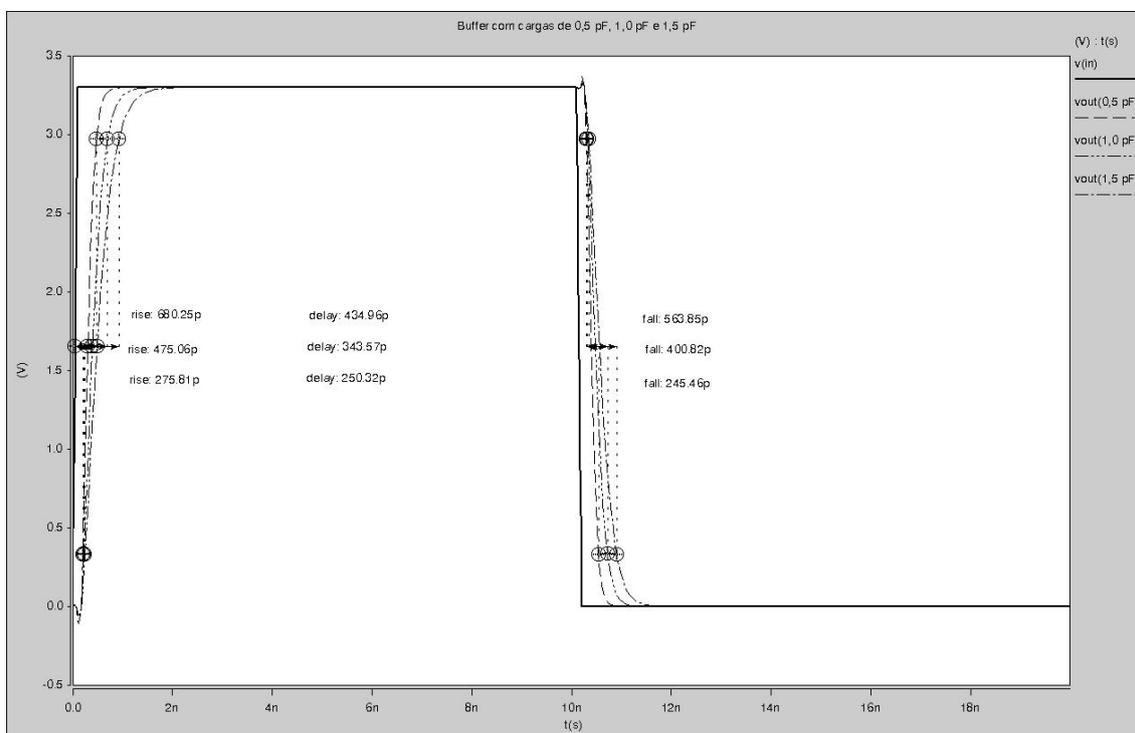


Fig. 4.11 - Buffer com carga de 0,5 pF, 1 pF e 1,5 pF

4.3.1.2. Simulação do Seletor de Linha

A Figura 4.12 mostra o resultado da simulação da lógica de seleção.

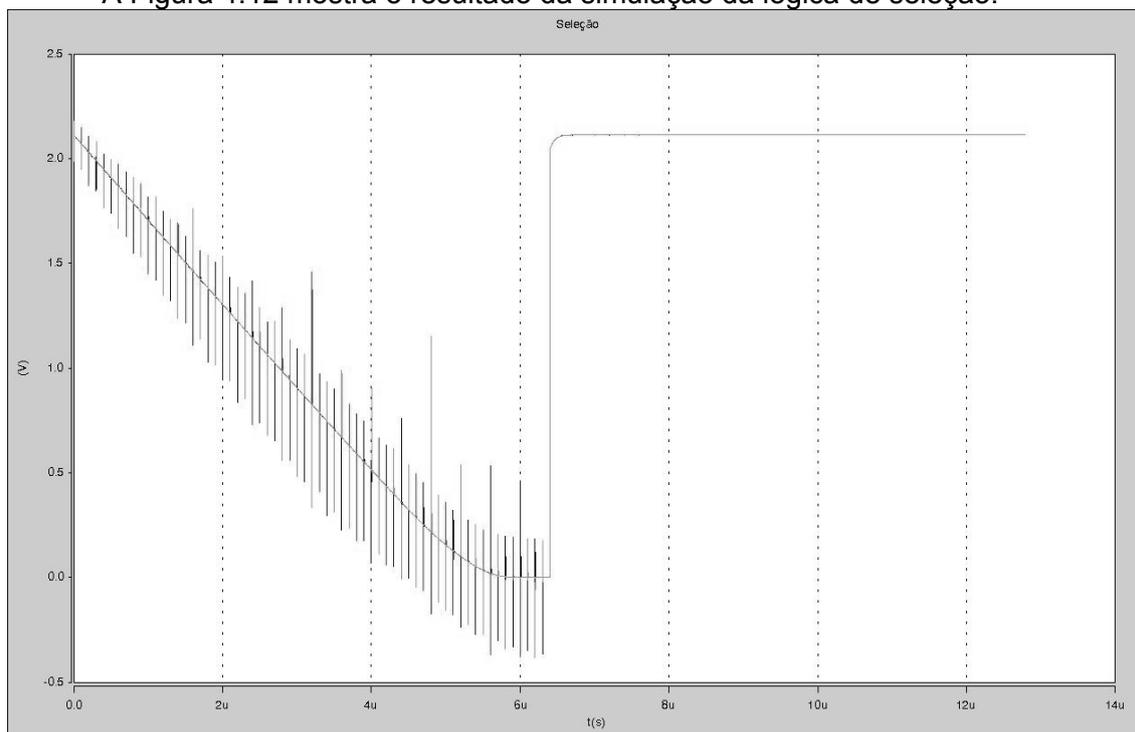


Fig. 4.12 - Lógica de Seleção de Linha

4.3.2. Lógica de Endereçamento de Coluna

O endereçamento de coluna pode ser feito de maneira similar ao que foi feito para as linhas. Neste caso a saída das colunas entraria num multiplexador analógico 64-para-1, e este multiplexador seria acionado pelas 64 saídas do decodificador digital 6-para-64.

No entanto, isto implicaria que a carga capacitiva total vista pelo pixel selecionado seria a total de sua coluna, mais a entrada da sua chave analógica no multiplexador, mais as 64 saídas de todas as chaves analógicas do multiplexador. É possível reduzir um pouco esta carga capacitiva utilizando multiplexadores analógicos em cascata. Esta foi a estratégia adotada. São utilizados 3 níveis de multiplexadores analógicos 4-para-1. No nível inicial, junto às colunas da matriz, existem 16 multiplexadores, que entram em 4 multiplexadores, e estes por sua vez entram em 1

multiplexador, no último nível antes da saída. Esta arquitetura é mostrada na Figura 4.13.

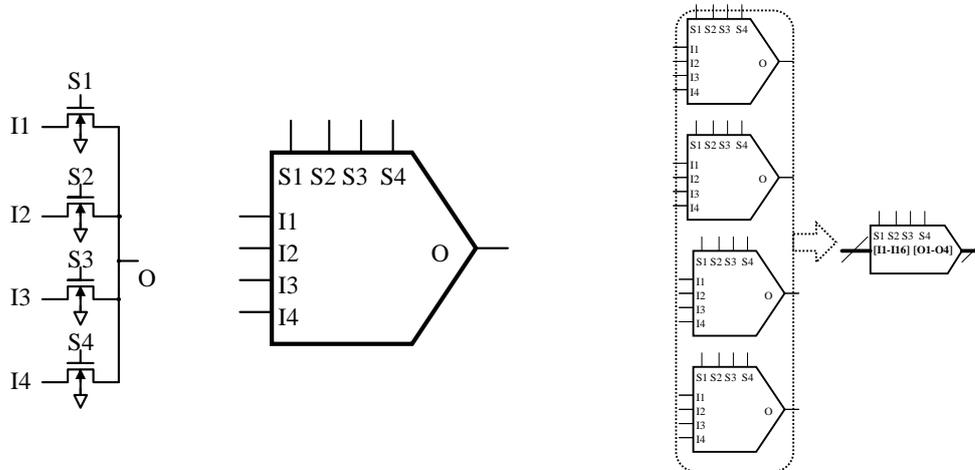


Fig. 4.13 - Arquitetura e símbolo das chaves analógicas (multiplexadores)

O comando dos multiplexadores em cada um dos níveis exige apenas 4 linhas por nível. Estas linhas de controle são geradas por decodificadores digitais 2-para-4 com habilitação. O primeiro nível recebe a decodificação dos 2 bits menos significativos do endereço da coluna. O segundo nível recebe a decodificação dos 2 bits do meio e o terceiro nível recebe a decodificação dos 2 bits mais significativos. Isto pode ser visto na Figura 4.14, onde são mostradas as chaves analógicas associadas aos decodificadores.

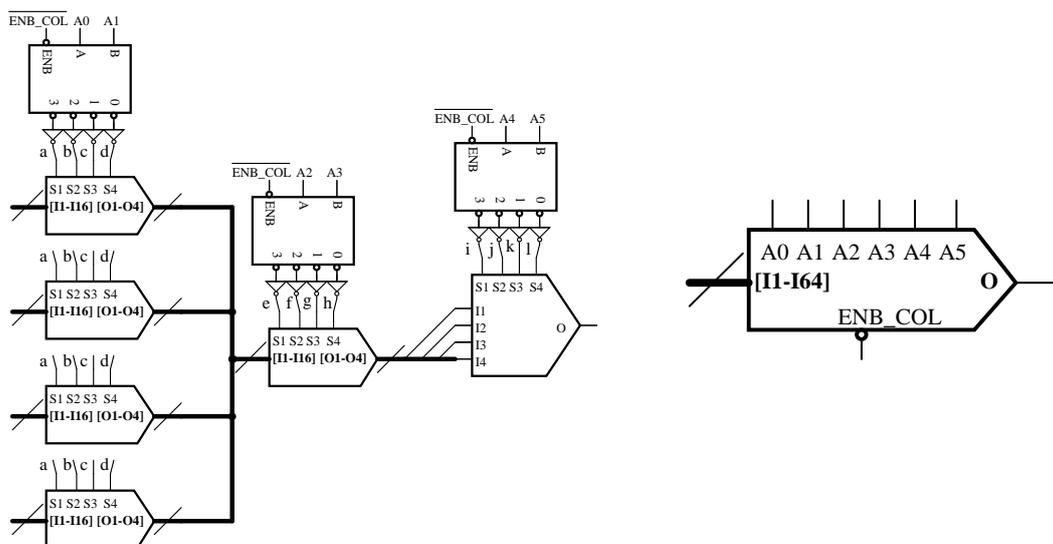


Fig. 4.14 - Arquitetura e símbolo do multiplexador analógico de 64 entradas e uma saída

Analogamente à seleção de linha, os decodificadores digitais têm saída ativa em “0” e as chaves analógicas necessitam de uma tensão positiva para permitirem a passagem do sinal. O problema é resolvido por um estágio de buffer de linha que também suprime a carga capacitiva total vista pelas portas lógicas. A arquitetura mostrada é suficiente para endereçar a coluna desejada e conectá-la eletricamente com o pino de saída do circuito integrado. No entanto, os pixels deste circuito foram concebidos de forma a permitir também o reset de um único pixel. Isto implica na necessidade de dispor de um decodificador digital 6-para-64 completo também para as colunas. Assim, acionando o sinal de reset da linha e o da coluna ao mesmo tempo provoca-se o reset de um único pixel, no ponto onde houver coincidência dos comandos de linha e coluna. Conseqüentemente foi incluído um decodificador digital 6-para-64 como o da Figura 4.6 também para as colunas que, além de gerar o sinal de reset para cada coluna, também é aproveitado para comandar os três estágios de chaves analógicas que levam o sinal de saída de cada coluna até a saída global do circuito. Isto é feito acionando as 4 chaves analógicas do terceiro nível com as saídas do decodificador 2-para-4 que decodifica os bits mais significativos, as 16 chaves analógicas do segundo nível com as saídas dos 4 decodificadores que recebem os bits intermediários e as 64 chaves analógicas junto à saída das colunas com as saídas dos 16 decodificadores que recebem os bits menos significativos. Entre a chave analógica, que necessita de um nível “1” para dar passagem ao sinal, e a saída do decodificador que usa lógica invertida (ativado é nível 0), são colocados inversores, que também funcionam como buffers para suportar a carga capacitiva do roteamento sem aumentar muito o atraso do sinal. A arquitetura final é mostrada na Figura 4.15.

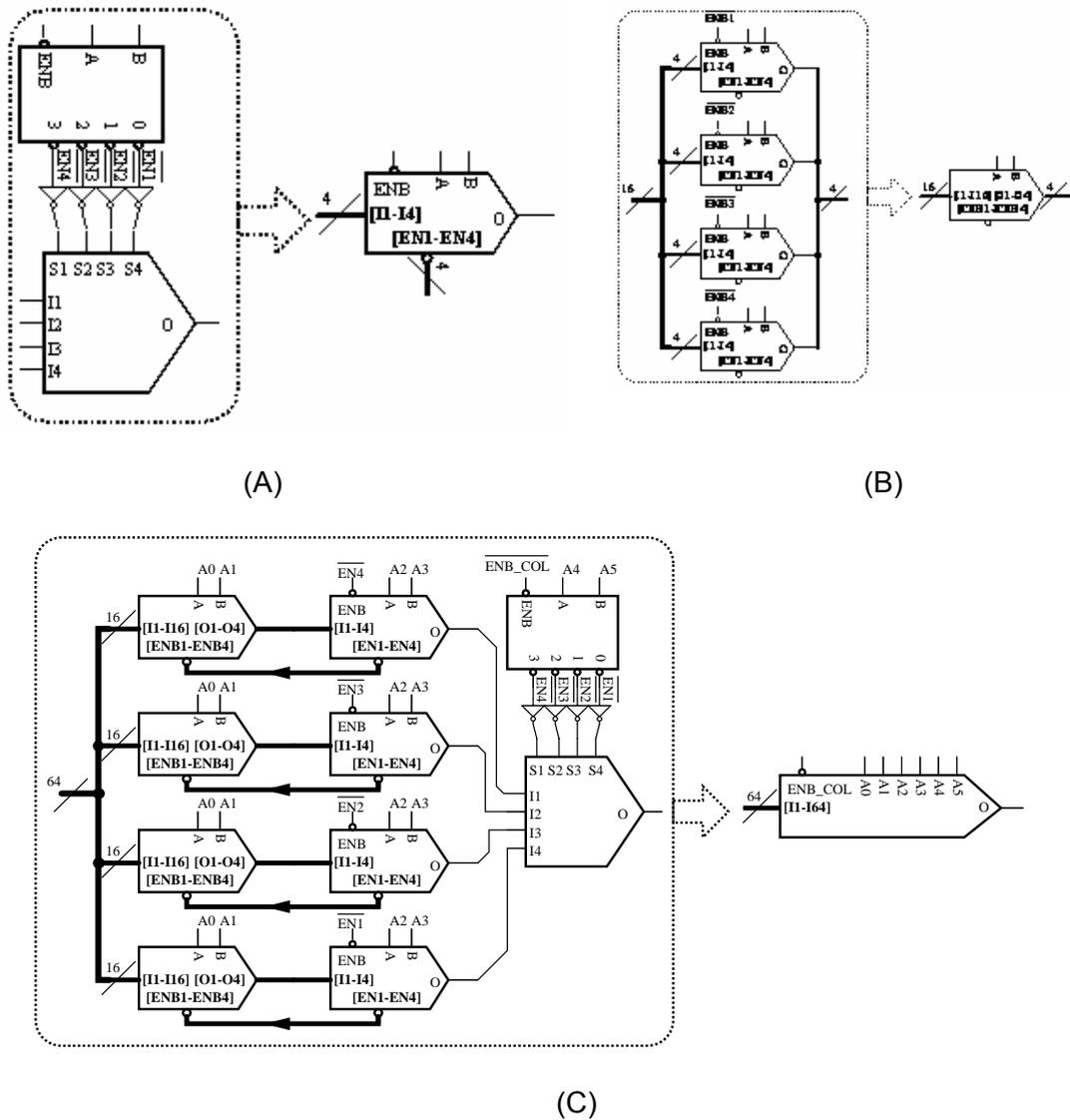


Fig. 4.15 - Lógica digital efetivamente realizada para comando dos multiplexadores.

(A) e (B) mostram a estrutura dos blocos em (C)

4.3.2.1. Simulação do Decodificador de Coluna

Os resultados da simulação do decodificador de coluna são apresentados nas Figuras 4.16. e Figura 4.17.

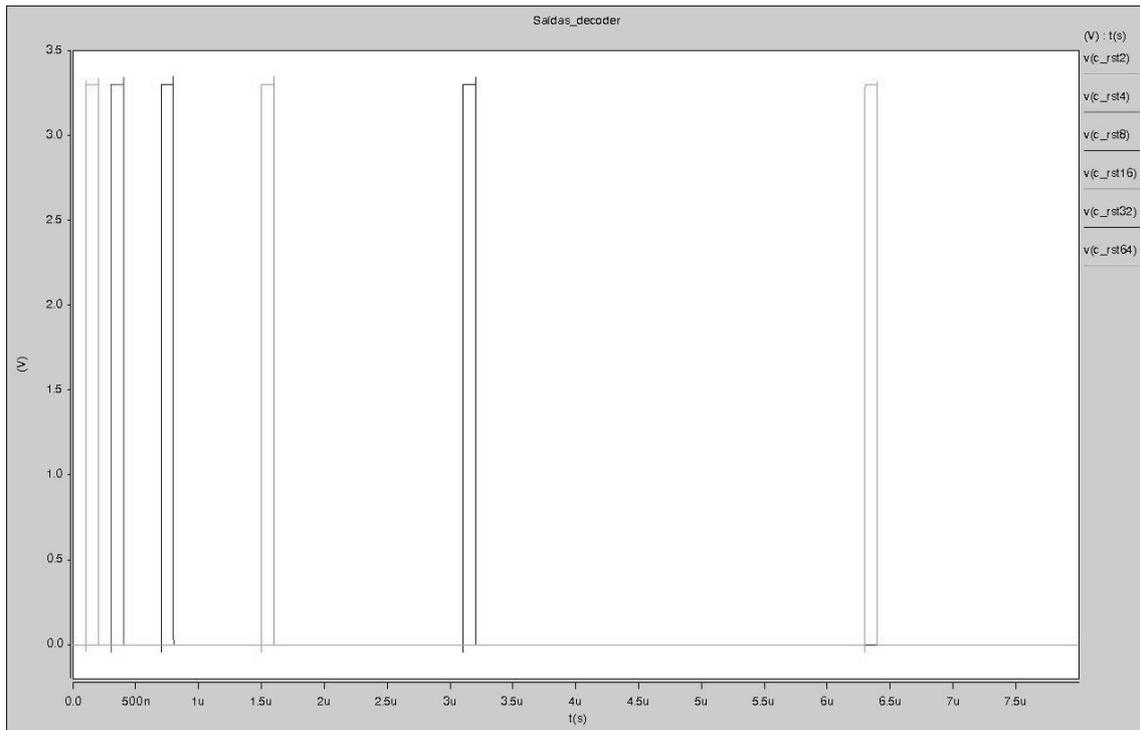


Fig. 4.16 - Saídas do decodificador rst2, rst4, rst8, rst16, rst32 e rst64

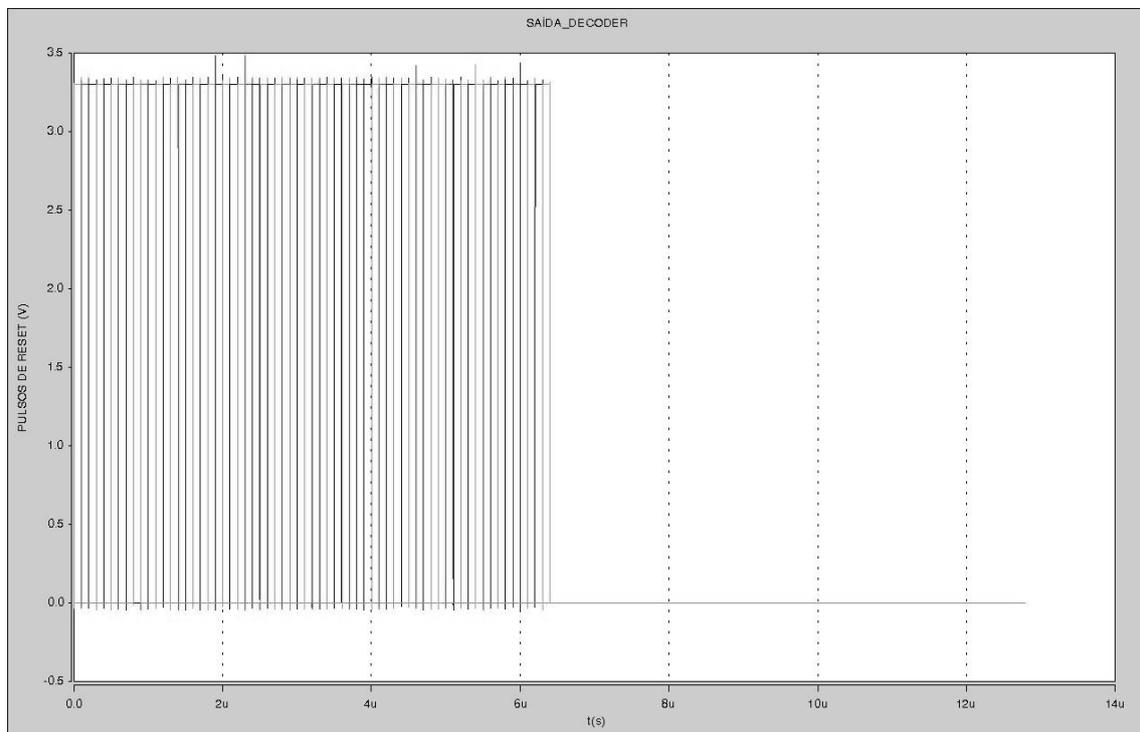


Fig. 4.17 - Saídas do decodificador rst1 a rst64

4.3.3. Lógica de Comando de Reset

O uso de uma matriz APS para imageamento exige um seqüenciamento bem definido de operações, dentre as quais a mais fundamental é a inicialização da tensão no catodo dos fotodiodos dos pixels, chamada ao longo deste trabalho de inicialização do pixel, que determina o início do período de integração do fluxo luminoso incidente. O final do período de integração é determinado implicitamente pelo momento da leitura do sinal do pixel. Quando o pixel não dispõe de um circuito interno para prevenir o ofuscamento é comum manter os pixels já lidos em estado de inicialização, e assim evitar que os fotoelétrons se dirijam para pixels adjacentes e ainda não lidos. Neste circuito, a lógica de inicialização é simplificada. Os pixels permitem aplicar a inicialização de maneira individual, o que é útil para aplicações onde o fluxo incidente é muito fraco, ou quando existe uma disparidade muito grande entre a intensidade do fluxo em duas regiões da mesma imagem. Analogamente, a inicialização individual permite compensar até certo ponto o efeito de pixels com corrente no escuro aumentada. O endereçamento da inicialização exige a decodificação do endereço da linha e da coluna do pixel. A decodificação da linha aproveita a saída do decodificador digital 6-para-64, já utilizado para endereçamento da leitura. A decodificação da coluna exigiu a inclusão de um segundo decodificador digital 6-para-64 que foi aproveitado para o endereçamento de leitura. Na saída dos decodificadores foi incluída uma lógica combinacional que permite controlar a passagem do comando de inicialização para a linha/coluna. Este circuito é mostrado na Figura 4.18.

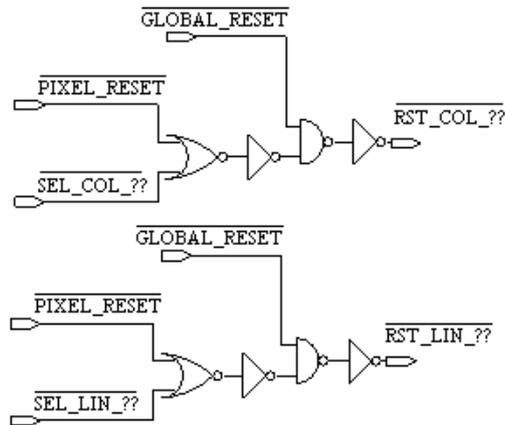


Fig. 4.18 - Lógica digital na saída dos decodificadores 6-para-64 para controle da inicialização

Conseqüentemente, o pixel é endereçado tanto para leitura como para reset. Alternativamente pode-se dizer que quando se endereça o pixel, tanto é possível efetuar a leitura como fazer o reset, ou mesmo as duas coisas simultaneamente. Atualmente a entrada PIXEL_RESET controla a passagem do reset para o pixel endereçado. A entrada ARRAY_RESET força o reset de todos os pixels da matriz.

4.3.4. Lógica de Comando de Leitura

O diagrama global da lógica de comando de leitura é mostrado na Figura 4.19. As coordenadas X e Y do pixel desejado são apresentadas nas respectivas entradas, em codificação binária sem sinal e a entrada ADDR_ENABLE é acionada. O sinal do transistor seguidor de fonte selecionado aparece na saída global. É importante observar que não existe nenhum estágio intermediário de amplificação ou de buffer, então não se deve retirar ou entregar nenhuma corrente significativa nesta saída, sob pena de alterar a polarização do transistor seguidor de fonte.

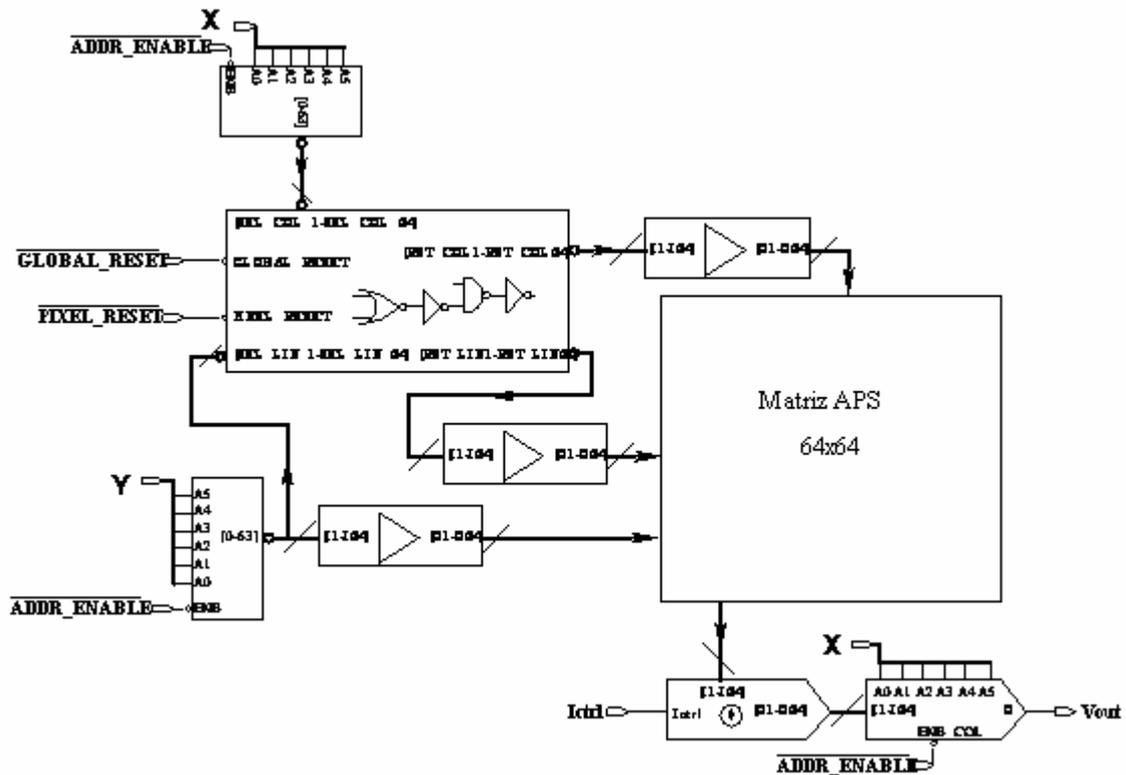


Fig. 4.19 - Esquemático conceitual da lógica de comando de leitura

Se a entrada PIXEL_RESET for acionada concomitantemente então haverá simultaneamente leitura e inicialização do pixel endereçado.

4.3.5. Arquitetura dos Pixels

A matriz APS contém quatro tipos de pixels diferentes. Todos os pixels são projetados de maneira a minimizar a sensibilidade aos efeitos da radiação ionizante e ao mesmo tempo maximizar a sensibilidade à luz incidente. Cada tipo de pixel incorpora variações de arquitetura ou de projeto para buscar o melhor compromisso possível nesta tecnologia.

Todos os pixels realizados neste circuito utilizam como elemento fotosensor um diodo reversamente polarizado normalmente operado em modo integrador do fluxo luminoso incidente. A seqüência básica e conceitual de operação é a seguinte:

1. Efetuar reset da tensão do catodo do fotodiodo para o nível da alimentação positiva via o transistor RST;

2. Desativar a passagem de corrente pelo transistor RST e deixar o catodo do fotodiodo eletricamente isolado. Nesta situação fótons serão capturados pela região de depleção do fotodiodo, e a tensão do catodo cairá em direção ao nível de potencial do substrato;
3. Selecionar o pixel através do transistor SEL e observar a tensão do fotodiodo através do transistor seguidor de fonte SF, polarizado pela fonte de corrente externa ao pixel.

Esta seqüência pode ser ligeiramente modificada quando o pixel dispõe de um transistor adicional TX, como mostrado na Figura 4.20. A maneira como este transistor está conectado no circuito permite a operação em modo obturador eletrônico (*snapshot*). Se isto não for desejado é necessário fixar a tensão da porta do transistor TX ao nível da alimentação positiva.

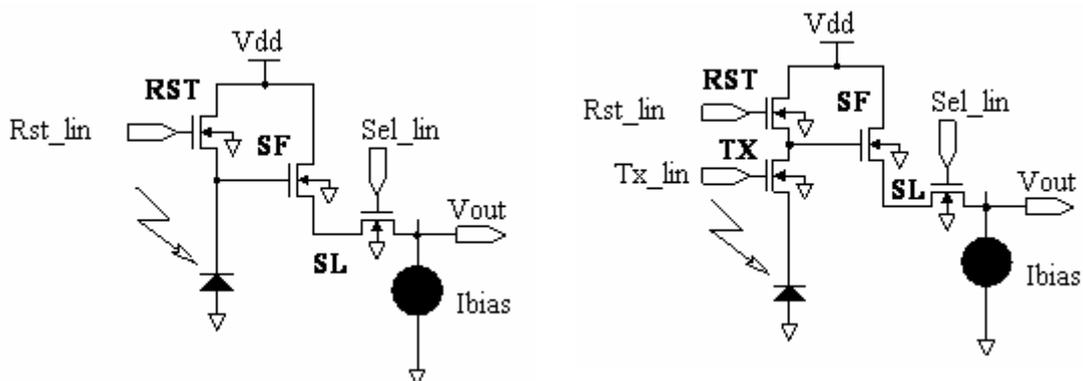


Fig. 4.20 - Esquemático simplificado dos pixels, sem e com transistor adicional

No modo de captura instantânea a aquisição da imagem é interrompida simultaneamente em todos os pixels da matriz, usando o transistor TX para capturar na porta do transistor SF a tensão do catodo do fotodiodo, em todos os pixels. A seqüência conceitual de operação neste modo passa a ser:

1. Efetuar reset da tensão do catodo do fotodiodo para o nível da alimentação positiva, via o transistor RST e o transistor TX;
2. Desativar o transistor RST e deixar o catodo do fotodiodo eletricamente isolado, mantendo o transistor TX ativado. Nesta situação fótons serão capturados pela

região de depleção do fotodiodo, e a tensão do catodo cairá em direção ao nível de potencial do substrato;

3. Após a passagem do tempo de exposição desejado, desativar o transistor TX e assim capturar a tensão do catodo na porta to transistor SF;
4. Selecionar o pixel através do transistor SEL e observar a tensão capturada do fotodiodo através do transistor SF, polarizado pela fonte de corrente externa ao pixel.

Também é possível operar os pixels em modo contínuo, sem integração do fluxo luminoso. Neste caso, basta utilizar o transistor RST como um resistor de polarização, mantendo a porta do transistor RST na alimentação positiva (junto com a porta do transistor TX, se existir no pixel). Nesta configuração, conhecida como modo logarítmico, o fluxo luminoso instantâneo pode ser obtido em qualquer instante.

Os níveis de tensão a serem aplicados para ativar e desativar os transistores RST e TX são controlados externamente. Em uma primeira aproximação só serão utilizados dois níveis, Vdd (i.e. a alimentação positiva) e Vss (i.e. a tensão do substrato — que deve ser aterrado).

Os transistores RST e TX podem exercer outras funções, além das funções básicas indicadas. Durante a integração do sinal é por vezes desejável manter a porta do transistor RST (e TX, se existir) a um nível de tensão intermediário (entre 1 e 2 volts) para prevenir a ocorrência de ofuscamento de pixels adjacentes a um pixel submetido a uma intensidade luminosa maior.

4.3.5.1. Pixel Tipo 1

O pixel de tipo 1 é mostrado na Figura 4.21. O elemento sensível é um fotodiodo do tipo NWELL/PSUB (circundado por estrutura de proteção contra os efeitos da radiação ionizante). Os transistores do pixel têm um desenho próprio para aumentar a tolerância à radiação.

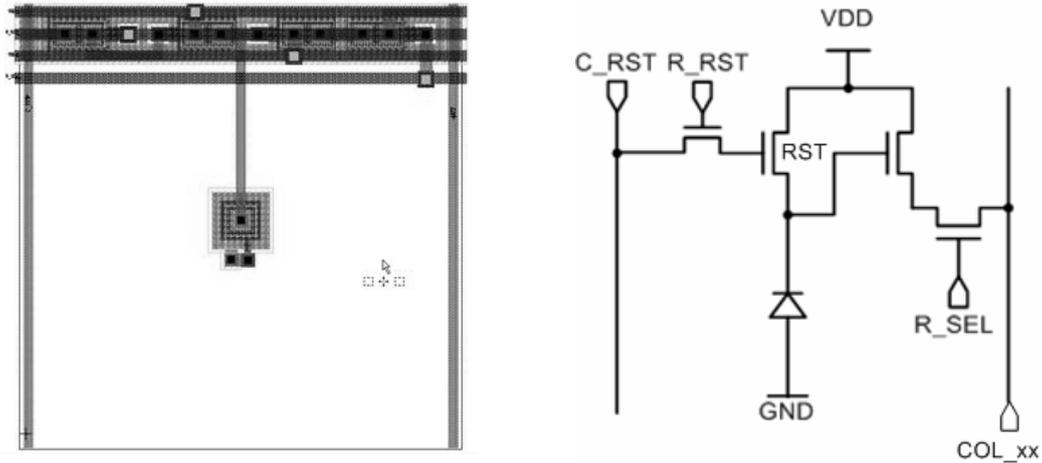


Fig. 4.21 - Pixel de tipo 1 e o circuito elétrico equivalente

4.3.5.2. Pixel Tipo 2

O pixel de tipo 2 é mostrado na Figura 4.22. O sensor também é um fotodiodo do tipo NWELL/PSUB, circundado por uma estrutura de proteção como o anterior. Para investigar a eficiência da estrutura foram utilizados quatro fotodiodos idênticos, conectados em paralelo, e distribuídos pela área total do pixel.

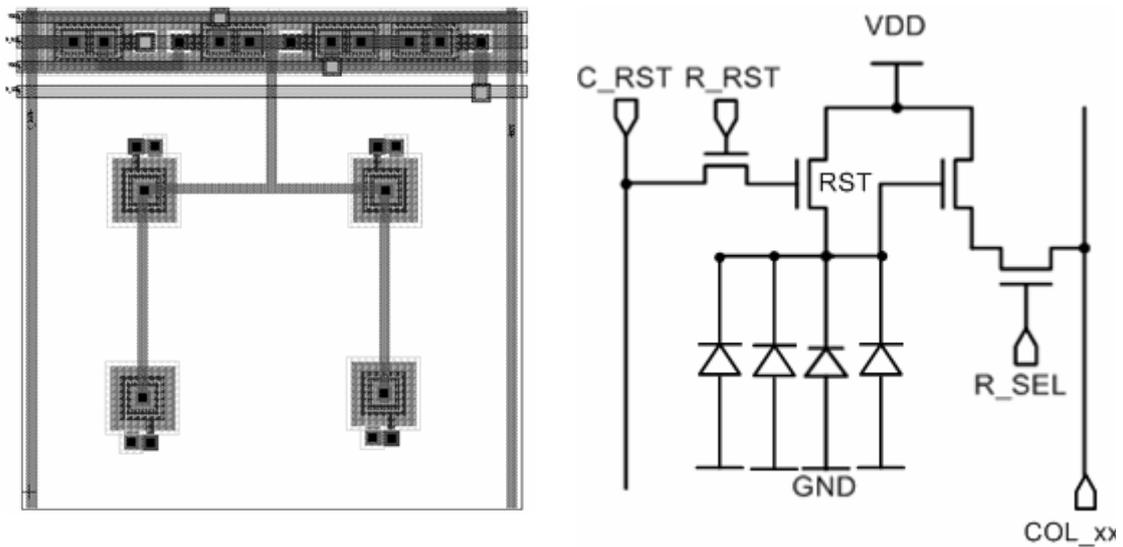


Fig. 4.22 - Pixel do tipo 2 e o circuito elétrico equivalente

4.3.5.3. Pixel Tipo 3

O pixel de tipo 3 mostrado na Figura 4.23 é similar ao pixel de tipo 2 modificado para incluir um transistor adicional no circuito que efetua o reset do pixel. Este pixel

pode ser usado também em modo de captura instantânea. No entanto a lógica de comando da matriz APS realizada neste circuito não dá suporte a este tipo de modo de captura.

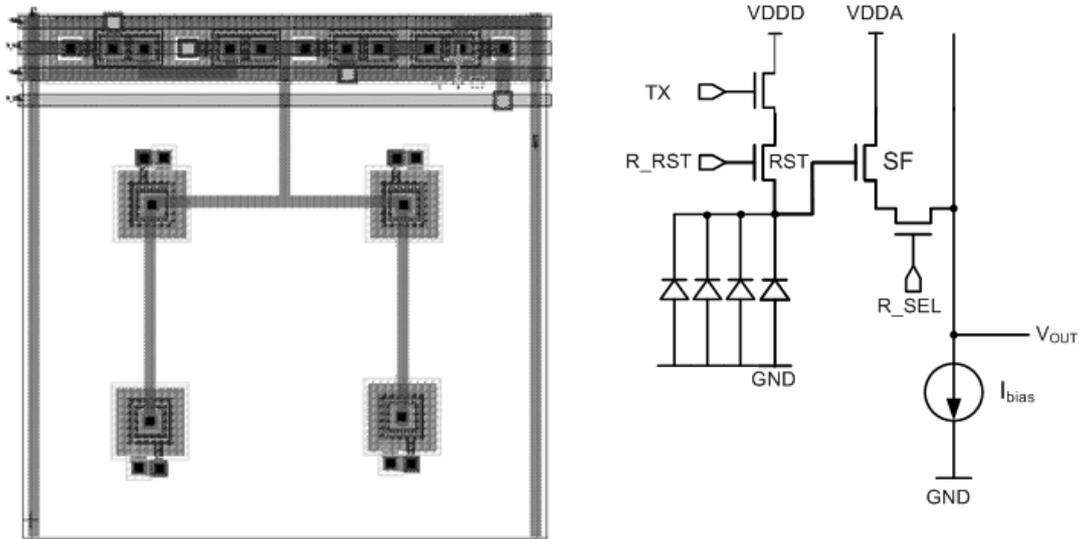


Fig. 4.23 - Pixel do tipo 3 e o circuito elétrico equivalente

4.3.5.4. Pixel Tipo 4

O pixel de tipo 4 é mostrado na Figura 4.24. O sensor é um fotodiodo do tipo N+/PSUB circundado por estrutura de proteção como os anteriores. Este pixel tem o objetivo de comparar o desempenho de uma junção rasa com uma junção profunda, nesta tecnologia.

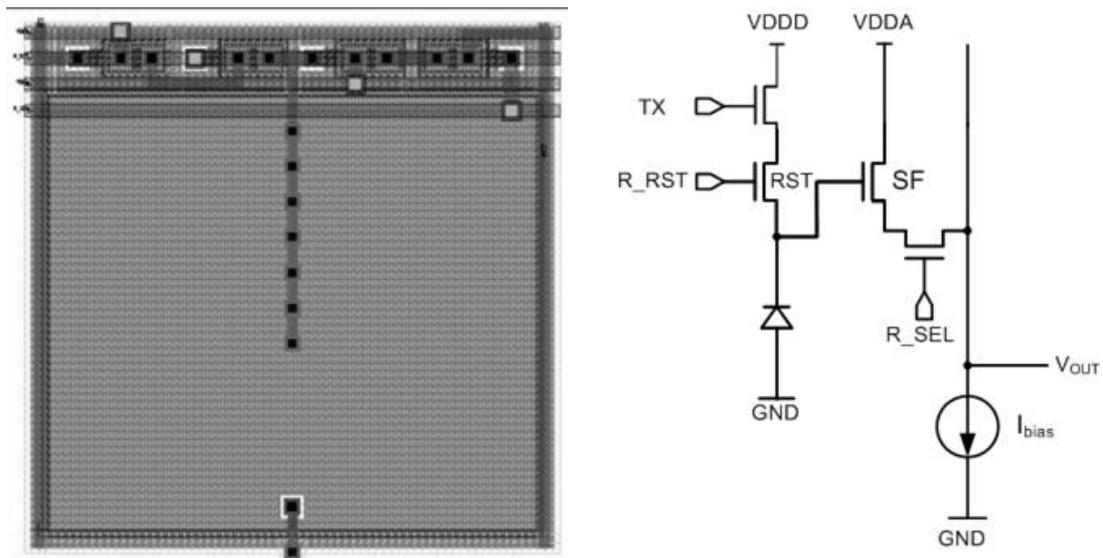


Fig. 4.24 - Pixel do tipo 4 e o circuito elétrico equivalente

4.3.6. Circuito Interno de Polarização

Cada coluna dispõe de sua própria fonte de corrente, que polariza o transistor seguidor de fonte do pixel da linha selecionada.

As 64 fontes de corrente estão numa estrutura de espelho de corrente, e são controladas pela entrada ICTRL. A corrente de cada fonte será igual à corrente injetada nesta entrada. O desenho da fonte de corrente de uma coluna e o circuito elétrico equivalente é mostrado na Figura 4.25.

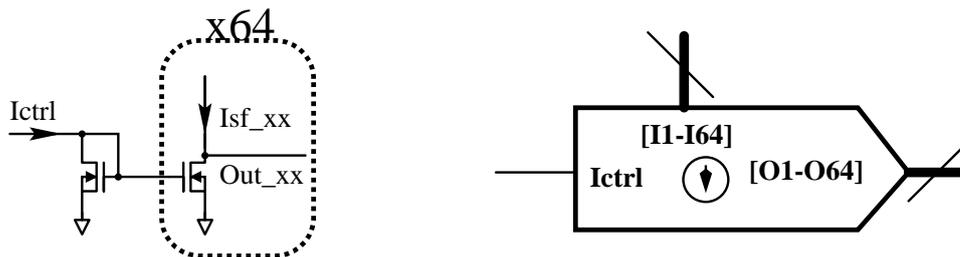


Fig. 4.25 - Esquemático e símbolo da fonte de corrente de polarização de cada coluna

O ruído injetado neste ponto também será propagado sendo recomendado, portanto conectar um capacitor de desacoplamento entre a entrada ICTRL e a alimentação negativa do circuito. A programação da corrente pode ser feita de maneira simples, usando um potenciômetro entre ICTRL e a alimentação positiva. A resistência de entrada de ICTRL varia de maneira quadrática inversa (reduz com a corrente).

4.3.7. Saída do Sinal da Matriz

A saída do SF selecionado é conectada no pino VOUT. Este é o único sinal de saída da matriz. A impedância de saída ainda não foi determinada, mas a princípio não é desejável que o circuito externo forneça ou consuma corrente deste pino em níveis significativos em relação à corrente programada via ICTRL. O esquema elétrico equivalente do interior de um pixel selecionado até o pino de saída é mostrado na Figura 4.26.

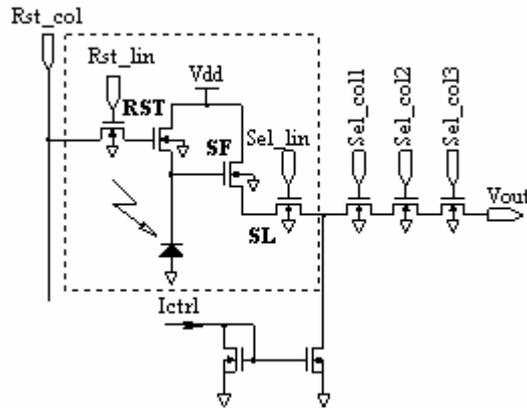


Fig. 4.26 - Caminho elétrico conceitual que leva o sinal do catodo do fotodiodo até a saída $Vout$ do circuito para a matriz 64x64

4.4. Estruturas de Teste

Além da matriz APS o circuito contém um conjunto de estruturas de teste, para permitir a caracterização de transistores e de circuitos digitais, em separado.

4.4.1. Matriz de Transistores

Para efetuar a extração de parâmetros do processo para os modelos EKV foram incluídos 4 grupos de transistores no circuito, como mostrado na Figura 4.27.

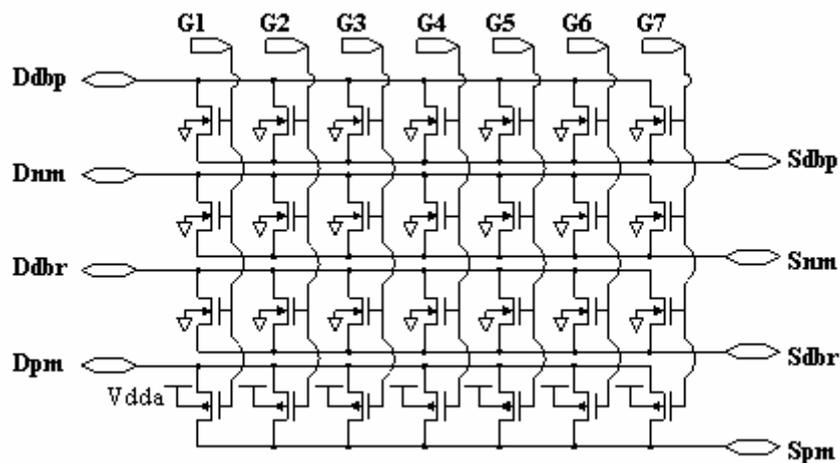


Fig. 4.27 - Esquemático da matriz de transistores para caracterização e extração de parâmetros

O primeiro grupo de transistores contém transistores “dogbones” na forma utilizada no resto do circuito. As dimensões de cada transistor foram escolhidas segundo as necessidades da metodologia de extração do modelo.

O segundo grupo contém transistores NMOS retangulares. Cada transistor se encontra isolado dos outros e do resto do circuito por estruturas de proteção contra a inversão do substrato pela radiação. Este grupo será utilizado para extrair os parâmetros do modelo e em seguida comparar com os resultados obtidos com os transistores do primeiro grupo, e assim verificar a aplicabilidade das fórmulas de ajuste. Também será possível comparar a tolerância de transistores com os dois tipos de geometria.

O terceiro grupo contém transistores PMOS retangulares. Nenhum cuidado especial contra a inversão do substrato é necessário, salvo que existe um anel de proteção em torno do poço N que contém os transistores. Este poço é polarizado pela alimentação positiva V_{DDA} desta metade do circuito.

O quarto grupo contém transistores NMOS com geometria fechada consistindo de “dogbones” idênticos aos de mesmo tamanho do primeiro grupo, salvo que o perímetro externo não está em contato com uma difusão p+. O objetivo é investigar o impacto da interface de óxidos fino e espesso no funcionamento do transistor. Os outros são transistores de geometria fechada retangulares. As dimensões dos transistores são fornecidas no Apêndice 1.

4.4.2. Circuitos Lógicos

O imageador APS na sua versão definitiva deve ter uma interface de uso mais simples e, ao mesmo tempo, oferecer a leitura contínua dos pixels. Para isso será necessário adicionar alguns circuitos lógicos seqüenciais.

Neste tipo de circuito é necessário saber, com razoável precisão, os tempos de subida e de descida bem como os níveis elétricos de comutação das portas lógicas, para calcular os atrasos. Sabendo o atraso característico então é possível definir a

freqüência máxima de leitura da matriz. Com este fim foram incluídos dois circuitos lógicos no projeto realizando funções que serão necessárias na matriz definitiva.

4.4.2.1. Registrador com Deslocamento Síncrono

A leitura dos pixels via dois decodificadores de endereço estático exige um grande número de pinos e implica que o circuito externo contenha um seqüenciador que apresente os endereços ao circuito.

A maneira usual de fazer a aquisição de uma imagem consiste em varrer seqüencialmente as linhas, lendo todos os pixels de uma linha e em seguida passando para a linha seguinte, e assim sucessivamente. O tempo de integração do sinal é o intervalo entre o momento da inicialização do pixel e a sua leitura. Os pixels onde a integração do sinal já foi finalizada são usualmente mantidos em estado de reset, para drenar preventivamente os fotoportadores e assim evitar o ofuscamento de pixels ainda não lidos.

Este acesso estritamente seqüencial (*rolling shutter*) pode ser efetuado de maneira mais cômoda usando registradores de deslocamento síncronos no lugar de decodificadores estáticos. A entrada de relógio avança bits no registrador que acionam ou liberam as linhas de seleção de linha/coluna, para leitura ou reset. Se forem utilizados registradores inicializáveis é possível carregar qualquer padrão de bits e fazer a leitura e o reset individual e arbitrário como no circuito atual.

Para explorar o funcionamento deste tipo de circuito nesta tecnologia usando transistores de geometria fechada foi implementado um registrador de deslocamento síncrono de 64 bits, usando transistores de dimensões mínimas. A entrada de carga está ligada a um decodificador 6-para-64, idêntico ao utilizado na matriz de pixels. A arquitetura deste conjunto é mostrada na Figura 4.28.

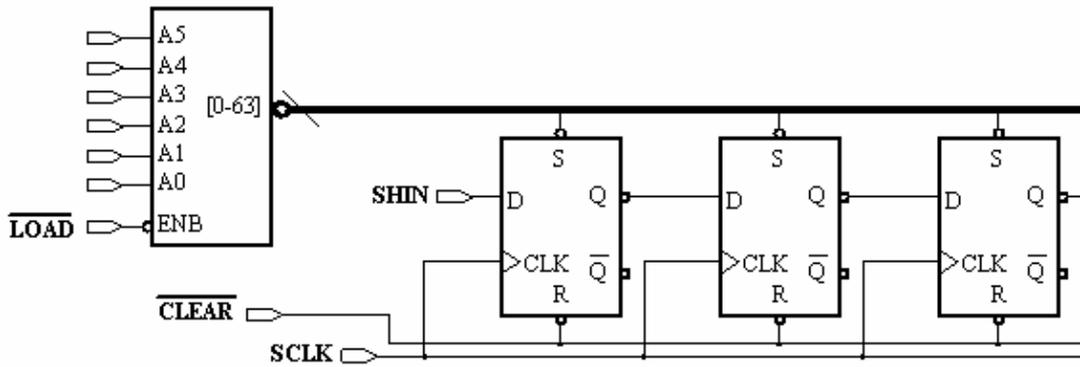


Fig. 4.28 - Arquitetura do registrador síncrono

O registrador e o decodificador são alimentados pelo barramento V_{DD} desta metade do circuito. O bit apresentado na entrada SHIN é transferido para dentro do registrador na borda de subida da entrada de relógio SCLK, e todos os bits já existentes no registrador avançam uma posição. O último bit do registrador aparece na saída. O conteúdo do registrador pode ser inicializado de maneira assíncrona usando as linhas de controle. Também é possível inicializar o registrador com a saída do decodificador. Os 6 bits apresentados nas entradas I0-I5 são decodificados e as saídas do decodificador são carregadas no registrador na borda de subida de SCLK, quando a entrada estiver acionada. O bloco básico do registrador de deslocamento é um flip-flop master-slave do tipo D. A arquitetura deste flip-flop é mostrada na Figura 4.29.

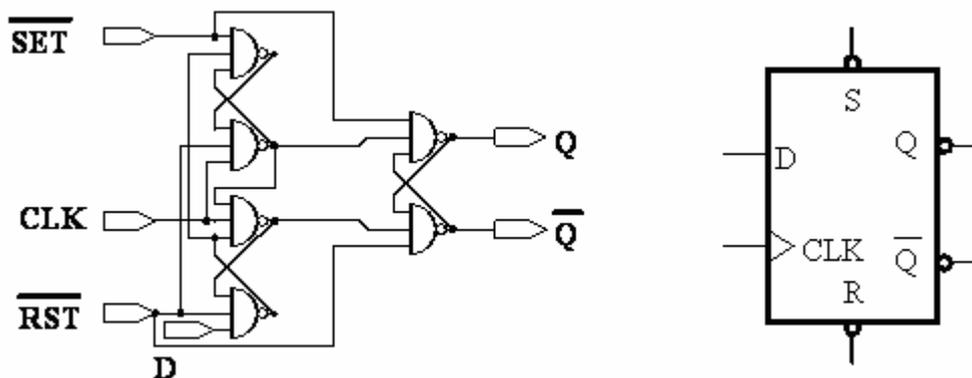


Fig. 4.29 - Esquemático e símbolo do flip-flop que compõe o registrador

4.4.2.2. Oscilador em Anel

O oscilador em anel permite observar de maneira simples a maior frequência de operação possível da tecnologia. Foi feito um oscilador em anel de 255 estágios, alimentados pelo barramento V_{DD} desta metade do circuito integrado. O diagrama é apresentado na Figura 4.30.

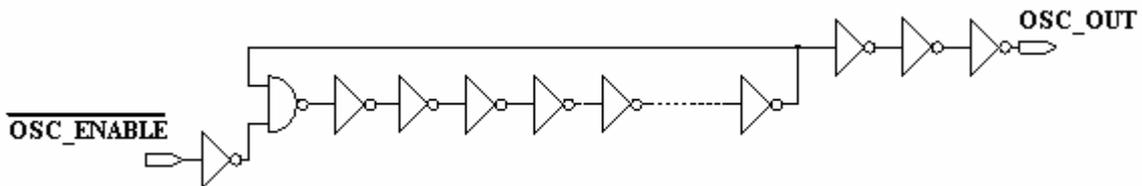


Fig. 4.30 - Arquitetura do oscilador em anel

Foi utilizada uma porta lógica NAND3 para permitir bloquear o oscilador. A saída do oscilador CLKOUT passa por 3 buffers e em seguida vai até o pad. Com este circuito é possível estimar o atraso por porta lógica.

4.5. Interface Externa

Os elementos apresentados descrevem a estrutura interna do circuito integrado. Nesta seção são descritas as características do circuito vistas do exterior. São abordados os aspectos mecânicos, lógicos e elétricos, necessários para montagem numa jiga de testes.

Os parâmetros elétricos e lógicos mencionados representam estimativas, e estão sujeitos a correções importantes, depois de verificação experimental.

4.5.1. Encapsulamento

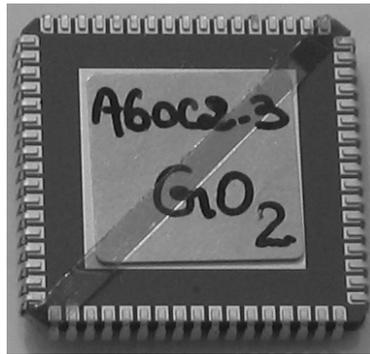
O encapsulamento utilizado para o circuito é o JLCC68, um J-leaded ceramic circuit carrier em cerâmica, com 68 pinos. As dimensões em mm do encapsulamento são dadas na Tabela 4.1. Os fios (*bonding wires*) são em alumínio, têm diâmetro de 25 μm , soldados aos pads usando ultra-som.

O encapsulamento JLCC68 é normalmente o escolhido por possuir um bom número de pinos disponíveis e que ainda pode receber um circuito de tamanho mínimo (2.5 mm X 2 mm). O limite é imposto pela cavidade interna do encapsulamento, que se for muito maior que o circuito resulta em fios longos demais para serem soldados de maneira confiável. Tanto o JLCC44 como o JLCC84 também poderiam ser usados, pois tem a mesma dimensão interna, mas o JLCC68 tem sido o melhor compromisso.

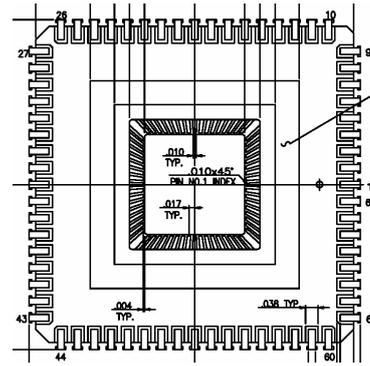
TAB. 4.1 - Dimensões (mm) do encapsulamento do primeiro protótipo

Encapsulamento	Cavidade interna	Espaço pinagem	Largura	Comprimento	Altura
JLCC68	10160 x 10160 μm	1,27	25,146	25,146	3,1242

Para facilitar a re-utilização de soquetes e projetos de placas de circuito impresso, é conveniente utilizar sempre o mesmo encapsulamento, pelo menos em fase de protótipos. A tampa do encapsulamento não é soldada, sendo mantida fechada simplesmente por uma pequena fita adesiva (*taped lid*). Isto é necessário, tanto para poder inspecionar visualmente o circuito, os fios, a soldagem e permitir iluminar os sensores APS. Também é desejável remover a tampa do encapsulamento para irradiar o circuito, e assim eliminar a possibilidade de redução da dose efetivamente absorvida pelo circuito integrado. A fixação da tampa é frágil, e claramente o circuito está exposto ao ar ambiente. Isto tem de ser levado em consideração para a estocagem ou para testes envolvendo temperaturas muito elevadas ou muito baixas. Os testes elétricos normalmente não devem ser efetuados sem a tampa e na presença de luz intensa (artificial ou solar), pois isto modificará o comportamento do circuito e pode mesmo provocar sua destruição. O diagrama esquemático do encapsulamento é mostrado na Figura 4.31.



(a)



(b)

Fig. 4.31 - (a) Encapsulamento JLCC68 e (b) Esquemático do encapsulamento

A montagem para teste do circuito tem de levar em consideração vários fatores. O acesso deve ser fácil e o soquete escolhido deve permitir isto. Deve-se ter prudência na manipulação, e montar o circuito no interior de uma caixa condutora e aterrada. De toda maneira o circuito tem de ser caracterizado na escuridão ou com níveis bem controlados de iluminação, o que impõe algum tipo de recipiente fechado de montagem. Idealmente esta deve ter o interior preto fosco, para minimizar reflexos que criarão incerteza no nível de luminosidade efetivo.

4.5.2. Pads

Os sinais internos do circuito são trazidos para o exterior através dos pads. Existem quatro tipos de pads, segundo o sinal elétrico que se deseja transmitir. Todos os pads são totalmente passivos, e as diferenças entre cada pad são pequenas, limitando-se a existência ou não de diodos de dimensão mínima para satisfazer regras de projeto. O circuito elétrico equivalente para cada tipo de pad é mostrado na Figura 4.32.

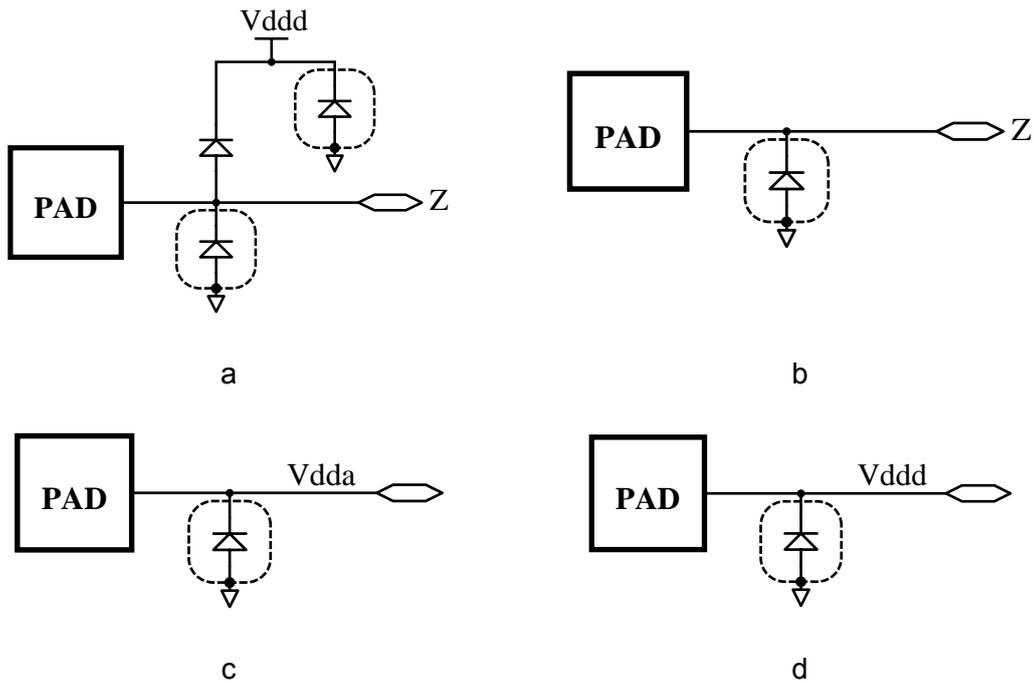


Fig. 4.32 - Circuito elétrico equivalente para os 4 tipos de pads utilizados no circuito

Existem no total 68 pads, onde 8 são dedicados para alimentar o circuito e os restantes transportam sinais de entrada e saída.

Todos os pads no circuito têm uma área para soldagem quadrada, medindo 80 μm de largura. O passo dos pads é de 100 μm . O layout dos pads pode ser visto na Figura 4.33. Existem dois barramentos de alimentação positiva independentes, para cada metade do circuito, resultando num total de quatro barramentos de alimentação positiva independentes para o circuito todo. A alimentação negativa está ligada ao substrato e é a mesma para todo o circuito integrado. Os quatro pads de alimentação conectados ao substrato p devem ser conectados ao terminal terra do sistema.

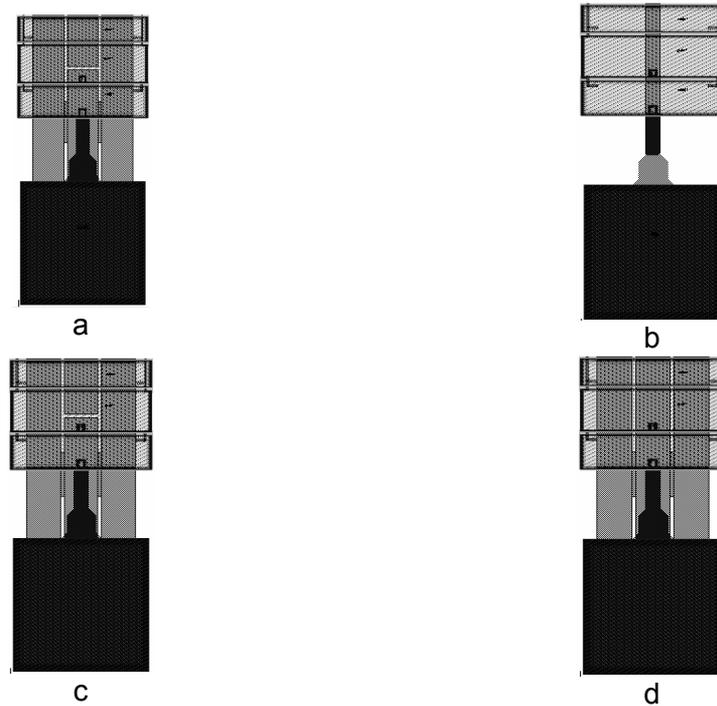


Fig. 4.33 - Layout dos pads do circuito

Os outros pads transportam sinais de entrada e saída e, devido aos efeitos da radiação, não têm nenhuma proteção contra descargas eletroestáticas. É preciso então muito cuidado ao manipular os circuitos, e em hipótese alguma submeter qualquer terminal a uma tensão muito superior a 3,3 V, que é o valor nominal de operação para o processo AMS CMOS 0,35 μm (C35B4).

4.5.3. Identificação dos Pinos

Os circuitos são montados no encapsulamento JLCC68 segundo o diagrama de soldagem (*bonding diagram*) enviado pelo CMP. O diagrama de soldagem do circuito projetado é mostrado na Figura 4.34.

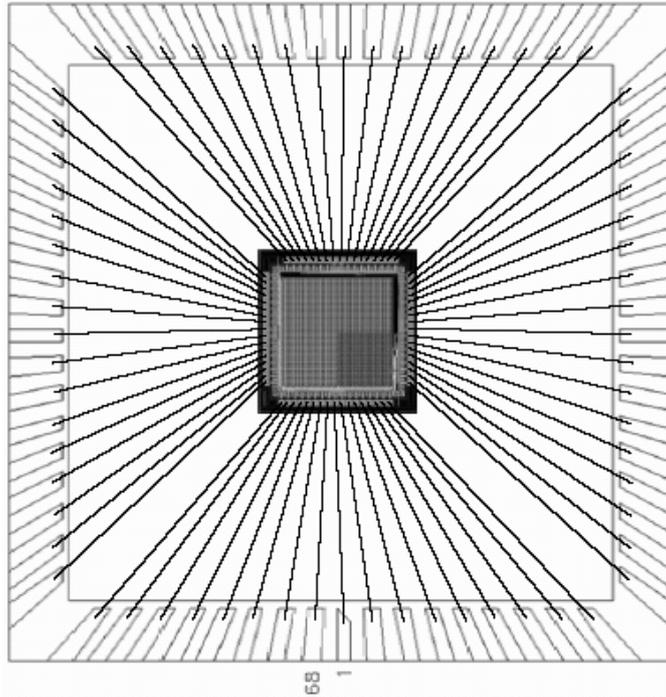


Fig. 4.34 - Diagrama de soldagem do circuito dentro do JLCC68

As entradas digitais são CMOS e conseqüentemente não necessitam de corrente de polarização. O nível lógico ativo “1” corresponde à alimentação positiva (tensão nominal de 3,3V) e o nível lógico Inativo “0” corresponde à alimentação negativa (terra). Os limiares de chaveamento não são exatamente conhecidos, devido ao fato dos transistores terem geometrias específicas para resistir à radiação. A lógica de decodificação é totalmente estática, sendo constituída de decodificadores 2-para-4-com-habilitação cascadeados em 3 níveis (internamente portas estáticas NAND com 3 entradas).

O tempo de subida e descida dos sinais lógicos aplicados ao circuito não foi definido ainda, pois esta família de portas lógicas resistentes à radiação ainda não foi caracterizada.

O Apêndice 5 mostra resultados comparativos da corrente de escuro (*dark current*) de um pixel resistente à radiação e um pixel convencional após submetidos à radiação, obtidos por um grupo de pesquisa, utilizando tecnologia CMOS 0,6 μm . Os pixels possuem estruturas de proteção similares às utilizadas nesta dissertação.

5. Conclusão

Nesta dissertação foi apresentado o projeto dos circuitos implementados e fabricados em tecnologia AMS CMOS no processo C35B4 de 0,35 μm que compõem o circuito de teste de uma matriz APS resistente às radiações ionizantes para uso em plataformas de atitude de satélites.

Devido à geometria específica dos componentes utilizados e à falta de modelos de simulação para os mesmos, as estruturas do circuito foram projetadas especificamente para a caracterização e modelagem. Portanto o circuito não se propõe a ser utilizado fora das condições de teste previstas em laboratório.

Devido à falta de modelos para os componentes utilizados as simulações foram efetuadas utilizando transistores convencionais com dimensões (relação W/L) equivalentes às esperadas para os transistores resistentes à radiação utilizados. Elas serviram fundamentalmente para verificar a funcionalidade dos blocos projetados e a correção dos layouts.

Esta dissertação é apenas o começo de um longo trabalho de caracterização e validação das estruturas resistentes à radiação propostas.

6. Referências Bibliográficas

- [1] S. MENDIS, S.E. KEMENY AND E.R. FOSSUM, "CMOS Active Pixel Image Sensor", IEEE Transactions on Electron Devices, Vol. 41(3), pp 452-453, 1994.
- [2] JIMENEZ GRADOS, HUGO RICARDO, MUÑOZ, S.N.M., ET AL., "Development of CMOS-APS Technology", SBMICRO 2002 - XVII Symposium on Microelectronics Technology and Devices, Vol. 1, pp.223-229, Porto Alegre, RS, BRASIL, 2002.
- [3] L. C. MOREIRA, S. N. M. MESTANZA, I. F. SILVA, J. E. C. QUEIROZ, W. A. V. NOIJE E J. W. SWART, "Sensor de pixel ativo no processo CMOS 0,35 μm ", IX-IBERCHIP Workshop IWS-2003, Havana, Cuba, March 26-28, 2003.
- [4] DA SILVA, VITOR CESAR DIAS, Estruturas CMOS resistentes à radiação utilizando processos de fabricação convencionais, Tese de M.Sc., Instituto Militar de Engenharia, Rio de Janeiro, RJ, Brasil, 2004.
- [5] BONATO,VANDERLEI, Projeto de um módulo de aquisição e pré-processamento de imagem colorida baseado em computação reconfigurável e aplicado a robôs móveis, Tese de M.Sc., USP, São Paulo, SP, Brasil, 2004.
- [6] W.S. BOYLE, G.E. SMITH, "Charge-coupled semiconductor devices.", Bell Systems Technical Journal, Vol. 49, No. 3, pp. 587-593, 1970.
- [7] A. EI GAMAL AND T. CHEN, "A Graduate Level Course on Image Sensors and Digital Cameras", Proceedings of 2001 International Conference on Microelectronic Systems Education, pp. 102-103, June 2001.
- [8] G. WECKLERS, "Operation of p-n junction photodetectors in a photon flux integrating mode", IEEE J. Solid-State Circuits, Vol. SC-2, pp. 65-73, 1967.
- [9] ALEXANDER I. KRYMSKI, NIKOLAI E. BOCK, NIANRONG TU, ET AL., "A High-Speed, 240-Frames/s, 4.1-Mpixel CMOS Sensor", IEEE Transactions on Electron Devices, Vol. 50, No. 1, pp. 130-135, January 2003.

- [10] SUNJAYA DJAJA, GLENN H. CHAPMAN, DESMOND Y.H. CHEUNG AND YVES AUDET, "Implementation and Testing of Fault-Tolerant Photodiode-based Active Pixel Sensor (APS)", Proceedings of the 18th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, 2003.
- [11] ORLY YADID-PECHT, BEDABRATA PAIN, CRAIG STALLER, CHRISTOPHER CLARK, AND ERIC FOSSUM, "CMOS Active Pixel Sensor Star Tracker with Regional Electronic Shutter", IEEE Journal of Solid-State Circuits, Vol. 32, No. 2, pp. 285-288, February 1997.
- [12] ERIC R. FOSSUM, "CMOS Image Sensors: Electronic Camera-On-A-Chip", IEEE Transactions on Electron Devices, Vol. 44, No. 10, pp. 1689-1698, October 1997.
- [13] STEVEN DECKER, R. DANIEL MCGRATH, KEVIN BREHMER AND CHARLES G. SODINI, "A 256X256 CMOS Imaging Array with Wide Dynamic Range Pixels and Column-Parallel Digital Output", IEEE Journal of Solid-State Circuits, Vol. 33, No. 12, pp. 2081-2091, December 1998.
- [14] B. DIERICKX, "Fundamental and technological limits on the performance of CMOS image sensors", Photonics West Short course, 2000.
- [15] IGOR SHCHERBACK AND ORLY YADID-PECHT, "Photoresponse Analysis and Pixel Shape Optimization for CMOS Active Pixel Sensors", IEEE Transactions on Electron Devices, Vol. 50, No. 1, pp. 12-18, January 2003.
- [16] B. DIERICKX, "CMOS image sensors – Concept", Photonics West Short course, 2000.
- [17] J. BOGAERTS, B. DIERICKX, "Total Dose Effects on CMOS Active Pixel Sensors", Proc SPIE, Vol. 3965, pp. 157-167, January 2000.
- [18] FOSSUM, ERIC, "Image Capture Circuits in CMOS," International Symposium on VLSI Technology, Systems and Applications, June 3 to 5, 1997.
- [19] BLANCH, N., CCD versus CMOS – has CCD imaging come to an end?, Technical Report, pp. 131-137, Wichmann Verlag, Heidelberg, 2001.

[20] KUMAR HANUMOLU, P., Design of Low Noise, Low Power Linear CMOS Image Sensors. Thesis M.Sc., Worcester Polytechnic Institute, 2001.

[21] OGIERS, W., "Identification of CMOS Imager Applications in Space", Technical Report P60280-MS-RP-01, IMEC, May 1997.

[22] L. D. EDMONDS, C. E. BARNES, L. Z. SCHEICK, An Introduction to Space Radiation Effects on Microelectronics, JPL Publication 00-06, Jet Propulsion Laboratory, California Institute of Technology, Pasadena, California, 2000.

[23] SAMMY KAYAL, "Space Radiation Effects on Microelectronics", Microelectronics Reliability & Qualification Workshop, 2002.

[24] EL-SAYED EID, TONY Y. CHAN, ERIC R. FOSSUM, RICHARD H. TSAI, ET AL., "Design and Characterization of Ionizing Radiation-Tolerant CMOS APS Image Sensors up to 30 Mrd (Si) Total Dose", IEEE Transactions on Nuclear Science, Vol. 48, No. 6, pp. 1796-1806, December 2001.

[25] C. CLAEYS, E. SIMOEN, Radiation Effects in Advanced Semiconductor Materials and Devices, Springer, 1st Edition 2002.

[26] JAN BOGAERTS, BART DIERICKX, GUY MEYNANTS, AND DIRK UWAERTS, "Total Dose and Displacement Damage Effects in a Radiation-Hardened CMOS APS", IEEE Transactions on Electron Devices, Vol. 50, No. 1, pp. 84-90, January 2003.

[27] E. J. DALY, A. HILGERS, G. DROLSHAGEN, AND H. D. R. EVANS, "Space Environment Analysis: Experience and Trends," ESA 1996 Symposium on Environment Modelling for Space-based Applications, September 18-20, 1996.

[28] WOJCIECH DULINSKI, GRZEGORZ DEPTUCH, YURI GORNUSHKIN, ET AL., "Radiation Hardness Study of an APS CMOS Particle Tracker", IEEE, pp. 100-103, 2002.

[29] D. M. FLEETWOOD, AND H. A. EISEN, "Total-Dose Radiation Hardness Assurance", IEEE Transactions on Nuclear Science, Vol. 50, No. 3, pp. 552-564, June 2003.

[30] DOMINIK RYBKA, DARIUSZ MAKOWSKI, ARKADIUSZ KALICKI, STEFAN SIMROCK, "Radiation and electronics. Does it work?", X-FEL Meeting, Hamburg, 2004.

[31] SCARPULLA, J., YARBROUGH, A., "What Could Go Wrong? The Effects of Ionizing Radiation on Space Electronics", Crosslink the Aerospace Corporation Magazine of advances in aerospace technology, 2003.

[32] TSIVIDIS, Y., OPERATION AND MODELING OF THE MOS TRANSISTOR, WCB/MCGRAW-HILL, 2nd Edition, 1999.

[33] H. L. HUGHES AND J. M. BENEDETTO, "Radiation Effects and Hardening of MOS Technology: Devices and Circuits", IEEE Transactions on Nuclear Science, Vol. 50, No. 3, pp. 500-521, June 2003.

[34] AUSTRIAMICROSYSTEMS, 0.35 μ m CMOS C35 Process Parameters, ENG-182, (Revision 3.0), 2004.

[35] GIOVANNI ANELLI, "Radiation-hard circuits in deep submicron CMOS technologies", Brookhaven National Laboratory, Instrumentation Division Seminar, April 2004.

[36] BOGAERTS, J., DIERICKX, B., MERTENS, R., "Enhanced dark current generation in proton-irradiated CMOS active pixel Sensors", IEEE Transactions on Nuclear Science, Vol. 49, pp. 1513 -152, Jun 2002.

[37] P. JARRON, G. ANELLI, F. ANGHINOLFI, M. CAMPBELL, ET AL., "Radiation Hard/Tolerant Technologies (Pixel Detector)", Pixel2000 Genoa 6, June 2000.

[38] SHERRA E. KERNS AND B. D. SHAFER, "The Design of Radiation-Hardened ICs for Space: A Compendium of Approaches", Proceedings of the IEEE, Vol. 76, No. 11, pp. 1470-1509, November 1988.

[39] D.A. EVANS, P.P. ALLPORT, G. CASSE, A.R. FARUQI, B. GALLOP, ET AL., "CMOS active pixel sensors for ionising radiation", Nuclear Instruments and Methods in Physics Research, December 2003.

- [40] G.R. HOPKINSON ET AL., "Active pixel array devices in space missions", Nuclear Instruments and Methods in Physics Research, pp. 327-331, 2003.
- [41] A. GIRALDO, A. PACCAGNELLA, AND A. MINZONI, "Aspect ratio calculation in n-channel MOSFET's with a gate-enclosed layout", Solid-State Electronics, Vol. 44, pp. 981-989, June 2000.
- [42] KEUNWOO KIM AND JERRY G. FOSSUM, "Double-Gate CMOS: Symmetrical-Versus Asymmetrical-Gate Devices", IEEE Transactions on Electron Devices, Vol. 48, No. 2, pp. 294-299, February 2001.
- [43] P. GRIGNOUX AND R. GEIGER, "Modeling of MOS transistors with nonrectangular-gate geometries", IEEE Transactions on Electron Devices, Vol. 29, pp.1261-1269, August 1982.
- [44] W. SNOEYS, F. FACCIO, M. BURNS, M. CAMPBELL, E. CANTATORE, AND N.CARRER ET AL., "Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout circuito", Nuclear Instruments Methods, Vol. A439, pp. 349-360, January 2000.
- [45] G. ANELLI, M. CAMPBELL, M. DELMASTRO, F. FACCIO, S. FLORIAN, AND A. GIRALDO ET AL., "Radiation tolerant VLSI circuits in standard deep submicron CMOS technologies: Practical design aspects", IEEE Transactions on Nuclear Science, Vol. 46, pp. 1690-1696, December 1999.
- [46] M. CAMPBELL, G. ANELLI, M. BURNS, E. CANTATORE, L. CASAGRANDE, AND M. DELMASTRO ET AL., "A pixel readout circuito for 10–30 Mrad in standard 0.25 μm CMOS", IEEE Transactions on Nuclear Science, Vol. 46, pp. 156-160, June 1999.
- [47] ANNE VAN DEN BOSCH, MICHEL S. J. STEYAERT AND WILLY SANSEN, "A High-Density, Matched Hexagonal Transistor Structure in Standard CMOS Technology for High-Speed Applications", IEEE Transactions on Semiconductor Manufacturing, Vol. 13, No. 2, pp. 167-172, May 2000.

[48] DONALD C. MAYER, RONALD C. LACOE, EVERETT E. KING, AND JON V. OSBORN, "Reliability Enhancement in High-Performance MOSFETs by Annular Transistor Design", IEEE Transactions on Nuclear Science, Vol. 51, No. 6, December 2004.

[49] WALTER J. SNOEYS, TOMAS A. PALACIOS GUTIERREZ, AND GIOVANNI ANELLI, "A New NMOS Layout Structure for Radiation Tolerance", IEEE Transactions on Nuclear Science, Vol. 49, no. 4, August 2002.

[50] ANTONIO CARNEIRO DE MESQUITA FILHO, COPPE/UFRJ, Relatório de Progresso do Projeto Imageador APS para Aplicações Espaciais, RT01, 2005.

[51] O. YADID-PECHT, "The Geometrical Modulation Transfer Function (MTF) for different pixel active area shapes," Optical Engineering, Vol. 39, no. 4, pp. 859-865, 2000.

[52] I. SHCHERBACK, O. YADID-PECHT, "Photoresponse analysis and pixel shape optimization for CMOS Active Pixel Sensors", IEEE Transactions Electron Devices, special issue on Solid-State Image Sensors, Vol. 50, pp. 12-19, January 2003.

[53] ANA ISABELA ARAÚJO CUNHA, MÁRCIO CHEREM SCHNEIDER AND CARLOS GALUP MONTORO, "Derivation of the Unified Charge Control Model with Application to the Long-Channel MOSFET I-V Characteristics", SBMicro'97 - XII Congresso da Sociedade Brasileira de Microeletrônica, Caxambu, 1997.

[54] A.I.A. CUNHA, O. C. GOUVEIA FILHO, M.C. SCHNEIDER AND C. GALUP-MONTORO, "A current-based model of the MOS transistor", Proceedings of IEEE-ISCAS, pp. 1608-1611, Hong-Kong, June 1997.

[55] C. C. ENZ, F. KRUMMENACHER AND E. A. VITTOZ, "An analytical MOS transistor model valid in all regions of operations and dedicated to low voltage and low current applications", Analog and Integrated Circuits and Signal Processing, n°8, pp. 83-114, 1995.

[56] E. CHRISTEN, K. BAKALAR, "VHDL-AMS-a hardware description language for analog and mixed-signal applications", IEEE Transactions on Circuits and Systems, part II, Vol. 46, pp. 1263 –1272, October, 1999.

[57] OSCAR DA COSTA GOUVEIA, MÁRCIO CHEREM SCHNEIDER AND CARLOS GALUP MONTORO, "Advanced Compact Model for the Charges and Capacitances of Short-Channel MOS Transistors", IEEE, pp. 18-21, 1999.

[58] OSCAR DA COSTA GOUVEIA FILHO, ANA ISABELA ARAUJO CUNHA, MÁRCIO CHEREM SCHNEIDER E CARLOS GALUP MONTORO, The ACM model for circuit simulation and equations for smash, Florianópolis, September 1997.

[59] A. I. A. CUNHA, M. C. SCHNEIDER, C. GALUP-MONTORO, C. D. C. CAETANO, "Extraction of Mosfet Effective Channel Length and Width Based on the Transconductance-to-Current Ratio", SBMICRO 2004 - 19th International Symposium on Microelectronics Technology and Devices, Porto de Galinhas, PE, 2004.

[60] MATTHIAS BUCHER, CHRISTOPHE LALLEMENT AND CHRISTIAN C. ENZ, "An Efficient Parameter Extraction Methodology for the EKV MOST Model", IEEE International Conference on Microelectronic Test Structures, Vol. 9, March 1996.

[61] MATTHIAS BUCHER, CHRISTOPHE LALLEMENT, CHRISTIAN ENZ, FRANCOIS KRUMMENACHER, "Accurate MOS Modelling for Analog Circuit Simulation Using the EKV Model", IEEE, 1996.

[62] JERRY G. FOSSUM, "A Model Too Hot to Handle?", IEEE Circuits & Devices Magazine, pp. 26-31, May 2002.

[63] ANTONIO CARNEIRO DE MESQUITA FILHO, COPPE/UFRJ, Descrição do Primeiro Protótipo APS em Tecnologia AMS C35b4, RT02, 2005.

[64] AUSTRIAMICROSYSTEMS, 0.35 μ m CMOS C35 Design Rules, ENG-183, (Revision 4.0), 2004.

[65] www.aeb.gov.br

Apêndices

Apêndice 1: Dimensões dos Transistores de Teste

TAB. A1.1 - Dimensões dos Transistores do Grupo 1

Grupo 1		Transistores Dogbones	
Transistor	Tipo	Largura na máscara (W)	Comprimento na máscara (L)
T1	Dogbone	2 μm	0,4 μm
T2	Dogbone	2,8 μm	0,4 μm
T3	Dogbone	21,8 μm	0,4 μm
T4	Dogbone	9,8 μm	0,8 μm
T5	Dogbone	13,8 μm	1,2 μm
T6	Dogbone	21,8 μm	4 μm
T7	Dogbone	26,8 μm	25 μm

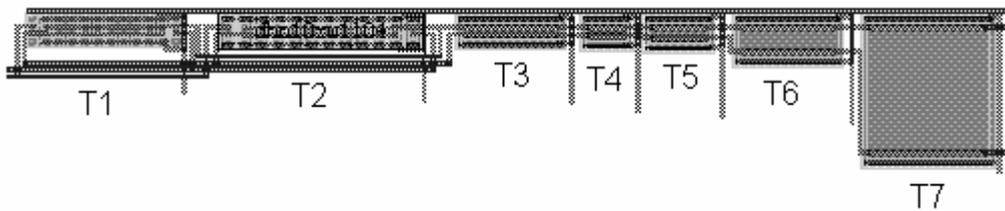


Fig. A1.1 - Transistores de Teste do Grupo 1 (Dogbones)

TAB. A1.2 - Dimensões dos Transistores do Grupo 2

Grupo 2		Transistores NMOS-retangulares	
Transistor	Tipo	Largura (W)	Comprimento (L)
T1	NMOS	0,7 μm	0,35 μm
T2	NMOS	0,7 μm	7 μm
T3	NMOS	0,9 μm	9 μm
T4	NMOS	1,2 μm	12 μm
T5	NMOS	1,6 μm	16 μm
T6	NMOS	2 μm	20 μm
T7	NMOS	2,5 μm	25 μm
T8	NMOS	3,5 μm	0,35 μm
T9	NMOS	6 μm	0,6 μm
T10	NMOS	8 μm	0,8 μm
T11	NMOS	12 μm	1,2 μm
T12	NMOS	16 μm	1,6 μm
T13	NMOS	20 μm	2 μm
T14	NMOS	25 μm	25 μm

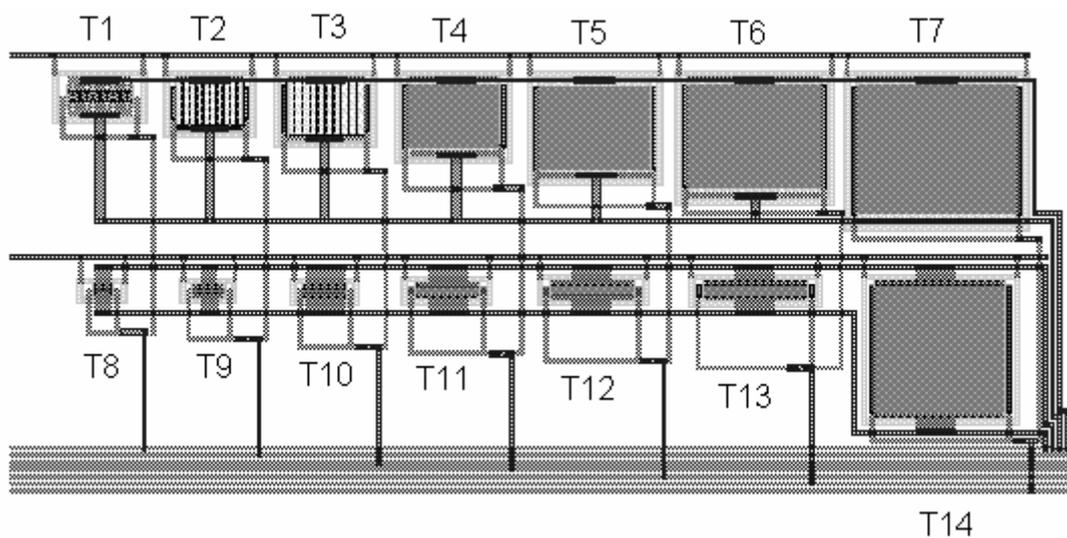


Fig. A1.2 - Transistores de Teste Grupo 2 (NMOS-retangulares)

TAB. A1.3 - Dimensões dos Transistores do Grupo 3

Grupo 3		Transistores PMOS-retangulares	
Transistor	Tipo	Largura (W)	Comprimento (L)
T1	PMOS	0,7 μm	0,35 μm
T2	PMOS	0,7 μm	7 μm
T3	PMOS	0,9 μm	9 μm
T4	PMOS	1,2 μm	12 μm
T5	PMOS	1,6 μm	16 μm
T6	PMOS	2 μm	20 μm
T7	PMOS	2,5 μm	25 μm
T8	PMOS	3,5 μm	0,35 μm
T9	PMOS	6 μm	0,6 μm
T10	PMOS	8 μm	0,8 μm
T11	PMOS	12 μm	1,2 μm
T12	PMOS	16 μm	1,6 μm
T13	PMOS	20 μm	2 μm
T14	PMOS	25 μm	25 μm

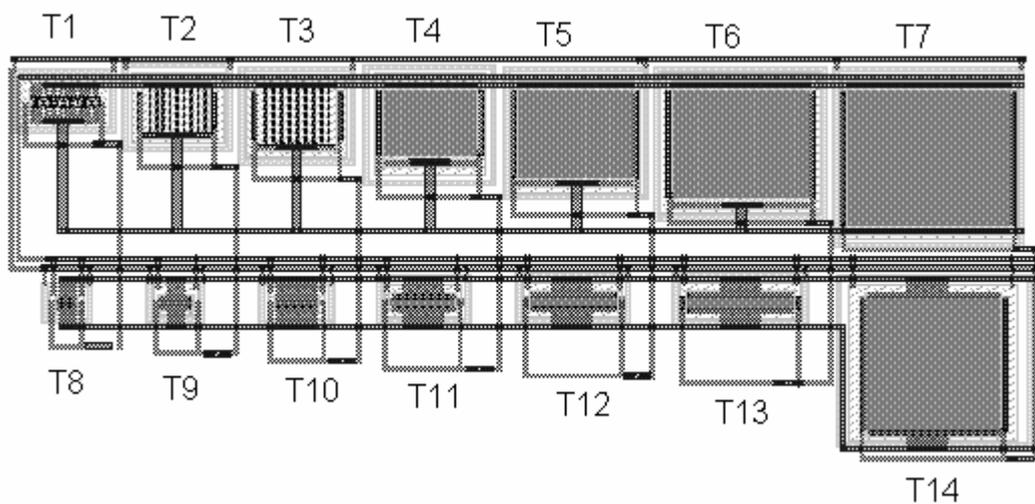


Fig. A1.3 - Transistores de Teste Grupo 3 (PMOS-retangulares)

TAB. A1.4 - Dimensões dos Transistores do Grupo 4

Grupo 4		2 Dogbones e 5 Geometria fechada (ELT)	
Transistor	Tipo	Largura na máscara (W)	Comprimento na máscara (L)
T1	ELT	-----	-----
T2	ELT	-----	-----
T3	Dogbone	1,8 μm	0,4 μm
T4	Dogbone	1,8 μm	0,4 μm
T5	ELT	-----	-----
T6	ELT	-----	-----
T7	ELT	-----	-----

* Os valores dos ELT não foram extraídos devido a dificuldade ocasionada pela geometria irregular desses transistores.

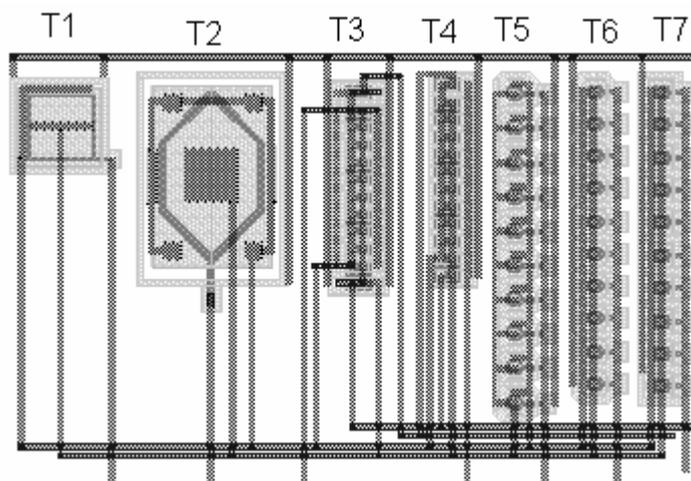


Fig. A1.4 - Transistores de Teste Grupo 4 (Dogbones e ELTs)

Apêndice 2: Simulações

Buffer

* Cell: SIMULA_BUFFER_V2 Version 1.01
* Extract Definition File: amsc35v41\ams_C35\l_edit\ams_C35.ext
* Extract Date and Time: 02/13/2006 - 14:25

```
.include modn.mod
.include modp.mod
..tran 10e-12 40e-9
v1 VDD GND 3.3
v2 IN GND pulse (0 3.3 0 0.1n 0.1n 10n 20n)
*COUT1 OUT1 GND 1.5pF
COUT2 OUT2 GND 0.5pF

M1 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M2 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M3 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M4 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p PS=7.5u
M5 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p PS=7.5u
M6 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p PS=7.5u
M7 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M8 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M9 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M10 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M11 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M12 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M13 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M14 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M15 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M16 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M17 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M18 VDD IN OUT1 VDD MODP L=400n W=5.5u AD=5.5p PD=7.5u AS=4.95p PS=12.8u
M19 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p
PS=7.5u
M20 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p
PS=7.5u
M21 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p
PS=7.5u
M22 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p
PS=7.5u
M23 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p
PS=7.5u
M24 OUT2 OUT1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.5p
PS=7.5u
M25 OUT1 IN GND GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M26 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M27 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M28 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M29 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M30 GND IN OUT1 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M31 OUT2 OUT1 GND GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M32 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M33 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
```

M34 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M35 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M36 GND OUT1 OUT2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u

* Total Nodes: 5
* Total Elements: 36
* Total Number of Shorted Elements not written to the file: 0
* Output Generation Elapsed Time: 00.015 sec
* Total Extract Elapsed Time: 01.781 sec (1.781 sec)
.END

Decodificador de Colunas

* TDB File: C:\Documents and Settings\Mesquita\Desktop\DEMUX_06.tdb
* Cell: SIMULA_DECODER_COLUNAS Version 1.03
* Extract Definition File: amsc35v41\ams_C35\l_edit\ams_C35.ext
* Extract Date and Time: 02/13/2006 - 15:02

```
.include modn.mod  
.include modp.mod  
.options post  
.tran 1000e-12 12800e-9
```

```
M1 C_SEL64 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M2 C_SEL63 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M3 C_SEL62 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M4 C_SEL61 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M5 C_SEL60 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M6 C_SEL59 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M7 C_SEL58 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M8 C_SEL57 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M9 C_SEL56 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M10 C_SEL55 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M11 C_SEL54 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M12 C_SEL53 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M13 C_SEL52 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M14 C_SEL51 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M15 C_SEL50 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M16 C_SEL49 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M17 C_SEL48 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M18 C_SEL47 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M19 C_SEL46 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M20 C_SEL45 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M21 C_SEL44 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M22 C_SEL43 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M23 C_SEL42 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M24 C_SEL41 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M25 C_SEL40 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M26 C_SEL39 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M27 C_SEL38 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M28 C_SEL37 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M29 C_SEL36 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M30 C_SEL35 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M31 C_SEL34 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M32 C_SEL33 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M33 C_SEL32 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M34 C_SEL31 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M35 C_SEL30 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M36 C_SEL29 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M37 C_SEL28 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M38 C_SEL27 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M39 C_SEL26 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M40 C_SEL25 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M41 C_SEL24 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u  
M42 C_SEL23 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
```

```

M43 C_SEL22 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M44 C_SEL21 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M45 C_SEL20 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M46 C_SEL19 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M47 C_SEL18 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M48 C_SEL17 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M49 C_SEL16 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M50 C_SEL15 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M51 C_SEL14 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M52 C_SEL13 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M53 C_SEL12 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M54 C_SEL11 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M55 C_SEL10 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M56 C_SEL9 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M57 C_SEL8 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M58 C_SEL7 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M59 C_SEL6 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M60 C_SEL5 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M61 C_SEL4 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M62 C_SEL3 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M63 C_SEL2 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M64 C_SEL1 V_SF VDDA GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
ROUT OUT GND 10000k
RBIAS VDDA NO1 240k
v19 VDDA GND 3.3
v1 VDD GND 3.3
v15 PIXEL_RESET GND 0
v16 GLOBAL_RESET GND 3.3
v2 ENB GND pulse(0 3.3 0 0.1n 0.1n 6399.9n 12800n)
v3 X0 GND pulse(0.0 3.3 100n 0.1n 0.1n 99.9n 200n)
v4 X1 GND pulse(0.0 3.3 200n 0.1n 0.1n 199.9n 400n)
v5 X2 GND pulse(0.0 3.3 400n 0.1n 0.1n 399.9n 800n)
v6 X3 GND pulse(0.0 3.3 800n 0.1n 0.1n 799.9n 1600n)
v11 X4 GND pulse(0.0 3.3 1600n 0.1n 0.1n 1599.9n 3200n)
v12 X5 GND pulse(0.0 3.3 3200n 0.1n 0.1n 3199.9n 6400n)
v7 X0_B GND pulse(0.0 3.3 0n 0.1n 0.1n 99.9n 200n)
v8 X1_B GND pulse(0.0 3.3 0n 0.1n 0.1n 199.9n 400n)
v9 X2_B GND pulse(0.0 3.3 0n 0.1n 0.1n 399.9n 800n)
v10 X3_B GND pulse(0.0 3.3 0n 0.1n 0.1n 799.9n 1600n)
v13 X4_B GND pulse(0.0 3.3 0n 0.1n 0.1n 1599.9n 3200n)
v14 X5_B GND pulse(0.0 3.3 0n 0.1n 0.1n 3199.9n 6400n)
v17 V_SF GND pulse(3.3 0.2 0n 6399.9n 0.1n 0n 12800n)
v18 NO1 I_BIAS 0

```

```

* Total Nodes: 956
* Total Elements: 2616
* Total Number of Shorted Elements not written to the file: 0
* Output Generation Elapsed Time: 00.359 sec
* Total Extract Elapsed Time: 2 minutes, 35.438 sec (155.438 sec)
.END

```

Seletor de Linha

* TDB File: C:\Documents and Settings\Mesquita\Desktop\DEMUX_04B.tdb
* Cell: SELETOR_LINHA_64b Version 1.07
* Extract Definition File: amsc35v41\ams_C35\l_edit\ams_C35.ext
* Extract Date and Time: 02/13/2006 - 15:51

.include modn.mod
.include modp.mod
.options post
.tran 100e-12 640e-9

M1 4 1 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=4.95p PS=12.8u
M2 1 GLOBAL_RESET_B VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u
AS=5.225p PS=7.4u
M3 VDD PIXEL_RESET_B 3 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p
PS=7.4u
M4 3 19 1 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M5 GND 1 4 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M6 1 GLOBAL_RESET_B 2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M7 GND PIXEL_RESET_B 2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M8 GND 19 2 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M9 VDD Y1_B 20 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M10 20 Y0 VDD VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M11 13 20 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.225p PS=7.4u
M12 14 5 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=4.95p PS=12.8u
M13 5 GLOBAL_RESET_B VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u
AS=5.225p PS=7.4u
M14 VDD PIXEL_RESET_B 7 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u
AS=5.225p PS=7.4u
M15 7 20 5 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M16 VDD Y1 16 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M17 16 Y0_B VDD VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M18 VDD 31 16 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M19 15 16 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.225p PS=7.4u
M20 17 9 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=4.95p PS=12.8u
M21 9 GLOBAL_RESET_B VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u
AS=5.225p PS=7.4u
M22 VDD PIXEL_RESET_B 11 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u
AS=5.225p PS=7.4u
M23 11 16 9 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M24 VDD Y1 19 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M25 19 Y0 VDD VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M26 VDD 31 19 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M27 18 19 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.225p PS=7.4u
M28 GND Y1_B 20 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M29 GND 20 13 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M30 GND 5 14 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M31 5 GLOBAL_RESET_B 6 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M32 GND PIXEL_RESET_B 6 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M33 GND 20 6 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M34 GND Y1 16 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M35 GND Y0_B 8 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M36 GND 31 8 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u

M37 GND 16 15 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M38 GND 9 17 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M39 9 GLOBAL_RESET_B 10 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M40 GND PIXEL_RESET_B 10 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M41 GND 16 10 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M42 GND Y1 19 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M43 GND Y0 12 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M44 GND 31 12 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M45 GND 19 18 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
M46 VDD 31 20 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M47 VDD Y3 22 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M48 22 Y2 VDD VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M49 VDD 136 22 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M50 31 22 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.225p PS=7.4u
M51 VDD Y1_B 32 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M52 32 Y0_B VDD VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=5.225p PS=7.4u
M53 VDD 31 32 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M54 33 32 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.225p PS=7.4u
M55 34 25 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=4.95p PS=12.8u
M56 25 GLOBAL_RESET_B VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u
AS=5.225p PS=7.4u
M57 VDD PIXEL_RESET_B 27 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u
AS=5.225p PS=7.4u
M58 27 32 25 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M59 35 53 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=5.225p PS=7.4u
M60 36 28 VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u AS=4.95p PS=12.8u
M61 28 GLOBAL_RESET_B VDD VDD MODP L=400n W=5.5u AD=4.95p PD=12.8u
AS=5.225p PS=7.4u
M62 VDD PIXEL_RESET_B 30 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u
AS=5.225p PS=7.4u
M63 30 53 28 VDD MODP L=400n W=5.5u AD=5.225p PD=7.4u AS=4.95p PS=12.8u
M64 GND Y0 39 GND MODN L=995n W=4u AD=1p PD=4u AS=1p PS=4u
v1 VDD GND 3.3
v15 PIXEL_RESET_B GND 0
v16 GLOBAL_RESET_B GND 3.3
v2 ENB GND pulse(0 3.3 0 0.1n 0.1n 639.80n 1280n)
v3 Y0 GND pulse(0.0 3.3 10n 0.1n 0.1n 9.8n 20n)
v4 Y1 GND pulse(0.0 3.3 20n 0.1n 0.1n 19.8n 40n)
v5 Y2 GND pulse(0.0 3.3 40n 0.1n 0.1n 39.8n 80n)
v6 Y3 GND pulse(0.0 3.3 80n 0.1n 0.1n 79.8n 160n)
v11 Y4 GND pulse(0.0 3.3 160n 0.1n 0.1n 159.8n 320n)
v12 Y5 GND pulse(0.0 3.3 320n 0.1n 0.1n 319.8n 640n)
v7 Y0_B GND pulse(0.0 3.3 0n 0.1n 0.1n 9.8n 20n)
v8 Y1_B GND pulse(0.0 3.3 0n 0.1n 0.1n 19.8n 40n)
v9 Y2_B GND pulse(0.0 3.3 0n 0.1n 0.1n 39.8n 80n)
v10 Y3_B GND pulse(0.0 3.3 0n 0.1n 0.1n 79.8n 160n)
v13 Y4_B GND pulse(0.0 3.3 0n 0.1n 0.1n 159.8n 320n)
v14 Y5_B GND pulse(0.0 3.3 0n 0.1n 0.1n 319.8n 640n)
* Total Nodes: 545
* Total Elements: 1184
* Total Number of Shorted Elements not written to the file: 0
* Output Generation Elapsed Time: 00.156 sec
* Total Extract Elapsed Time: 27.531 sec (27.531 sec)
.END

Registrador de Deslocamento

* Written on Feb 13, 2006 at 16:12:52

```
.SUBCKT NAND_3 A0 A1 ENB_I OUT 0 Vdd
MN1 OUT ENB_I N3 0 MODN L=0.35u W=0.7u M=1
+AD='0.7u*0.85u' PD='0.7u+2*0.85u' AS='0.7u*0.85u' PS='0.7u+2*0.85u'
+NRD='0.0u/0.7u' NRS='0.0u/0.7u'
MN2 N3 A0 N1 0 MODN L=0.35u W=0.7u M=1
+AD='0.7u*0.85u' PD='0.7u+2*0.85u' AS='0.7u*0.85u' PS='0.7u+2*0.85u'
+NRD='0.0u/0.7u' NRS='0.0u/0.7u'
MN3 N1 A1 0 0 MODN L=0.35u W=0.7u M=1
+AD='0.7u*0.85u' PD='0.7u+2*0.85u' AS='0.7u*0.85u' PS='0.7u+2*0.85u'
+NRD='0.0u/0.7u' NRS='0.0u/0.7u'
MP4 OUT A1 Vdd Vdd MODP L=0.35u W=0.7u M=1
+AD='0.7u*2u' PD='0.7u+2*2u' AS='0.7u*2u' PS='0.7u+2*2u'
+NRD='0.0u/0.7u' NRS='0.0u/0.7u'
MP5 OUT A0 Vdd Vdd MODP L=0.35u W=0.7u M=1
+AD='0.7u*0.85u' PD='0.7u+2*0.85u' AS='0.7u*0.85u' PS='0.7u+2*0.85u'
+NRD='0.0u/0.7u' NRS='0.0u/0.7u'
MP6 OUT ENB_I Vdd Vdd MODP L=0.35u W=0.7u M=1
+AD='0.7u*0.85u' PD='0.7u+2*0.85u' AS='0.7u*0.85u' PS='0.7u+2*0.85u'
+NRD='0.0u/0.7u' NRS='0.0u/0.7u'
.ENDS
```

```
.SUBCKT SR_NAND CLK D Q Q_B RST SET 0 Vdd
XNAND_3_1 N6 N7 SET N1 0 Vdd NAND_3
XNAND_3_2 RST CLK N1 N7 0 Vdd NAND_3
XNAND_3_3 CLK N6 N7 N3 0 Vdd NAND_3
XNAND_3_4 RST D N3 N6 0 Vdd NAND_3
XNAND_3_5 N7 Q_B SET Q 0 Vdd NAND_3
XNAND_3_6 N3 RST Q Q_B 0 Vdd NAND_3
.ENDS
```

* Main circuit: TESTE_SR

```
.include modn.mod
.include modp.mod
.options post
.tran 1e-010 2e-006
v1 VDD 0 3.3
v2 SET 0 pulse(3.3 0 20n 1n 1n 9n 2u)
v3 RST 0 pulse(3.3 0 0 1n 1n 9n 2u)
v4 CLK 0 pulse(0 3.3 0 1n 1n 9n 20n)
v5 D 0 pulse(0 3.3 0 1n 1n 24n 50n)
XSR_NAND_1 CLK D Q Q_B RST SET 0 Vdd SR_NAND
* End of main circuit: TESTE_SR
.END
```

Apêndice 3: Layouts

Abaixo, layouts de alguns dispositivos.

Buffer

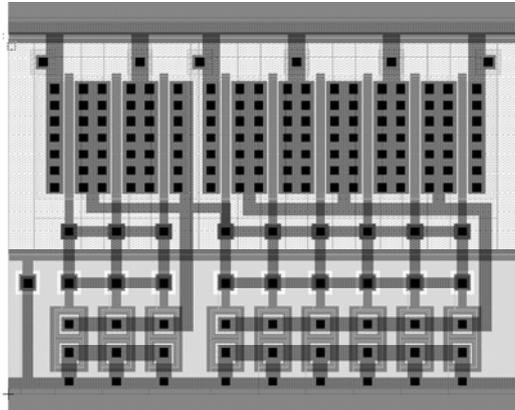


Fig. A3.1 - Layout do Buffer

Dogbones

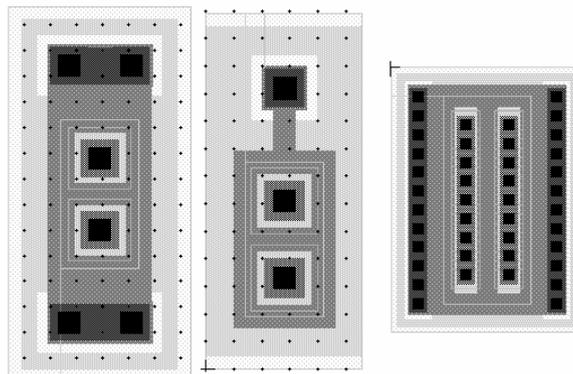


Fig. A3.2 - Alguns tipos de Dogbones do projeto

Seletor de Linha e Coluna

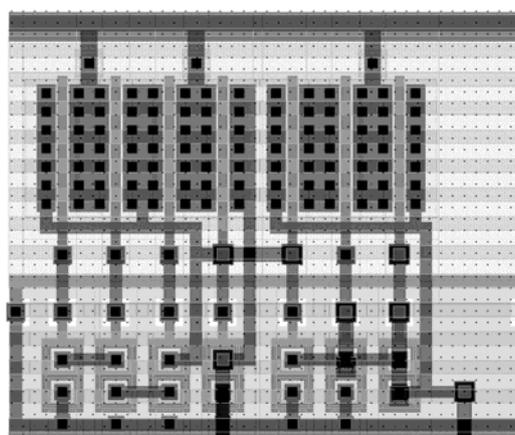


Fig. A3.3 - Seletor - 1 bit

Decodificador de Linha

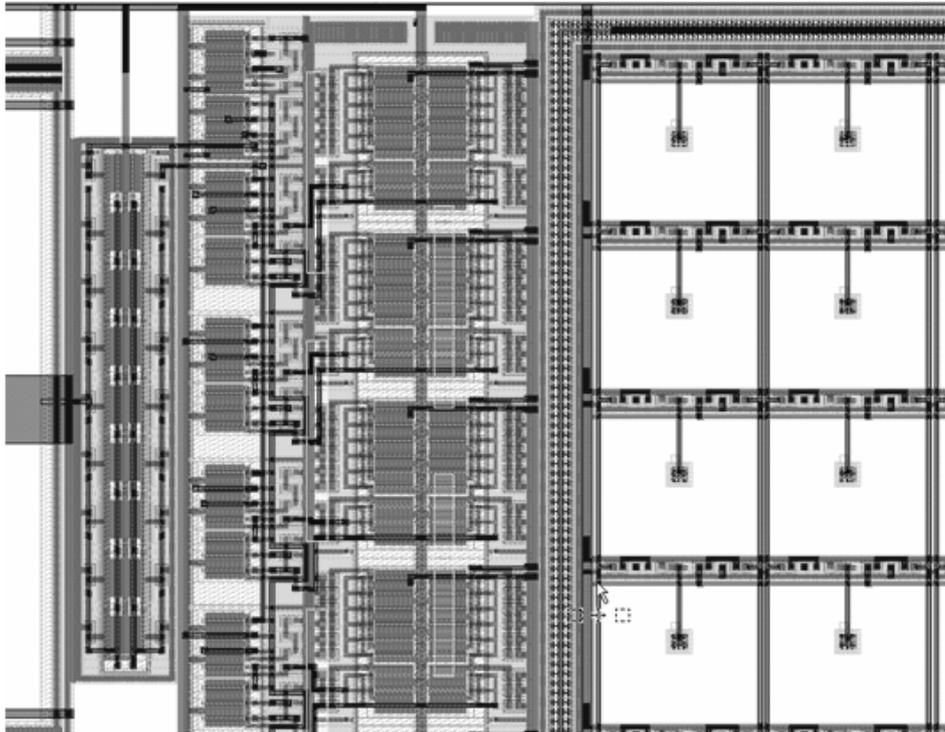


Fig. A3.4 - Parte do decodificador de linha e Buffer

Espelho de Corrente

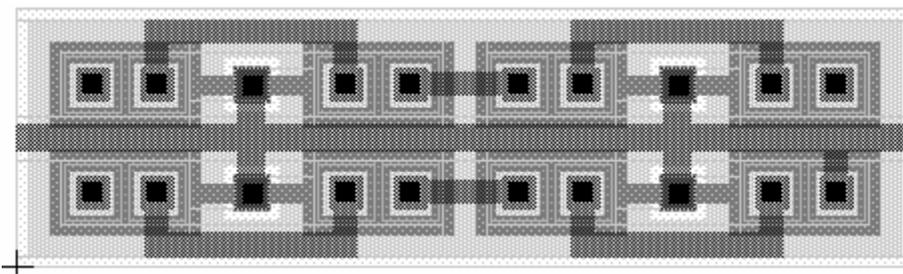


Fig. A3.5 - Espelho de Corrente

Matriz de Transistores

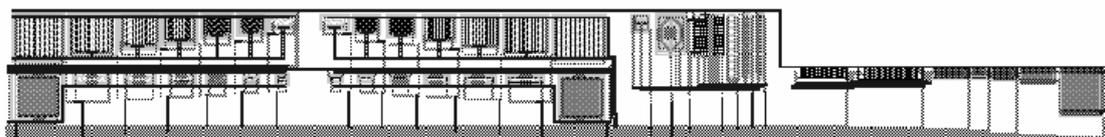


Fig. A3.6 - Estrutura de teste com os 4 grupos de transistores

Apêndice 4: Comparativo Layout x Esquemático

Decodificador de Coluna

File written as a result of: "" on Mon Feb 13 16:08:59 2006

Command line:

```
l C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\DECODER_COLUNAS.spc
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\SELETOR_COLUNA_L.sp -o
C:\Documents and Settings\Mesquita\Desktop\APS\APS_L\dec_col\dec_col.l
-nrcl -fafp
```

Engine configuration report:

```
Layout netlist file.....
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\DECODER_COLUNAS.spc
Schematic netlist file.....
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\SELETOR_COLUNA_L.sp
Consider Bulk nodes..... ON
Consider Resistors as polarized elements..... OFF
Consider Capacitors as polarized elements..... OFF
Consider Inductors as polarized elements..... OFF
Merge series and parallel R..... OFF
Merge series and parallel C..... OFF
Merge series and parallel L..... OFF
Merge parallel M..... OFF
Merge parallel D..... OFF
Merge parallel B..... OFF
Merge parallel J..... OFF
Merge parallel Z..... OFF
Merge parallel Q..... OFF
Merge series MOSFETs..... OFF
Find series MOSFETs that differ in order or parameter value..... OFF
Remove shorted devices..... OFF
Remove disconnected devices..... OFF
Fast Iteration..... OFF
```

```
Parsing file C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\DECODER_COLUNAS.spc...
Including file C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\modn.mod
Including file C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\modp.mod
Warning: DECODER_COLUNAS.spc(10) Did not recognize and will ignore
statement: .tran
Warning: DECODER_COLUNAS.spc(22) Node GND aliased to GROUND
Flattening netlist...
```

```
Parsing file C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_col\SELETOR_COLUNA_L.sp...
Warning: SELETOR_COLUNA_L.sp(7) Implicit .model definition MODN
Warning: SELETOR_COLUNA_L.sp(10) Implicit .model definition MODP
Flattening netlist...
```

Device	DECODER_COLUNAS.spc	SELETOR_COLUNA_L.sp	Status
M_MODN	1448	1448	

M_MODP	1104	1104
	-----	-----
Total elements	2552	2552
Total nodes	954	954

Iterating...

4 perfectly matched element classes (out of a possible 2552).
41 automorphic element classes.
10 perfectly matched node classes (out of a possible 954).
29 automorphic node classes.

Doing detailed trial matching... Step 1 (Match by parameters)

Doing detailed trial matching... Step 2 (Random matches)

5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.
40% done.
45% done.
50% done.
55% done.
60% done.
65% done.
70% done.
75% done.
80% done.
85% done.
90% done.
95% done.
100% done.

***** FINAL RESULT *****

Circuits are equal.

Run time: 0:10 (min:sec)

0 errors, 4 warnings

Decodificador de Linha

File written as a result of: "" on Mon Feb 13 16:05:27 2006

Command line:

```
l C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_lin\DECODER_LINHA.spc
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_lin\DECODER_LINHA.sp -o
C:\Documents and Settings\Mesquita\Desktop\APS\APS_L\dec_lin.l -nrcl -
fafp
```

Engine configuration report:

```
Layout netlist file.....
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_lin\DECODER_LINHA.spc
Schematic netlist file.....
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\dec_lin\DECODER_LINHA.sp
Consider Bulk nodes..... ON
Consider Resistors as polarized elements..... OFF
Consider Capacitors as polarized elements..... OFF
Consider Inductors as polarized elements..... OFF
Merge series and parallel R..... OFF
Merge series and parallel C..... OFF
Merge series and parallel L..... OFF
Merge parallel M..... OFF
Merge parallel D..... OFF
Merge parallel B..... OFF
Merge parallel J..... OFF
Merge parallel Z..... OFF
Merge parallel Q..... OFF
Merge series MOSFETs..... OFF
Find series MOSFETs that differ in order or parameter value..... OFF
Remove shorted devices..... OFF
Remove disconnected devices..... OFF
Fast Iteration..... OFF
```

Parsing file C:\Documents and

```
Settings\Mesquita\Desktop\APS\APS_L\dec_lin\DECODER_LINHA.spc...
Warning: DECODER_LINHA.spc(8) Implicit .model definition MODP
Warning: DECODER_LINHA.spc(22) Node GND aliased to GROUND
Warning: DECODER_LINHA.spc(22) Implicit .model definition MODN
Warning: DECODER_LINHA.spc(3598) Implicit .model definition ND
Flattening netlist...
```

Parsing file C:\Documents and

```
Settings\Mesquita\Desktop\APS\APS_L\dec_lin\DECODER_LINHA.sp...
Warning: DECODER_LINHA.sp(7) Implicit .model definition MODN
Warning: DECODER_LINHA.sp(10) Implicit .model definition MODP
Warning: DECODER_LINHA.sp(339) Implicit .model definition ND
Flattening netlist...
```

Device	DECODER_LINHA.spc	DECODER_LINHA.sp	Status
D_ND	15	15	
M_MODN	1824	1824	
M_MODP	1824	1824	

Total elements	-----	3663	-----	3663
Total nodes		811		811

Iterating...

5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.
40% done.
45% done.
50% done.

1071 perfectly matched element classes (out of a possible 3663).
544 automorphic element classes.
811 perfectly matched node classes (out of a possible 811).

Doing detailed trial matching... Step 1 (Match by parameters)

Doing detailed trial matching... Step 2 (Random matches)

55% done.
60% done.
65% done.
70% done.
75% done.
80% done.
85% done.
90% done.
95% done.
100% done.

***** FINAL RESULT *****

Circuits are equal.

Run time: 0:25 (min:sec)

0 errors, 7 warnings

Lógica de Seleção

File written as a result of: "" on Mon Feb 13 16:11:50 2006

Command line:

```
l C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\log_sel\LOGLOG_LO.spc C:\Documents
and Settings\Mesquita\Desktop\APS\APS_L\log_sel\NAND_NAND.sp -o
C:\Documents and Settings\Mesquita\Desktop\APS\APS_L\log_sel.l -nrcl -
fafp
```

Engine configuration report:

```
Layout netlist file.....
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\log_sel\LOGLOG_LO.spc
Schematic netlist file.....
C:\Documents and
Settings\Mesquita\Desktop\APS\APS_L\log_sel\NAND_NAND.sp
Consider Bulk nodes..... ON
Consider Resistors as polarized elements..... OFF
Consider Capacitors as polarized elements..... OFF
Consider Inductors as polarized elements..... OFF
Merge series and parallel R..... OFF
Merge series and parallel C..... OFF
Merge series and parallel L..... OFF
Merge parallel M..... OFF
Merge parallel D..... OFF
Merge parallel B..... OFF
Merge parallel J..... OFF
Merge parallel Z..... OFF
Merge parallel Q..... OFF
Merge series MOSFETs..... OFF
Find series MOSFETs that differ in order or parameter value..... OFF
Remove shorted devices..... OFF
Remove disconnected devices..... OFF
Fast Iteration..... OFF
```

Parsing file C:\Documents and

```
Settings\Mesquita\Desktop\APS\APS_L\log_sel\LOGLOG_LO.spc...
Warning: LOGLOG_LO.spc(8) Implicit .model definition MODP
Warning: LOGLOG_LO.spc(14) Node GND aliased to GROUND
Warning: LOGLOG_LO.spc(14) Implicit .model definition MODN
Flattening netlist...
```

Parsing file C:\Documents and

```
Settings\Mesquita\Desktop\APS\APS_L\log_sel\NAND_NAND.sp...
Warning: NAND_NAND.sp(7) Implicit .model definition MODN
Warning: NAND_NAND.sp(16) Implicit .model definition MODP
Flattening netlist...
```

Device	LOGLOG_LO.spc	NAND_NAND.sp	Status
M_MODN	6	6	
M_MODP	6	6	
Total elements	12	12	
Total nodes	13	13	

Iterating...

5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.
40% done.
45% done.
50% done.
55% done.
60% done.
65% done.
70% done.
75% done.
80% done.
85% done.
90% done.
95% done.
100% done.

***** FINAL RESULT *****

Circuits are equal.

Run time: 0:00 (min:sec)

0 errors, 5 warnings

Apêndice 5: Resultados obtidos na tecnologia CMOS 0,6 μm

As Figuras A5.1 e A5.2 mostram a eficiência de uma estrutura de proteção similar à proposta nesta dissertação, utilizando a tecnologia CMOS 0,6 μm .

Para os testes foi utilizada uma fonte de raio X variando de 0 a 200 KRad.

Enquanto no diodo resistente à radiação a corrente de escuro se manteve entre 10^{-12} A a 10^{-10} A com a dose absorvida variando de 0 a 200 KRad, no diodo convencional, o acréscimo da corrente de escuro na mesma variação de dose absorvida, foi muito maior.

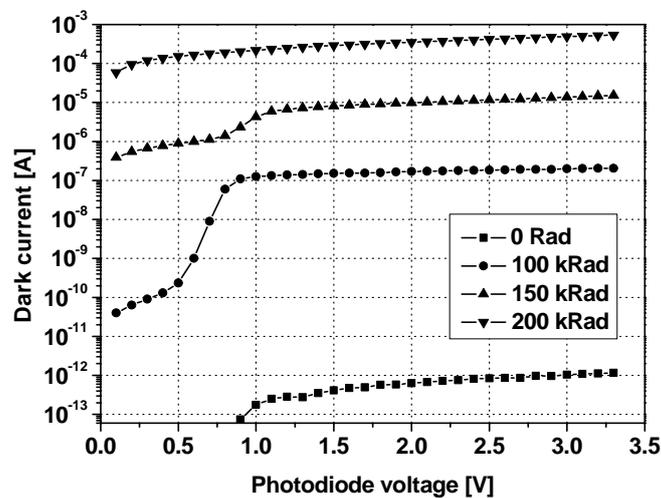


Fig. A5.1 - Diodo convencional

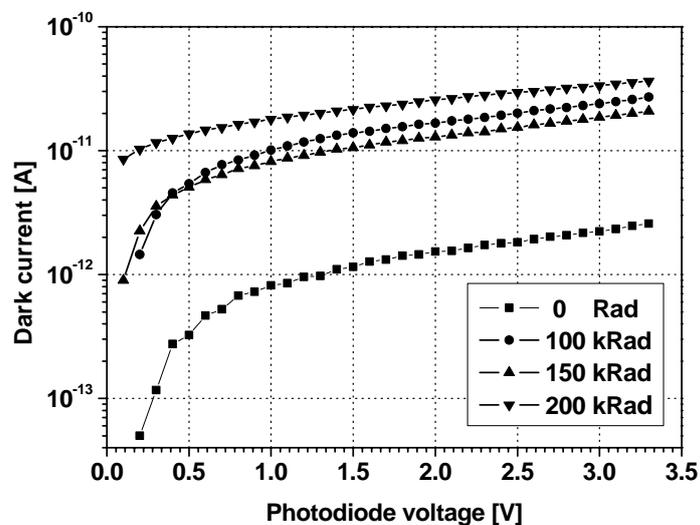


Fig. A5.2 - Diodo resistente à radiação