

FILTRO A CAPACITORES CHAVEADOS CMOS 0.35 μm PARA A DETECÇÃO
DO EFEITO DE CAVITAÇÃO EM TURBINAS DE USINAS HIDROELÉTRICAS

Carlos Fernando Teodósio Soares

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS
EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Petraglia, Ph.D.

Prof. Antônio Carlos Moreirão de Queiroz, D.Sc.

Dr. Plutarcho Maravilha Lourenço, D.Sc.

RIO DE JANEIRO, RJ - BRASIL
FEVEREIRO DE 2006

SOARES, CARLOS FERNANDO TEODÓSIO

Filtro a Capacitores Chaveados CMOS 0.35 μm para a Detecção do Efeito de Caviação em Turbinas de Usinas Hidroelétricas [Rio de Janeiro] 2006

IX, 158 p. 29,7 cm (COPPE/UFRJ, M.Sc., Engenharia Elétrica, 2006)

Dissertação — Universidade Federal do Rio de Janeiro, COPPE

1. Microeletrônica Analógica

2. Filtros a Capacitores Chaveados

I. COPPE/UFRJ II. Título (série)

AGRADECIMENTOS

Agradeço primeiramente a Deus por toda a ajuda e proteção dispensada a mim durante toda a minha caminhada até aqui.

Agradeço a minha família, em especial ao meu pai Carlos Alberto, por ter conseguido enxergar uma grande capacidade intelectual em mim, quando eu era apenas um garoto irresponsável com as piores notas da turma no colégio.

Ao meu antigo professor Bernardino, que me ensinou Matemática durante o Ensino Médio no Instituto Pio XI, e me mostrou a beleza desta disciplina, e que sempre foi minha inspiração de como conduzir uma aula.

Ao meu orientador Antonio Petraglia por ter depositado sua confiança em mim, por ter conseguido os recursos necessários para a elaboração deste trabalho, por ter sempre indicado o melhor caminho a ser seguido e por ter trazido a luz do conhecimento nas vezes em que eu estava imerso nas trevas da ignorância.

A toda a equipe do PADS, em especial ao prof. Fernando Baruqui pelos inestimáveis auxílios prestados durante a execução deste trabalho; à Jacqueline e ao prof. Joarez pela ajuda com o *software* utilizado neste trabalho; ao aluno de iniciação científica Pietro, pela nossa parceria formada durante a execução do projeto do sistema de detecção do efeito de cavitação inteiro; e ao gerente da rede de computadores, Rafael Szendrodi, por manter tudo funcionando adequadamente.

Ao prof. Antônio Carlos Moreirão de Queiroz, pelos conhecimentos de microeletrônica analógica, transmitidos durante as aulas do curso de mestrado, e pelos seus programas, que muito me ajudaram na elaboração deste trabalho.

À CAPES e à Faperj, pelas bolsas pagas a mim durante o primeiro e o segundo ano do curso, respectivamente. Sem as quais eu não teria condições de cursar o mestrado. Ao CNPq pelo financiamento fornecido para a compra da licença do *software* CADENCE e para a fabricação do circuito integrado produzido neste trabalho.

E, por fim, gostaria de agradecer a todos os meus amigos e colegas que me acompanharam durante mais esta fase da minha jornada.

Resumo da dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

FILTRO A CAPACITORES CHAVEADOS CMOS 0.35 μm PARA A DETECÇÃO DO EFEITO DE CAVITAÇÃO EM TURBINAS DE USINAS HIDROELÉTRICAS

Carlos Fernando Teodósio Soares

Fevereiro/2006

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

Esta dissertação apresenta o projeto de um filtro passa-faixa a capacitores chaveados CMOS 0.35 μm para ser aplicado em um sistema de monitoramento para detectar o efeito de cavitação em turbinas de usinas hidrelétricas. Esse filtro a capacitores chaveados é obtido a partir de um protótipo passivo em rede *ladder* através da aplicação da transformação bilinear e é implementado com integradores de Euler.

O *layout* completo do filtro também é desenvolvido. Com o objetivo de avaliar a sua performance, o filtro é simulado com o emprego do *software* CADENCE, onde os efeitos parasitas decorrentes do *layout* são considerados. As simulações com os parâmetros extraídos do *layout* incluem análises de resposta no tempo e em frequência, Monte Carlo, distorção harmônica, ruído e faixa dinâmica do filtro, e indicam que o filtro é capaz de atingir uma faixa dinâmica de 80,12 dB. O circuito integrado ocupa uma área de 0,913 mm² e consome 1,653 mW.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

0.35 μm CMOS SWITCHED-CAPACITOR FILTER FOR THE CAVITATION EFFECT DETECTION IN HYDRAULIC TURBINES USED IN ELECTRICAL POWER GENERATION PLANTS

Carlos Fernando Teodósio Soares

February/2006

Advisor: Antonio Petraglia

Department: Electrical Engineering

This dissertation presents the design of a 0.35 μm CMOS switched-capacitor band-pass filter to be applied in a monitoring system that detects the cavitation effect in hydraulic turbines used in electrical power generation plants. This switched-capacitor filter is derived from a passive ladder prototype filter using the bilinear transformation and is implemented using Euler switched-capacitor integrators in a fully differential architecture.

The complete layout of the filter is also developed. In order to analyse its performance, the filter is simulated using the software CADENCE, considering the effect of parasitics devices introduced in the layout. Post-layout simulations include Monte Carlo analysis, harmonic distortion, noise and dynamic range, and indicate that the filter is able to achieve a dynamic range of 80.12 dB. The chip die area is 0.913 mm^2 and its power consumption is 1.653 mW.

SUMÁRIO

I	Introdução	1
I.1	Apresentação do Problema	2
I.2	Objetivo do Trabalho	4
I.3	Organização do Trabalho	6
II	Filtros a Capacitores Chaveados	8
II.1	Classificação dos Sinais	9
II.1.1	Sinais e Sistemas	9
II.1.2	Sinais no Domínio da Freqüência	11
II.2	Introdução aos Circuitos a Capacitores Chaveados	18
II.3	Integradores a Capacitores Chaveados	23
II.3.1	Integrador Forward de Euler	24
II.3.2	Integrador Backward de Euler	28
II.3.3	Integrador Bilinear	32
II.3.4	Transformação LDI	37
II.3.5	Implementação dos Integradores em Circuitos CMOS	39
II.4	Simulação de Rede Ladder	40
III	Dimensionamento do Filtro	48
III.1	Especificações do Filtro	48
III.2	Protótipo Passivo em Rede Ladder	52
III.3	Remoção do Ciclo Indutivo da Rede Ladder	55
III.4	Adaptação da Rede Ladder	57
III.5	Realização Desbalanceada do Filtro	59
III.6	Equalização de Faixa Dinâmica	70
III.7	Aproximação dos Valores das Capacitâncias	75
III.8	Realização Balanceada do Filtro	85
IV	Projeto dos Componentes do Filtro	90
IV.1	Projeto dos Capacitores	91
IV.2	Projeto dos Amplificadores Operacionais de Transcondutância	95

IV.2.1	Amplificador com Saída em Cascode Regulado	95
IV.2.2	Controle de Modo Comum	97
IV.2.3	Idéia Básica do Dimensionamento do OTA	99
IV.2.4	Cálculo dos Parâmetros dos Amplificadores	103
IV.2.5	Dimensionamento dos Amplificadores	107
IV.3	Projeto das Chaves Analógicas	111
IV.3.1	Topologia da Chave	111
IV.3.2	Idéia Básica	113
IV.3.3	Dimensionamento das Chaves	114
V	Layout	118
V.1	Layout das Chaves Analógicas	121
V.2	Layout dos Amplificadores Operacionais de Transcondutância	122
V.3	Layout das Matrizes de Capacitores	126
V.4	Layout do Filtro a Capacitores Chaveados	131
VI	Resultados das Simulações	133
VI.1	Simulação das Chaves Analógicas	134
VI.2	Simulação dos Amplificadores Operacionais de Transcondutância	137
VI.3	Simulação do Filtro a Capacitores Chaveados	147
VII	Conclusões	152
VII.1	Conclusões Gerais	152
VII.2	Trabalhos Futuros	154

LISTA DE SÍMBOLOS

ΔV_{gs}	Tensão definida como $\Delta V_{GS} = V_{GS} - V_T$.
f	Frequência dos sistemas contínuos no tempo, dada em Hertz.
f_s	Frequência de amostragem, dada em Hertz.
ϕ	Potencial de inversão na superfície.
ϕ_1	Fase de chaveamento 1 do circuito a capacitores chaveados.
ϕ_2	Fase de chaveamento 2 do circuito a capacitores chaveados.
g_m	Transcondutância.
γ	Constante do efeito de campo.
I_D	Corrente de dreno do transistor MOS.
k_p	Transcondutância de processo.
L	Comprimento do canal do transistor MOS.
s	Variável complexa da Transformada de Laplace.
SR	<i>Slew-rate</i> .
T	Período de Amostragem
θ	Modulação da mobilidade.
V_{DS}	Tensão entre os terminais dreno e fonte do transistor MOS.
V_{DSsat}	Menor tensão entre os terminais dreno e fonte que mantém o transistor MOS na região de saturação.
V_{GS}	Tensão entre os terminais porta e fonte do transistor MOS.
V_{SB}	Tensão entre o terminal fonte e o substrato do transistor MOS.
V_T	Tensão de limiar (<i>threshold</i>) do transistor MOS.
V_{T0}	Tensão de limiar (<i>threshold</i>) do transistor MOS, quando $V_{SB} = 0$.
W	Largura do canal do transistor MOS.

- ω Frequência dos sistemas discretos no tempo, dada em rad/amostra.
- Ω Frequência dos sinais contínuos no tempo, dada em rad/s.
- z Variável complexa da Transformada Z .

CAPÍTULO I

INTRODUÇÃO

No Brasil, a produção de energia elétrica é predominantemente hidráulica, correspondendo a 92% da energia gerada. Estima-se que o potencial hidrelétrico a ser explorado no país é de 206.992 MW [1]. Nos últimos anos, a demanda por energia elétrica tem aumentado consideravelmente, fazendo com que as usinas instaladas operem em seus limites máximos. Tal fato tem contribuído para um aumento na ocorrência do fenômeno de cavitação nas turbinas hidráulicas.

O efeito de cavitação nas turbinas geradoras de energia provoca o desgaste progressivo de suas pás, que são movidas pela passagem da água represada. Tal efeito produz barulho e vibrações nas turbinas. Estas vibrações são medidas por um acelerômetro, que gera um sinal elétrico descrevendo as vibrações da turbina devido, principalmente, ao efeito de cavitação. Tal sinal deve ser filtrado e sua amplitude medida, a fim de verificar se a quantidade de bolhas geradas pelo efeito de cavitação é elevada o suficiente para causar danos às pás das turbinas.

No Brasil, sistemas de monitoramento do efeito de cavitação foram desenvolvidos, fazendo uso de alguns circuitos integrados para filtrar o sinal fornecido por um acelerômetro. No entanto, não se pôde dar continuidade ao desenvolvimento desses sistemas devido à indisponibilidade dos circuitos integrados utilizados. Tal fato reflete a atual dependência tecnológica do país.

Portanto, o objetivo deste projeto é o desenvolvimento de um filtro, usando a técnica de capacitores chaveados, implementado em circuito integrado com tecnologia CMOS 0.35 μm , para ser aplicado em usinas hidrelétricas, a fim de detectar o nível do efeito de cavitação medido pelo acelerômetro. Dessa forma, os sistemas de monitoramento poderão ser implementados utilizando um circuito integrado de projeto nacional.

I.1 - APRESENTAÇÃO DO PROBLEMA

Em usinas hidrelétricas, a água represada deve escoar através de turbinas, fazendo com que suas pás sejam movimentadas pela passagem da água. O movimento das pás faz com que o rotor de um gerador síncrono gire, produzindo corrente elétrica devido à Indução Eletromagnética. Assim, o processo pode ser interpretado fisicamente como uma transformação de energia. A energia potencial da massa de água represada é convertida em energia cinética, associada ao movimento da própria água que jorra através da turbina e ao movimento das pás e do rotor do gerador. Então, a energia cinética do rotor do gerador é transformada em energia elétrica que é transmitida e distribuída aos consumidores.

Quando as pás da turbina se movimentam pela passagem da água, seu movimento cria zonas de baixa pressão. Sabe-se que, mesmo à temperatura ambiente, a água pode passar do estado líquido para o estado de vapor, caso seja submetida a uma baixa pressão. Assim, as zonas de baixa pressão provocam o aparecimento de bolhas de vapor de água. Os colapsos intermitentes destas bolhas contra as pás da turbina causam o aparecimento de altas tensões concentradas em pequenas áreas da superfície sólida das mesmas. Essas tensões localizadas excedem os limites de resistência do material das pás, provocando sua erosão.

Além da erosão da superfície das pás, o efeito de cavitação também provoca vibrações e ruídos excessivos, a diminuição da capacidade dos vertedouros de usinas hidrelétricas e a diminuição da eficiência das turbinas hidráulicas, com conseqüente queda da potência elétrica fornecida.

Segundo levantamentos efetuados pelo CEPEL (Centro de Pesquisas de Energia Elétrica da Eletrobrás), os gastos com a recuperação de turbinas hidráulicas no Brasil foram da ordem de treze milhões de dólares, considerando apenas despesas com mão-de-obra e materiais empregados nos reparos [1].

Acredita-se que tais gastos com reparos de cavitação erosiva tenham aumentado ao longo dos últimos anos, principalmente devido ao fato de que as turbinas instaladas têm sido operadas em seus limites máximos, para atender à demanda crescente de energia elétrica. No país, cerca de 75% das companhias geradoras de energia, que empregam geração hidráulica, estão operando com algum tipo de problema de cavitação em seus equipamentos [1].

Na Figura I.1, são apresentadas fotos de turbinas que sofreram erosão devido ao efeito de cavitação. A Figura I.1(a) mostra uma turbina avariada, onde é possível verificar que as bordas das pás foram bastante erodidas. Já a Figura I.1(b) mostra uma turbina que foi recuperada após sofrer o desgaste devido ao efeito de cavitação.

Em virtude dos problemas e dos prejuízos causados pela cavitação em turbinas de usinas hidrelétricas, soluções vêm sendo propostas para minimizar seus efeitos. Entre



(a) Turbina avariada devido ao efeito de cavitação.

(b) Turbina recuperada.

Figura I.1: Turbinas de usinas hidrelétricas afetadas pelo efeito de cavitação.

estas soluções, podem ser citadas: a pesquisa por novos materiais mais resistentes à erosão provocada pela cavitação; previsão das condições para as quais existem riscos de cavitação agressiva para as turbinas; busca por métodos de controle da cavitação e o desenvolvimento de sistemas de monitoramento para detectar o nível de cavitação em uma turbina em operação.

Os sistemas de monitoramento contribuem para evitar a operação das turbinas em condições de elevado nível de cavitação por muito tempo, o que pode vir a reduzir a erosão e prolongar os intervalos entre as paradas para manutenção — período de tempo em que a turbina fica inoperante.

Tendo-se em vista que o efeito de cavitação produz muito barulho e trepidações na turbina, emprega-se um acelerômetro para medir essas vibrações. Essas medições podem, então, ser empregadas na implementação de um sistema de monitoramento. Sendo assim, quanto maior a amplitude do sinal produzido na saída do acelerômetro, mais intenso será o efeito de cavitação na turbina — o que corresponde a um número maior de bolhas produzidas.

Segundo especificações do CEPEL, a banda do sinal medido pelo acelerômetro, correspondente ao barulho do efeito de cavitação, está compreendida entre 10 e 30 kHz. De acordo com essas informações, um sistema de monitoramento deve filtrar o sinal fornecido pelo acelerômetro, empregando-se um filtro passa-faixa com banda de passagem entre 10 e 30 kHz. Por fim, um sistema de controle adicional deverá verificar se a amplitude do sinal medido corresponde a um nível crítico do efeito de cavitação, tornando necessário suspender, ou não, a operação da turbina temporariamente.

Segundo informações do CEPEL, um sistema de monitoramento foi desenvolvido com circuitos integrados fabricados pela companhia *Burr-Brown*. No entanto, depois que a referida empresa foi adquirida pela *Texas Instruments*, os circuitos integrados utilizados não estiveram mais disponíveis no mercado.

Diante da impossibilidade da reposição dos componentes do circuito, surgiu a proposta de se desenvolver o projeto de um circuito integrado dedicado — usando tecnologia CMOS — para realizar o processamento do sinal fornecido pelo acelerômetro. Tal circuito deve desempenhar as tarefas de filtragem e detecção de amplitude. A decisão de suspender a operação da turbina é deixada a cargo de um controlador externo.

O filtro passa-faixa integrado poderia ser implementado digitalmente. Este tipo de realização apresenta uma ótima acurácia, que pode ser tão melhor quanto maior for o número de bits empregados na representação das palavras binárias. No entanto, um simples filtro passa-faixa, implementado digitalmente, apresenta um consumo de potência significativamente maior que o seu equivalente analógico.

Em circuitos integrados analógicos, os processos de fabricação CMOS ainda não permitem a fabricação muito precisa de componentes passivos como, por exemplo, resistores e capacitores. Dessa forma, os processos de fabricação CMOS não permitem a fabricação de filtros contínuos no tempo com uma acurácia razoável, sem que seja adicionado algum circuito de sintonia automática [2], [3].

Outra desvantagem dos filtros contínuos no tempo está relacionada ao tamanho físico dos componentes. Um filtro contínuo no tempo, com banda de passagem compreendida entre 10 e 30 kHz, necessitaria de resistores e capacitores com dimensões tão elevadas, que poderiam inviabilizar sua implementação em circuito integrado.

Portanto, o problema a ser abordado neste trabalho é a implementação, em circuito integrado CMOS, do filtro a ser utilizado no sistema de monitoramento do efeito de cavitação em turbinas de usinas hidrelétricas.

I.2 - OBJETIVO DO TRABALHO

Conforme mencionado na seção anterior, o emprego de circuitos contínuos no tempo para a implementação do filtro em circuito integrado possui sérias desvantagens: dimensões físicas muito grandes para uma implementação em microeletrônica e a necessidade de um sistema de sintonia automática para se garantir uma acurácia razoável. Devido a estas desvantagens, a solução mais adequada para a implementação do filtro é o emprego de circuitos chaveados, tais como circuitos a capacitores chaveados ou circuitos a correntes chaveadas.

Os filtros digitais processam sinais representados por uma seqüência de números, onde cada valor é representado por uma palavra binária com um número finito de bits. Dessa forma, somente uma quantidade finita de valores numéricos pode ser representada. Portanto, os sinais processados por filtros digitais podem assumir apenas valores discretos e são amostrados em apenas instantes de tempo discretos. Ou seja, os filtros digitais processam sinais *discretos* tanto no tempo como em amplitude.

Nos filtros analógicos, os sinais são funções contínuas no tempo e podem assumir qualquer valor real. Ou seja, os filtros analógicos processam sinais *contínuos* tanto no tempo como em amplitude.

Em circuitos chaveados, o sinal de entrada é amostrado periodicamente. No entanto, ao invés das amostras dos sinais serem armazenadas em palavras binárias com um número fixo de bits, como no caso de filtros digitais, os circuitos chaveados armazenam as amostras de sinal na forma de tensões em capacitores — no caso de filtros a capacitores chaveados — ou de correntes em transistores MOSFET — no caso de filtros a correntes chaveadas. Portanto, tais filtros processam sinais discretos no tempo, assim como os filtros digitais, e contínuos em amplitude, assim como os filtros analógicos. Dessa forma, os filtros chaveados são classificados em uma categoria intermediária, conhecida como *filtros analógicos a dados amostrados* [4].

No caso de um filtro a capacitores chaveados, os coeficientes da função de transferência dependem apenas das razões entre os valores dos capacitores do circuito, independentemente dos valores absolutos dos mesmos [3], [4]. Portanto, o projetista do circuito fica livre para escolher o valor absoluto de capacitância mais conveniente. Assim, não são necessários capacitores tão grandes como os que seriam empregados em uma implementação analógica contínua no tempo.

Analogamente, nos filtros a correntes chaveadas, os coeficientes da função de transferência do filtro dependem das razões entre as larguras dos transistores do circuito e não dos valores absolutos das mesmas [5].

Essas características dos circuitos chaveados, além de possibilitarem um circuito de tamanho menor em comparação ao equivalente analógico contínuo no tempo, apresentam uma outra grande vantagem. Os processos de fabricação CMOS produzem um erro de até cerca de 20% nos valores absolutos dos dispositivos, mas podem garantir uma precisão de até 0,1% para os valores relativos entre dispositivos construídos em um mesmo circuito integrado [3]. Portanto, os valores das razões de capacitâncias e das razões de larguras de transistores podem ser implementados com uma razoável precisão em circuitos integrados CMOS, o que possibilita a construção de filtros chaveados com resposta em frequência precisa, sem a necessidade da inclusão de um sistema de sintonia automática.

É importante salientar que a precisão conseguida em filtros chaveados é comparável àquela conseguida com algumas implementações digitais [4], embora os primeiros apresentem um consumo de potência significativamente menor.

Uma desvantagem que os filtros chaveados possuem, em comparação com os filtros analógicos contínuos no tempo, é o fato de que o projetista deve levar em consideração a possibilidade de ocorrência do fenômeno de *aliasing*, o que leva à necessidade de se pré-filtrar o sinal de entrada — com um filtro analógico contínuo no tempo — para limitar sua banda de acordo com limite imposto pelo Teorema de Nyquist [4], [3].

Dessa forma, optou-se por implementar o filtro para o monitoramento do efeito de cavitação usando uma das técnicas de circuitos chaveados citadas acima. Resta apenas decidir entre a implementação em capacitores chaveados ou em correntes chaveadas.

Os filtros implementados usando a técnica de correntes chaveadas empregam apenas transistores MOSFET — dispostos na configuração de espelho de corrente — e chaves analógicas. Já os filtros a capacitores chaveados são construídos com capacitores, amplificadores operacionais e chaves analógicas. Dessa forma, os filtros implementados usando a técnica de correntes chaveadas ocupam uma área menor que os equivalentes a capacitores chaveados.

Também deve ser citado que os filtros a correntes chaveadas se mostram mais adequados em aplicações de baixa tensão do que os filtros a capacitores chaveados, além de apresentarem uma menor PSRR (*Power Supply Rejection Ratio*) [6].

Por outro lado, os filtros a capacitores chaveados apresentam uma precisão superior àquela conseguida com filtros a correntes chaveadas, além de apresentarem um desempenho melhor com relação a ruído [6], [7].

Assim, como o problema em questão não apresenta grandes limitações de espaço e de tensão de alimentação, optou-se por adotar a técnica de capacitores chaveados para a implementação do filtro deste trabalho.

Portanto, o objetivo deste trabalho é o projeto de um filtro a capacitores chaveados, usando tecnologia CMOS $0,35\ \mu\text{m}$, para integrar um sistema de monitoramento do efeito de cavitação em turbinas de usinas hidrelétricas.

I.3 - ORGANIZAÇÃO DO TRABALHO

No Capítulo II deste trabalho, é apresentada uma breve classificação dos tipos de sinal encontrados comumente em aplicações de processamento de sinais, onde será dada maior ênfase aos tipos de sinal adotados em filtros a capacitores chaveados.

O Capítulo II também faz uma breve introdução aos filtros a capacitores chaveados, mostrando os princípios básicos, vantagens e desvantagens. São apresentados, também, os circuitos dos principais integradores a capacitores chaveados, os quais serão empregados na implementação do circuito deste trabalho.

No final do Capítulo II é apresentada uma breve introdução à síntese de filtros a capacitores chaveados através da simulação de redes *ladder* passivas, adotadas como protótipo contínuo no tempo.

O Capítulo III é inteiramente dedicado ao projeto do circuito a capacitores chaveados. Nele, são apresentadas as especificações do filtro; a síntese do protótipo passivo em rede *ladder*; as modificações realizadas na rede *ladder* para permitir a síntese do filtro a capacitores chaveados; a construção da versão desbalanceada do filtro; a equa-

lização da faixa dinâmica; a aproximação das razões de capacitâncias por números racionais e a obtenção da versão balanceada do filtro a capacitores chaveados.

No Capítulo IV é apresentado o projeto de cada um dos componentes do filtro: chaves analógicas, amplificadores operacionais de transcondutância e os capacitores.

O Capítulo V é inteiramente dedicado a apresentar os *layouts* desenvolvidos para a fabricação do circuito integrado.

Finalmente, os resultados das simulações realizadas para avaliar o desempenho do filtro projetado são apresentados no Capítulo VI e as conclusões do trabalho são discutidas no Capítulo VII.

CAPÍTULO II

FILTROS A CAPACITORES CHAVEADOS

A técnica de capacitores chaveados é atualmente uma das mais populares formas de implementação de circuitos integrados analógicos para processamento de sinais. Uma das razões dessa popularidade é o fato de que esta técnica possibilita a implementação acurada da resposta em frequência dos filtros. Outra importante característica é o fato de que os filtros de baixa frequência — filtros de áudio, por exemplo — podem ser adequadamente implementados em circuito integrado quando se emprega esta técnica; o que não ocorre quando são adotadas técnicas analógicas contínuas no tempo, pois as dimensões dos componentes — capacitores e resistores, por exemplo — seriam grandes o suficiente para inviabilizar a implementação em circuito integrado.

De acordo com o Capítulo I, o filtro projetado neste trabalho é implementado utilizando circuitos a capacitores chaveados. Portanto, com o objetivo de familiarizar o leitor com esta técnica, este capítulo é exclusivamente dedicado a fazer uma breve apresentação desse tipo de filtro.

Os filtros a capacitores chaveados são circuitos que processam sinais a dados amostrados, diferentemente de outros circuitos analógicos, que processam sinais contínuos no tempo. No entanto, os filtros a capacitores chaveados, apesar de processarem sinais discretos no tempo, não lidam com sinais discretos em amplitude, assim como os filtros digitais. Dessa forma, com o objetivo de tornar claro para o leitor qual o tipo de sinal processado por filtros a capacitores chaveados, a Seção II.1 é dedicada a apresentar uma classificação dos diferentes tipos de sinais, além de caracterizar o tipo de sinal que é processado por filtros a capacitores chaveados tanto no domínio do tempo como no da frequência.

A seguir, a Seção II.2 é exclusivamente dedicada a fazer uma introdução aos filtros a capacitores chaveados, onde as idéias básicas e os principais conceitos são apresentados.

Já na Seção II.3, são apresentados os circuitos dos principais integradores a capa-

citores chaveados, amplamente empregados na implementação de filtros.

Finalmente, na Seção II.4, é apresentado o procedimento de obtenção de um filtro a capacitores chaveados a partir de um protótipo analógico contínuo no tempo, implementado por meio de uma rede *ladder* passiva.

II.1 - CLASSIFICAÇÃO DOS SINAIS

II.1.1 - SINAIS E SISTEMAS

Um *sinai* pode ser definido [4] como uma função, cuja variável independente é, na maioria das aplicações, o tempo e a variável dependente é uma quantidade física — tensão, corrente, carga elétrica, etc.

Um sinal *contínuo no tempo* é definido como uma função que apresenta um valor bem definido em qualquer instante de tempo contínuo no intervalo de interesse. Assim, um sinal contínuo no tempo pode ser descrito por uma função contínua, onde a variável independente é o tempo:

$$x(t). \quad (\text{II.1})$$

Um exemplo de sinal contínuo no tempo é apresentado na Figura II.1(a).

Um sinal *discreto no tempo* é definido como uma função que apresenta valores bem definidos apenas em instantes de tempo específicos. Nos demais instantes de tempo o sinal não possui um valor definido. Na maioria das aplicações, os sinais discretos no tempo são obtidos amostrando-se um sinal contínuo no tempo em instantes igualmente espaçados:

$$x[n] = x(nT), \quad \text{onde } n = 0, 1, 2, \dots \quad (\text{II.2})$$

onde o espaçamento entre amostras sucessivas T é denominado *período de amostragem*. Um exemplo de sinal discreto no tempo, obtido através da amostragem de um sinal contínuo, é apresentado na Figura II.1(b).

Existe outro tipo de sinal que pode ser considerado como sendo um caso intermediário entre um sinal contínuo e um discreto no tempo. Esse é o caso dos sinais *amostrados e retidos*¹, cujos exemplos são apresentados nas Figuras II.1(c) e II.1(d). Tais sinais são contínuos no tempo, pois são funções que apresentam um valor bem definido em qualquer instante de tempo. Entretanto, o valor desses sinais só é modificado em determinados instantes de tempo. Nos demais instantes, o sinal mantém constante o seu valor.

Na Figura II.1(c) é apresentado um exemplo de um sinal amostrado e retido, onde seu valor é modificado periodicamente, acompanhando o valor de um sinal contínuo

¹Na literatura, estes sinais são comumente denominados *sampled-and-held*.

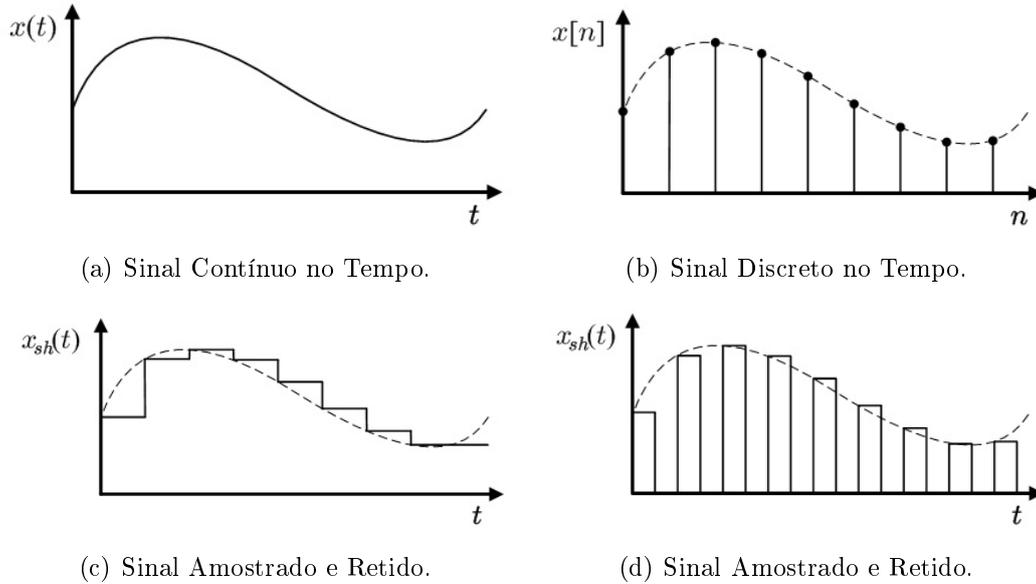


Figura II.1: Classificação dos Sinais.

no tempo. Este sinal pode ser descrito, matematicamente, da seguinte forma:

$$x_{sh}(t) = \sum_{n=-\infty}^{\infty} \left[\int_{-\infty}^t (x(u) \cdot \delta(u - nT) - x(u - T) \cdot \delta(u - (n+1)T)) du \right], \quad (\text{II.3})$$

onde T é o período de amostragem e $\delta(t)$ é o impulso de Dirac, definido como:

$$\begin{cases} \delta(t) = 0, & \text{para } t \neq 0; \\ \int_{-\infty}^{\infty} \delta(t) dt = 1. \end{cases} \quad (\text{II.4})$$

Na Figura II.1(d) é apresentado um outro caso de sinal amostrado e retido, cuja diferença, em relação ao sinal apresentado na Figura II.1(c), é o fato de que o valor amostrado periodicamente se mantém durante um determinado intervalo de tempo, menor que o período de amostragem, e depois seu valor fica nulo até a próxima amostragem. Considere, por exemplo, o caso particular, onde o sinal é obtido amostrando-se periodicamente um sinal contínuo no tempo, com período de amostragem T , e cada valor amostrado é mantido constante apenas durante um intervalo $\tau < T$. Assim, teremos a seguinte descrição matemática para este sinal:

$$x_{sh}(t) = \sum_{n=-\infty}^{\infty} \left[\int_{-\infty}^t (x(u) \cdot \delta(u - nT) - x(u - \tau) \cdot \delta(u - nT - \tau)) du \right]. \quad (\text{II.5})$$

Na maioria dos casos onde são encontrados sinais deste tipo, usa-se $\tau = T/2$.

Comparando-se os sinais amostrados e retidos descritos em (II.3) e (II.5), verifica-

se que o sinal (II.3) pode ser considerado como um caso particular de (II.5), caso $\tau = T$.

Além da classificação apresentada aqui, os sinais podem ainda ser classificados em *analógicos* e *digitais*.

Um sinal *digital* é composto por uma seqüência de números, onde cada número pode ser considerado como a representação da amostra de um sinal discreto no tempo $x[n]$. Entretanto, as amostras de um sinal digital são representadas por palavras binárias com um número finito de bits. Dessa forma, as amostras podem assumir apenas valores discretos.

Por outro lado, os sinais *analógicos* são funções que podem assumir qualquer valor real em qualquer instante de tempo, dentro de um determinado intervalo.

Dessa forma, os sinais (II.1), (II.3) e (II.5) podem ser considerados analógicos. Entretanto, os sinais (II.3) e (II.5) são freqüentemente denominados *sinais analógicos a dados amostrados* ou *sinais analógicos amostrados*.

Um *sistema* é definido como um dispositivo físico capaz de processar sinais fornecidos como entrada e produzir uma ou mais saídas. O sistema pode ser classificado de acordo com o tipo de sinal que ele pode processar [4]. Dessa forma, um sistema pode ser considerado analógico ou digital, contínuo ou discreto no tempo, dependendo do tipo de sinal que é processado por ele.

Assim, circuitos eletrônicos contendo resistores, capacitores, indutores e amplificadores são *sistemas contínuos no tempo*. Por outro lado, os microprocessadores são exemplos de *sistemas digitais*.

Os circuitos a capacitores chaveados, por exemplo, processam sinais como os que são apresentados em (II.3) e (II.5). Portanto, os circuitos a capacitores chaveados são classificados como *sistemas analógicos a dados amostrados*.

II.1.2 - SINAIS NO DOMÍNIO DA FREQUÊNCIA

Na subseção anterior, foram apresentados os tipos de sinais que aparecem na maioria das aplicações de processamento de sinais. Entretanto, para uma melhor compreensão de cada um dos tipos de sinal, deve-se considerar sua representação no domínio da freqüência. Assim, esta subseção é dedicada ao cálculo da *Transformada de Fourier* de cada um dos tipos de sinal apresentados anteriormente.

Dado o sinal contínuo no tempo (II.1), sua Transformada de Fourier é definida como:

$$\mathcal{F}\{x(t)\} = X(j\omega) \triangleq \int_{-\infty}^{\infty} x(t) \cdot e^{-j\omega t} dt. \quad (\text{II.6})$$

Antes de calcular os espectros dos demais sinais, considere o seguinte sinal, co-

hecido como *trem de impulsos*:

$$\Delta(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT). \quad (\text{II.7})$$

Como este sinal é periódico, ele pode ser expresso por uma Série de Fourier:

$$\Delta(t) = \sum_{k=-\infty}^{\infty} c_k \cdot e^{j\frac{2\pi}{T}kt}. \quad (\text{II.8})$$

Onde os coeficientes c_k são obtidos da seguinte forma:

$$\begin{aligned} c_k &= \frac{1}{T} \int_0^T \sum_{n=-\infty}^{\infty} \delta(t - nT) e^{-j\frac{2\pi}{T}kt} dt = \\ &= \frac{1}{T} \int_0^T \delta(t) e^{-j\frac{2\pi}{T}kt} dt = \\ &= \frac{1}{T}. \end{aligned} \quad (\text{II.9})$$

Então, a Série de Fourier do trem de impulsos pode ser expressa por:

$$\Delta(t) = \frac{1}{T} \sum_{k=-\infty}^{\infty} e^{j\frac{2\pi}{T}kt}. \quad (\text{II.10})$$

Por outro lado, um sinal obtido a partir da amostragem uniforme² de um sinal contínuo no tempo $x(t)$ pode ser expresso da seguinte maneira [8]:

$$x_s(t) = x(t) \sum_{n=-\infty}^{\infty} \delta(t - nT), \quad (\text{II.11})$$

onde foi empregado o trem de impulsos para descrever o processo de amostragem. O sinal $x_s(t)$ resultante é apresentado na Figura II.2.

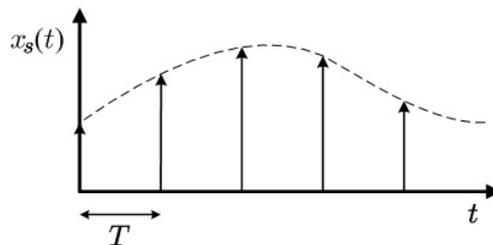


Figura II.2: Sinal contínuo no tempo amostrado com um trem de impulsos.

Usando a representação em Série de Fourier do trem de impulsos, dada em (II.10),

²Ou seja, o sinal contínuo é amostrado com um período de amostragem constante.

pode-se reescrever (II.11) da seguinte forma:

$$x_s(t) = \frac{1}{T} \sum_{k=-\infty}^{\infty} x(t) \cdot e^{j\frac{2\pi}{T}kt}. \quad (\text{II.12})$$

Assim, fica mais simples calcular a Transformada de Fourier do sinal amostrado:

$$\begin{aligned} X_s(j\omega) &= \mathcal{F} \left\{ \frac{1}{T} \sum_{k=-\infty}^{\infty} x(t) \cdot e^{j\frac{2\pi}{T}kt} \right\} = \\ &= \frac{1}{T} \sum_{k=-\infty}^{\infty} \mathcal{F} \left\{ x(t) \cdot e^{j\frac{2\pi}{T}kt} \right\} = \\ &= \frac{1}{T} \sum_{k=-\infty}^{\infty} X \left(j \left(\omega - \frac{2\pi}{T}k \right) \right). \end{aligned} \quad (\text{II.13})$$

Portanto, o resultado obtido em (II.13) mostra que o espectro do sinal $x_s(t)$ é formado pela repetição periódica do espectro do sinal contínuo que foi amostrado.

No caso de um sinal amostrado e retido, será calculada, primeiramente, a Transformada de Fourier do caso geral descrito em (II.5), o qual é representado esquematicamente da Figura II.3.

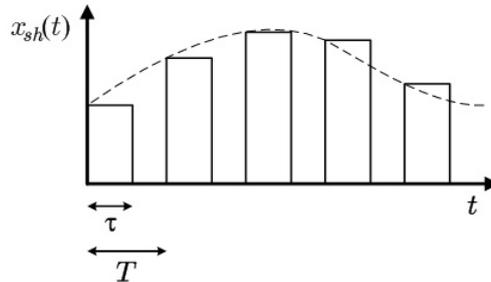


Figura II.3: Caso geral de um sinal amostrado e retido.

De acordo com (II.5), verifica-se que este sinal também pode ser expresso em função do trem de impulsos. Assim, a expressão (II.5) pode ser reescrita da seguinte maneira:

$$x_{sh}(t) = \int_{-\infty}^t \left(x(u) \sum_{n=-\infty}^{\infty} \delta(u - nT) - x(u - \tau) \sum_{n=-\infty}^{\infty} \delta(u - nT - \tau) \right) du. \quad (\text{II.14})$$

Seguindo a mesma linha de raciocínio do caso anterior, (II.14) é reescrita com os

trens de impulsos expressos por suas Séries de Fourier:

$$\begin{aligned} x_{sh}(t) &= \int_{-\infty}^t \left(\frac{1}{T} \sum_{k=-\infty}^{\infty} x(u) e^{j\frac{2\pi}{T}ku} - \frac{1}{T} \sum_{k=-\infty}^{\infty} x(u-\tau) e^{j\frac{2\pi}{T}k(u-\tau)} \right) du = \\ &= \frac{1}{T} \sum_{k=-\infty}^{\infty} \left[\int_{-\infty}^t \left(x(u) e^{j\frac{2\pi}{T}ku} - x(u-\tau) e^{j\frac{2\pi}{T}k(u-\tau)} \right) du \right]. \end{aligned} \quad (\text{II.15})$$

Então, calculando a Transformada de Fourier de (II.15), obtém-se:

$$\begin{aligned} X_{sh}(j\omega) &= \mathcal{F} \left\{ \frac{1}{T} \sum_{k=-\infty}^{\infty} \left[\int_{-\infty}^t \left(x(u) e^{j\frac{2\pi}{T}ku} - x(u-\tau) e^{j\frac{2\pi}{T}k(u-\tau)} \right) du \right] \right\} = \\ &= \frac{1}{T} \sum_{k=-\infty}^{\infty} \mathcal{F} \left\{ \int_{-\infty}^t \left(x(u) e^{j\frac{2\pi}{T}ku} - x(u-\tau) e^{j\frac{2\pi}{T}k(u-\tau)} \right) du \right\} = \\ &= \frac{1}{T} \sum_{k=-\infty}^{\infty} \frac{1}{j\omega} \left[\mathcal{F} \left\{ x(t) e^{j\frac{2\pi}{T}kt} \right\} - \mathcal{F} \left\{ x(t-\tau) e^{j\frac{2\pi}{T}k(t-\tau)} \right\} \right] = \\ &= \frac{1}{j\omega T} \sum_{k=-\infty}^{\infty} \left[X \left(j \left(\omega - \frac{2\pi}{T}k \right) \right) - e^{-j\omega\tau} X \left(j \left(\omega - \frac{2\pi}{T}k \right) \right) \right] = \\ &= \frac{1 - e^{-j\omega\tau}}{j\omega T} \sum_{k=-\infty}^{\infty} X \left(j \left(\omega - \frac{2\pi}{T}k \right) \right). \end{aligned} \quad (\text{II.16})$$

Novamente verifica-se que o espectro resultante é composto pela repetição periódica do espectro do sinal contínuo no tempo que foi amostrado. Entretanto, além da repetição, o espectro resultante também sofre uma distorção devido ao termo que aparece multiplicando o somatório da equação (II.13).

Na maioria das aplicações de circuitos a capacitores chaveados, encontram-se sinais amostrados e retidos onde $\tau = T$ e $\tau = T/2$. Assim, para o caso em que $\tau = T$, a Transformada de Fourier do sinal passa a ser expressa por:

$$\begin{aligned} X_{sh}(j\omega) &= \frac{1 - e^{-j\omega T}}{j\omega T} \sum_{k=-\infty}^{\infty} X \left(j \left(\omega - \frac{2\pi}{T}k \right) \right) = \\ &= e^{-j\omega\frac{T}{2}} \frac{\text{sen} \left(\omega \frac{T}{2} \right)}{\omega \frac{T}{2}} \sum_{k=-\infty}^{\infty} X \left(j \left(\omega - \frac{2\pi}{T}k \right) \right) = \\ &= e^{-j\omega\frac{T}{2}} \text{sinc} \left(\omega \frac{T}{2} \right) \sum_{k=-\infty}^{\infty} X \left(j \left(\omega - \frac{2\pi}{T}k \right) \right). \end{aligned} \quad (\text{II.17})$$

Neste caso, o espectro do sinal amostrado e retido é composto pela repetição periódica do espectro do sinal contínuo correspondente, multiplicada por uma função $\text{sinc}(\cdot)$.

Para o caso em que $\tau = T/2$, teremos:

$$\begin{aligned}
 X_{sh}(j\omega) &= \frac{1 - e^{-j\omega\frac{T}{2}}}{j\omega T} \sum_{k=-\infty}^{\infty} X\left(j\left(\omega - \frac{2\pi}{T}k\right)\right) = \\
 &= \frac{1}{2} e^{-j\omega\frac{T}{4}} \frac{\text{sen}\left(\omega\frac{T}{4}\right)}{\omega\frac{T}{4}} \sum_{k=-\infty}^{\infty} X\left(j\left(\omega - \frac{2\pi}{T}k\right)\right) = \\
 &= \frac{1}{2} e^{-j\omega\frac{T}{4}} \text{sinc}\left(\omega\frac{T}{4}\right) \sum_{k=-\infty}^{\infty} X\left(j\left(\omega - \frac{2\pi}{T}k\right)\right).
 \end{aligned} \tag{II.18}$$

Neste caso, também se verifica a repetição do espectro do sinal contínuo correspondente, e a multiplicação por uma função $\text{sinc}(\cdot)$. No entanto, a função $\text{sinc}(\cdot)$ do espectro (II.17) é mais comprimida na frequência que a deste espectro. Além disso, verifica-se que o módulo de (II.18) é duas vezes menor que o de (II.17).

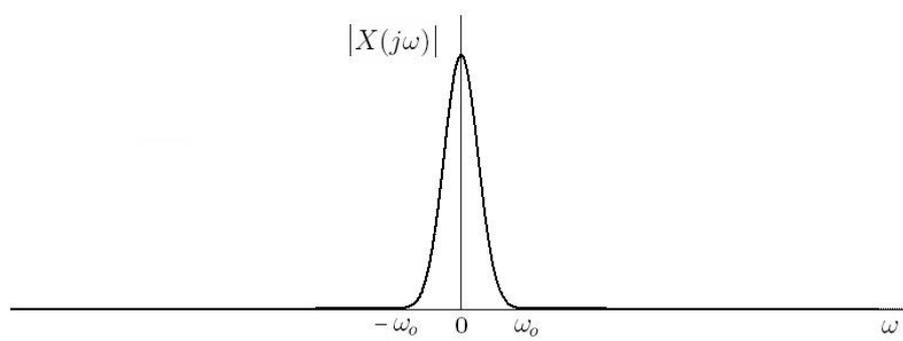
Para que o leitor tenha uma idéia da diferença entre os espectros (II.6), (II.13), (II.17) e (II.18), a Figura II.4 apresenta os esboços dos gráficos de seus respectivos módulos. Nestes gráficos, considera-se que o sinal amostrado e os sinais amostrados e retidos foram obtidos a partir da amostragem do mesmo sinal contínuo, cujo espectro é apresentado em II.4(a).

Nota-se que o espectro de todos os sinais que são obtidos através de algum processo de amostragem apresentam uma repetição do espectro do sinal contínuo original. No exemplo apresentado na Figura II.4, as repetições de espectro não se sobrepõem umas sobre as outras, tornando possível a recuperação do sinal contínuo original. Para recuperá-lo, deve-se empregar um filtro passa-baixas que selecione apenas a banda central dos espectros das Figuras II.4(b), II.4(c) e II.4(d), fazendo com que o espectro do sinal resultante apresente o mesmo aspecto que o da Figura II.4(a). Assim, nenhuma informação contida no sinal contínuo original foi perdida com o processo de amostragem.

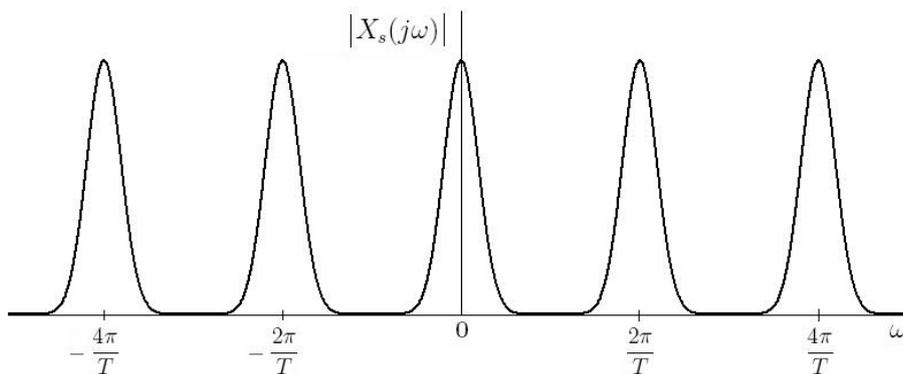
Por outro lado, se o período de amostragem empregado for grande o suficiente para que as repetições do espectro se sobreponham, os espectros dos sinais amostrados assumirão um formato semelhante ao que é apresentado na Figura II.5. Dessa forma, não é mais possível recuperar o sinal analógico original, como nos casos apresentados na Figura II.4, ou seja, a informação contida no sinal contínuo original foi perdida durante o processo de amostragem. Este fenômeno é comumente conhecido como *aliasing* [8], [9].

Em aplicações de processamento de sinais, é desejável que os sinais contínuos sejam amostrados sem que ocorra nenhuma perda de informação. Dessa forma, deve-se garantir que a frequência de amostragem adotada não cause o fenômeno de *aliasing*.

Assim, considere um sinal contínuo $x(t)$ cujo espectro se estende até a frequência



(a) Transformada do sinal contínuo no tempo.



(b) Transformada do sinal amostrado.

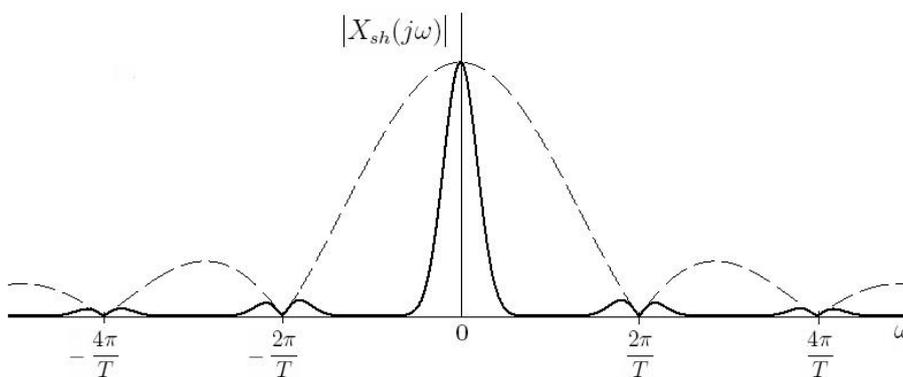
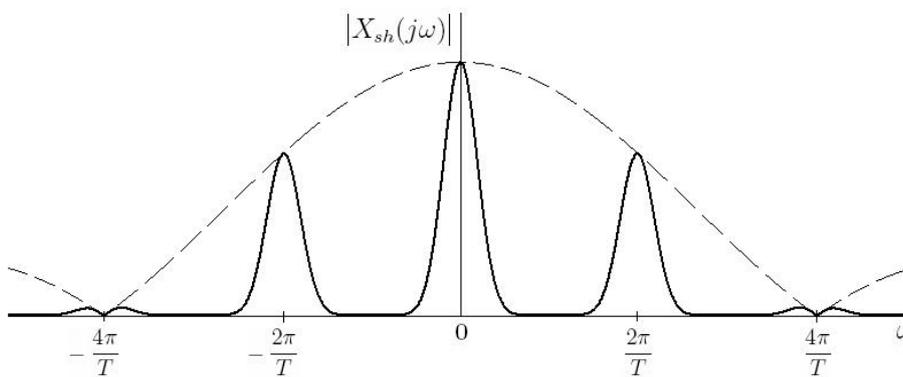
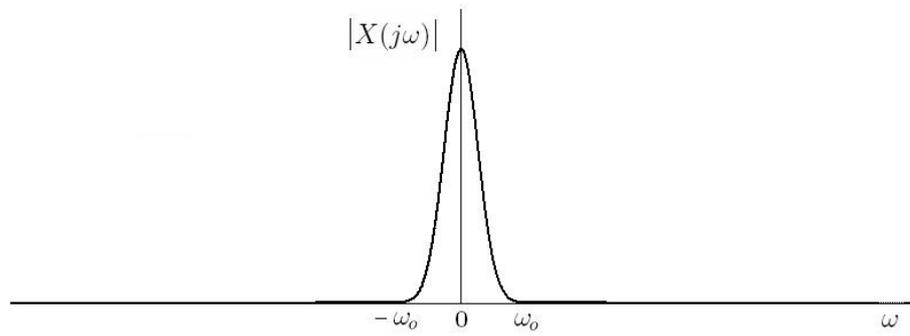
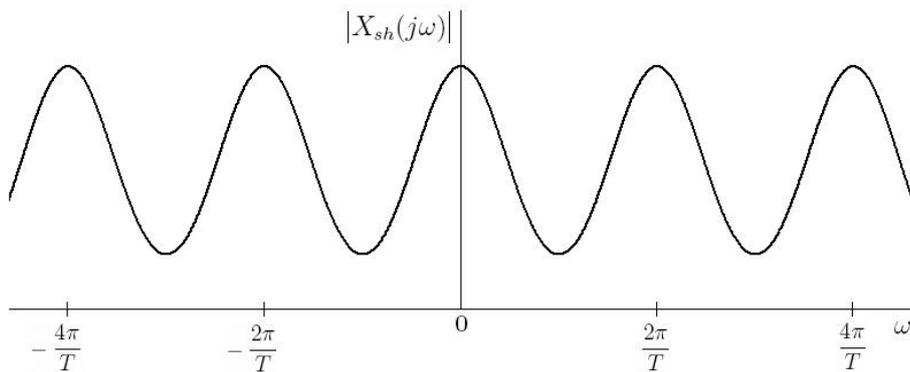
(c) Transformada do sinal amostrado e retido com $\tau = T$.(d) Transformada do sinal amostrado e retido com $\tau = T/2$.

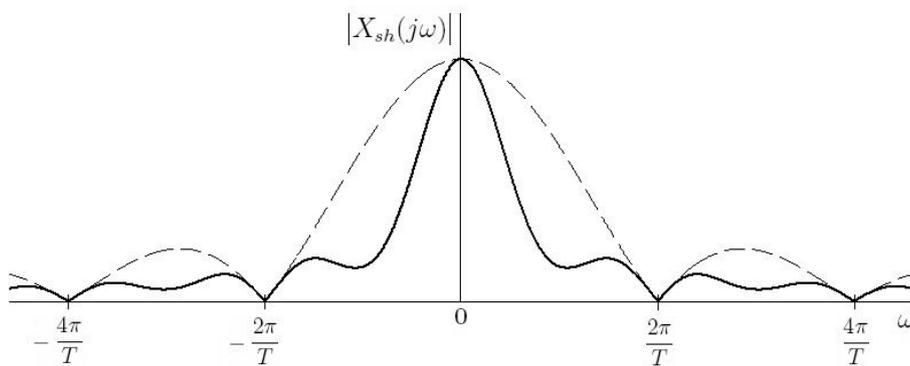
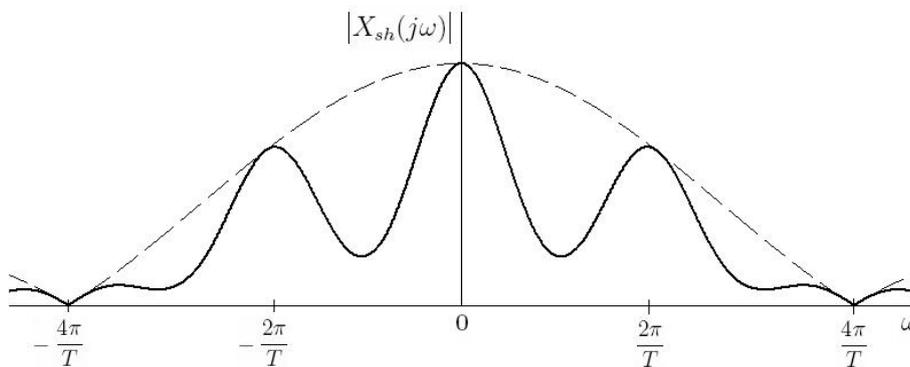
Figura II.4: Módulo da Transformada de Fourier dos diferentes tipos de sinal.



(a) Transformada do sinal contínuo no tempo.



(b) Transformada do sinal amostrado.

(c) Transformada do sinal amostrado e retido com $\tau = T$.(d) Transformada do sinal amostrado e retido com $\tau = T/2$.Figura II.5: Módulo da Transformada de Fourier com ocorrência de *aliasing*.

ω_o — como o que é apresentado na Figura II.5(a). De acordo com (II.13), amostrando-se o sinal $x(t)$ com um período de amostragem T , obtém-se um sinal amostrado cujo espectro é composto pela soma dos espectros do sinal $x(t)$ deslocados, na frequência, por $2\pi k/T$, onde $k = 0, \pm 1, \pm 2, \pm 3, \dots$. Conseqüentemente, duas repetições consecutivas do espectro estarão separadas, na frequência, por $2\pi/T$. Assim, para evitar a ocorrência de *aliasing*, deve-se garantir que esta separação é grande o suficiente para evitar a sobreposição dos espectros consecutivos. Portanto, a seguinte condição deve ser satisfeita:

$$\frac{2\pi}{T} > 2\omega_o. \quad (\text{II.19})$$

Esta condição é conhecida na literatura como *Crítério de Nyquist* [8], [9], e a frequência de amostragem mínima que evita a ocorrência de *aliasing* — apresentada em II.19 — é conhecida como *freqüência de Nyquist*.

De acordo com a discussão acima, conclui-se que o sinal contínuo deve possuir uma banda limitada e ser amostrado com uma frequência de amostragem que satisfaça o Crítério de Nyquist para que não ocorra o fenômeno de *aliasing*. Entretanto, nenhum sinal físico é estritamente limitado em banda. Mas, se um sinal contínuo apresenta um espectro com módulo suficientemente pequeno — -60 dB, por exemplo [4] — a partir de uma determinada frequência ω_o , esta frequência pode ser considerada como sendo, aproximadamente, o limite da banda do sinal, pois o efeito da sobreposição de espectro será desprezível.

Assim, nos sistemas que realizam o processamento de sinais amostrados, normalmente é incluído um filtro contínuo no tempo, passa-baixas, destinado a selecionar apenas a banda de interesse do sinal a ser processado, atenuando os demais componentes de frequência para que o sinal fique, aproximadamente, com uma banda limitada e possa ser amostrado sem a ocorrência de *aliasing*. Tais filtros são normalmente denominados *filtros antialiasing*.

II.2 - INTRODUÇÃO AOS CIRCUITOS A CAPACITORES CHAVEADOS

Historicamente, os filtros analógicos eram inicialmente implementados com elementos passivos, tais como resistores, capacitores, e indutores. Entretanto, os indutores apresentam várias desvantagens na implementação de filtros [4]:

- Indutores práticos dificilmente podem ser construídos com poucas perdas em aplicações de baixa frequência. Os maiores fatores de qualidade que são obtidos com indutores reais são da ordem de 1000.
- Em frequências muito baixas — abaixo de 100 Hz —, o tamanho e o peso dos indutores se tornam significativamente grandes.

- Indutores que empregam núcleos ferromagnéticos apresentam um comportamento não-linear, introduzindo componentes harmônicos nos sinais.
- Indutores irradiam e captam ondas eletromagnéticas. Portanto, tendem a introduzir mais ruído no circuito.

Devido a essas desvantagens, assim que os primeiros amplificadores operacionais práticos e de baixo custo foram disponibilizados no mercado, os filtros analógicos passaram a ser construídos apenas com amplificadores operacionais, resistores e capacitores.

Tais filtros *RC-ativos* podem ser fabricados com um tamanho bem menor que os equivalentes RLC, especialmente em aplicações de baixa frequência. Entretanto, esses filtros ainda possuem algumas desvantagens que inviabilizam sua implementação em circuito integrado.

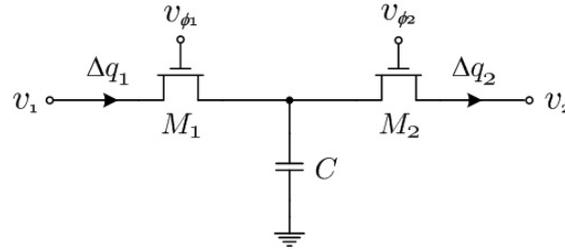
Em aplicações de processamento de voz (0 - 4 kHz), por exemplo, os filtros normalmente apresentam pólos da ordem de 10 krad/s. Para a implementação de tais pólos, mesmo considerando capacitores ligeiramente grandes, da ordem de 10 pF, o filtro iria requerer o emprego de resistores da ordem de 10 MΩ. Um resistor com este valor ocuparia uma área da ordem de $10^6 \mu\text{m}^2$ [4], uma área proibitivamente grande para a implementação em circuito integrado.

Além disso, os valores absolutos dos capacitores e dos resistores não são implementados acuradamente em circuitos integrados. Dessa forma, uma constante de tempo RC pode apresentar um erro tão grande quanto 20% [3], [4], erro este que dificilmente seria tolerado na implementação de filtros práticos. Também deve ser mencionado que os coeficientes de temperatura de resistores e capacitores não possuem correlação, o que aumenta as variações nas constantes de tempo RC devido a variações de temperatura.

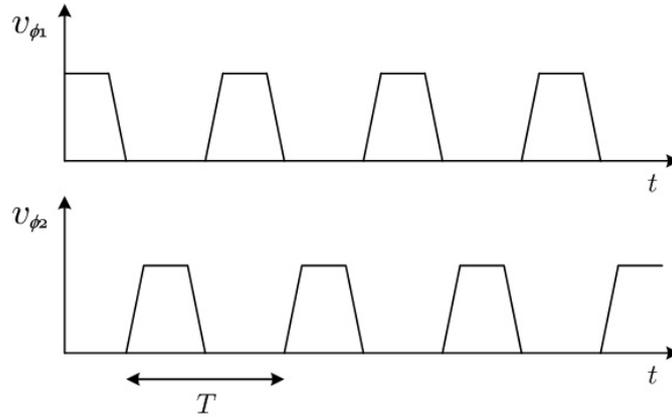
Portanto, devido a essas fortes desvantagens, houve a necessidade de se buscar uma estratégia diferente para a implementação de filtros analógicos em circuito integrado.

A idéia básica para a solução desse problema surgiu em trabalhos publicados por Poschenrieder [10], Fried [11], Caves [12], Hosticka [13] e Young [14]. Essa idéia é ilustrada na Figura II.6(a), onde é mostrado um circuito contendo um capacitor e duas chaves analógicas, implementadas com transistores MOS.

Na Figura II.6(b) são apresentados os sinais de *clock* $v_{\phi 1}$ e $v_{\phi 2}$ que acionam as chaves CMOS do circuito da Figura II.6(a). Esses sinais não devem apresentar nenhuma sobreposição que leve ao acionamento de ambas as chaves ao mesmo tempo. Dessa forma, o circuito apresenta duas *fases*, na fase ϕ_1 a chave M_1 está fechada e a M_2 está aberta. Já na fase ϕ_2 , a chave M_1 está aberta e a M_2 está fechada.



(a) Simulação de um resistor a capacitores chaveados.



(b) Sinais de acionamento das chaves CMOS.

Figura II.6: Idéia básica dos circuitos a capacitores chaveados.

A análise do circuito da Figura II.6(a) deve ser feita do ponto de vista da transferência da carga elétrica. Em um capacitor de capacitância C e com tensão v , a quantidade de carga armazenada é dada por:

$$q = C v. \quad (\text{II.20})$$

Durante a fase em que $v_{\phi 1}$ está ativando a chave M_1 e a chave M_2 está aberta, o capacitor C é carregado com a tensão v_1 . Já durante a fase em que $v_{\phi 2}$ está ativando a chave M_2 e a chave M_1 está aberta, o capacitor C é carregado com a tensão v_2 .

Assim, quando a chave M_1 fecha e a M_2 abre, o capacitor C , que está previamente carregado com uma tensão v_2 , recebe a seguinte quantidade de carga:

$$\Delta q_1 = C (v_1 - v_2). \quad (\text{II.21})$$

Quando a chave M_2 fecha e a M_1 abre, o capacitor C , que está previamente carregado com uma tensão v_1 , irá fornecer uma quantidade de carga Δq_2 que é igual a Δq_1 , dada por (II.21) — considerando que as tensões v_1 e v_2 se mantenham constantes.

Assim, a corrente elétrica média que flui através dos terminais do circuito da Figura II.6(a) é dada por:

$$\bar{i} \triangleq \frac{\Delta q_1}{T} = \frac{C}{T} (v_1 - v_2). \quad (\text{II.22})$$

Reescrevendo (II.22) da seguinte forma:

$$\bar{i} = \frac{1}{R} (v_1 - v_2), \quad (\text{II.23})$$

nota-se que o circuito a capacitores chaveados da Figura II.6(a) funciona, na média, como um resistor de resistência $R = T/C$.

Assim, até este ponto, fica claro que os filtros RC-ativos podem ser transformados em filtros a capacitores chaveados através da substituição de todos os resistores do circuito pelos seus equivalentes a capacitores chaveados. Desse modo, o circuito resultante irá conter apenas capacitores, chaves e amplificadores operacionais.

Uma constante de tempo na forma $R_1 C_2$, por exemplo, seria substituída por $T C_2 / C_1$, onde C_1 é o capacitor do circuito chaveado, adotado na substituição do resistor R_1 . Essa constante de tempo pode ser implementada de forma bastante acurada em circuitos integrados, pois o erro na razão entre duas capacitâncias de dispositivos implementados em um mesmo *chip* pode ser de até 1%. Além disso, o período T dos sinais de *clock* também pode ser implementado de maneira bastante acurada, através do uso de osciladores a cristal.

Além disso, uma outra vantagem dos circuitos a capacitores chaveados está na área ocupada pelo filtro resultante. Como as constantes de tempo dependem apenas das razões entre capacitâncias, estas podem ser escolhidas pelo projetista, desde que as razões permaneçam inalteradas. Dessa forma, um filtro a capacitores chaveados pode empregar capacitores bem menores que o seu equivalente RC-ativo.

Entretanto, deve ser mencionado que a escolha das capacitâncias não pode ser feita livremente, pois a potência do ruído térmico produzido pelo filtro é inversamente proporcional às capacitâncias. Assim, quanto menores os capacitores, maior será a potência de ruído térmico gerado no filtro [15].

Portanto, devido ao fato de permitir a implementação acurada de filtros analógicos em circuito integrado, a técnica de capacitores chaveados se tornou uma das mais populares técnicas analógicas adotadas na implementação de filtros integrados [3].

Todavia, os circuitos a capacitores chaveados sofrem com o problema de injeção de carga [4]. Para que um transistor MOS conduza corrente elétrica, é necessário que um canal seja formado na região abaixo da porta [3], [4]. O canal é constituído por elétrons, em um transistor NMOS, e por lacunas, em um transistor PMOS. Dessa forma, quando qualquer uma das chaves M_1 ou M_2 — do circuito da Figura II.6(a)

— se abre, parte das cargas que constituíam o canal são injetadas no capacitor C , provocando um erro em sua tensão.

O fenômeno da injeção de carga é aleatório e não-linear. Portanto, tende a aumentar a distorção harmônica dos sinais processados pelo filtro.

A injeção de carga pode ser significativamente atenuada se as chaves analógicas do circuito forem projetadas cuidadosamente, com o emprego da estrutura complementar e com a adição de transistores *dummy* — conforme mostrado na Seção IV.3.

Devido às capacitâncias dos transistores das chaves, uma parcela dos sinais de *clock* $v_{\phi 1}$ e $v_{\phi 2}$ é sobreposta aos sinais processados pelo filtro a capacitores chaveados. Essa interferência é conhecida como *clock feedthrough* [4].

Na Figura II.7 é apresentado um circuito composto por um capacitor C e um transistor NMOS, operando como uma chave analógica. A figura mostra que a capacitância que existe entre a porta e a fonte do transistor forma um divisor capacitivo com o capacitor C . Portanto, uma parcela do sinal de *clock* v_{ϕ} é inevitavelmente transmitida ao capacitor C , provocando um erro na tensão sobre este capacitor.

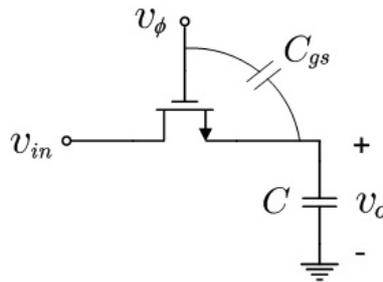


Figura II.7: *Clock feedthrough* em circuitos a capacitores chaveados.

A parcela de tensão sobre o capacitor C devido ao efeito de *clock feedthrough* vale:

$$v_o = \frac{C_{gs}}{C_{gs} + C} v_{\phi}. \quad (\text{II.24})$$

De acordo com (II.24), verifica-se que o efeito de *clock feedthrough* pode ser reduzido se a capacitância C for suficientemente maior que C_{gs} . Por outro lado, na Seção IV.3, é mostrado como o projeto da chave analógica pode ser realizado de forma a minimizar esse efeito.

De acordo com a apresentação acima, conclui-se que os circuitos a capacitores chaveados são sistemas a dados amostrados e manipulam sinais amostrados e retidos, como os que são apresentados nas Figuras II.1(c) e II.1(d). Sendo assim, conforme o que foi discutido na Seção II.1, os sinais processados pelos filtros a capacitores chaveados devem ter banda limitada para evitar a ocorrência do fenômeno de *aliasing*. Portanto, há a necessidade de se empregar um filtro *anti-aliasing* e adotar uma frequência de amostragem que satisfaça o critério de Nyquist.

Devido à natureza discreta no tempo dos filtros a capacitores chaveados, a sua análise no domínio da frequência deve ser feita empregando-se a Transformada Z [4]. Além disso, o projeto de filtros a capacitores chaveados pode ser realizado através das mesmas técnicas adotadas no projeto de filtros discretos no tempo.

Na seção que se segue, são apresentados os principais blocos de circuito que constituem os filtros a capacitores chaveados, juntamente com suas respectivas análises, realizadas com o emprego da Transformada Z .

II.3 - INTEGRADORES A CAPACITORES CHAVEADOS

Conforme discutido na seção anterior, os circuitos a capacitores chaveados são sistemas a dados amostrados. Portanto, os filtros implementados com o emprego desta técnica serão filtros discretos no tempo, cujas funções de transferência são normalmente expressas através da *Transformada Z* .

O projeto de filtros a capacitores chaveados normalmente envolve a tarefa de se obter uma função de transferência que satisfaça a um conjunto de especificações impostas à resposta em frequência do filtro — usualmente essas especificações são dadas em termos do módulo da resposta em frequência.

Obtida a função de transferência — expressa por uma razão de polinômios em z , no caso de sistemas lineares invariantes no tempo —, o projetista deve encontrar o circuito a capacitores chaveados capaz de implementá-la.

Existem, na literatura, diversos métodos para obter a função de transferência de um filtro discreto no tempo que satisfaça um dado conjunto de especificações [8], [9]. Um dos métodos mais usados consiste em obter, primeiramente, a função de transferência de um filtro contínuo no tempo $H_c(s)$, expressa através da Transformada de Laplace, e empregar algum tipo de transformação para converter a função de transferência $H_c(s)$ em uma função equivalente $H_d(z)$, no domínio discreto no tempo. Este procedimento permite que o projetista faça uso dos conhecidos métodos de aproximação empregados na obtenção de filtros contínuos no tempo — filtros de Butterworth, Chebyshev, Elíptico e Bessel, por exemplo — para projetar filtros discretos no tempo que atendam a um determinado conjunto de especificações.

Esta metodologia de projeto depende da existência de uma transformação que substitua cada variável complexa s da função de transferência $H_c(s)$, por uma função expressa em termos da variável complexa z :

$$s = g(z). \quad (\text{II.25})$$

Como a função de transferência $H_c(s)$ é dada por uma razão de polinômios, expressos em função da variável complexa s , e a função de transferência do filtro discreto

no tempo também deve ser dada por uma razão de polinômios, expressos em função da variável complexa z , conclui-se que $g(z)$ deve ser função racional de z .

Esta função também deve ser capaz de transformar sistemas contínuos no tempo estáveis em sistemas discretos no tempo estáveis. Um sistema contínuo, linear e invariante no tempo é estável se os pólos de sua função de transferência estão localizados no semiplano lateral esquerdo do plano complexo. Já um sistema discreto, linear e invariante no tempo será estável se os seus pólos estiverem localizados dentro do círculo de raio unitário, com centro na origem do plano complexo [8], [9]. Assim, a transformação deve mapear números complexos s do semiplano lateral esquerdo em números complexos z localizados dentro do círculo unitário.

Uma forma de obter a transformação (II.25) é substituindo uma integração contínua no tempo — expressa no domínio da frequência por $1/s$ — por uma integração discreta no tempo, obtida através de algum método de integração numérica [4].

Nesta seção, são apresentados os três principais métodos de integração numérica que podem ser adotados: a integração *forward* e a *backward* de Euler e a integração trapezoidal. A seguir é apresentada uma descrição das características de cada um desses métodos e sua implementação com circuitos a capacitores chaveados.

II.3.1 - INTEGRADOR FORWARD DE EULER

Os métodos de integração numérica foram desenvolvidos para permitir o cálculo aproximado de uma integral definida quando a função a ser integrada não possui uma função primitiva ou quando apenas se conhece o valor da função em um conjunto finito de pontos. O caso de sinais discretos no tempo se encaixa neste último caso, pois só se conhece o valor do sinal em determinados instantes discretos no tempo.

Na maior parte dos métodos de integração, é definida uma aproximação da integral da função entre dois pontos consecutivos. No caso de um sinal contínuo no tempo $f(t)$, amostrado periodicamente com um período de amostragem T , teremos que sua integral entre dois instantes de amostragem consecutivos será dada por:

$$\int_{(n-1)T}^{nT} f(t) dt = y(nT) - y((n-1)T), \quad (\text{II.26})$$

onde a função $y(t)$ é a correspondente integral da função $f(t)$.

No caso do método *forward*, proposto por Euler, a integral (II.26) pode ser aproximada por:

$$\int_{(n-1)T}^{nT} f(t) dt \cong T f((n-1)T). \quad (\text{II.27})$$

Esta aproximação é ilustrada no gráfico da Figura II.8.

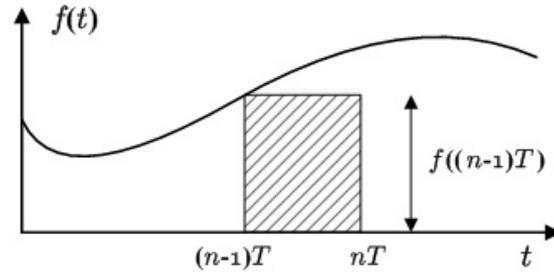


Figura II.8: Aproximação pelo método *forward* de Euler.

Assim, substituindo (II.27) em (II.26), obtém-se:

$$T f((n-1)T) = y(nT) - y((n-1)T). \quad (\text{II.28})$$

Aplicando-se a Transformada Z em (II.28), obtém-se:

$$T z^{-1} F(z) = Y(z) - z^{-1} Y(z). \quad (\text{II.29})$$

Então, a partir da expressão (II.29) pode-se obter a função de transferência, no domínio discreto no tempo, do integrador *forward* de Euler:

$$Y(z) = \frac{Tz^{-1}}{1 - z^{-1}} F(z). \quad (\text{II.30})$$

Assim, como $y(t)$ é a integral de $f(t)$ — de acordo com (II.26) —, a função de transferência (II.30) sugere a seguinte transformação:

$$\frac{1}{s} = \frac{Tz^{-1}}{1 - z^{-1}}. \quad (\text{II.31})$$

$$s = \frac{z - 1}{T}. \quad (\text{II.32})$$

Tecnicamente, a transformação (II.32) realiza um mapeamento dos pontos do plano ' s ' — no domínio da frequência dos sistemas contínuos no tempo — em pontos do plano ' z ' — no domínio da frequência dos sistemas discretos no tempo.

Para verificar as características deste mapeamento, assume-se que $s = \sigma_c + j\omega_c$ e $z = \sigma_d + j\omega_d$. Assim, aplicando estas relações em (II.32), obtém-se:

$$\begin{aligned} \sigma_c + j\omega_c &= \frac{\sigma_d + j\omega_d - 1}{T} = \\ &= \frac{1}{T} \cdot [(\sigma_d - 1) + j\omega_d]. \end{aligned} \quad (\text{II.33})$$

A igualdade (II.33) pode, também, ser expressa da seguinte forma:

$$\begin{cases} \sigma_d = 1 + T\sigma_c \\ \omega_d = T\omega_c \end{cases} \quad (\text{II.34})$$

A partir de (II.34), conclui-se que a transformação mapeia todos os pontos do eixo imaginário do plano ‘ s ’ em pontos da reta vertical, onde $\sigma_d = 1$, no plano ‘ z ’. Além disso, os pontos do semiplano lateral esquerdo do plano ‘ s ’ são mapeados em pontos à esquerda dessa reta. Estas características do mapeamento são ilustradas na Figura II.9.

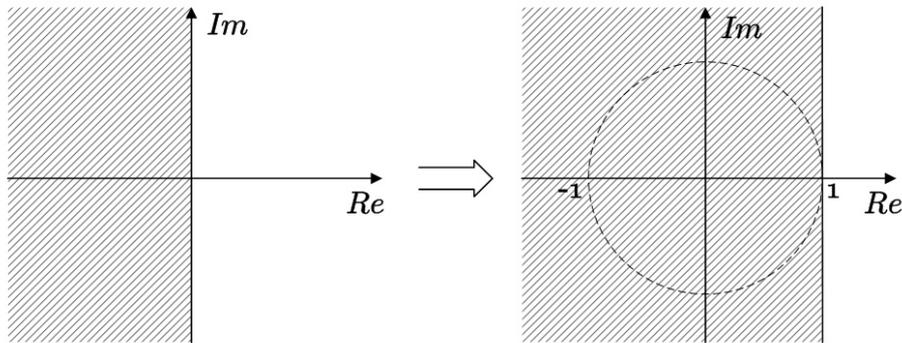


Figura II.9: Mapeamento realizado pela transformação forward de Euler.

Dessa forma, ao se aplicar a transformação *forward* de Euler a um sistema contínuo no tempo estável, há o risco de que o sistema discreto resultante seja instável, pois nem todos os pontos do semiplano lateral esquerdo de ‘ s ’ serão mapeados na região interna ao círculo de raio unitário em ‘ z ’.

Além disso, mesmo que o sistema discreto resultante seja estável, os pólos do sistema contínuo no tempo, próximos ao eixo imaginário, serão mapeados em pólos relativamente bem mais próximos da circunferência unitária. Dessa forma, o fator de qualidade Q dos pólos tende a aumentar, aumentando o ganho do filtro na banda passante.

A outra característica relevante deste mapeamento está relacionada com os zeros. Caso o filtro contínuo possua zeros de transmissão — isto é, zeros localizados ao longo do eixo imaginário —, estes não serão mapeados na circunferência unitária, fazendo com que o filtro discreto resultante não apresente zeros de transmissão, o que comprometerá o ganho na banda de rejeição do filtro discreto.

A integração *forward* de Euler, dada em (II.30), pode ser implementada com circuitos a capacitores chaveados. Na Figura II.10 é apresentado o circuito de um integrador *forward* de Euler.

Existem outros circuitos que também implementam a integração *forward* de Euler [4]. No entanto, o circuito da Figura II.10 é particularmente vantajoso por causa da

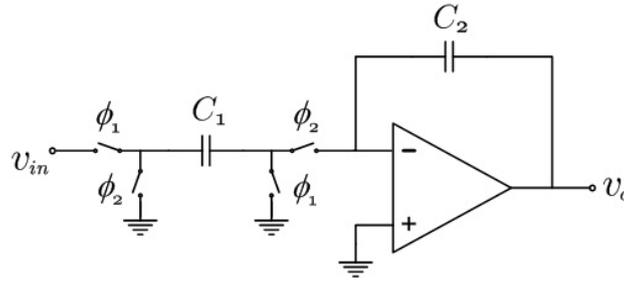
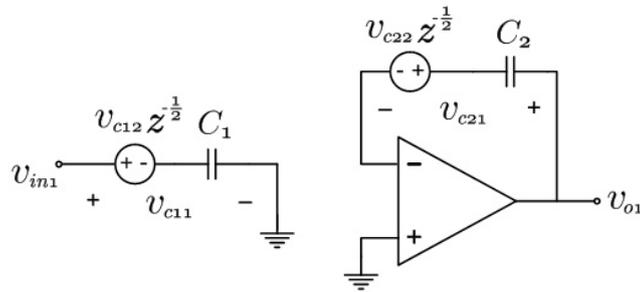


Figura II.10: Integrador *forward* de Euler a capacitores chaveados.

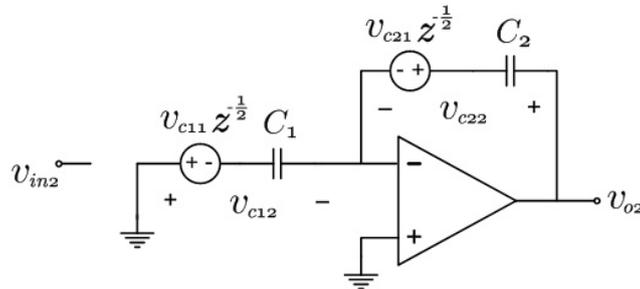
sua insensibilidade a capacitâncias parasitas.

O circuito da Figura II.10 mostra que os terminais do capacitor C_1 estarão sempre conectados a pontos de baixa impedância — terminal de terra, terra virtual ou saída de uma fonte de tensão. Dessa forma, se considerarmos as capacitâncias parasitas que existem entre cada uma das placas do capacitor C_1 e o terminal de terra, conclui-se que os efeitos dessas capacitâncias sobre a dinâmica do circuito serão atenuados. Portanto, o circuito da Figura II.10 se mostra o mais adequado para a implementação em circuitos integrados CMOS.

Com o objetivo de analisar o integrador *forward* de Euler a capacitores chaveados, considere os circuitos apresentados na Figura II.11. Na Figura II.11(a) é apresentada a configuração do circuito durante a fase ϕ_1 . A configuração do mesmo na fase ϕ_2 é dada na Figura II.11(b).



(a) Integrador *forward* de Euler na fase ϕ_1 .



(b) Integrador *forward* de Euler na fase ϕ_2 .

Figura II.11: Análise do integrador *forward* de Euler.

Em todos os casos da Figura II.11, considera-se que os capacitores estão inicialmente descarregados e a tensão armazenada neles durante a fase anterior é representada por uma fonte de tensão independente, conectada em série³.

Sendo assim, de acordo com a Figura II.11(a), podem ser escritas as equações para as tensões em cada um dos capacitores C_1 e C_2 na fase ϕ_1 :

$$\begin{cases} V_{C11}(z) = V_{IN1}(z) \\ V_{C21}(z) = V_{C22}(z) z^{-\frac{1}{2}} \end{cases} \quad (\text{II.35})$$

De acordo com a Figura II.11(b), podem ser escritas as equações para as tensões nos capacitores na fase ϕ_2 :

$$\begin{cases} V_{C12}(z) = 0 \\ V_{C22}(z) = V_{C21}(z) z^{-\frac{1}{2}} + \frac{C_1}{C_2} V_{C11}(z) z^{-\frac{1}{2}} \end{cases} \quad (\text{II.36})$$

Assim, resolvendo o sistema composto por (II.35) e (II.36), e lembrando que $V_{O1}(z) = V_{C21}(z)$, obtém-se a função de transferência do circuito da Figura II.10:

$$V_{O1}(z) = \frac{C_1}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}} V_{IN1}(z). \quad (\text{II.37})$$

Conclui-se, então, que o circuito da Figura II.10 implementa a função de transferência (II.30). Além disso, pode-se constatar que o ganho do circuito depende exclusivamente da razão entre as capacitâncias C_1 e C_2 , e não dos seus respectivos valores absolutos.

II.3.2 - INTEGRADOR BACKWARD DE EULER

No caso do método de integração *backward* de Euler, a integral (II.26) é aproximada da seguinte forma:

$$\int_{(n-1)T}^{nT} f(t) dt \cong T f(nT). \quad (\text{II.38})$$

Esta aproximação é ilustrada no gráfico da Figura II.12.

Substituindo (II.38) em (II.26), obtém-se:

$$T f(nT) = y(nT) - y((n-1)T). \quad (\text{II.39})$$

³Na Figura II.11, o atraso de uma fase é representado por $z^{-\frac{1}{2}}$. Isso é feito porque z^{-1} representa o atraso de um período de amostragem, o qual é dividido igualmente em duas fases.

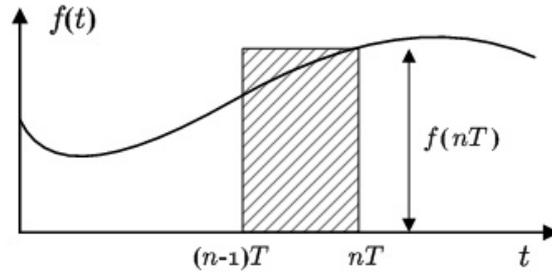


Figura II.12: Aproximação pelo método *backward* de Euler.

Aplicando a Transformada Z em (II.39), teremos:

$$T F(z) = Y(z) - z^{-1} Y(z). \quad (\text{II.40})$$

Então, a partir da expressão (II.40) pode-se obter a função de transferência, no domínio discreto no tempo, do integrador *backward* de Euler:

$$Y(z) = \frac{T}{1 - z^{-1}} F(z). \quad (\text{II.41})$$

Analogamente ao caso do integrador anterior, teremos a seguinte transformação:

$$\frac{1}{s} = \frac{T}{1 - z^{-1}}. \quad (\text{II.42})$$

$$s = \frac{z - 1}{Tz}. \quad (\text{II.43})$$

Com o objetivo de analisar o mapeamento realizado pela integração *backward* de Euler, a expressão (II.43) é re-escrita da seguinte maneira:

$$z = \frac{1}{1 - Ts}. \quad (\text{II.44})$$

Deste modo, assumindo que $s = \sigma_c + j\omega_c$ e $z = \sigma_d + j\omega_d$, a expressão (II.44) pode ser re-escrita da seguinte forma:

$$\begin{aligned} \sigma_d + j\omega_d &= \frac{1}{(1 - T\sigma_c) - j\omega_c T} = \\ &= \frac{(1 - T\sigma_c) + j\omega_c T}{(1 - T\sigma_c)^2 + (\omega_c T)^2}. \end{aligned} \quad (\text{II.45})$$

A igualdade (II.45) também pode ser expressa como:

$$\begin{cases} \sigma_d = \frac{(1 - T\sigma_c)}{(1 - T\sigma_c)^2 + (\omega_c T)^2} \\ \omega_d = \frac{\omega_c T}{(1 - T\sigma_c)^2 + (\omega_c T)^2} \end{cases} \quad (\text{II.46})$$

A partir de (II.46), podemos escrever que:

$$\begin{aligned}\sigma_d^2 + \omega_d^2 &= \frac{1}{(1 - T\sigma_c)^2 + (\omega_c T)^2} \\ &= \sigma_d + \frac{T\sigma_c}{(1 - T\sigma_c)^2 + (\omega_c T)^2}\end{aligned}\quad (\text{II.47})$$

Arrumando (II.47), obtém-se:

$$\left(\sigma_d - \frac{1}{2}\right)^2 + \omega_d^2 = \frac{1}{4} + \frac{T\sigma_c}{(1 - T\sigma_c)^2 + (\omega_c T)^2}. \quad (\text{II.48})$$

A equação (II.48) mostra que o eixo imaginário do plano ‘ s ’ é mapeado em uma circunferência de raio $1/2$, centrada no ponto $(1/2, 0)$, no plano ‘ z ’. Além disso, todo o semiplano lateral esquerdo em ‘ s ’ é mapeado na região interna a esta circunferência no plano ‘ z ’. Estas características estão ilustradas na Figura II.13.

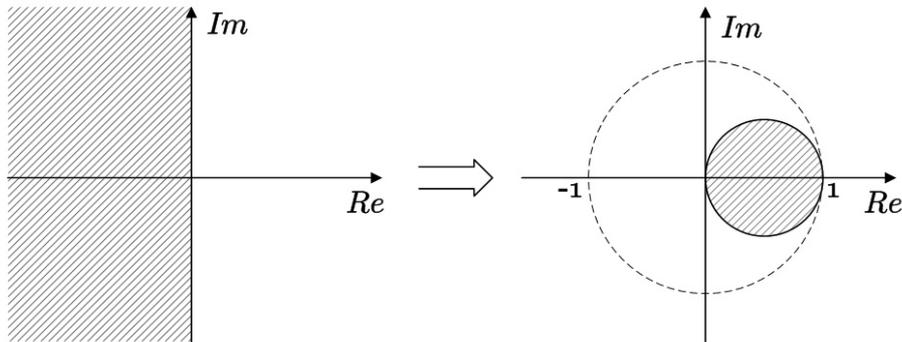


Figura II.13: Mapeamento realizado pela transformação backward de Euler.

Nesse caso, garante-se que um sistema contínuo no tempo estável será transformado em um sistema discreto estável, pois todos os pólos do sistema original — localizados no semiplano lateral esquerdo — serão mapeados dentro do círculo unitário.

Entretanto, os pólos do sistema contínuo que estejam próximos ao eixo imaginário serão mapeados em pólos relativamente mais distantes do círculo unitário. Isso faz com que o fator de qualidade Q dos pólos seja reduzido. Conseqüentemente, o ganho do filtro discreto no tempo será menor ao longo da banda passante.

A exemplo da integração *forward* de Euler, a integração *backward* também não mapeia os zeros do sistema contínuo que estejam sobre o eixo imaginário do plano ‘ s ’ no círculo unitário do plano ‘ z ’. Assim, novamente verifica-se que os zeros de transmissão do filtro contínuo não estarão presentes no filtro discreto no tempo equivalente.

A integração *backward* de Euler também pode ser implementada através de circui-

tos a capacitores chaveados. Na Figura II.14 é apresentado o circuito deste integrador que apresenta a melhor imunidade aos efeitos das capacitâncias parasitas [4], assim como foi feito para o integrador *forward* de Euler.

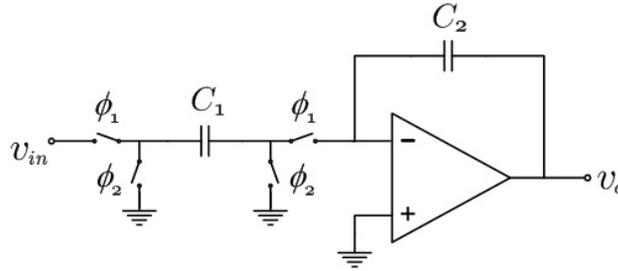
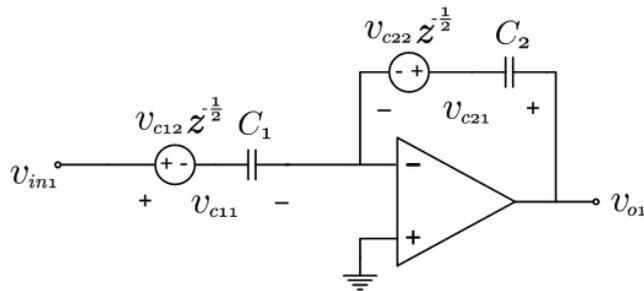
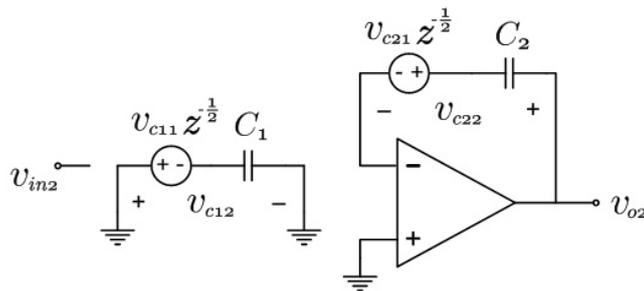


Figura II.14: Integrador *backward* de Euler a capacitores chaveados.

Seguindo a mesma estratégia de análise do caso anterior, obtém-se os circuitos equivalentes apresentados na Figura II.15. Na Figura II.15(a) é apresentado o circuito do integrador *backward* de Euler durante a fase ϕ_1 , o circuito na fase ϕ_2 é apresentado na Figura II.15(b).



(a) Integrador *backward* de Euler na fase ϕ_1 .



(b) Integrador *backward* de Euler na fase ϕ_2 .

Figura II.15: Análise do integrador *backward* de Euler.

Seguindo a mesma idéia do caso anterior, as expressões para as tensões nos capacitores C_1 e C_2 , durante a fase ϕ_1 , podem ser escritas, de acordo com o circuito da

Figura II.15(a), da seguinte forma:

$$\begin{cases} V_{C11}(z) = V_{IN1}(z) \\ V_{C21}(z) = V_{C22}(z) z^{-\frac{1}{2}} - \frac{C_1}{C_2} \left(V_{IN1}(z) - V_{C12}(z) z^{-\frac{1}{2}} \right) \end{cases} \quad (\text{II.49})$$

Analogamente, as expressões para as tensões nos capacitores C_1 e C_2 , durante a fase ϕ_2 , são dadas por:

$$\begin{cases} V_{C12}(z) = 0 \\ V_{C22}(z) = V_{C21}(z) z^{-\frac{1}{2}} \end{cases} \quad (\text{II.50})$$

Resolvendo o sistema composto por (II.49) e (II.50), lembrando que $V_{O1}(z) = V_{C21}(z)$, obtém-se a função de transferência do circuito da Figura II.14:

$$V_{O1}(z) = -\frac{C_1}{C_2} \cdot \frac{1}{1 - z^{-1}} V_{IN1}(z). \quad (\text{II.51})$$

A partir desta análise, verifica-se que o circuito da Figura II.14 implementa a função de transferência (II.41), da integração do tipo *backward* de Euler. Entretanto, a expressão (II.51) apresenta uma inversão de fase, em relação à expressão (II.41).

Por fim, deve ser mencionado que, novamente, o ganho da função de transferência depende exclusivamente da razão entre os capacitores C_1 e C_2 .

II.3.3 - INTEGRADOR BILINEAR

Nos métodos de integração de Euler, a integral (II.26) era sempre aproximada pela área de um retângulo, cuja altura assumia o valor da amostra mais recente — integração *backward* — ou o da amostra anterior — integração *forward*.

Com o objetivo de conseguir uma aproximação melhor, o método de integração trapezoidal aproxima a função $f(t)$ por uma reta no intervalo entre duas amostras consecutivas, conforme apresentado na Figura II.16.

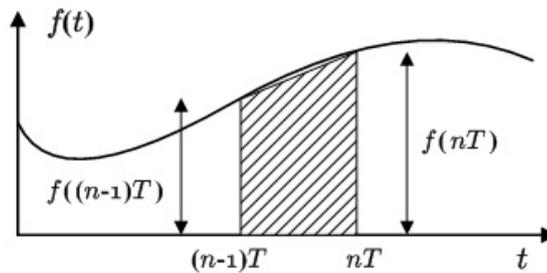


Figura II.16: Aproximação pelo método trapezoidal.

Deste modo, a integral (II.26) será aproximada pela seguinte expressão:

$$\int_{(n-1)T}^{nT} f(t) dt \cong \frac{T}{2} [f(nT) + f((n-1)T)]. \quad (\text{II.52})$$

Então, substituindo (II.52) em (II.26), obtém-se:

$$\frac{T}{2} [f(nT) + f((n-1)T)] = y(nT) - y((n-1)T). \quad (\text{II.53})$$

Aplicando a Transformada Z à expressão (II.53), obtém-se:

$$\frac{T}{2} [F(z) + z^{-1} F(z)] = Y(z) - z^{-1} Y(z). \quad (\text{II.54})$$

A partir da expressão (II.54) pode-se obter a função de transferência do integrador trapezoidal no domínio discreto no tempo:

$$Y(z) = \frac{T}{2} \cdot \frac{1 + z^{-1}}{1 - z^{-1}} F(z). \quad (\text{II.55})$$

Analogamente aos casos anteriores, teremos a seguinte transformação:

$$\frac{1}{s} = \frac{T}{2} \cdot \frac{1 + z^{-1}}{1 - z^{-1}}. \quad (\text{II.56})$$

$$s = \frac{2}{T} \cdot \frac{1 - z^{-1}}{1 + z^{-1}}. \quad (\text{II.57})$$

Na literatura, a transformação dada por (II.57) é comumente conhecida como *transformação bilinear*.

Com o objetivo de se verificar as características do mapeamento realizado pela transformação bilinear, a expressão (II.57) é re-escrita da seguinte forma:

$$z = \frac{1 + \frac{T}{2}s}{1 - \frac{T}{2}s}. \quad (\text{II.58})$$

Assim, assumindo que $s = \sigma_c + j\omega_c$ e $z = \rho e^{j\omega}$, a expressão (II.58) pode ser expressa como:

$$\rho e^{j\omega} = \frac{\left(1 + \frac{T}{2}\sigma_c\right) + j\frac{T}{2}\omega_c}{\left(1 - \frac{T}{2}\sigma_c\right) - j\frac{T}{2}\omega_c}. \quad (\text{II.59})$$

Calculando o módulo da equação (II.59), obtém-se:

$$\rho = \sqrt{\frac{\left(1 + \frac{T}{2}\sigma_c\right)^2 + \left(\frac{T}{2}\omega_c\right)^2}{\left(1 - \frac{T}{2}\sigma_c\right)^2 + \left(\frac{T}{2}\omega_c\right)^2}}. \quad (\text{II.60})$$

A partir de (II.60), verifica-se que se $\sigma_c = 0$, então $\rho = 1$. Além disso, se $\sigma_c < 0$, então $\rho < 1$. Portanto, isso nos permite concluir que o eixo imaginário do plano ‘ s ’ é mapeado no círculo unitário no plano ‘ z ’, e todos os pontos do semiplano lateral esquerdo em ‘ s ’ são mapeados em pontos do interior do círculo unitário em ‘ z ’. Estas características são ilustradas na Figura II.17.

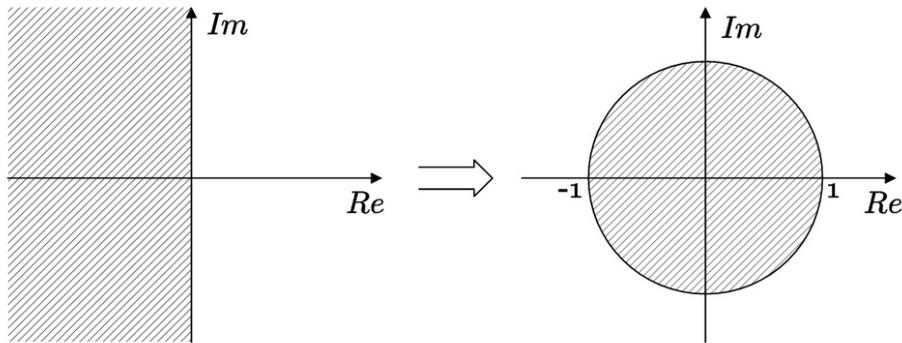


Figura II.17: Mapeamento realizado pela transformação bilinear.

Dessa forma, os pólos de um sistema contínuo estável — localizados no semiplano lateral esquerdo — são mapeados em pontos no interior do círculo unitário no plano ‘ z ’, fazendo com que o sistema discreto resultante seja também estável.

Além disso, o mapeamento para o domínio discreto no tempo mantém o fator de qualidade Q dos pólos [4]. No caso dos zeros, como o eixo imaginário é mapeado diretamente no círculo unitário, os zeros de transmissão são mantidos na versão discreta no tempo. Portanto, devido a essas características, as características de atenuação do módulo da resposta em frequência do filtro contínuo são mantidas na versão discreta no tempo correspondente.

Como a transformação bilinear mapeia o eixo imaginário do plano ‘ s ’ no círculo unitário do plano ‘ z ’, existe uma correspondência entre os valores de frequência do sistema contínuo e os do sistema discreto no tempo. Para descobrir esta correspondência, fazemos $s = j\omega_c$ e $z = e^{j\omega}$ na equação (II.57), obtendo:

$$j\omega_c = \frac{2}{T} \cdot \frac{1 - e^{-j\omega}}{1 + e^{-j\omega}}. \quad (\text{II.61})$$

Simplificando (II.61), obtém-se:

$$\frac{\omega}{2} = \arctan\left(\frac{\omega_c T}{2}\right). \quad (\text{II.62})$$

A relação (II.62) mostra como estão relacionados os valores de frequência da resposta do filtro contínuo, com os valores de frequência da resposta do filtro discreto no tempo correspondente. De acordo com esta relação, todos os valores de frequência, de zero até o infinito, no domínio contínuo no tempo são mapeados no intervalo de 0 a π rad/amostra, no domínio discreto no tempo. Dessa forma, a transformação bilinear produz um filtro discreto cuja resposta em frequência corresponde à resposta do filtro contínuo comprimida no intervalo de 0 a π rad/amostra. Além disso, como em todo sistema discreto no tempo [8], a resposta em frequência do filtro discreto é periódica, com período igual a 2π .

Na maioria dos casos, as especificações do filtro discreto são dadas em radianos por amostra. Estes valores normalizados de frequência estão relacionados com os correspondentes valores de frequência no domínio contínuo no tempo de acordo com a seguinte expressão [8], [9]:

$$\omega = \Omega T, \quad (\text{II.63})$$

onde ω é o valor da frequência normalizada, em radianos por amostra; Ω é o valor de frequência correspondente no domínio contínuo no tempo, dada em radianos por segundo; e T é o período de amostragem.

Dessa maneira, durante o processo de projeto do filtro, dadas as especificações da resposta em frequência em radianos por amostra, o projetista deve calcular os valores correspondentes de frequência, para especificar o protótipo contínuo no tempo, usando a relação (II.62), e não a (II.63). Esse procedimento deve ser feito por causa da compressão na frequência causada pela transformação bilinear. Realizando esta pré-distorção, o filtro protótipo deve ser projetado com as especificações calculadas. Posteriormente, ao se aplicar a transformação bilinear ao protótipo, o filtro discreto resultante estará de acordo com as especificações originais.

Caso o filtro discreto obtido seja empregado no processamento de sinais contínuos no tempo, os valores de frequência destes sinais (em rad/s) estarão relacionados com os valores de frequência da resposta do filtro discreto (em rad/amostra) de acordo com a relação (II.63).

Assim, apresentada a transformação bilinear, o circuito a capacitores chaveados que implementa a função de transferência (II.55) — com maior imunidade aos efeitos de capacitâncias parasitas — é apresentado na Figura II.18.

Adotando o mesmo procedimento de análise empregado nos integradores anteriores, obtém-se os circuitos da Figura II.19. Na Figura II.19(a) é apresentada a

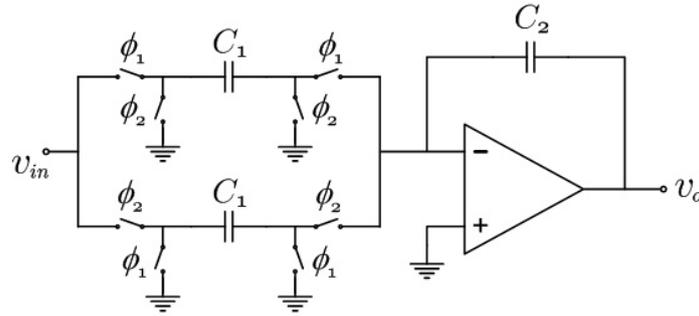
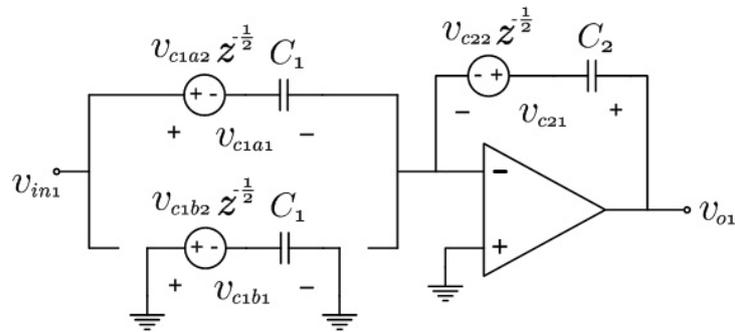
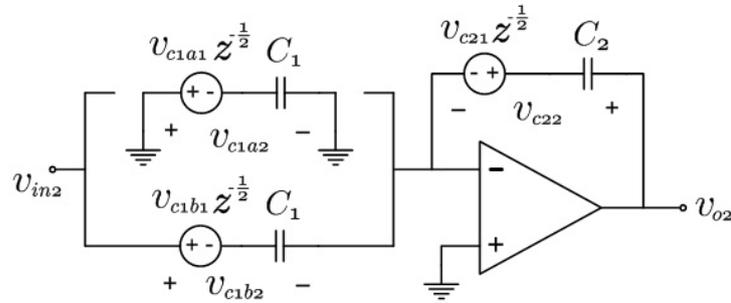


Figura II.18: Integrador bilinear a capacitores chaveados.

configuração do integrador bilinear durante a fase ϕ_1 . A configuração durante a fase ϕ_2 é apresentada na Figura II.19(b).



(a) Integrador bilinear na fase ϕ_1 .



(b) Integrador bilinear na fase ϕ_2 .

Figura II.19: Análise do integrador bilinear.

De acordo com a Figura II.19(a), as expressões para as tensões em cada um dos capacitores do circuito, durante a fase ϕ_1 , são dadas por:

$$\begin{cases} V_{C1a1}(z) = V_{IN1}(z) \\ V_{C1b1}(z) = 0 \\ V_{C21}(z) = V_{C22}(z) z^{-\frac{1}{2}} - \frac{C_1}{C_2} \left(V_{IN1}(z) - V_{C1a2}(z) z^{-\frac{1}{2}} \right) \end{cases} \quad (\text{II.64})$$

Analogamente, de acordo com a figura II.19(b), as expressões para as tensões em

cada um dos capacitores do circuito, durante a fase ϕ_2 , são dadas por:

$$\begin{cases} V_{C1a2}(z) = 0 \\ V_{C1b2}(z) = V_{IN2}(z) \\ V_{C22}(z) = V_{C21}(z) z^{-\frac{1}{2}} - \frac{C_1}{C_2} \left(V_{IN2}(z) - V_{C1b1}(z) z^{-\frac{1}{2}} \right) \end{cases} \quad (\text{II.65})$$

Então, resolvendo o sistema composto por (II.64) e (II.65), obtém-se:

$$V_{C21}(z) = V_{C21}(z) z^{-1} - \frac{C_1}{C_2} V_{IN2}(z) z^{-\frac{1}{2}} - \frac{C_1}{C_2} V_{IN1}(z). \quad (\text{II.66})$$

Considerando que o valor da tensão de entrada seja mantido constante durante as fases ϕ_1 e ϕ_2 , teremos que $V_{IN2}(z) = V_{IN1}(z) z^{-\frac{1}{2}}$. Assim, a expressão se simplifica para:

$$V_{C21}(z) = V_{C21}(z) z^{-1} - \frac{C_1}{C_2} V_{IN1}(z) z^{-1} - \frac{C_1}{C_2} V_{IN1}(z). \quad (\text{II.67})$$

Lembrando que $V_{C21}(z) = V_{O1}(z)$, pode-se, então, obter a função de transferência do circuito da Figura II.18:

$$V_{O1}(z) = -\frac{C_1}{C_2} \cdot \frac{1 + z^{-1}}{1 - z^{-1}} V_{IN1}(z). \quad (\text{II.68})$$

A partir desta análise, verifica-se que o circuito da Figura II.18 implementa a função de transferência (II.55). Entretanto, a expressão (II.68) apresenta uma inversão de fase, assim como no caso do circuito do integrador *backward* de Euler.

Novamente, o ganho da função de transferência depende exclusivamente da razão entre os capacitores C_1 e C_2 . Entretanto, neste caso do integrador bilinear, também é necessário que os dois capacitores C_1 do circuito de entrada sejam iguais.

II.3.4 - TRANSFORMAÇÃO LDI

Além das transformações apresentadas acima, a literatura de circuitos a capacitores chaveados também faz uso da transformação LDI (*Lossless Discrete Integrator*). Essa transformação é baseada no método de integração que adota a seguinte aproximação:

$$\int_{(n-1)T}^{nT} f(t) dt = T f\left(n - \frac{1}{2}\right), \quad (\text{II.69})$$

a qual é ilustrada na Figura II.20.

Dessa forma, substituindo a aproximação (II.69) em (II.26), obtém-se:

$$T f\left(n - \frac{1}{2}\right) = y(nT) - y((n-1)T). \quad (\text{II.70})$$

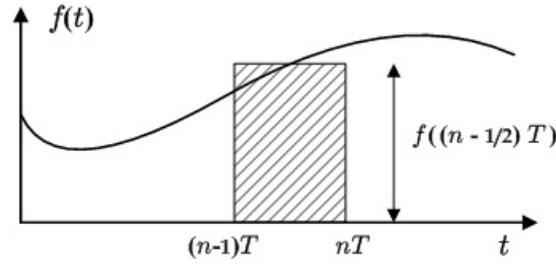


Figura II.20: Aproximação da integral realizada pela transformação LDI.

Aplicando-se a Transformada Z em (II.70), chega-se à seguinte expressão:

$$T z^{-1/2} F(z) = Y(z) - z^{-1}Y(z). \quad (\text{II.71})$$

Simplificando (II.71), obtém-se:

$$Y(z) = \frac{T z^{-1/2}}{1 - z^{-1}} F(z). \quad (\text{II.72})$$

Portanto, analogamente aos casos anteriores, (II.72) sugere que a transformação LDI seja dada por:

$$\frac{1}{s} = \frac{T z^{-1/2}}{1 - z^{-1}}. \quad (\text{II.73})$$

Aplicando-se a transformação (II.73) a uma função de transferência $H(s)$, obtém-se uma função de transferência $H(z)$, composta por uma razão de polinômios em $z^{-1/2}$. Portanto, o sistema resultante corresponde a um filtro operando com o dobro da taxa de amostragem.

Com o objetivo de se conseguir um melhor entendimento do mapeamento realizado pela transformação LDI, vamos expressar a variável complexa $z^{-1/2}$ em função de s . Partindo de (II.73), obtém-se a equação:

$$z - T s z^{1/2} - 1 = 0. \quad (\text{II.74})$$

Resolvendo (II.74), obtém-se:

$$\begin{aligned} z_1^{1/2} &= \frac{T s + \sqrt{T^2 s^2 + 4}}{2}; \\ z_2^{1/2} &= \frac{T s - \sqrt{T^2 s^2 + 4}}{2}. \end{aligned} \quad (\text{II.75})$$

Primeiramente, (II.75) mostra que a transformação LDI mapeia cada ponto do plano ' s ' em dois pontos do plano ' $z^{1/2}$ '. Além disso, partindo-se de (II.75), conclui-se

que:

$$z_1^{1/2} \cdot z_2^{1/2} = \frac{T^2 s^2 - (T^2 s^2 + 4)}{4} = -1 \quad \therefore \quad z_1^{1/2} = -\frac{1}{z_2^{1/2}}. \quad (\text{II.76})$$

Portanto, (II.76) mostra que um pólo do sistema contínuo no tempo original será mapeado em dois pólos, sendo que um deles está localizado dentro do círculo unitário e o outro fora. Dessa maneira, um filtro discreto no tempo obtido através da Transformação LDI será instável.

Se considerarmos apenas o caso particular onde $s = j\omega_c$, com $|\omega_c| < 2/T$, teremos que a raiz quadrada das expressões (II.75) produzirá um número real. Então, os módulos de $z_1^{1/2}$ e $z_2^{1/2}$ serão dados por:

$$\left| z_1^{1/2} \right| = \left| z_2^{1/2} \right| = \frac{\sqrt{T^2 \omega_c^2 + (4 - \omega_c^2 T^2)}}{2} = 1. \quad (\text{II.77})$$

Ou seja, os números complexos do eixo imaginário do plano s , compreendidos entre $-j2/T$ e $j2/T$ são mapeados no círculo unitário do plano ' $z^{1/2}$ '. Assim, substituindo $s = j\omega_c$ e $z = e^{j\omega}$ em (II.73), obtém-se:

$$j\omega_c = \frac{e^{j\omega} - 1}{T e^{j\omega/2}} = \frac{e^{j\omega/2} - e^{-j\omega/2}}{T} \quad \therefore \quad \omega_c = \frac{2}{T} \operatorname{sen} \left(\frac{\omega}{2} \right). \quad (\text{II.78})$$

Por outro lado, se considerarmos o caso em que $s = j\omega_c$ e $|\omega_c| > 2/T$, teremos que a raiz quadrada das expressões (II.75) produzirá um número imaginário puro. Então, os números $z_1^{1/2}$ e $z_2^{1/2}$ serão, também, imaginários puros. Ou seja, os números complexos $s = j\omega_c$ do eixo imaginário do plano ' s ', situados no intervalo $|\omega_c| > 2/T$, são mapeados no eixo imaginário do plano ' $z^{1/2}$ '.

Apesar da desvantagem de produzir um sistema instável, a transformação LDI é muito utilizada na teoria de circuitos a capacitores chaveados [4], conforme apresentado na Seção II.4.

De acordo com as análises apresentadas acima, pode-se constatar que a melhor transformação a ser adotada para converter uma função de transferência de um sistema contínuo em um sistema discreto no tempo, é a transformação bilinear.

Entretanto, apesar da transformação bilinear ser a mais adequada, o circuito do integrador bilinear, apresentado na Figura II.18, é mais complexo que os circuitos dos outros integradores, apresentados nas Figuras II.10 e II.14.

II.3.5 - IMPLEMENTAÇÃO DOS INTEGRADORES EM CIRCUITOS CMOS

Usualmente, não são empregados amplificadores operacionais em filtros a capacitores chaveados implementados em tecnologia CMOS, como apresentado nas Figuras II.10, II.14 e II.18. Normalmente são empregados amplificadores operacionais

de transcondutância (OTA - *Operational Transconductance Amplifier*). Este tipo de amplificador recebe como entrada uma tensão diferencial e produz, na saída, uma corrente que é proporcional à tensão diferencial de entrada. Neste amplificador, tanto a impedância de entrada como a de saída são idealmente infinitas.

O ganho de tensão de um amplificador operacional de transcondutância em malha aberta é dado pelo produto entre a sua impedância de saída e a sua transcondutância [16]. Assim, quanto maior a impedância de saída do OTA, maior será o seu ganho de tensão. Portanto, para que a tensão diferencial de entrada se mantenha quase nula, como em um amplificador operacional, o ganho de tensão deve ser alto. Conseqüentemente, a impedância de saída deve ser elevada.

Em circuitos integrados CMOS é bem mais simples construir um OTA do que um amplificador operacional [16]. Isso acontece porque a impedância de saída de amplificadores CMOS não são tão baixas como as que são conseguidas com circuitos bipolares. Além disso, para se conseguir um amplificador CMOS com ganho elevado e impedância baixa, são necessários, no mínimo, dois estágios. Por outro lado, um OTA com ganho elevado e impedância de saída elevada pode ser obtido com apenas um único estágio.

Outra vantagem dos OTA's em relação aos amplificadores operacionais reside no fato de que os OTA's, quando aplicados em circuitos a capacitores chaveados, normalmente não necessitam de um circuito de compensação para manter sua estabilidade em malha fechada [16]. Esta característica se deve à sua elevada impedância de saída, que, combinada com a capacitância vista por esse terminal, produz um pólo dominante em baixa frequência, que proporciona uma boa margem de fase, conforme é mostrado na Seção VI.2.

Portanto, optou-se por implementar o circuito a capacitores chaveados deste trabalho com amplificadores operacionais de transcondutância. Na Figura II.21 são apresentados os circuitos de todos os integradores apresentados nesta seção, implementados com amplificadores operacionais de transcondutância.

Por fim, deve ser mencionado que apenas amplificadores operacionais CMOS ou BiCMOS podem ser adotados na implementação de circuitos a capacitores chaveados, pois tais amplificadores podem ser implementados com um par diferencial de entrada constituído apenas por transistores MOS. Caso fossem adotados transistores bipolares, as correntes de polarização das bases iriam alterar a tensão nos capacitores do circuito, provocando erros na dinâmica do circuito a capacitores chaveados.

II.4 - SIMULAÇÃO DE REDE LADDER

Na seção anterior, foram apresentadas transformações que podem ser utilizadas para converter a função de transferência de um sistema contínuo no tempo em uma

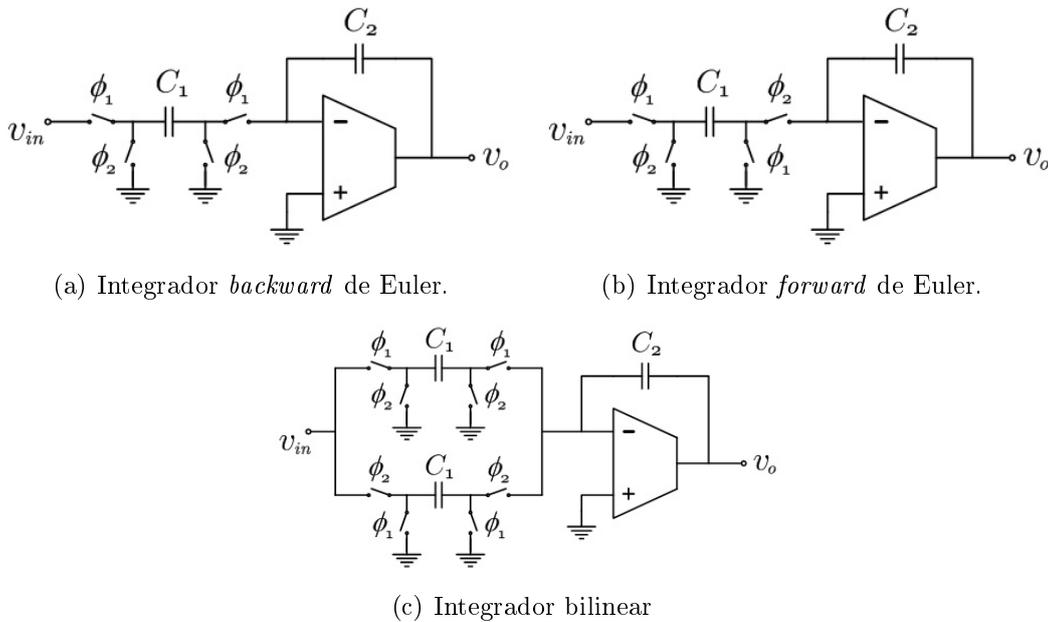


Figura II.21: Integradores a capacitores chaveados implementados com amplificadores operacionais de transcondutância.

equivalente no domínio discreto no tempo. Agora, o objetivo é apresentar o procedimento de síntese de um filtro a capacitores chaveados capaz de implementar uma dada função de transferência.

Uma das abordagens mais conhecidas é a associação em cascata de blocos de circuitos que implementam, isoladamente, funções de transferência de primeira e segunda ordem — conhecidos como seções biquadráticas, ou *biquads* [4].

Nessa abordagem, a função de transferência do filtro discreto no tempo é fatorada em um produto de razões de polinômios em z , onde cada polinômio deve ser de segunda ou de primeira ordem⁴.

Então, o filtro será formado pela associação em cascata de blocos de circuitos a capacitores chaveados, onde cada bloco implementa cada uma das seções de primeira ou de segunda ordem, oriundas da fatoração.

Na literatura, existe uma variedade de blocos de circuitos a capacitores chaveados que podem implementar seções de primeira e segunda ordem [3], [4], [17]. Muitos deles são baseados nos integradores apresentados na seção anterior.

Os filtros a capacitores chaveados obtidos através da associação em cascata de seções de segunda ordem podem ser projetados de maneira bem simples. Entretanto, essa implementação apresenta alta sensibilidade. Isso acontece porque os pólos implementados separadamente pelas seções biquadráticas não apresentam correlação entre si.

⁴Considerando um sistema de ordem n , se n for um número par, então a fatoração deverá produzir $n/2$ seções de segunda ordem. Caso n seja ímpar, a fatoração deverá produzir $(n - 1)/2$ seções de segunda e uma de primeira ordem.

Uma outra abordagem amplamente adotada na implementação de filtros a capacitores chaveados é a simulação de filtros passivos em rede *ladder* [4]. Nessa abordagem, o projetista deve, inicialmente, projetar um filtro protótipo passivo, contínuo no tempo, e implementá-lo através de uma rede *ladder* passiva. Como exemplo, a Figura II.22 apresenta uma rede *ladder*, duplamente terminada, que implementa um filtro passa-baixas de terceira ordem.

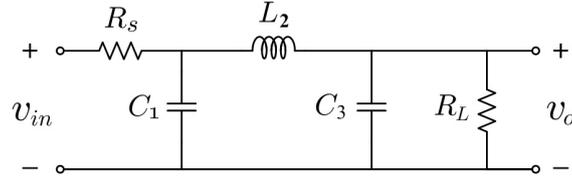


Figura II.22: Exemplo de um filtro passa-baixas implementado em rede *ladder* duplamente terminada.

A grande vantagem da implementação em rede *ladder* é a sua baixa sensibilidade. Assim, um filtro a capacitores chaveados obtido através da simulação dessa rede apresentará uma sensibilidade menor que a da implementação obtida através da associação em cascata de seções de *biquads*.

Portanto, devido à baixa sensibilidade dos filtros a capacitores chaveados obtidos através de simulação de rede *ladder*, optou-se por adotar essa abordagem na implementação do filtro deste projeto.

A fim de se obter o filtro a capacitores chaveados a partir da rede *ladder*, primeiramente, o projetista deve escrever as equações de estado da rede. Para isso, as variáveis de estado mais freqüentemente adotadas são as tensões nos capacitores e as correntes nos indutores [18]. Na rede *ladder* da Figura II.22, por exemplo, as variáveis de estado escolhidas seriam as tensões sobre os capacitores C_1 e C_3 , e a corrente no indutor L_2 . Dessa maneira, para esse caso exemplo, as equações de estado são as seguintes:

$$\begin{cases} V_1(s) = \frac{1}{sC_1} \left(\frac{V_{in}(s)}{R_s} - I_1(s) \right) \\ I_1(s) = \frac{1}{sL_2} (V_1(s) - V_2(s)) \\ V_2(s) = \frac{1}{sC_2} \left(I_2(s) - \frac{V_2(s)}{R_L} \right) \end{cases} \quad (\text{II.79})$$

Em geral, as equações de estado de qualquer rede *ladder* duplamente terminada possui, aproximadamente a mesma forma que (II.79), onde cada variável é obtida através da integral de uma combinação linear das variáveis de estado e do sinal de entrada. Essas operações podem ser simuladas através dos integradores a capacitores chaveados apresentados da Seção II.3. Dessa maneira, as equações de estado equivalentes, no domínio discreto no tempo, são obtidas através da substituição dos termos

$1/s$ em (II.79) por alguma das transformações apresentadas em (II.31), (II.42), (II.56) ou (II.73). Portanto, um filtro a capacitores chaveados pode ser sintetizado, com o emprego dos integradores da Seção II.3, de modo a simular as equações de estado resultantes.

Essa transformação é equivalente a substituir todas as variáveis s das impedâncias:

$$Z_C = \frac{1}{sC}, \quad Z_L = sL, \quad (\text{II.80})$$

pela expressão da transformação adotada na síntese do filtro a capacitores chaveados.

Considere, por exemplo o caso em que a transformação adotada é a LDI. Sendo assim, de acordo com (II.73), as impedâncias (II.80) ficariam:

$$Z_C = \frac{1}{C} \cdot \frac{T z^{-1/2}}{1 - z^{-1}}, \quad Z_L = L \cdot \frac{1 - z^{-1}}{T z^{-1/2}}. \quad (\text{II.81})$$

Caso as impedâncias (II.81) fossem escaladas por um fator $z^{-1/2}$, obteríamos o seguinte:

$$Z'_C = \frac{1}{C} \cdot \frac{T}{1 - z^{-1}}, \quad Z'_L = L \cdot \frac{1 - z^{-1}}{T z^{-1}}. \quad (\text{II.82})$$

Se o leitor comparar as expressões das impedâncias Z'_C e Z'_L , com (II.42) e (II.31), respectivamente, notará que Z'_C usa a transformação *backward* de Euler e Z'_L usa a *forward* de Euler. Como um simples escalamento de impedância não altera o comportamento dinâmico do filtro, esse resultado nos permite concluir que um filtro obtido através da transformação LDI pode ser implementado através de uma combinação de integradores de Euler, de forma que as equações de estado que produzem variáveis de tensão são obtidas através da integração *backward* e as variáveis de corrente são obtidas através da integração *forward*.

Considerando o que foi discutido até aqui, a transformação mais adequada para obter um filtro discreto, a partir de um protótipo contínuo, é a transformação bilinear, devido às características apresentadas na Seção II.3. Entretanto, o integrador bilinear, apresentado na Figura II.18, tem o inconveniente de ser aquele que requer o maior número de chaves e capacitores entre os integradores apresentados. Por outro lado, a dedução acima sugere que talvez seja possível implementar um filtro, obtido através da transformação bilinear, empregando uma combinação de integradores de Euler — os quais requerem um menor número de chaves e capacitores —, assim como no caso da transformação LDI [5].

Portanto, seguindo a mesma idéia empregada no caso da transformação LDI, considere a impedância de um capacitor, obtida através da transformação bilinear:

$$Z_C = \frac{1}{C} \cdot \frac{T}{2} \cdot \frac{1 + z^{-1}}{1 - z^{-1}}. \quad (\text{II.83})$$

Escalando essa impedância pelo fator $2/(1 + z^{-1})$, obtém-se:

$$Z'_C = \frac{1}{C} \cdot \frac{T}{1 - z^{-1}}. \quad (\text{II.84})$$

Comparando (II.84) com (II.42), verifica-se que o escalamento proposto faz com que a impedância do capacitor tenha a expressão da integração *backward* de Euler, exatamente como o que foi feito no caso da transformação LDI, descrito acima.

Por outro lado, no caso da impedância de um indutor, a aplicação da transformação bilinear produz:

$$Z_L = L \cdot \frac{2}{T} \cdot \frac{1 - z^{-1}}{1 + z^{-1}}. \quad (\text{II.85})$$

Realizando o mesmo escalamento aplicado ao capacitor, obtém-se:

$$Z'_L = L \cdot \frac{4}{T} \cdot \frac{1 - z^{-1}}{1 + 2z^{-1} + z^{-2}}, \quad (\text{II.86})$$

que não corresponde a nenhuma das integrações listadas na Seção II.3.

Entretanto, ao invés de considerarmos apenas a impedância de um indutor, vamos analisar o caso da associação em paralelo de um indutor L e um capacitor C_L . Nesse caso, a impedância do conjunto é dada por:

$$Z_{LC} = \frac{1}{sC_L + \frac{1}{sL}}. \quad (\text{II.87})$$

Aplicando a transformação bilinear a (II.87), obtém-se:

$$Z_{LC} = \frac{1}{\frac{2C_L}{T} \cdot \frac{1 - z^{-1}}{1 + z^{-1}} + \frac{T}{2L} \cdot \frac{1 + z^{-1}}{1 - z^{-1}}}. \quad (\text{II.88})$$

Então, escalando a impedância (II.88) pelo mesmo fator $2/(1 + z^{-1})$, obtém-se:

$$Z'_{LC} = \frac{2(1 - z^{-1})}{\left(\frac{2C_L}{T} + \frac{T}{2L}\right) + \left(\frac{T}{L} - \frac{4C_L}{T}\right)z^{-1} + \left(\frac{2C_L}{T} + \frac{T}{2L}\right)z^{-2}}. \quad (\text{II.89})$$

Comparando (II.89) com (II.31), o leitor pode constatar que a impedância Z'_{LC} apresentará uma integração do tipo *forward* de Euler, caso seja satisfeita a seguinte igualdade:

$$\frac{2C_L}{T} + \frac{T}{2L} = 0 \quad \therefore \quad C_L = -\frac{T^2}{4L}. \quad (\text{II.90})$$

Substituindo (II.90) em (II.89), obtém-se:

$$Z'_{LC} = L \cdot \frac{1 - z^{-1}}{T z^{-1}}, \quad (\text{II.91})$$

que corresponde à aplicação da integração *forward* de Euler à impedância de um único indutor L .

Portanto, a partir do desenvolvimento acima, pode-se concluir que é necessário adotar a corrente no tanque formado por L e C_L como variável de estado, ao invés de se adotar apenas a corrente no indutor L . Dessa forma, a equação de estado correspondente a essa variável será obtida através de uma integração *forward* de Euler, mesmo que seja utilizada a transformação bilinear.

Entretanto, como as redes *ladder* não possuem um capacitor negativo C_L — dado por (II.90) — em paralelo com cada indutor, será necessário incluir esses capacitores no circuito. Por outro lado, a fim de se evitar que o comportamento dinâmico da rede seja afetado, também deve ser adicionado um capacitor $-C_L$ em paralelo com o conjunto, para anular o efeito da inclusão de C_L . Essas alterações são ilustradas na Figura II.23.

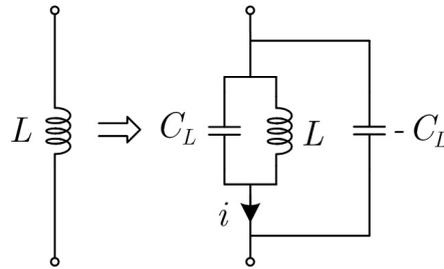


Figura II.23: Transformação dos indutores da rede *ladder*, com a inclusão do capacitor negativo C_L , dado por (II.90), e com a escolha da variável de estado i .

Com relação aos resistores da rede *ladder*, o mesmo escalamento de impedância deve ser aplicado a eles também. Assim, a impedância escalada de um resistor seria dada por:

$$Z_R = R \cdot \frac{2}{1 + z^{-1}}. \quad (\text{II.92})$$

Essa expressão não corresponde à impedância de um resistor, pois depende da variável complexa z . Conseqüentemente, o objetivo de se obter um conjunto de equações de estado expressas apenas em função de uma combinação de integradores de Euler não seria alcançado, pois as equações de estado da rede *ladder* também dependem dos resistores — conforme pode ser visualizado no caso exemplo, dado em (II.79) — e a introdução de novas razões de polinômios em z produziria, nas equações de estado, termos diferentes daqueles mostrados em (II.31) e (II.42), para as integrações *forward* e *backward* de Euler, respectivamente.

Dessa forma, a exemplo do que foi feito no caso do indutor, considere o caso de uma associação em paralelo de um resistor R e um capacitor C_R . A impedância do conjunto é dada por:

$$Z_{RC} = \frac{1}{s C_R + \frac{1}{R}}. \quad (\text{II.93})$$

Aplicando-se a transformação bilinear em (II.93), obtém-se:

$$Z_{RC} = \frac{1}{\frac{2 C_R}{T} \cdot \frac{1 - z^{-1}}{1 + z^{-1}} + \frac{1}{R}}. \quad (\text{II.94})$$

Escalando a impedância (II.94) pelo mesmo fator $2/(1 + z^{-1})$, chega-se à seguinte expressão:

$$Z'_{RC} = \frac{2}{\left(\frac{1}{R} + \frac{2 C_R}{T}\right) + \left(\frac{1}{R} - \frac{2 C_R}{T}\right) z^{-1}}. \quad (\text{II.95})$$

Para que a impedância escalada Z'_{RC} não dependa da variável complexa z , é necessário que a seguinte igualdade seja satisfeita:

$$\frac{1}{R} - \frac{2 C_R}{T} = 0 \quad \therefore \quad C_R = \frac{T}{2R}. \quad (\text{II.96})$$

Dessa maneira, substituindo (II.96) em (II.95), obtém-se:

$$Z'_{RC} = R. \quad (\text{II.97})$$

exatamente como desejávamos.

Portanto, analogamente ao caso do indutor, discutido acima, um capacitor C_R deve ser adicionado em paralelo com cada resistor R da rede *ladder*, onde C_R é dado por (II.96). Além disso, para evitar que o comportamento dinâmico da rede *ladder* seja afetado com essa alteração, um capacitor $-C_R$ deve ser adicionado em paralelo com o conjunto, conforme mostra a Figura II.24.

Dessa forma, para que o conjunto de equações de estado da rede *ladder*, obtido através da aplicação da transformação bilinear, possa ser expresso em função dos integradores de Euler, é necessário alterar a rede original da forma como é mostrado nas Figuras II.23 e II.24. Além disso, devem ser escolhidas como variáveis de estado as correntes i nos tanques LC , conforme descrito na Figura II.23, e as tensões nos capacitores. Assim, o projetista poderá implementar um filtro a capacitores chaveados, empregando integradores de Euler, embora adote a transformação bilinear para

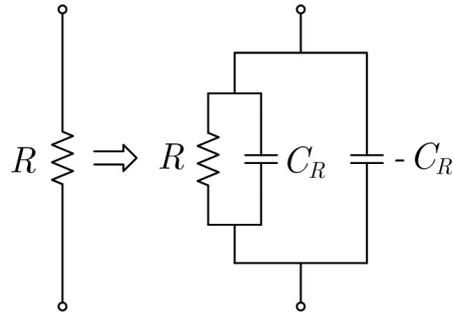


Figura II.24: Transformação dos resistores da rede *ladder*, com a inclusão do capacitor C_R , dado por (II.96).

converter o protótipo contínuo em uma versão discreta no tempo.

No Capítulo III é apresentado um exemplo de aplicação do procedimento de obtenção do filtro a capacitores chaveados a partir de uma rede *ladder* e as substituições descritas acima são realizadas na Seção III.4.

CAPÍTULO III

DIMENSIONAMENTO DO FILTRO

O objetivo deste capítulo é descrever o projeto do filtro passa-faixa a capacitores chaveados, destinado a integrar um sistema de monitoramento do efeito de cavitação em turbinas de usinas hidrelétricas.

Inicialmente, é apresentado o protótipo analógico passivo, em rede *ladder*, que satisfaz às especificações do projeto. A partir deste protótipo, obtém-se o circuito a capacitores chaveados, empregando-se os métodos apresentados na Seção II.4.

Após a obtenção do circuito inicial, são abordadas questões relativas à implementação do filtro em circuito integrado: a equalização de faixa dinâmica — para que todos os amplificadores operacionais de transcondutância do circuito tenham os mesmos limites de excursão de sinal na saída — e a aproximação dos valores dos capacitores do filtro por múltiplos inteiros de uma capacitância tomada como base — o que permite obter um melhor casamento entre os valores dos capacitores, tornando a resposta em frequência do filtro mais acurada.

Primeiramente, com o objetivo de simplificar a apresentação, obtém-se a versão desbalanceada do filtro a capacitores chaveados. No entanto, ao final do capítulo, a versão balanceada é obtida a partir da versão inicial. A escolha por adotar a implementação balanceada para o filtro deste projeto se deve ao fato de que esta versão é mais imune a efeitos de injeção de carga e de ruído de modo comum, além de permitir uma excursão de sinal maior que a versão desbalanceada.

III.1 - ESPECIFICAÇÕES DO FILTRO

Antes de dimensionar o filtro, é necessário apresentar as especificações requeridas para o módulo de sua resposta em frequência. Dadas as especificações, deve-se escolher a aproximação polinomial a ser adotada — Butterworth, Chebyshev, Causer, Bessel, etc.

De acordo com os dados fornecidos pelo CEPEL, o filtro destinado a filtrar o sinal do acelerômetro, para selecionar a parcela do sinal referente ao efeito de cavitação, deve ter as seguintes especificações:

- Banda de passagem compreendida entre 10 e 30 kHz;
- Banda de rejeição situada abaixo de 5 kHz e acima de 50 kHz;
- Máxima atenuação de 1 dB na banda de passagem;
- Mínima atenuação de 30 dB na banda de rejeição.

Sendo assim, as especificações do filtro podem ser resumidamente apresentadas na Figura III.1.

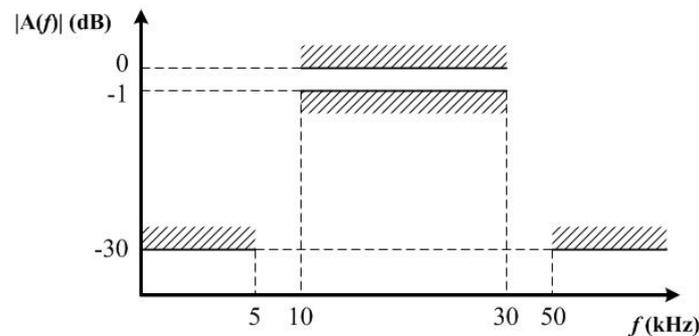


Figura III.1: Especificações do Filtro para processar o sinal proveniente do acelerômetro.

No entanto, deve ser considerado que o filtro a capacitores chaveados deve ser precedido por um filtro passa-baixas *anti-aliasing* contínuo no tempo. Assim, se o filtro a capacitores chaveados for projetado para atender diretamente às especificações apresentadas na Figura III.1, a atenuação na banda passante do filtro chaveado, combinada com a do filtro *anti-aliasing*, iria produzir uma atenuação maior que 1 dB na banda passante da associação em cascata destes dois filtros, fazendo com que o sistema inteiro não esteja de acordo com especificações desejadas.

Com o objetivo de resolver este problema, optou-se por adotar as especificações apresentadas na Figura III.2 para o projeto do filtro a capacitores chaveados. Comparando a Figura III.2 com a III.1, nota-se que a máxima atenuação da banda passante foi alterada de 1 dB para 0,5 dB. Assim, se também for especificada uma máxima atenuação de 0,5 dB na banda passante do filtro *anti-aliasing*, garante-se que as especificações da Figura III.1 serão satisfeitas pela associação em cascata de ambos os filtros.

Definidas as especificações do filtro a capacitores chaveados, há ainda a necessidade de se estabelecer a sua frequência de amostragem. Como o filtro a capacitores chaveados deve atenuar as frequências maiores que 50 kHz — de acordo com as especificações da Figura III.2 —, então o filtro pode perfeitamente lidar com sinais que

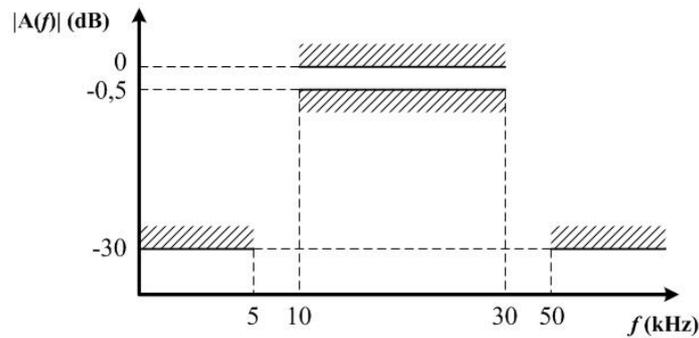


Figura III.2: Especificações para o projeto do filtro a capacitores chaveados.

tenham sua banda limitada até, no mínimo, 50 kHz. Dessa forma, o limite teórico mínimo para a frequência de amostragem — de acordo com o Teorema de Nyquist [8], [9] — é de 100 kHz.

No entanto, por motivos práticos, não é adequado adotar-se o valor mínimo da frequência de amostragem na implementação do circuito. Um dos motivos é o filtro *anti-aliasing*, necessário para limitar a banda do sinal de entrada. Como a banda passante do filtro a capacitores chaveados se estende até 30 kHz, então, a banda passante do filtro *anti-aliasing* deve se estender de zero a, no mínimo, 30 kHz. Por outro lado, sua banda de rejeição deve se iniciar na metade da frequência de amostragem, justamente para evitar a ocorrência de *aliasing*. Dessa forma, se for adotada uma frequência de amostragem muito baixa, a ordem do filtro *anti-aliasing* pode ficar significativamente elevada.

Por outro lado, não é conveniente empregar uma frequência de amostragem muito elevada. Na Seção IV.2, é mostrado que quanto maior a frequência de chaveamento do filtro, maior deverão ser as correntes de polarização dos OTA's, fazendo com que o circuito apresente um maior consumo de potência.

Portanto, optou-se por adotar 200 kHz como a frequência de amostragem do filtro a capacitores chaveados — frequência uma oitava acima do limite mínimo de 100 kHz. Tal valor é alto o suficiente para permitir utilizar um filtro passa-baixas *anti-aliasing* de terceira ordem — tendo-se em vista que a banda de transição deste filtro ficará compreendida entre 30 e 100 kHz — e baixo o suficiente para relaxar as especificações dos OTA's do filtro.

Definida a frequência de amostragem, pode-se converter os valores de frequência das especificações dadas na Figura III.2 do domínio contínuo para o domínio discreto no tempo, de acordo com a expressão [9]:

$$\omega = \frac{2\pi f}{f_s}, \quad (\text{III.1})$$

onde f é um valor de frequência, em Hertz, dado no domínio contínuo no tempo; ω

é o valor de frequência equivalente no domínio discreto no tempo, em rad/amostra, e f_s é o valor da frequência de amostragem, em Hertz.

Assim, aplicando-se a expressão (III.1) às frequências que delimitam as especificações do filtro, apresentadas na Figura III.2, obtêm-se os valores listados na Tabela III.1.

Tabela III.1: Conversão dos valores das frequência das especificações do filtro do domínio contínuo para o domínio discreto no tempo.

VALORES DE FREQUÊNCIA	
Contínuo no Tempo	Discreto no Tempo
5 kHz	$0,05\pi$ rad/amostra
10 kHz	$0,10\pi$ rad/amostra
30 kHz	$0,30\pi$ rad/amostra
50 kHz	$0,50\pi$ rad/amostra

Assim, as especificações do filtro a capacitores chaveados, dadas no domínio discreto no tempo, são exibidas na Figura III.3.

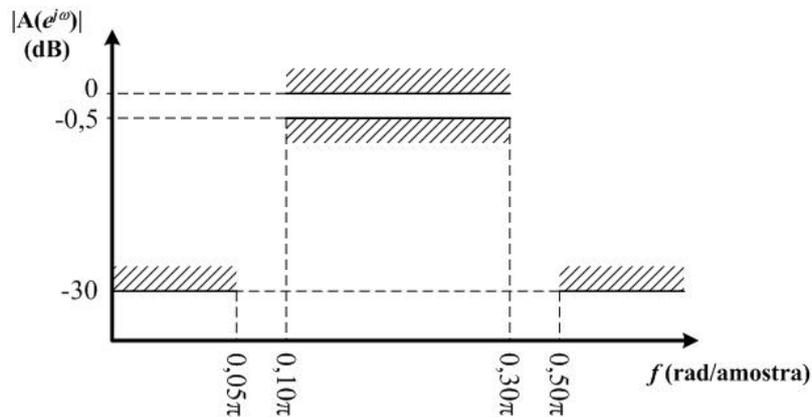


Figura III.3: Especificações do filtro a capacitores chaveados expressas no domínio discreto no tempo.

Dadas as especificações da Figura III.3, resta escolher qual a aproximação polinomial que será empregada para obter a função de transferência do filtro. É desejável empregar uma aproximação polinomial que produza o filtro com a menor ordem possível, pois quanto menor a ordem do filtro, menos componentes o circuito terá e, conseqüentemente, menor será a área de silício que o filtro ocupará. Portanto, optou-se pela aproximação Elíptica — também conhecida como aproximação de Cauer —, pois esta é a aproximação clássica que permite realizar um filtro com a menor ordem possível, dado um conjunto de especificações como o que é apresentado na Figura III.3 [8], [9].

Então, para satisfazer às especificações da Figura III.3, é necessário um filtro elíptico de sexta ordem [9]. Portanto, esta será a ordem do filtro passa-faixa a capacitores chaveados projetado neste trabalho.

III.2 - PROTÓTIPO PASSIVO EM REDE LADDER

Na seção anterior, foram definidas as especificações do filtro e o tipo de aproximação polinomial que será empregada na obtenção da sua função de transferência. Então, estas informações serão agora aplicadas no projeto de uma rede *ladder* passiva, duplamente terminada, que será utilizada como protótipo para se obter o filtro a capacitores chaveados, por meio da aplicação da transformação bilinear.

Entretanto, os valores de frequência das especificações apresentadas na Figura III.3 ainda não devem ser empregados diretamente no dimensionamento do protótipo passivo do filtro. Isto ocorre porque a transformação bilinear produz uma distorção na resposta em frequência do filtro [9]. De acordo com a Seção II.3, ao se aplicar a transformação bilinear a um filtro contínuo no tempo, com uma frequência de corte dada por Ω (em rad/s), obter-se-á uma versão discreta no tempo do mesmo filtro, com uma frequência de corte ω (em rad/amostra), dada por:

$$\Omega = \frac{2}{T} \tan\left(\frac{\omega}{2}\right), \quad (\text{III.2})$$

onde T é o período de amostragem.

Dessa forma, deve-se primeiro utilizar a expressão (III.2) para produzir uma pré-distorção nas frequências das especificações do filtro — dadas na Figura III.3 — e, assim, obter as especificações a serem adotadas no projeto do protótipo contínuo no tempo. Com esta pré-distorção, garante-se que o filtro a capacitores chaveados, obtido a partir da aplicação da transformação bilinear ao protótipo contínuo no tempo, estará dentro das especificações dadas na Figura III.3.

É válido lembrar que o período de amostragem T , apresentado em (III.2), não precisa necessariamente ser igual à frequência de 200 kHz [9]. Isso ocorre porque as especificações dadas no domínio discreto no tempo podem ser satisfeitas por filtros operando em qualquer frequência de amostragem, desde que as especificações do filtro protótipo contínuo no tempo estejam relacionadas com aquelas dadas na Figura III.3, de acordo com (III.2). Assim, dadas as especificações no domínio discreto no tempo, o projetista deve definir um período de amostragem T adequado, de forma a facilitar o cálculo do protótipo contínuo no tempo; realizar a pré-distorção (III.2), a fim de obter as especificações do protótipo; obter o filtro contínuo no tempo — usando alguma ferramenta de *software*, por exemplo — e aplicar a transformação bilinear ao protótipo para, finalmente, obter o filtro discreto no tempo.

Para o presente projeto, foi adotado $T = 2\pi$. Tal valor foi escolhido para fazer com que a frequência de amostragem fosse igual a 1 rad/s e, conseqüentemente, garantir que todos os valores de frequência das especificações assumissem valores normalizados entre zero e a unidade — esta normalização é especialmente adequada para a aplicação

dos *softwares* empregados no cálculo dos componentes da rede *ladder* passiva.

Então, aplicando a expressão (III.2) aos valores de frequência apresentados na Figura III.3, obtêm-se os valores listados na Tabela III.2.

Tabela III.2: Pré-distorção dos valores de frequência das especificações do filtro, devido à aplicação da transformação bilinear.

PRÉ-DISTORÇÃO DAS FREQUÊNCIAS	
Frequências Discretas (rad/amostra)	Frequências Pré-distorcidas (rad/s)
0,05 π	0,025051
0,10 π	0,050415
0,30 π	0,162187
0,50 π	0,318309

A partir das especificações pré-distorcidas, apresentadas na Tabela III.2, o protótipo em rede *ladder* passiva pode ser sintetizado. Neste trabalho, os cálculos para a síntese da rede *ladder* duplamente terminada foram realizados com o auxílio dos programas APRA, HK e LADDER¹. Com estes programas, primeiramente obtêm-se um filtro passa-baixas preliminar em rede ladder e, posteriormente, aplica-se a transformação passa-baixas-passa-faixa [9] para se obter a rede *ladder* passa-faixa correspondente. Entretanto, deve ser mencionado que o filtro preliminar passa-baixas deve ser de terceira ordem, pois a transformação passa-baixas-passa-faixa produz um filtro passa-faixa cuja ordem é duas vezes maior que o filtro preliminar. No presente caso, a transformação produzirá um filtro passa-faixa de sexta ordem, como desejado. Assim, as operações realizadas pelos programas de síntese podem ser resumidas da seguinte forma:

- **APRA:** Programa para a realização de aproximações racionais assimétricas. Este programa é utilizado para calcular a função característica da aproximação elíptica passa-baixas, de terceira ordem, com frequência de corte em 1 rad/s, com 0,5 dB de atenuação máxima na banda passante e 30 dB de atenuação mínima na banda de rejeição.
- **HK:** Este programa recebe como entrada a função característica calculada pelo programa APRA e gera as expressões das imitâncias necessárias para a síntese da rede *ladder* passa-baixas e os zeros de transmissão do filtro.
- **LADDER:** Este programa recebe como entrada uma expressão para a imitância e os valores dos zeros de transmissão, calculados pelo programa HK. Assim, a rede *ladder* passa-baixas preliminar é sintetizada. Com a rede passa-baixas

¹Estes softwares foram desenvolvidos e disponibilizados gratuitamente pelo professor Antônio Carlos Moreirão de Queiroz (COPPE/UFRJ) no endereço <http://www.coe.ufrj.br/~acmq>.

calculada, o próprio programa aplica a transformação passa-baixas-passa-faixa ao circuito; obtendo, assim, a rede *ladder* passa-faixa.

Finalmente, o circuito da rede *ladder* obtida é, então, apresentado esquematicamente na Figura III.4.

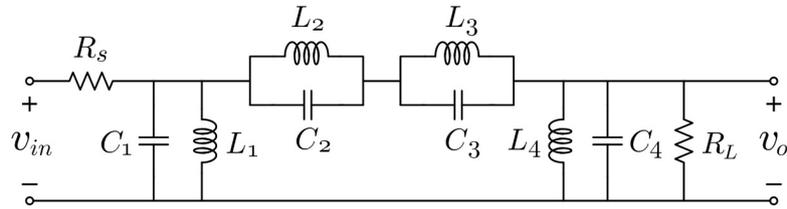


Figura III.4: Rede *ladder* passiva empregada como protótipo para a síntese do filtro a capacitores chaveados.

Os valores dos componentes da rede apresentada na Figura III.4 são listados na Tabela III.3.

Tabela III.3: Valores dos componentes da rede *ladder* passiva da Figura III.4.

COMPONENTES	VALORES NORMALIZADOS
R_s	1,000000 Ω
R_L	1,000000 Ω
C_1	12.804598 F
L_1	9.551145 H
C_2	2.265435 F
L_2	5.901009 H
C_3	20.725027 F
L_3	53.984586 H
C_4	12.804598 F
L_4	9.551145 H

Simulando a rede *ladder* da Figura III.4 — usando o programa SENSI² — obtém-se o gráfico de sua resposta em frequência, apresentado na Figura III.5. Neste gráfico, verifica-se que a rede *ladder* da Figura III.4 satisfaz adequadamente às especificações de frequência dadas na Tabela III.2.

Entretanto, a rede *ladder* apresentada na Figura III.4 ainda não pode ser diretamente empregada na obtenção do filtro a capacitores chaveados, conforme apresentado na Seção II.4. Portanto, nas duas seções que se seguem, são descritas as modificações que devem ser realizadas na rede *ladder*, sem alterar seu comportamento dinâmico, a fim de possibilitar sua implementação em capacitores chaveados, através da transformação bilinear.

²Programa desenvolvido e disponibilizado gratuitamente pelo professor Antônio Carlos Moreirão de Queiroz (COPPE/UFRJ) no endereço <http://www.coe.ufrj.br/~acmq>.

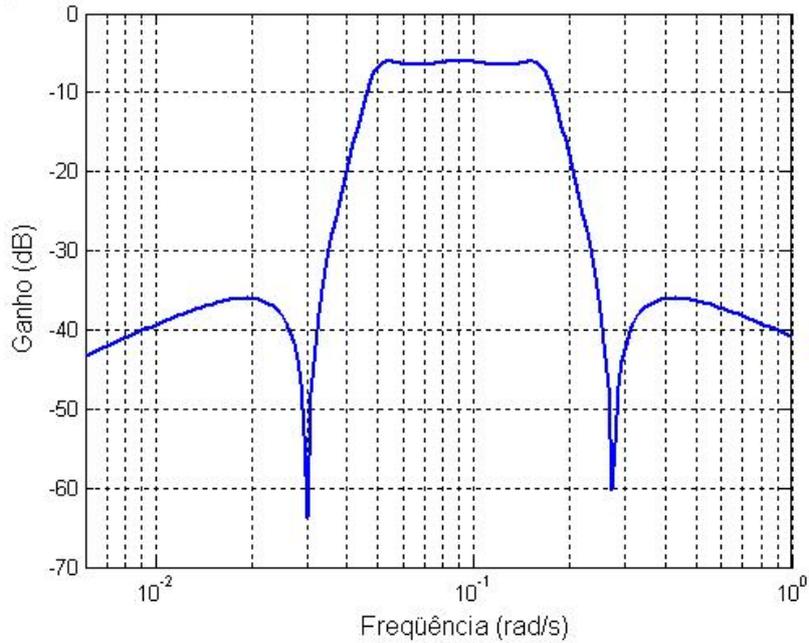


Figura III.5: Resposta em frequência da rede *ladder* da Figura III.4.

III.3 - REMOÇÃO DO CICLO INDUTIVO DA REDE LADDER

O circuito da rede *ladder* apresentado na Figura III.4 é de sétima ordem, embora a função de transferência entre o sinal de entrada v_{in} e o sinal de saída v_o seja de sexta ordem. Isso ocorre devido ao ciclo fechado de ramos indutivos, formado por L_1 , L_2 , L_3 e L_4 . Este ciclo permite a circulação de uma corrente constante qualquer, sem nenhum efeito sobre as tensões e as demais correntes no circuito. Este fato caracteriza a presença de um pólo na origem do plano 's', que não é observável ao se medir tensão de saída v_o . Portanto, a presença deste pólo na origem não é verificada na função de transferência do filtro, apesar de estar presente na rede.

Realizando a simulação da rede *ladder* a partir de suas equações de estado — conforme apresentado na Seção II.4 —, o pólo na origem também estará presente no circuito resultante. Porém, a implementação dos integradores a capacitores chaveados emprega amplificadores operacionais de transcondutância, os quais possuem, na prática, um pequeno nível de tensão de *offset* na saída. Como o circuito possui um pólo na origem, as pequenas tensões constantes de *offset* levarão os OTA's do circuito à saturação [4], impedindo o adequado funcionamento do circuito.

Para evitar este problema deve-se eliminar o ciclo fechado de indutores da rede da Figura III.4; sem alterar, entretanto, o comportamento dinâmico do circuito visto das terminações. Na Figura III.6, é apresentado um método para se realizar esta eliminação. O objetivo é substituir o ciclo indutivo de modo que os nós ①, ② e ③ continuem enxergando um circuito com as mesmas características. O nó ①, por exemplo, enxerga o indutor L_1 conectado ao terminal de terra, em paralelo com o

indutor L_2 , conectado a uma tensão v_2 em série. Se este circuito for substituído pelo seu equivalente Thèvenin, o comportamento da rede, visto a partir do nó ①, permanecerá o mesmo. Assim, a Figura III.6 mostra como o ciclo indutivo pode ser substituído pelos seus equivalentes Thèvenin, vistos por cada um dos nós ①, ② e ③, sem afetar a resposta em frequência do filtro.

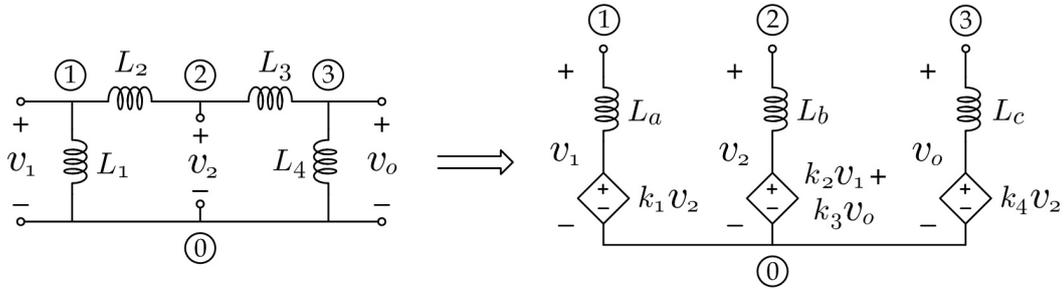


Figura III.6: Eliminação do ciclo fechado de indutores por meio dos circuitos equivalentes de Thèvenin.

Calculando os equivalentes Thèvenin da Figura III.6, obtém-se:

$$L_a = \frac{L_1 L_2}{L_1 + L_2}, \quad k_1 = \frac{L_1}{L_1 + L_2}; \quad (\text{III.3})$$

$$L_b = \frac{L_2 L_3}{L_2 + L_3}, \quad k_2 = \frac{L_3}{L_2 + L_3}, \quad k_3 = \frac{L_2}{L_2 + L_3}; \quad (\text{III.4})$$

$$L_c = \frac{L_3 L_4}{L_3 + L_4}, \quad k_4 = \frac{L_4}{L_3 + L_4}. \quad (\text{III.5})$$

Aplicando a equivalência da Figura III.6 à rede *ladder* da Figura III.4, obtém-se o circuito apresentado na Figura III.7. Este circuito é de sexta ordem — ao contrário da rede *ladder* da Figura III.4 — e não apresenta o inconveniente pólo na origem.

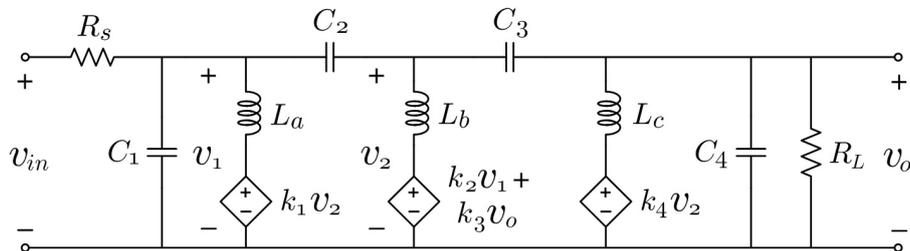


Figura III.7: Rede *ladder* sem o ciclo indutivo.

Assim, o circuito da Figura III.7 é equivalente ao da rede *ladder* original, do ponto de vista dos terminais de entrada e de saída, e o seu comportamento dinâmico pode ser simulado empregando-se integradores a capacitores chaveados.

III.4 - ADAPTAÇÃO DA REDE LADDER

Apesar do problema do ciclo indutivo ter sido solucionado na seção anterior, a rede da Figura III.7 ainda necessita sofrer alterações antes de se obter a realização a capacitores chaveados correspondente.

Conforme mencionado na Seção II.4, o filtro a capacitores chaveados deste trabalho será obtido a partir da aplicação da transformação bilinear às equações de estado da rede *ladder* correspondente. Além disso, também é mencionado o fato de que é possível implementar este filtro usando uma combinação dos integradores de Euler, o que torna o circuito menor e mais simples. No entanto, para permitir essa implementação, são necessárias algumas modificações na rede.

De acordo com a Seção II.4, as transformações a serem efetuadas na rede da Figura III.7 são, resumidamente, as seguintes [5]:

- Capacitores não precisam de qualquer modificação, conforme é apresentado na Figura III.8(a). Suas tensões — ou uma combinação linear delas — são usadas como variáveis de estado. Estas variáveis serão geradas a partir da aplicação da integração *backward* de Euler a variáveis de corrente e da aplicação de ganhos a outras variáveis de tensão.
- Indutores devem ser transformados em um tanque *LC* paralelo, cuja capacitância deve ser negativa $-C_x$. Para um indutor L_x , o módulo da capacitância em paralelo deve ser dado por:

$$C_x = \frac{T^2}{4L_x}, \quad (\text{III.6})$$

onde T é o período de amostragem. Esta capacitância adicionada ao circuito deve ser compensada através da inclusão de uma capacitância positiva em paralelo, com valor igual a C_x , para não provocar uma alteração no circuito original — conforme é ilustrado na Figura III.8(b). As correntes nos tanques *LC*, assim criados, devem ser tomadas como variáveis de estado, as quais serão produzidas, no circuito, através da aplicação da integração *forward* de Euler a variáveis de tensão.

- Resistores são transformados em ramos *RC* em paralelo. Se a resistência vale R_x , então o valor da capacitância em paralelo C_x deve ser igual a:

$$C_x = \frac{T}{2R_x}. \quad (\text{III.7})$$

O capacitor adicional C_x deve ser compensado com a inclusão de uma capacitância negativa, igual a $-C_x$, em paralelo com ramo *RC*, de forma que o circuito da rede passiva fique inalterado — conforme é ilustrado na Figura III.8(c). Esta

transformação serve para converter a integração dos termos V/R_x nas equações de estado — onde as tensões nos capacitores conectados aos resistores das terminações são obtidas através da integral das correntes provenientes de todos os ramos adjacentes — em integrações *backward* de Euler.

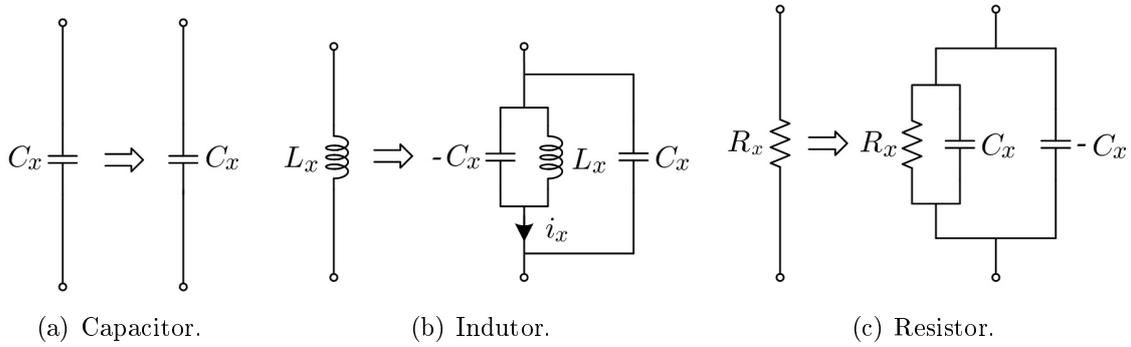


Figura III.8: Transformações nos componentes da rede passiva para permitir a implementação do filtro bilinear a capacitores chaveados, usando integradores de Euler.

Para simplificar a transformação do resistor R_s no circuito da Figura III.7, é mais conveniente que o circuito de entrada — composto pela tensão de entrada v_{in} e pelo resistor R_s — seja substituído pelo seu equivalente Norton. Assim, o circuito resultante é apresentado na Figura III.9.

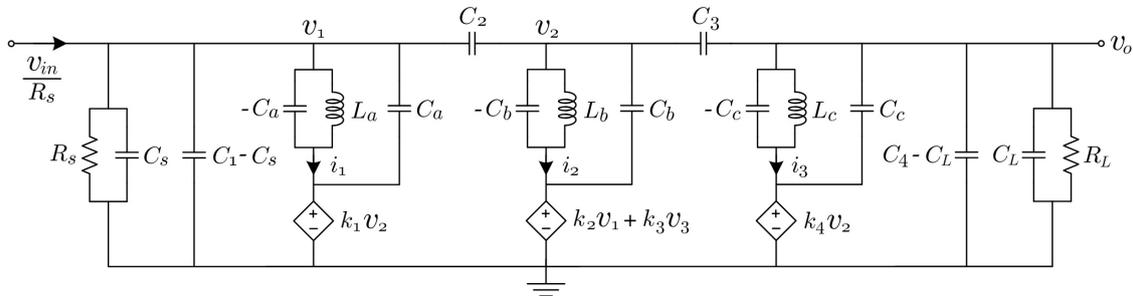


Figura III.9: Circuito da rede *ladder* após a aplicação das transformações apresentadas na Figura III.8 na rede da Figura III.7.

De acordo com as regras listadas acima, os valores das capacitâncias adicionais do circuito da Figura III.9 são dados por:

$$\begin{aligned} C_a &= \frac{T^2}{4L_a}, & C_b &= \frac{T^2}{4L_b}, & C_c &= \frac{T^2}{4L_c}, \\ C_s &= \frac{T}{2R_s}, & C_L &= \frac{T}{2R_L}. \end{aligned} \quad (\text{III.8})$$

Deve ser lembrado que o período de amostragem T , empregado em (III.8), deve ser igual ao período de amostragem adotado na expressão da transformação bilinear a ser aplicada às equações de estado da rede. Dessa forma, considerando a normalização

discutida na Seção III.2, sabe-se que o protótipo passivo foi projetado para uma frequência de chaveamento normalizada de 1 rad/s. Portanto, o valor numérico do período de chaveamento T deve ser igual a 2π .

Por fim, segundo regras listadas acima, as variáveis de estado a serem escolhidas devem ser as tensões v_1 , v_2 e v_o , e as correntes i_1 , i_2 e i_3 nos tanques LC . Tais variáveis de estado são mostradas no circuito da Figura III.9.

III.5 - REALIZAÇÃO DESBALANCEADA DO FILTRO

Assim, efetuadas todas as alterações necessárias no protótipo passivo do filtro, podem-se finalmente escrever as suas equações de estado. Conforme já citado anteriormente, cada equação deve expressar uma das seis variáveis de estado — v_1 , v_2 , v_o , i_1 , i_2 e i_3 — como a integral de uma combinação linear das demais variáveis. Neste texto, a equação de estado que expressa a variável v_1 como a integral de uma combinação linear das demais será referenciada como a equação de estado de v_1 , e a mesma nomenclatura vale para as demais.

A equação de estado de v_1 pode ser obtida por meio da equação da Lei das Correntes de Kirchhoff aplicada ao nó do circuito referente a esta tensão. Usando Transformada de Laplace³, obtém-se:

$$V_1 = \frac{1}{(C_1 - C_s + C_a + C_2)} \cdot \frac{1}{s} \cdot \left[\frac{V_{in}}{R_s} - \left(\frac{1}{R_s} + sC_s \right) V_1 - I_1 + s(C_2 + k_1C_a) V_2 \right]. \quad (\text{III.9})$$

Substituindo em (III.9) a expressão de C_s dada em (III.8), obtém-se:

$$V_1 = \frac{1}{(C_1 - C_s + C_a + C_2)} \cdot \frac{1}{s} \cdot \left[\frac{V_{in}}{R_s} - \left(1 + s\frac{T}{2} \right) \frac{V_1}{R_s} - I_1 + s(C_2 + k_1C_a) V_2 \right]. \quad (\text{III.10})$$

Aplicando-se a transformação bilinear (II.57) à equação (III.10), obtém-se a versão discreta no tempo da equação de estado de v_1 :

$$V_1 = \frac{1}{(C_1 - C_s + C_a + C_2)} \cdot \frac{1}{1 - z^{-1}} \cdot \left[(1 + z^{-1}) \frac{T}{2R_s} V_{in} - \frac{T}{R_s} V_1 - \frac{T}{2} (1 + z^{-1}) I_1 + (1 - z^{-1}) (C_2 + k_1C_a) V_2 \right]. \quad (\text{III.11})$$

³Neste texto emprega-se a convenção de usar letras maiúsculas para designar variáveis no domínio da frequência e letras minúsculas para designar variáveis no domínio do tempo.

Definindo-se os seguintes parâmetros:

$$\begin{aligned} \frac{A_1}{A} &= \frac{T}{2R_s(C_1 - C_s + C_a + C_2)}, & \frac{A_2}{A} &= \frac{T}{R_s(C_1 - C_s + C_a + C_2)}, \\ \frac{A_3}{A} &= \frac{T}{2(C_1 - C_s + C_a + C_2)}, & \frac{A_4}{A} &= \frac{(C_2 + k_1 C_a)}{(C_1 - C_s + C_a + C_2)}. \end{aligned} \quad (\text{III.12})$$

Pode-se reescrever a equação (III.11) de uma forma mais simplificada:

$$V_1 = \frac{1}{A} \cdot \frac{1}{1 - z^{-1}} \cdot [A_1(1 + z^{-1})V_{in} - A_2V_1 - A_3(1 + z^{-1})I_1 + A_4(1 - z^{-1})V_2]. \quad (\text{III.13})$$

Para obter a equação de estado da variável i_1 , basta aplicar a Lei das Tensões de Kirchhoff ao ramo paralelo $L_a(-C_a)$ do circuito da Figura III.9. Assim, obtém-se:

$$\left(\frac{sL_a}{1 - C_a L_a s^2} \right) I_1 = V_1 - k_1 V_2. \quad (\text{III.14})$$

Substituindo o termo C_a pela sua expressão apresentada em (III.8), na equação (III.14), obtém-se:

$$\left(\frac{s}{1 - \frac{T^2}{4}s^2} \right) L_a I_1 = V_1 - k_1 V_2. \quad (\text{III.15})$$

Assim, aplicando a transformação bilinear à equação (III.15), obtém-se a versão discreta no tempo da equação de estado:

$$(1 + z^{-1}) I_1 = \frac{z^{-1}}{1 - z^{-1}} \cdot \left[\frac{2T}{L_a} V_1 - \frac{2Tk_1}{L_a} V_2 \right]. \quad (\text{III.16})$$

Analogamente ao caso da equação de estado da variável v_1 , definem-se os seguintes parâmetros:

$$\frac{B_1}{B} = \frac{2T}{L_a}, \quad \frac{B_2}{B} = \frac{2Tk_1}{L_a}. \quad (\text{III.17})$$

Assim, pode-se reescrever a equação (III.16) de maneira mais simplificada:

$$(1 + z^{-1}) I_1 = \frac{1}{B} \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot [B_1 V_1 - B_2 V_2]. \quad (\text{III.18})$$

Para a equação de estado da variável v_2 , aplica-se a Lei das Correntes de Kirchhoff ao nó do circuito referente à esta tensão. Assim, obtém-se:

$$V_2 = \frac{1}{C_b + C_2 + C_3} \cdot \frac{1}{s} \cdot [s(C_2 + k_2 C_b)V_1 + s(C_3 + k_3 C_b)V_o - I_2]. \quad (\text{III.19})$$

Aplicando-se diretamente a transformação bilinear à equação (III.19), obtém-se a

versão discreta no tempo da equação de estado de v_2 :

$$V_2 = \frac{1}{C_b + C_2 + C_3} \cdot \frac{1}{1 - z^{-1}} \cdot \left[(1 - z^{-1}) (C_2 + k_2 C_b) V_1 + (1 - z^{-1}) (C_3 + k_3 C_b) V_o - \frac{T}{2} (1 + z^{-1}) I_2 \right]. \quad (\text{III.20})$$

Analogamente aos casos anteriores, definem-se os seguintes parâmetros:

$$\begin{aligned} \frac{D_1}{D} &= \frac{C_2 + k_2 C_b}{C_b + C_2 + C_3}, & \frac{D_2}{D} &= \frac{C_3 + k_3 C_b}{C_b + C_2 + C_3}, \\ \frac{D_3}{D} &= \frac{T}{2(C_b + C_2 + C_3)}. \end{aligned} \quad (\text{III.21})$$

Assim, a equação de estado de v_2 fica sendo dada pela seguinte expressão:

$$V_2 = \frac{1}{D} \cdot \frac{1}{1 - z^{-1}} \cdot [D_1 (1 - z^{-1}) V_1 + D_2 (1 - z^{-1}) V_o - D_3 (1 + z^{-1}) I_2]. \quad (\text{III.22})$$

Analogamente ao caso da corrente i_1 , a equação de estado da variável i_2 pode ser obtida a partir da aplicação da Lei das Tensões de Kirchhoff ao ramo paralelo $L_b(-C_b)$ do circuito da Figura III.9:

$$\left(\frac{sL_b}{1 - C_b L_b s^2} \right) I_2 = V_2 - k_2 V_1 - k_3 V_o. \quad (\text{III.23})$$

Substituindo o termo C_b em (III.23) pela expressão dada em (III.8), obtém-se:

$$\left(\frac{s}{1 - \frac{T^2}{4} s^2} \right) L_b I_2 = V_2 - k_2 V_1 - k_3 V_o. \quad (\text{III.24})$$

Assim, aplicando-se a transformação bilinear à equação (III.24), obtém-se a versão discreta no tempo da equação de estado de i_2 :

$$(1 + z^{-1}) I_2 = \frac{z^{-1}}{1 - z^{-1}} \cdot \left[\frac{2T}{L_b} V_2 - \frac{2Tk_2}{L_b} V_1 - \frac{2Tk_3}{L_b} V_o \right]. \quad (\text{III.25})$$

Agora, definem-se os seguintes parâmetros:

$$\begin{aligned} \frac{E_1}{E} &= \frac{2T}{L_b}, & \frac{E_2}{E} &= \frac{2Tk_2}{L_b}, \\ \frac{E_3}{E} &= \frac{2Tk_3}{L_b}. \end{aligned} \quad (\text{III.26})$$

Assim, a equação de estado (III.25) pode ser reescrita da seguinte forma:

$$(1 + z^{-1}) I_2 = \frac{1}{E} \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot [E_1 V_2 - E_2 V_1 - E_3 V_o]. \quad (\text{III.27})$$

Para obter a equação de estado da variável v_o , aplica-se a Lei das Correntes de Kirchhoff ao nó referente a esta tensão, obtendo-se:

$$V_o = \frac{1}{C_4 - C_L + C_3 + C_c} \cdot \frac{1}{s} \cdot \left[s(C_3 + k_4 C_c) V_2 - I_3 - \left(sC_L + \frac{1}{R_L} \right) V_o \right]. \quad (\text{III.28})$$

Substituindo o parâmetro C_L , na equação (III.28), pela sua expressão apresentada em (III.8), obtém-se:

$$V_o = \frac{1}{C_4 - C_L + C_3 + C_c} \cdot \frac{1}{s} \cdot \left[s(C_3 + k_4 C_c) V_2 - I_3 - \left(1 + \frac{T}{2}s \right) \frac{V_o}{R_L} \right]. \quad (\text{III.29})$$

Assim, aplicando-se a transformação bilinear à equação (III.29), obtém-se a versão discreta no tempo da equação de estado da variável v_o :

$$V_o = \frac{1}{C_4 - C_L + C_3 + C_c} \cdot \frac{1}{1 - z^{-1}} \cdot \left[(C_3 + k_4 C_c) (1 - z^{-1}) V_2 - \frac{T}{2} (1 + z^{-1}) I_3 - \frac{T}{R_L} V_o \right]. \quad (\text{III.30})$$

Então, definem-se os seguintes parâmetros:

$$\begin{aligned} \frac{F_1}{F} &= \frac{T}{R_L (C_4 - C_L + C_3 + C_c)}, & \frac{F_2}{F} &= \frac{T}{2(C_4 - C_L + C_3 + C_c)}, \\ \frac{F_3}{F} &= \frac{C_3 + k_4 C_c}{C_4 - C_L + C_3 + C_c}. \end{aligned} \quad (\text{III.31})$$

Assim, a equação de estado (III.30) pode ser reescrita da seguinte forma:

$$V_o = \frac{1}{F} \cdot \frac{1}{1 - z^{-1}} \cdot [-F_1 V_o - F_2 (1 + z^{-1}) I_3 + F_3 (1 - z^{-1}) V_2]. \quad (\text{III.32})$$

Por fim, a equação de estado da variável i_3 pode ser obtida aplicando-se a Lei das Tensões de Kirchhoff ao ramo paralelo $L_c(-C_c)$ do circuito da Figura III.9:

$$\left(\frac{sL_c}{1 - C_c L_c s^2} \right) I_3 = V_o - k_4 V_2. \quad (\text{III.33})$$

Substituindo o parâmetro C_c pela expressão dada em (III.8), obtém-se:

$$\left(\frac{s}{1 - \frac{T^2}{4}s^2} \right) L_c I_3 = V_o - k_4 V_2. \quad (\text{III.34})$$

Assim, aplicando a transformação bilinear à equação (III.34), obtém-se a versão discreta no tempo da equação de estado de i_3 :

$$(1 + z^{-1}) I_3 = \frac{z^{-1}}{1 - z^{-1}} \cdot \left[\frac{2T}{L_c} V_o - \frac{2Tk_4}{L_c} V_2 \right]. \quad (\text{III.35})$$

Analogamente aos casos anteriores, definem-se os seguintes parâmetros:

$$\frac{G_1}{G} = \frac{2T}{L_c}, \quad \frac{G_2}{G} = \frac{2Tk_4}{L_c}. \quad (\text{III.36})$$

Assim, a equação de estado (III.35) pode ser reescrita da seguinte forma:

$$(1 + z^{-1}) I_3 = \frac{1}{G} \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot [G_1 V_o - G_2 V_2]. \quad (\text{III.37})$$

A partir do procedimento descrito acima, verifica-se que as equações (III.13), (III.22) e (III.32) empregam a integração do tipo *backward* de Euler e as equações (III.18), (III.27) e (III.37) empregam a integração *forward* de Euler, embora todas essas equações tenham sido obtidas aplicando-se a transformação bilinear às equações equivalentes no domínio contínuo no tempo. Conforme o leitor pôde constatar ao longo das deduções acima, essa característica das equações de estado foi alcançada devido às alterações efetuadas na rede original conforme apresentado na Seção III.4.

Entretanto, as equações (III.13), (III.18), (III.22), (III.27), (III.32) e (III.37) ainda não estão escritas de maneira adequada para a síntese do filtro a capacitores chaveados. Ainda há a necessidade de se reescrever essas equações, adequando-as para que possam ser implementadas com os integradores da Figura II.21.

Para que o leitor entenda o procedimento de adequar as equações de estado, as funções de transferência de cada um dos integradores a capacitores chaveados são reescritas a seguir.

A função de transferência do integrador *backward* de Euler — apresentado na Figura II.21(a) — é dada por:

$$\frac{V_o(z)}{V_{in}(z)} = -\frac{C_1}{C_2} \cdot \frac{1}{1 - z^{-1}}. \quad (\text{III.38})$$

A função de transferência do integrador *forward* de Euler — apresentado na Figura II.21(b) — é dada pela seguinte expressão:

$$\frac{V_o(z)}{V_{in}(z)} = \frac{C_1}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}}. \quad (\text{III.39})$$

Por fim, a função de transferência do integrador bilinear — apresentado na Figura

II.21(c) — é dada por:

$$\frac{V_o(z)}{V_{in}(z)} = -\frac{C_1}{C_2} \cdot \frac{1+z^{-1}}{1-z^{-1}}. \quad (\text{III.40})$$

Comparando as expressões das funções de transferência de cada um dos integradores com as equações de estado obtidas, e lembrando que este conjunto de equações deve ser escrito de tal maneira que cada variável de estado, produzida pela sua respectiva equação, deve ser empregada nas outras equações de estado a fim de produzir as demais variáveis, o presente conjunto de equações de estado (III.13), (III.18), (III.22), (III.27), (III.32) e (III.37) deve ser reescrito na seguinte forma:

$$\begin{aligned} (-V_1) = \frac{1}{A} \cdot \frac{-1}{1-z^{-1}} \cdot [A_1(1+z^{-1})V_{in} + A_2(-V_1) + \\ + A_3(1+z^{-1})(-I_1) + A_4(1-z^{-1})V_2]; \end{aligned} \quad (\text{III.41})$$

$$(1+z^{-1})(-I_1) = \frac{1}{B} \cdot \frac{z^{-1}}{1-z^{-1}} \cdot [B_1(-V_1) + B_2V_2]; \quad (\text{III.42})$$

$$\begin{aligned} V_2 = \frac{1}{D} \cdot \frac{-1}{1-z^{-1}} \cdot [D_1(1-z^{-1})(-V_1) + \\ + D_2(1-z^{-1})(-V_o) + D_3(1+z^{-1})I_2]; \end{aligned} \quad (\text{III.43})$$

$$(1+z^{-1})I_2 = \frac{1}{E} \cdot \frac{z^{-1}}{1-z^{-1}} \cdot [E_1V_2 + E_2(-V_1) + E_3(-V_o)]; \quad (\text{III.44})$$

$$(-V_o) = \frac{1}{F} \cdot \frac{-1}{1-z^{-1}} \cdot [F_1(-V_o) + F_2(1+z^{-1})(-I_3) + F_3(1-z^{-1})V_2]; \quad (\text{III.45})$$

$$(1+z^{-1})(-I_3) = \frac{1}{G} \cdot \frac{z^{-1}}{1-z^{-1}} \cdot [G_1(-V_o) + G_2V_2]. \quad (\text{III.46})$$

A partir das equações (III.41) até (III.46), verifica-se que as variáveis de estado produzidas por esse conjunto de equações são: $(-V_1)$, $(1+z^{-1})(-I_1)$, V_2 , $(1+z^{-1})I_2$, $(-V_o)$ e $(1+z^{-1})(-I_3)$. Além disso, todas as operações de integração empregadas na obtenção das variáveis de estado podem ser simuladas pelos integradores de Euler apresentados na Figura II.21 — com a exceção da integração bilinear do sinal de entrada V_{in} , necessária ao cálculo da variável $(-V_1)$.

Entretanto, em algumas equações de estado, verifica-se que a variável do lado esquerdo da equação é obtida não apenas através da integral de uma combinação linear de variáveis de estado, mas também através de variáveis multiplicadas apenas por uma constante. Como exemplo, pode ser citada a equação (III.45), onde a variável $(-V_o)$ é obtida aplicando-se a integração *backward* de Euler a uma combinação linear

das variáveis $(-V_o)$ e $(1 + z^{-1})(-I_3)$ e somando-se a variável V_2 , multiplicada pela constante $(-F_3/F)$.

Para a simulação dos integradores de Euler em circuitos a capacitores chaveados, empregam-se os circuitos da Figura II.21. No entanto, para a implementação de uma multiplicação por constante, emprega-se o circuito apresentado na Figura III.10, onde temos que:

$$\frac{v_o}{v_{in}} = \frac{C_1}{C_2}. \quad (\text{III.47})$$

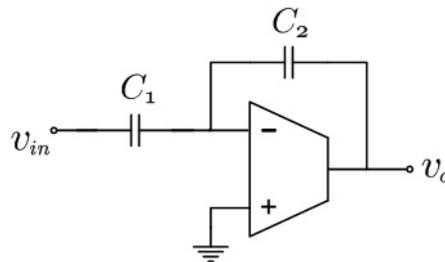
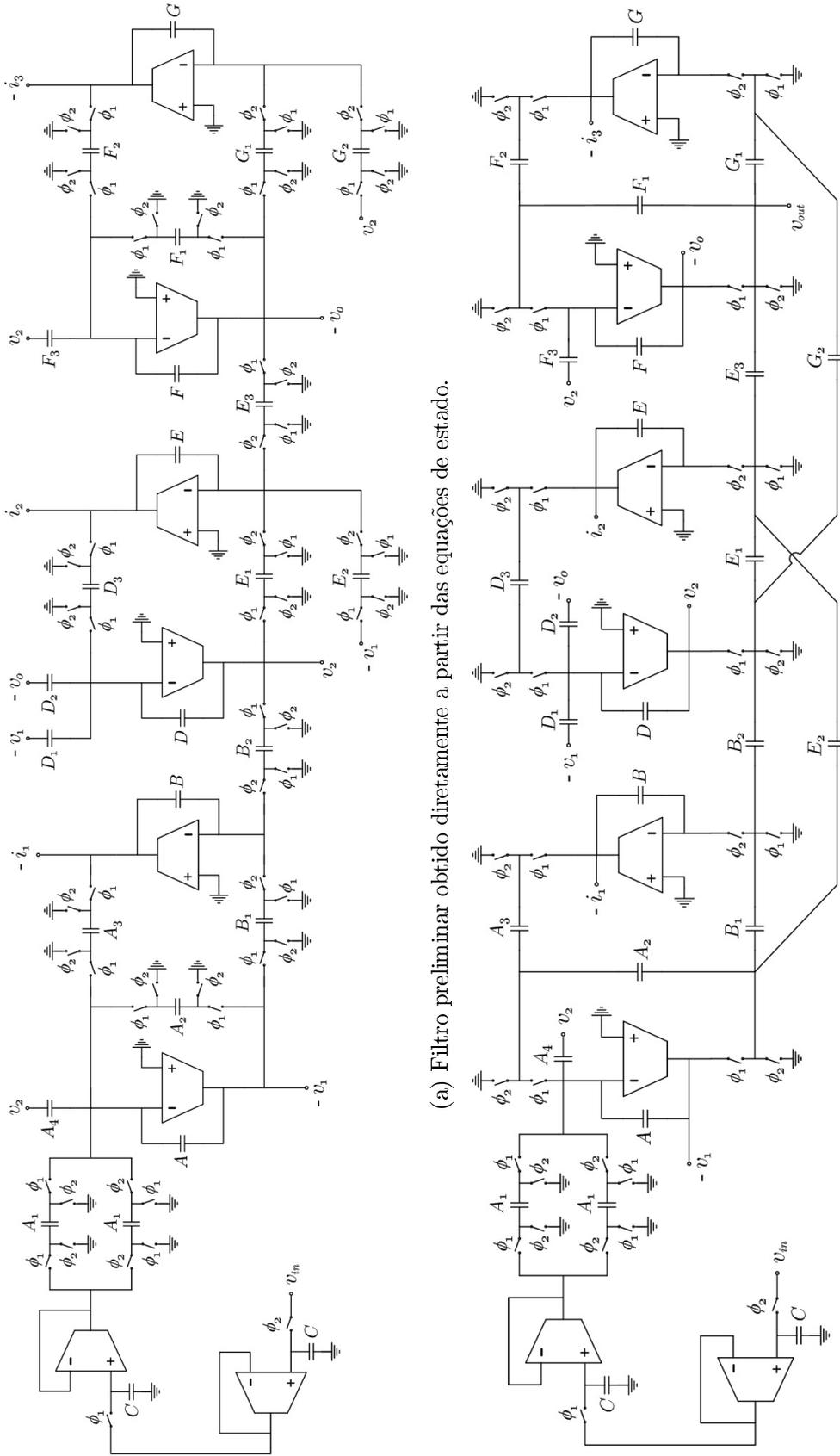


Figura III.10: Simulação de uma multiplicação por constante para circuitos a capacitores chaveados.

Portanto, o circuito do filtro a capacitores chaveados, que simula as equações de estado (III.41) até (III.46) é apresentado na Figura III.11(a).

No circuito da Figura III.11(a) há algumas chaves que são redundantes. Isso acontece, por exemplo, com os capacitores A_2 e A_3 , por exemplo. Na fase ϕ_1 , ambos estão conectados ao nó do terminal inversor do OTA. Já na fase ϕ_2 , ambos são conectados ao terminal de terra. Este mesmo processo de chaveamento pode ser perfeitamente realizado por apenas duas chaves, ao invés de quatro, conforme é mostrado na Figura III.11(b). Portanto, com o objetivo de se minimizar a quantidade de chaves do circuito, todas as chaves redundantes da Figura III.11(a) foram eliminadas, obtendo-se o circuito da Figura III.11(b) — o que resulta em economia de área de silício para a fabricação do circuito integrado.

Comparando as equações de estado (III.41), (III.42), (III.43), (III.44), (III.45) e (III.46) com o circuito do filtro a capacitores chaveados da Figura III.11, verifica-se que os coeficientes das equações de estado são implementados através de razões dos valores de capacitores do circuito. Conforme já mencionado, esta característica tem como vantagem o fato de que, em circuito integrado, as razões entre os valores de capacitâncias podem ser implementadas com maior precisão do que os valores absolutos das mesmas.



(a) Filtro preliminar obtido diretamente a partir das equações de estado.

(b) Filtro com eliminação de chaves redundantes.

Figura III.11: Filtro a capacitores chaveados passa-faixa de sexta ordem, desbalanceado, obtido por meio de simulação da rede ladder passiva da Figura III.9.

Então, partindo-se dos valores dos componentes da rede *ladder* original, dados na Tabela III.3, e considerando as expressões do equivalente Thèvenin do ciclo indutivo, apresentadas em (III.3), (III.4), (III.5) e (III.8), os valores das razões de capacitores, cujas expressões são dadas por (III.12), (III.17), (III.21), (III.26), (III.31) e (III.36), são apresentados na Tabela III.4.

Tabela III.4: Valores das razões de capacitores empregadas na realização do filtro a capacitores chaveados.

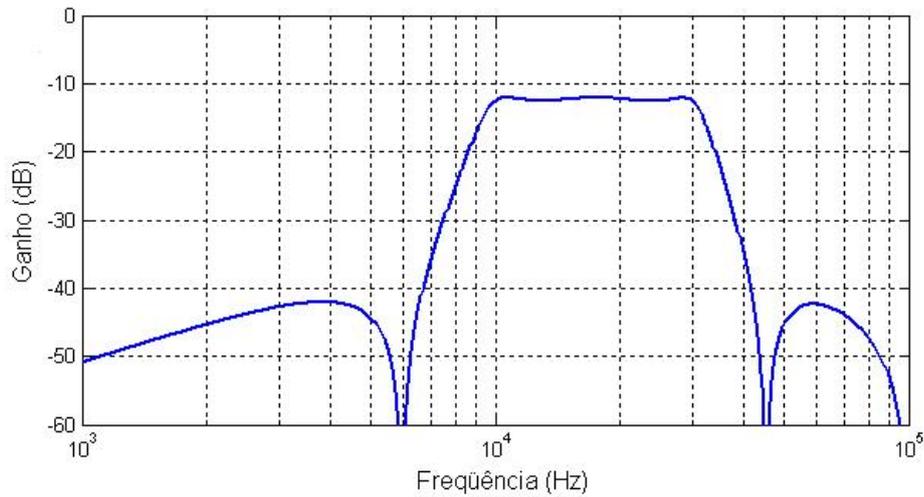
RAZÃO	VALOR	RAZÃO	VALOR
A_1/A	0,0994104125	E_1/E	2,3632457971
A_2/A	0,1988208250	E_2/E	0,2320882267
A_3/A	0,0994104125	E_3/E	2,1311575705
A_4/A	0,6624427699	F_1/F	0,4303146309
B_1/B	1,5443658597	F_2/F	0,2151573155
B_2/B	0,2320882266	F_3/F	0,2694134788
D_1/D	0,8418155902	G_1/G	3,4434352036
D_2/D	0,1581844098	G_2/G	2,1311575705
D_3/D	0,1263282488		

Conforme mostrado na Seção II.3, as funções de transferência dos integradores a capacitores chaveados, apresentadas em (III.38), (III.39) e (III.40), são válidas apenas para o caso em que o sinal de saída é amostrado na fase ϕ_1 . Portanto, a saída do filtro deve ser amostrada apenas nesta fase. Assim, a saída do circuito da Figura III.11(b) será medida no nó demoninado v_{out} , o qual amostra a tensão na saída do integrador apenas na fase ϕ_1 .

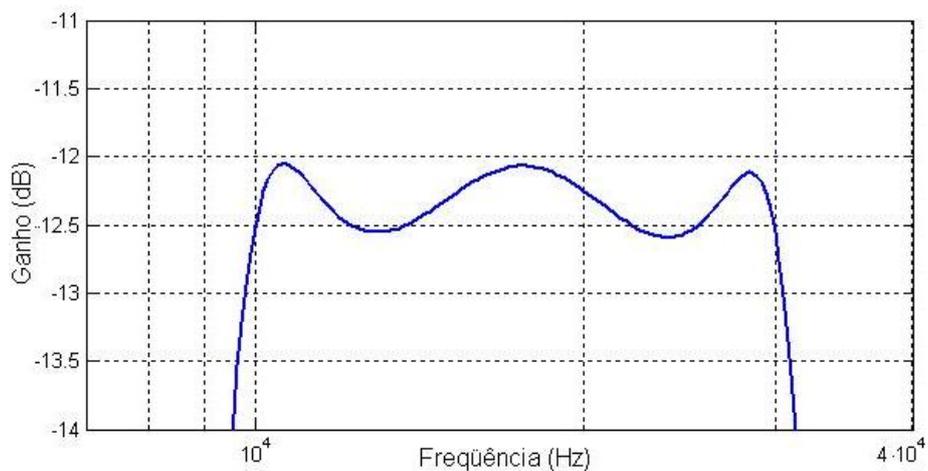
Com o objetivo de verificar se o circuito a capacitores chaveados obtido simula adequadamente o protótipo passivo em rede *ladder*, o circuito da Figura III.11(b) foi simulado, usando o programa ASIZ⁴. Este programa realiza a simulação de filtros chaveados, considerando ideais as chaves, os amplificadores operacionais e os capacitores. Portanto, tal simulação é capaz de verificar apenas se não houve a introdução de erros durante o processo de obtenção do filtro a capacitores chaveados a partir do protótipo passivo.

Na Figura III.12, é apresentado o gráfico da resposta em frequência do filtro a capacitores chaveados, obtida através da simulação ideal, considerando uma frequência de chaveamento de 200 kHz. De acordo com o gráfico, o circuito obtido satisfaz adequadamente às especificações apresentadas na Seção III.2.

⁴Programa desenvolvido e disponibilizado pelo Prof. Antônio Carlos Moreirão de Queiroz (COPPE/UFRJ) no endereço <http://www.coe.ufrj.br/~acmq>.



(a) Gráfico da Resposta em Frequência.



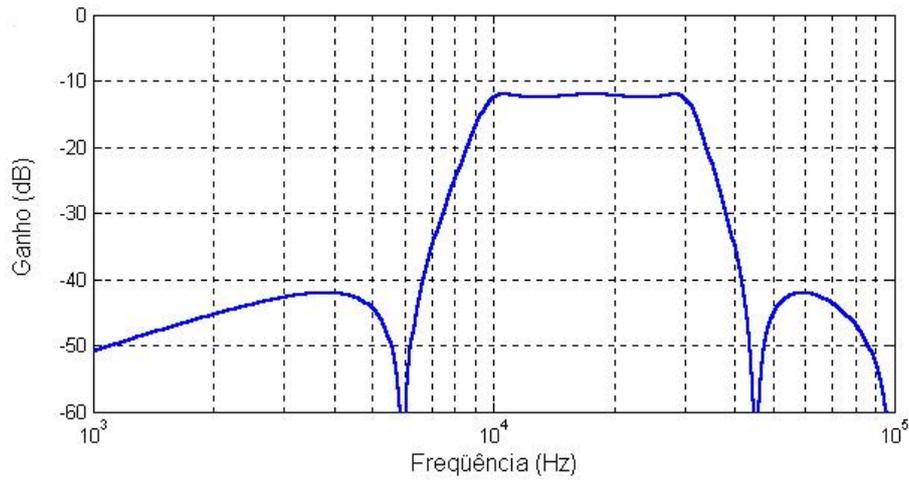
(b) Detalhe da banda passante.

Figura III.12: Resposta em Frequência ideal do filtro a capacitores chaveados.

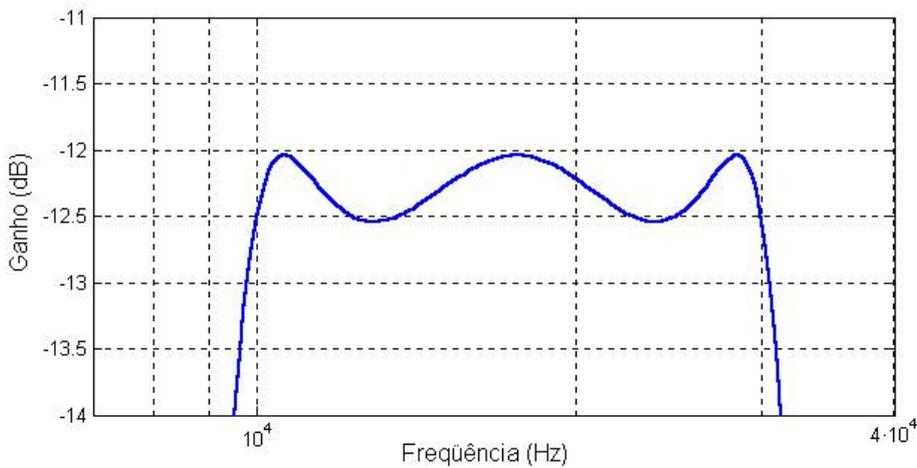
Comparando a resposta em frequência do protótipo passivo implementado em rede *ladder*, apresentada na Figura III.5, com a resposta em frequência do filtro a capacitores chaveados, apresentada na Figura III.12, nota-se que a atenuação mínima na banda passante do filtro passivo é de 6,02 dB, enquanto que a do filtro a capacitores chaveados é de 12,04 dB. Apesar desta diferença, ambos os filtros possuem um *ripple* na banda passante de 0,5 dB — o que está dentro das especificações — e a diferença de atenuação entre a banda passante e a banda de rejeição é de 30 dB — também dentro das especificações.

Além disso, o gráfico da Figura III.12(b) mostra que a banda passante do filtro está compreendida entre 10 e 30 kHz, conforme especificado na Seção III.1.

A diferença de atenuação entre o protótipo e o filtro a capacitores chaveados se deve ao fato de que a saída do segundo filtro é medida no nó v_{out} do circuito da Figura III.11(b). Dessa forma, a tensão neste nó é sempre nula na fase ϕ_2 , fazendo com que o módulo do espectro da saída seja reduzido à metade, conforme apresentado na Seção



(a) Gráfico da Resposta em Frequência.



(b) Detalhe da banda passante.

Figura III.13: Resposta em Frequência ideal do filtro a capacitores chaveados, considerando uma amostragem impulsional do sinal de saída.

II.1, o que aumenta em 6,02 dB a atenuação do filtro.

Outra característica a ser salientada na resposta em frequência do filtro a capacitores chaveados é o fato de que a banda passante não apresenta um aspecto *equirripple*, conforme pode ser visualizado no gráfico da Figura III.12(b), onde a atenuação no limite superior da banda passante é ligeiramente maior que no limite inferior. Isto ocorre devido ao fato de que o sinal de saída apresenta um valor constante durante a fase ϕ_1 e um valor nulo durante a fase ϕ_2 , fazendo com que o espectro do sinal seja modulado por uma função *sinc* — conforme mostrado na Seção II.1. Dessa forma, a resposta em frequência do filtro sofre a distorção verificada na Figura III.12(b).

Para comprovar a consideração feita no parágrafo anterior, o filtro a capacitores chaveados pode ser simulado pelo programa ASIZ, considerando uma amostragem impulsional do sinal de saída. Dessa forma, o efeito da retenção do sinal de saída durante a fase ϕ_1 será ignorado. Os resultados desta simulação são apresentados na

Figura III.13. Comparando os gráficos das Figuras III.12(b) e III.13(b), verifica-se que a distorção da resposta em frequência, devido ao efeito da retenção do sinal na saída, não ocorre na Figura III.13(b), conforme já era esperado.

Portanto, conclui-se que o filtro a capacitores chaveados obtido nesta seção atende às especificações definidas na Seção III.2. No entanto, o filtro ainda não está completamente projetado. Ainda há a necessidade de se realizar a equalização da faixa dinâmica da tensão na saída de cada um dos OTA's e realizar o dimensionamento dos capacitores do filtro a fim de implementar as razões de capacitâncias, listadas na Tabela III.4.

III.6 - EQUALIZAÇÃO DE FAIXA DINÂMICA

Os amplificadores operacionais de transcondutância do filtro a capacitores chaveados devem ser projetados levando-se em conta a excursão de sinal em suas saídas durante a operação do filtro. Dessa forma, garante-se que os transistores MOS do estágio de saída estarão sempre operando na região de saturação.

O projeto seria simplificado se a excursão de sinal na saída fosse a mesma para todos os OTA's. Além disso, os limites impostos pela tensão de alimentação e pela potência de ruído em OTA's reais inviabilizariam excursões de sinal muito diferentes na saída dos OTA's de um mesmo filtro.

No entanto, as tensões de saída dos OTA's do filtro simulam as variáveis de estado do protótipo passivo, as quais não possuem nenhum limite fixo de excursão de sinal. Esta característica pode ser verificada a partir de uma simulação ideal do filtro a capacitores chaveados, empregando-se a amostragem impulsional do programa ASIZ. Na Figura III.14 são apresentados os gráficos com a resposta em frequência do filtro, com respeito a cada uma das suas variáveis de estado, ou seja, com respeito às tensões de saída dos OTA's do circuito, amostradas apenas na fase ϕ_1 .

De acordo com a Figura III.14, percebe-se que o ganho máximo de cada uma das respostas em frequência possui um valor diferente dos demais. Assim, seria adequado modificar os valores dos capacitores do circuito, a fim de equalizar a excursão de sinal na saída de cada um dos OTA's, sem alterar a resposta em frequência do filtro.

Para entender o procedimento de equalização da excursão de sinais, considere o caso geral apresentado no circuito da Figura III.15.

Neste circuito genérico, há um sinal de entrada v_{in} , que pode ser proveniente de uma fonte de tensão ou da saída de outro amplificador operacional; uma impedância de entrada Z_{in} ; uma impedância realizando a realimentação negativa Z_f e uma impedância de carga Z_L , que pode estar efetivamente conectada a um terminal de terra ou a um terra virtual de outro amplificador. Este bloco de circuito pode ser considerado como sendo parte integrante de um circuito maior, onde se deseja equalizar a

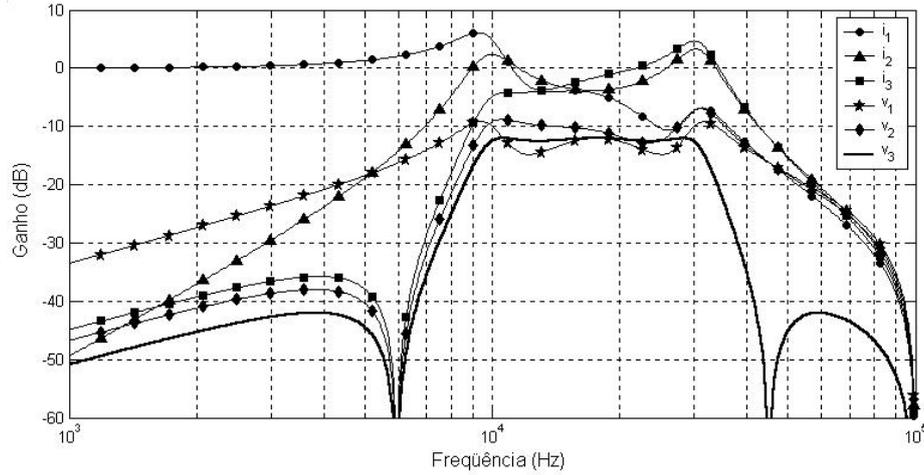


Figura III.14: Resposta em frequência do filtro a capacitores chaveados com respeito a cada uma das variáveis de estado, mostrando as diferentes excursões máximas de sinal nas saídas dos OTA's.

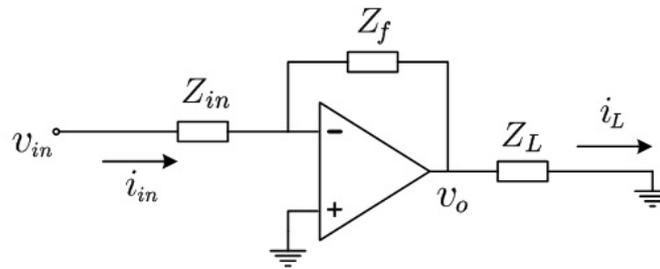


Figura III.15: Bloco de circuito genérico cuja excursão de sinal na saída do amplificador operacional será modificada.

excursão de sinal na saída dos amplificadores operacionais.

No circuito da Figura III.15, dado um sinal de entrada v_{in} , a corrente i_{in} pode ser obtida através da seguinte expressão, escrita no domínio da frequência:

$$I_{in}(s) = \frac{V_{in}(s)}{Z_{in}}. \quad (\text{III.48})$$

Assim, o sinal de saída v_o pode ser obtido a partir da seguinte expressão:

$$V_o(s) = -Z_f \cdot I_{in}(s) = -\frac{Z_f}{Z_{in}} \cdot V_{in}. \quad (\text{III.49})$$

Então, a corrente de carga i_L por ser obtida da seguinte forma:

$$I_L(s) = \frac{V_o(s)}{Z_L}. \quad (\text{III.50})$$

Caso a impedância de carga Z_L esteja conectada à entrada inversora de outro amplificador operacional, a tensão de saída v_o exercerá o mesmo papel da tensão de entrada v_{in} e a corrente i_L exercerá o mesmo papel que a corrente i_{in} para o estágio

seguinte, que é semelhante ao circuito da Figura III.15. Portanto, os sinais elétricos que realizam a interface do bloco da Figura III.15 com o estágio anterior e com o seguinte são a tensão v_{in} e a corrente i_L , respectivamente.

O objetivo da equalização é alterar o valor das impedâncias do circuito da Figura III.15, de forma que a excursão de sinal na saída do amplificador operacional esteja compreendida entre os limites desejados para qualquer frequência do sinal de entrada. Além disso, é conveniente realizar a equalização de forma a produzir um circuito, onde o máximo ganho de tensão entre a entrada do filtro e a saída de cada um dos amplificadores operacionais seja igual à unidade. Dessa forma, a máxima excursão de sinal na saída dos amplificadores operacionais do filtro será igual à máxima excursão do sinal de entrada.

Assim, supondo que M seja o máximo ganho da resposta em frequência medida entre a entrada do filtro e a saída v_o do amplificador operacional da Figura III.15, a excursão de sinal na saída do mesmo deverá ser dividida pelo mesmo fator M . No entanto, esta alteração deve manter inalterada a interface entre este bloco de circuito e o restante do filtro. Ou seja, o nível de tensão na saída do amplificador operacional deve ser alterado, mantendo a mesma tensão de entrada v_{in} e mantendo a mesma corrente i_L na carga. Assim, garante-se que a equalização da faixa dinâmica não comprometerá a resposta em frequência do filtro.

Dessa forma, o procedimento de equalização [4] consiste em reduzir a corrente que circula pela impedância de realimentação Z_L por um fator M , para que a tensão na saída do amplificador seja reduzida pelo mesmo fator. A equação (III.48) sugere que isso pode ser conseguido substituindo-se a impedância de entrada Z_{in} por:

$$\hat{Z}_{in} = M \cdot Z_{in}. \quad (\text{III.51})$$

Assim, a corrente de entrada i_{in} será reduzida por um fator igual a M e, conseqüentemente, a tensão na saída do amplificador também será reduzida pelo mesmo fator — de acordo com (III.49). No entanto, somente a alteração apresentada em (III.51) não mantém o mesmo nível de corrente na impedância de carga Z_L . Para tanto, devemos alterar o valor da impedância de carga para:

$$\hat{Z}_L = \frac{Z_L}{M}. \quad (\text{III.52})$$

Dessa forma, de acordo com (III.50), a corrente i_L será mantida, mesmo com a redução da tensão de saída v_o .

Portanto, há apenas a necessidade de se alterar as impedâncias Z_{in} e Z_L , mantendo a impedância de realimentação Z_f inalterada.

O procedimento de equalização foi descrito até aqui para um caso genérico, mas

pode ser perfeitamente aplicado a circuitos a capacitores chaveados, tais como os integradores do filtro da Figura III.11(b).

Com o objetivo de referenciar cada um dos integradores do filtro da Figura III.11, será adotada a seguinte convenção: o integrador cujo capacitor de realimentação é identificado pela letra A será chamado *integrador A*; o integrador com o capacitor B será chamado *integrador B* e assim por diante para os demais integradores.

Então, para o caso do filtro a capacitores chaveados da Figura III.11(b), os valores máximos dos ganhos das respostas em frequência, apresentadas na Figura III.14, fornecem os valores dos escalamentos a serem aplicados às capacitâncias de entrada e de saída dos integradores. No entanto, deve-se levar em consideração que as respostas em frequência da Figura III.14 não foram medidas diretamente na saída dos OTA's, mas sim no ponto que amostra esta saída apenas na fase ϕ_1 e apresenta valor nulo durante a fase ϕ_2 . Isso faz com que os ganhos sejam reduzidos por um fator de dois. Assim, os valores máximos das respostas em frequência, medidos através de simulação, são multiplicados por um fator de dois antes de serem empregados nos cálculos de equalização. Dessa forma, os valores obtidos são dados por:

$$\begin{aligned}
 2 \left| \frac{V_a(e^{j\omega})}{V_{in}(e^{j\omega})} \right|_{\max} &= M_a = 0,6978; & 2 \left| \frac{V_b(e^{j\omega})}{V_{in}(e^{j\omega})} \right|_{\max} &= M_b = 4,0399; \\
 2 \left| \frac{V_d(e^{j\omega})}{V_{in}(e^{j\omega})} \right|_{\max} &= M_d = 0,9049; & 2 \left| \frac{V_e(e^{j\omega})}{V_{in}(e^{j\omega})} \right|_{\max} &= M_e = 2,9195; & (III.53) \\
 2 \left| \frac{V_f(e^{j\omega})}{V_{in}(e^{j\omega})} \right|_{\max} &= M_f = 0,5000; & 2 \left| \frac{V_g(e^{j\omega})}{V_{in}(e^{j\omega})} \right|_{\max} &= M_g = 3,4334.
 \end{aligned}$$

Onde v_a , v_b , v_d , v_e , v_f e v_g são as tensões de saída dos amplificadores dos integradores A , B , D , E , F e G , respectivamente, do circuito da Figura III.11.

Então, aplicando as transformações apresentadas em (III.51) e (III.52) ao circuito do filtro da Figura III.11, obtêm-se os seguintes escalamentos a serem aplicados aos capacitores do filtro:

$$\begin{aligned}
 A_1 &\rightarrow A_1 \frac{1}{M_a}; & A_3 &\rightarrow A_3 \frac{M_b}{M_a}; & A_4 &\rightarrow A_4 \frac{M_d}{M_a}; \\
 B_1 &\rightarrow B_1 \frac{M_a}{M_b}; & B_2 &\rightarrow B_2 \frac{M_d}{M_b}; & D_1 &\rightarrow D_1 \frac{M_a}{M_d}; \\
 D_2 &\rightarrow D_2 \frac{M_f}{M_d}; & D_3 &\rightarrow D_3 \frac{M_e}{M_d}; & E_1 &\rightarrow E_1 \frac{M_d}{M_e}; & (III.54) \\
 E_2 &\rightarrow E_2 \frac{M_a}{M_e}; & E_3 &\rightarrow E_3 \frac{M_f}{M_e}; & F_2 &\rightarrow F_2 \frac{M_g}{M_f}; \\
 F_3 &\rightarrow F_3 \frac{M_d}{M_f}; & G_1 &\rightarrow G_1 \frac{M_f}{M_g}; & G_2 &\rightarrow G_2 \frac{M_d}{M_g}.
 \end{aligned}$$

Nota-se que grande parte dos capacitores do circuito da Figura III.11 exercem tanto o papel de Z_{in} , como também o de Z_L . Portanto, estes capacitores são escalados duas vezes, ou seja, divididos por um ganho máximo, quando exercem o papel de Z_{in} , e multiplicados por outro ganho máximo, quando exercem o papel de Z_L . Este fato pode ser constatado em (III.54).

Os capacitores não listados em (III.54) não serão afetados com o processo de equalização de faixa dinâmica — por exemplo, os capacitores das realimentações. Assim, os novos valores das razões de capacitores são apresentados na Tabela III.5.

Tabela III.5: Valores das razões de capacitores do filtro a capacitores chaveados com equalização de faixa dinâmica.

RAZÃO	VALOR	RAZÃO	VALOR
A_1/A	0.1424678518	E_1/E	0.7325190006
A_2/A	0.1988208250	E_2/E	0.0554706315
A_3/A	0.5755616856	E_3/E	0.3649896636
A_4/A	0.8591091894	F_1/F	0.4303146309
B_1/B	0.2667412564	F_2/F	1.4774612952
B_2/B	0.0519868029	F_3/F	0.4876006943
D_1/D	0.6491080042	G_1/G	0.5014549462
D_2/D	0.0874014591	G_2/G	0.5616950041
D_3/D	0.4075589886		

Finalmente, o filtro a capacitores chaveados foi novamente simulado, empregando-se as razões de capacitância listadas na Tabela III.5. Novamente obteve-se o gráfico das respostas em frequência em relação às saídas das suas variáveis de estado v_1 , v_2 , v_o , i_1 , i_2 e i_3 . Tal gráfico é apresentado na Figura III.16.

Comparando o gráfico da Figura III.16 com o da Figura III.14, verifica-se que, no circuito equalizado, o valor máximo que o módulo da resposta em frequência atinge em cada caso é o mesmo, diferentemente do filtro original. Além disso, verifica-se que o processo de equalização da faixa dinâmica não alterou a resposta em frequência do filtro, conforme o desejado.

Outro benefício da equalização da faixa dinâmica foi a redução da dispersão dos valores das razões de capacitores. Comparando-se as Tabelas III.4 e III.5, verifica-se que, no segundo caso, os valores das razões não são tão diferentes entre si como no primeiro caso. Uma baixa dispersão entre estes valores leva a uma implementação em circuito integrado ocupando uma área menor. Isso ocorre porque o menor valor de capacitância não deve ser muito pequeno, com o objetivo de reduzir o efeito do ruído térmico produzido pelo circuito. Assim, se houver a necessidade de incluir uma

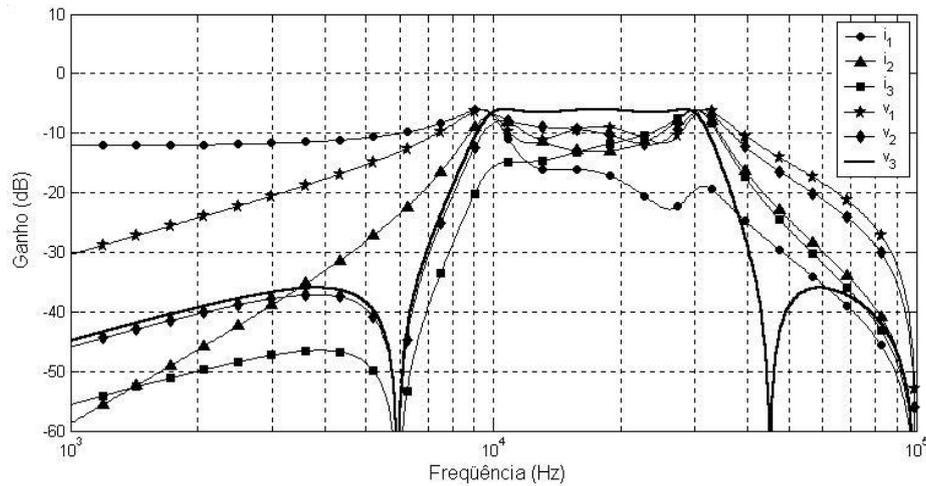


Figura III.16: Resposta em frequência com relação às saídas do filtro a capacitores chaveados com faixa dinâmica equalizada.

capacitância muito maior que o valor mínimo, então seu valor absoluto irá requerer um capacitor com dimensões significativamente maiores.

Assim, os valores das razões de capacitâncias apresentados na Tabela III.16 são os que serão implementados em circuito integrado. No entanto, os valores dados na tabela ainda necessitam ser aproximados por razões de números inteiros, para que a implementação em circuito integrado seja realizada de forma mais precisa. Tais aproximações são apresentadas na seção que se segue.

III.7 - APROXIMAÇÃO DOS VALORES DAS CAPACITÂNCIAS

Em circuitos integrados CMOS, os capacitores podem ser implementados de diversas formas. No entanto, as implementações encontrados com mais frequência em circuitos a capacitores chaveados são capacitores de polissilício ou capacitores de metal. Os capacitores de polissilício são constituídos por duas placas de polissilício, separadas por uma fina camada de óxido de silício. Os capacitores de metal são constituídos por duas placas de metal, também separadas por uma fina camada de óxido. Tais implementações são as mais comuns, devido ao fato de que os capacitores produzidos apresentam melhor linearidade [3]. Neste trabalho, especificamente, serão empregados capacitores de polissilício, porque essa implementação permite a construção de capacitores com dimensões menores, quando comparadas aos equivalentes de metal.

Em ambos os casos, os capacitores são contruídos com duas placas paralelas, separadas por uma camada de dielétrico. Dessa forma, a capacitância é determinada pela área das placas e pelo perímetro das mesmas — a dependência do perímetro se deve ao espalhamento do campo elétrico além das bordas das placas, conhecido na literatura como efeito de borda.

Dessa forma, se o projetista deseja implementar uma razão de capacitâncias $C_1/C_2 = k$, é necessário que tanto a razão das áreas dos capacitores C_1 e C_2 , como também a razão dos perímetros, sejam iguais a k .

Uma forma bastante eficiente de se conseguir casar tanto a razão de áreas, como também a razão de perímetros é associando capacitores em paralelo [19], [20]. Neste tipo de implementação, o projetista deve, inicialmente, escolher um capacitor base. Então, todos os capacitores do filtro serão implementados através de associações em paralelo desses capacitores base. Assim, se o filtro precisa, por exemplo, de uma razão de capacitores $C_1/C_2 = 0,4$, o projetista pode implementar C_1 utilizando dois capacitores base em paralelo e C_2 empregando cinco em paralelo. Então, assumindo que a capacitância do capacitor base vale C , teremos:

$$\frac{C_1}{C_2} = \frac{2C}{5C} = 0,4. \quad (\text{III.55})$$

Essa técnica de implementação se aproveita do fato de que os processos de fabricação CMOS permitem a implementação de capacitores de mesmo valor com um erro de até 0,1%, embora o erro no valor absoluto dos mesmos seja de até 20% [3]. Assim, em nosso caso exemplo, se algum fator afetar o valor absoluto da capacitância base C — erro na espessura do óxido, erro nas dimensões das placas de metal ou de polissilício, etc. —, garante-se que o mesmo fator afetará, mais ou menos da mesma forma, todos os sete capacitores empregados na implementação de C_1 e C_2 , fazendo com que todos apresentem o mesmo valor de capacitância, seja ele qual for, dentro de um erro de cerca de 0,1%. Assim, a razão C_1/C_2 poderá ser implementada acuradamente.

Uma outra vantagem da técnica de associação em paralelo de capacitores está relacionada com a minimização dos efeitos das capacitâncias parasitas. Na Figura III.17 é apresentado um corte transversal de um capacitor de polissilício, onde estão representadas as capacitâncias envolvidas. A capacitância entre as camadas de polissilício C é a capacitância que se deseja implementar com a construção do capacitor. As demais são capacitâncias parasitas, que inevitavelmente existem entre as placas e o substrato.

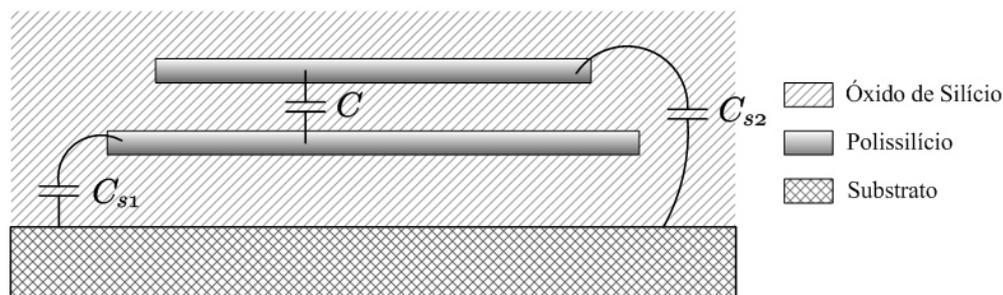
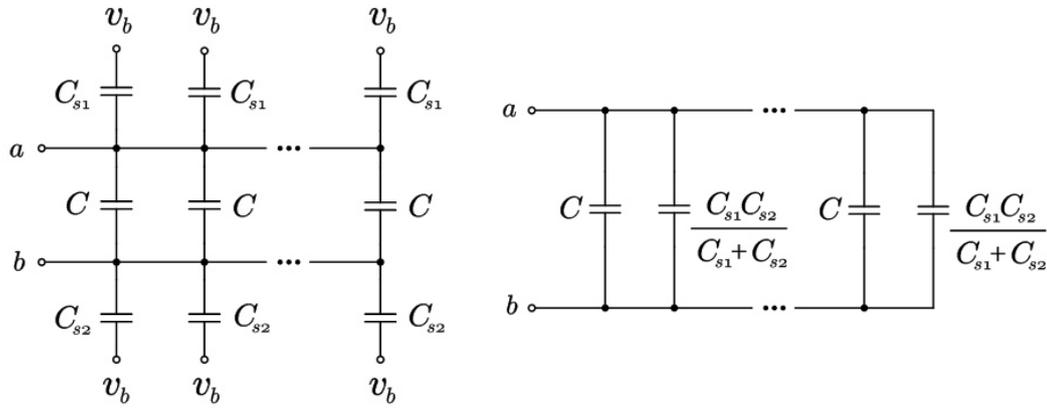


Figura III.17: Corte transversal de um capacitor de polissilício.

Assim, se um dos capacitores do filtro for implementado por uma associação de N capacitores base em paralelo, o circuito da associação, considerando as capacitâncias parasitas, pode ser representado através do esquema da Figura III.18(a), onde v_b é o potencial do substrato (*bulk*).



(a) Associação em paralelo de capacitores base, com suas respectivas capacitâncias parasitas.

(b) Circuito equivalente.

Figura III.18: Investigação do efeito das capacitâncias parasitas sobre a associação em paralelo de capacitores base.

Como ambos os capacitores parasitas C_{s1} e C_{s2} estão conectados ao mesmo potencial v_b , pode-se substituí-los por uma associação em série dos mesmos — cuja capacitância equivalente vale $(C_{s1}C_{s2})/(C_{s1} + C_{s2})$ —, conectada em paralelo com seu capacitor base C correspondente. Dessa forma, o circuito equivalente da associação é apresentado na Figura III.18(b), cuja capacitância é dada por:

$$C_{eq} = NC + N \frac{C_{s1}C_{s2}}{C_{s1} + C_{s2}} = N \left(C + \frac{C_{s1}C_{s2}}{C_{s1} + C_{s2}} \right). \quad (\text{III.56})$$

Assim, a capacitância equivalente da associação em paralelo é diretamente proporcional a N . Dessa forma, a presença das capacitâncias parasitas C_{s1} e C_{s2} não irá afetar as razões de capacitâncias do filtro. Considerando novamente o caso exemplo $C_1/C_2 = 0,4$, se as capacitâncias parasitas forem levadas em conta, teremos:

$$\frac{C_1}{C_2} = \frac{2 \left(C + \frac{C_{s1}C_{s2}}{C_{s1} + C_{s2}} \right)}{5 \left(C + \frac{C_{s1}C_{s2}}{C_{s1} + C_{s2}} \right)} = 0,4. \quad (\text{III.57})$$

Portanto, a técnica de implementação dos capacitores do filtro, através de associações em paralelo de capacitores base, se mostra a mais adequada, pois permite o casamento das áreas, dos perímetros e dos efeitos parasitas de cada um dos capacitores do circuito; o que torna a resposta em frequência do filtro mais acurada.

Entretanto, apesar desta técnica ser eficiente, os valores das razões de capacitores a serem implementadas neste projeto — listadas na Tabela III.5 — não são tão facilmente racionalizáveis como a razão $C_1/C_2 = 0,4$, do exemplo citado acima. Portanto, esses valores deverão ser aproximados por números racionais — ou seja, razões de números inteiros —, para permitir a sua implementação.

Além disso, os números inteiros que compõem essas razões devem assumir os menores valores possíveis, a fim de reduzir a área ocupada pelo filtro no circuito integrado.

Seja, por exemplo, uma razão de capacitores dada por $C_3/C_4 = 0,4376$. Este valor pode ser aproximado por $C_3/C_4 \cong 4/9 = 0,4444$, com um erro de 1,56%. Por outro lado, esta mesma razão pode ser aproximada por $C_3/C_4 \cong 7/16 = 0,4375$, com um erro de 0,023%. Nota-se, então, que a segunda aproximação é a que produz o menor erro. No entanto, para a implementação da primeira aproximação, são necessários quatro capacitores base, associados em paralelo, para formar C_3 e nove para formar C_4 , totalizando treze capacitores. Já na segunda aproximação, são necessários sete capacitores para implementar C_3 e dezesseis para C_4 , totalizando vinte e três capacitores, o que ocuparia uma área significativamente maior que a primeira aproximação.

Dessa forma, o projetista deve, inicialmente, definir o erro máximo tolerado para a aproximação de cada razão de capacitores. Então, deve-se procurar a razão, com os menores números inteiros, que aproxima uma dada razão de capacitores com um erro dentro da tolerância especificada.

Assim, considerando o caso exemplo de $C_3/C_4 = 0,4376$; caso o projetista decida por tolerar um erro maior ou igual a 1,56% para esta razão, a aproximação escolhida deverá ser $C_3/C_4 \cong 4/9$. Por outro lado, se o projetista tolerar um erro entre 0,023% e 1,56%, então a aproximação escolhida deverá ser $C_3/C_4 \cong 7/16$. Caso o projetista tolere um erro ainda menor, poderá empregar a aproximação $C_3/C_4 \cong 193/441$, a qual ocupará uma área bem maior que as duas aproximações anteriores.

Portanto, verifica-se que há um compromisso entre a precisão da aproximação dos coeficientes do filtro — dados pelas razões de capacitores — e a área ocupada pelo circuito resultante.

A questão que se coloca agora é: como definir a tolerância para a aproximação das razões de capacitores? Neste trabalho, é adotada a análise de sensibilidade do filtro com respeito a cada uma das razões de capacitores para se definir as tolerâncias. Dessa forma, quanto maior a sensibilidade do módulo da resposta em frequência, com relação a uma dada razão de capacitores, menor será a tolerância adotada.

Para facilitar o trabalho de definição das tolerâncias, será empregado o programa ASIZ para calcular a variação na resposta em frequência do filtro, dada uma variação percentual de um dos capacitores do circuito.

Na Figura III.19, como exemplo, são apresentados os gráficos com o módulo da resposta em frequência do filtro a capacitores chaveados — linha mais grossa — e os limites de variação desta resposta devido a uma variação no valor de apenas um dos capacitores do filtro — linhas mais finas. No gráfico da Figura III.19(a), é apresentada a variação da resposta em frequência, devido a uma variação de 5% no valor do capacitor B_1 do circuito da Figura III.11(b). Já na Figura III.19(b), é apresentada a variação da resposta em frequência, devido a uma variação de 5% no valor do capacitor D_3 .

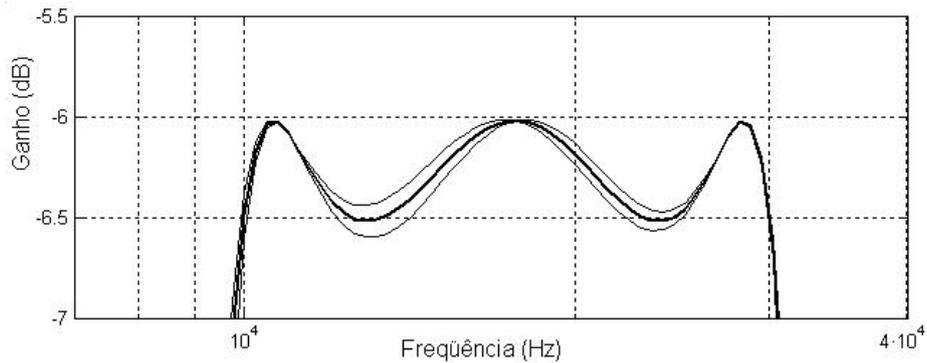
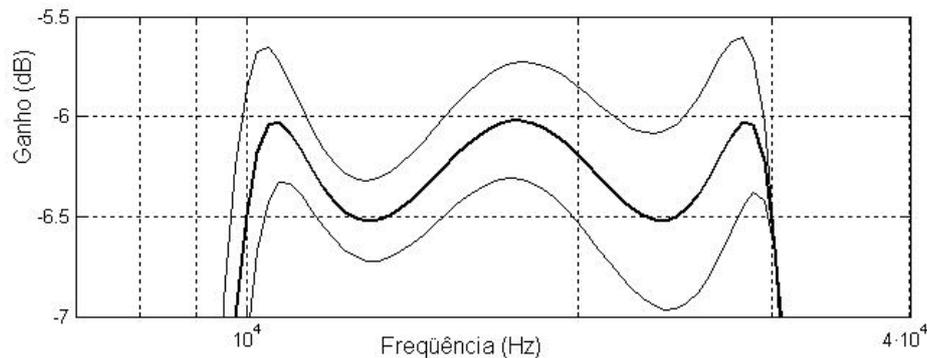
(a) Variação do Capacitor B_1 .(b) Variação do Capacitor D_3 .

Figura III.19: Variação da resposta em frequência do filtro a capacitores chaveados, na banda passante, devido a uma variação de 5% no valor de um determinado capacitor do circuito.

Nota-se, a partir dos gráficos da Figura III.19, que, para a mesma variação de 5% no valor de capacitância, o efeito da variação do capacitor D_3 sobre o módulo da resposta em frequência foi significativamente maior que o efeito da variação de B_1 . Portanto, a tolerância da aproximação da razão B_1/B deve ser maior que a da razão D_3/D .

Assim, para definir as tolerâncias de cada uma das razões de capacitâncias do filtro, essas mesmas simulações são realizadas para todos os outros capacitores. Como algumas razões apresentadas na Tabela III.5 apresentam o mesmo capacitor como denominador — o qual é sempre um dos capacitores de realimentação dos integradores

—, optou-se por verificar, através das simulações, apenas o efeito da variação dos capacitores dos numeradores dessas razões.

Além disso, optou-se por definir o valor da tolerância como sendo a variação percentual da razão de capacitâncias que produz uma variação de, no máximo, 0,1 dB no módulo da resposta em frequência do filtro.

Sendo assim, na Tabela III.6 são listados os valores de tolerância definidos para cada uma das razões de capacitores dadas na Tabela III.5.

Tabela III.6: Valores definidos para as tolerâncias de cada uma das razões de capacitores do filtro.

RAZÃO	TOLERÂNCIA	RAZÃO	TOLERÂNCIA
A_1/A	0,3%	E_1/E	0,7%
A_2/A	8,0%	E_2/E	20%
A_3/A	0,8%	E_3/E	0,4%
A_4/A	0,3%	F_1/F	0,5%
B_1/B	6,3%	F_2/F	1,6%
B_2/B	4,0%	F_3/F	3,0%
D_1/D	3,0%	G_1/G	0,3%
D_2/D	5,0%	G_2/G	12%
D_3/D	2,3%		

Com os valores das tolerâncias definidas, o problema que ainda resta é o seguinte: como encontrar a menor razão de inteiros que aproxima uma dada razão de capacitores, dentro das tolerâncias dadas na Tabela III.6?

Na Tabela III.5, há algumas razões de capacitâncias que possuem o mesmo capacitor no denominador. Assim, é conveniente que os números racionais que aproximam estas razões possuam o mesmo denominador; pois, dessa forma, o número inteiro deste denominador comum será igual ao número de capacitores que devem ser associados em paralelo para construir o capacitor que aparece nos denominadores dessas razões.

Assim, dado um conjunto de razões de capacitores:

$$\frac{X_1}{X}, \quad \frac{X_2}{X}, \quad \frac{X_3}{X}, \quad \dots \quad \frac{X_n}{X}; \quad (\text{III.58})$$

deseja-se encontrar as razões de números inteiros:

$$\frac{N_1}{D}, \quad \frac{N_2}{D}, \quad \frac{N_3}{D}, \quad \dots \quad \frac{N_n}{D}, \quad (\text{III.59})$$

as quais devem aproximar as razões de capacitores (III.58), satisfazendo às seguintes

condições:

$$\left| \frac{\frac{N_i}{D} - \frac{X_i}{X}}{\frac{X_i}{X}} \right| \leq t_i, \quad \text{para } i = 1, 2, 3, \dots, n, \quad (\text{III.60})$$

onde t_i ($i = 1, 2, 3, \dots, n$) são as tolerâncias permitidas para a aproximação de cada uma das razões de capacitâncias.

Na expressão (III.60), se multiplicarmos a inequação toda por X_i/X e eliminarmos o módulo, obteremos:

$$-t_i \frac{X_i}{X} \leq \frac{N_i}{D} - \frac{X_i}{X} \leq t_i \frac{X_i}{X}, \quad \text{para } i = 1, 2, 3, \dots, n. \quad (\text{III.61})$$

Somando-se X_i/X à inequação inteira e, depois, multiplicando por D , obtém-se:

$$D \frac{X_i}{X} (1 - t_i) \leq N_i \leq D \frac{X_i}{X} (1 + t_i), \quad \text{para } i = 1, 2, 3, \dots, n. \quad (\text{III.62})$$

Assim, dado um número inteiro D , o problema de encontrar a razão de inteiros que aproxima X_i/X ficará resolvido, caso seja possível encontrar um número inteiro N_i que satisfaça a desigualdade (III.62).

Portanto, baseado em (III.62), desenvolveu-se um algoritmo para encontrar a solução do problema. Nele, dado um valor inteiro para o denominador comum D , começando a partir de $D = 1$, é verificado se existem numeradores inteiros $N_1, N_2, N_3, \dots, N_n$ que satisfaçam as restrições (III.62). Caso existam, a solução foi finalmente encontrada. Caso contrário, o denominador comum D deve ser incrementado e o processo se repete para o novo valor, até que a solução seja encontrada.

Assim, dadas as razões X_i/X e as tolerâncias t_i , para $i = 1, 2, 3, \dots, n$, os passos do algoritmo são os seguintes:

1. Inicia-se a busca com $D = 1$.
2. Calcula-se o menor número inteiro, maior que o limite mínimo da desigualdade (III.62), o qual é dado por:

$$I_i = \left\lceil D \frac{X_i}{X} (1 - t_i) \right\rceil, \quad \text{para } i = 1, 2, 3, \dots, n.$$

3. Caso sejam satisfeitas todas as seguintes desigualdades:

$$I_i \leq D \frac{X_i}{X} (1 + t_i), \quad \text{para } i = 1, 2, 3, \dots, n.$$

Então, conclui-se que existem soluções inteiras que satisfazem as desigualdades

(III.62). Portanto, a solução encontrada vale:

$$N_i = I_i, \quad \text{para } i = 1, 2, 3, \dots n.$$

4. Caso contrário, deve-se fazer $D \leftarrow D + 1$ e voltar ao passo 2.

O próximo passo é demonstrar ao leitor que este algoritmo sempre irá encontrar uma solução, e que esta solução será a razão com os menores valores inteiros possíveis tanto no numerador, como no denominador.

De acordo com a desigualdade (III.62), é possível garantir que certamente existirão soluções inteiras $N_1, N_2, N_3, \dots N_n$, caso as seguintes desigualdades sejam satisfeitas:

$$D \frac{X_i}{X} (1 + t_i) - D \frac{X_i}{X} (1 - t_i) \geq 1, \quad \text{para } i = 1, 2, 3, \dots n. \quad (\text{III.63})$$

No entanto, caso a desigualdade (III.63) não seja satisfeita, não se pode garantir que não existam soluções.

Manipulando a inequação (III.63), obtém-se:

$$D \geq \frac{1}{2t_i \frac{X_i}{X}}, \quad \text{para } i = 1, 2, 3, \dots n. \quad (\text{III.64})$$

Como sempre existirá um número inteiro D que satisfaça (III.64), então conclui-se que o algoritmo acima certamente encontrará uma solução.

Como a busca se inicia com $D = 1$, pode-se garantir que o resultado obtido pelo algoritmo apresenta o denominador comum D com o menor valor inteiro possível que resolve o problema.

Como as soluções devem satisfazer às condições (III.62), garante-se que a solução que possui o menor valor inteiro possível para D , também apresentará o menor valor inteiro para os numeradores $N_1, N_2, N_3, \dots N_n$; pois, ao se empregar um valor maior para D na expressão (III.60), os valores dos numeradores, que continuarão a satisfazer as desigualdades, serão maiores também. Além disso, mesmo que exista mais de uma solução inteira N_i , que satisfaça a desigualdade (III.62) para um dado D , o algoritmo escolherá a solução com o menor valor, pois o inteiro escolhido no passo 2 do algoritmo é o menor inteiro que satisfaz a desigualdade.

Portanto, garante-se que o algoritmo sempre encontrará uma solução para o problema, e esta solução será constituída por razões de inteiros, onde o denominador comum e os numeradores apresentarão os menores valores possíveis.

Assim, aplicando o algoritmo às razões de capacitores listadas na Tabela III.5, considerando as tolerâncias apresentadas na Tabela III.6, obtêm-se as razões inteiras listadas na Tabela III.7.

Tabela III.7: Razões de números inteiros que aproximam as razões de capacitores dadas na Tabela III.5, dentro das tolerâncias especificadas na Tabela III.6.

RAZÃO ORIGINAL	RAZÃO APROXIMADA	RAZÃO ORIGINAL	RAZÃO APROXIMADA
A_1/A	2/14	E_1/E	16/22
A_2/A	3/14	E_2/E	1/22
A_3/A	8/14	E_3/E	8/22
A_4/A	12/14	F_1/F	6/14
B_1/B	5/20	F_2/F	21/14
B_2/B	1/20	F_3/F	7/14
D_1/D	8/12	G_1/G	4/8
D_2/D	1/12	G_2/G	5/8
D_3/D	5/12		

Assim, considerando C como sendo o valor da capacitância base, a Tabela III.7 sugere que os valores dos capacitores do filtro a capacitores chaveados, apresentado na Figura III.11(b), são obtidos através das seguintes expressões:

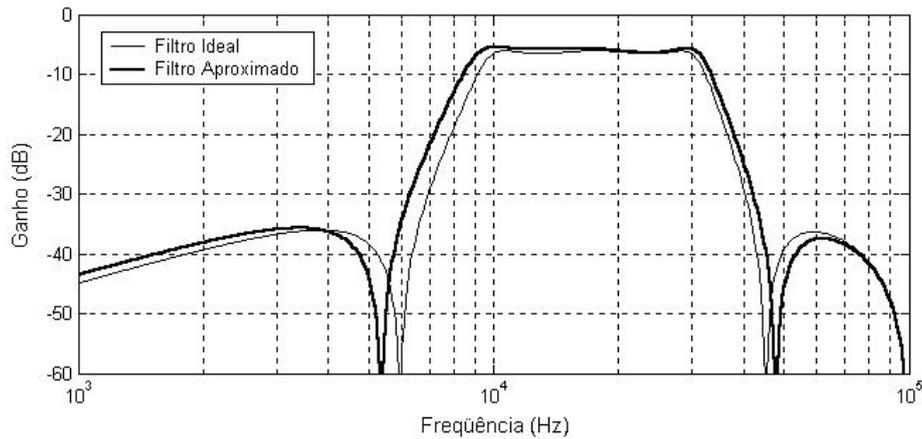
$$\begin{aligned}
 A &= 14C & D &= 12C & F &= 14C \\
 A_1 &= 2C & D_1 &= 8C & F_1 &= 6C \\
 A_2 &= 3C & D_2 &= C & F_2 &= 21C \\
 A_3 &= 8C & D_3 &= 5C & F_3 &= 7C \\
 A_4 &= 12C & E &= 22C & G &= 8C \\
 B &= 20C & E_1 &= 16C & G_1 &= 4C \\
 B_1 &= 5C & E_2 &= C & G_2 &= 5C \\
 B_2 &= C & E_3 &= 8C & &
 \end{aligned}
 \tag{III.65}$$

Finalmente, o circuito a capacitores chaveados da Figura III.11(b) foi simulado com o uso do programa ASIZ⁵, onde foram empregados os valores dos capacitores expressos em (III.65), considerando $C = 1$. O gráfico da resposta em frequência obtido nesta simulação é apresentado na Figura III.20, juntamente com o gráfico obtido a partir da simulação do mesmo circuito, considerando os valores ideais das razões de capacitores — listados na Tabela III.4.

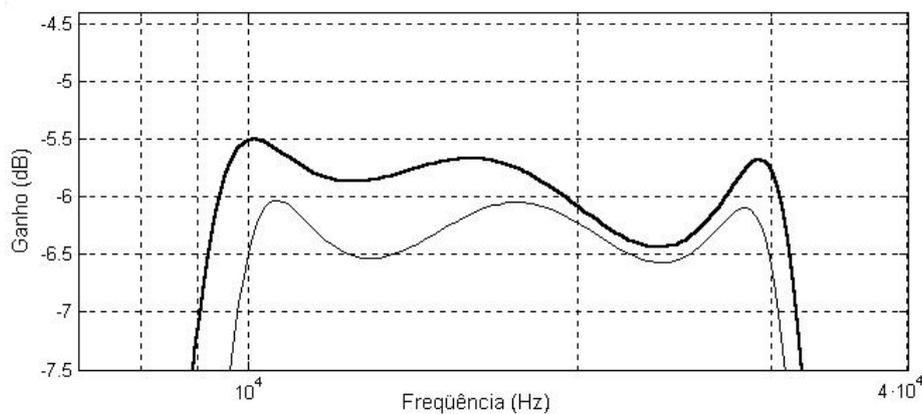
Observando os gráficos da Figura III.20, verifica-se que as aproximações provocaram uma alteração na resposta em frequência.

Visualizando o gráfico da Figura III.20(a), verifica-se que uma das alterações

⁵O tipo de simulação empregado neste caso foi *sample/hold*, ou seja, a simulação que considera o efeito da retenção do sinal na saída durante cada uma das fases.



(a) Comparação das Respostas em Frequência



(b) Comparação na Banda Passante do Filtro.

Figura III.20: Comparação entre a resposta em frequência do filtro com os valores ideais das razões de capacitores e a do filtro com os valores aproximados destas razões.

mais perceptíveis é o deslocamento dos zeros de transmissão do filtro; no entanto, os limites das bandas de transmissão e de rejeição foram mantidos, de acordo com as especificações dadas na Seção III.1.

A alteração mais significativa ocorreu na banda passante. De acordo com a Figura III.20(b), a variação de ganho na banda passante — conhecida na literatura como *ripple* — ultrapassou o limite de 0,5 dB, especificado na Figura III.2. Entretanto, não ultrapassou o limite de 1 dB das especificações originais, apresentadas na Figura III.1. Dessa forma, o projeto do filtro contínuo *anti-aliasing* deve ser bastante cuidadoso para evitar que o *ripple* da banda passante ultrapasse o limite de 1 dB.

Estas diferenças verificadas na resposta em frequência poderiam ser atenuadas. Para isso, as tolerâncias definidas na Tabela III.6 deveriam ser reduzidas. Assim, o erros nas aproximações seriam menores e, conseqüentemente, o erro na resposta em frequência seria menor também. Entretanto, na maioria dos casos, quanto maior a acurácia das aproximações, maiores serão os números inteiros que constituirão as razões listadas na Tabela III.7 e maior será a área ocupada pelo circuito do filtro.

Assim, como a resposta em frequência obtida ainda está razoavelmente de acordo com as especificações, optou-se por não reduzir ainda mais as tolerâncias da Tabela III.6, a fim de evitar um aumento na área ocupada pelo circuito do filtro.

III.8 - REALIZAÇÃO BALANCEADA DO FILTRO

Nas seções anteriores, foram apresentadas todas as etapas do projeto do filtro a capacitores chaveados deste trabalho. Entretanto, o filtro apresentado na Figura III.11 ainda não está implementado na forma diferencial. Neste trabalho, optou-se por implementar o filtro a capacitores chaveados na forma diferencial, por causa das vantagens que esta topologia apresenta em relação aos circuitos não-diferenciais [16].

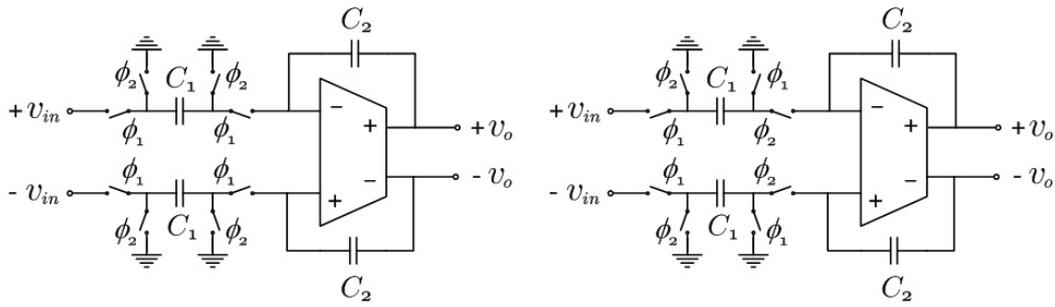
Quanto à excursão de sinal, se um amplificador com saída simples for projetado para uma excursão de sinal compreendida entre $-v$ e $+v$, então, o correspondente amplificador com saída balanceada possuirá uma excursão de sinal compreendida entre $-2v$ e $+2v$. Isso acontece porque cada uma das saídas do amplificador balanceado é, essencialmente, constituída pelo mesmo circuito que a saída do amplificador não-balanceado correspondente. Dessa forma, elas apresentam, independentemente, a mesma excursão de sinal. Além disso, durante a operação do filtro, as saídas do amplificador balanceado devem apresentar, idealmente, o mesmo módulo de tensão, mas com polaridade oposta. Assim, quando a tensão na saída positiva for $+v$, a tensão na saída negativa será $-v$, fazendo com que a tensão diferencial correspondente seja igual a $+2v$.

Quanto ao ruído, se o sinal diferencial na entrada estiver corrompido por ruído em modo comum, então, a estrutura diferencial do filtro irá rejeitar esta componente ruidosa.

Entretanto, a implementação diferencial tem como desvantagem o fato de ocupar uma área maior que a estrutura não-diferencial. Esta característica pode ser constatada ao se compararem os circuitos dos integradores a capacitores chaveados não-diferenciais — apresentados na Figura II.21 — com os diferenciais — apresentados na Figura III.21.

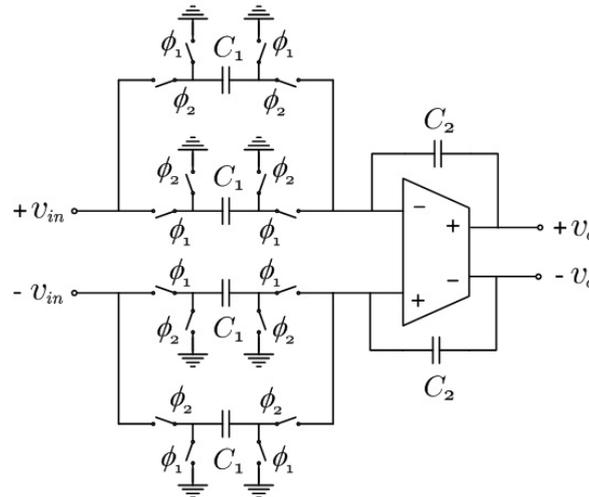
Conforme pode ser verificado na Figura III.21, os integradores diferenciais requerem o dobro do número de chaves e de capacitores.

Por outro lado, os integradores a capacitores chaveados diferenciais apresentam uma outra vantagem: maior imunidade a injeção de cargas. Observando os circuitos da Figura III.21, nota-se que as chaves irão injetar cargas tanto nos capacitores dos ramos positivos como nos dos ramos negativos. Dessa forma, as tensões produzidas pela injeção de carga irão aparecer como sinais de modo comum, os quais serão rejeitados pela estrutura diferencial. Analogamente, a estrutura diferencial também apresenta maior imunidade ao *clock feedthrough*.



(a) Integrador Backward de Euler.

(b) Integrador Forward de Euler.



(c) Integrador Bilinear

Figura III.21: Estruturas Diferenciais dos Integradores a Capacitores Chaveados.

Portanto, tendo-se em vista que os benefícios do uso de uma estrutura diferencial compensam a desvantagem do circuito ocupar uma área significativamente maior, optou-se por implementar o filtro a capacitores chaveados na forma diferencial.

Para obter a versão diferencial do filtro, basta substituir os blocos integradores do circuito da Figura III.11 pelos seus equivalentes diferenciais, apresentados na Figura III.21.

Entretanto, o circuito da Figura III.11 emprega dois *buffers* na entrada, os quais não podem ser convertidos para uma estrutura diferencial da mesma forma que os blocos integradores. Assim, com o objetivo de contornar este problema, o circuito da Figura III.22 será adotado como o equivalente diferencial de um *buffer* [16].

Neste *buffer* a capacitores chaveados, os capacitores C são carregados com a tensão diferencial de entrada durante a fase ϕ_1 . Durante a fase ϕ_2 , os capacitores C retêm tensão amostrada na fase anterior e são conectados como ramos de realimentação do amplificador operacional, refletindo a tensão retida na saída do *buffer*. Portanto, o sinal de saída do *buffer* deve ser amostrado apenas durante a fase ϕ_2 .

De acordo com o circuito da Figura III.11, o sinal proveniente da saída do último *buffer* deve ser aplicado a um integrador bilinear. Entretanto, o ramo de entrada do

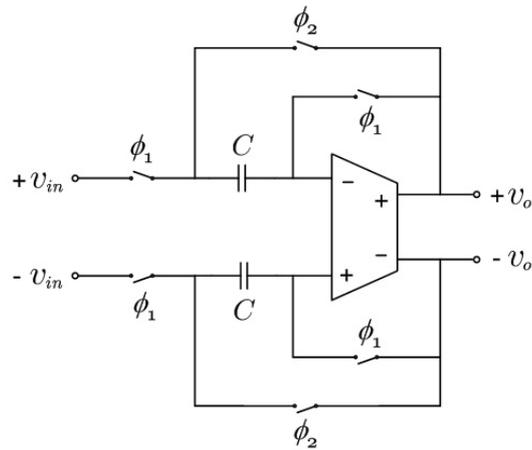


Figura III.22: *Buffer* Diferencial a Capacitores Chaveados.

integrador bilinear realiza a amostragem de sinal tanto na fase ϕ_1 como na fase ϕ_2 . Mas, observando melhor o circuito do integrador bilinear da Figura III.21(c), nota-se que o circuito de cada uma das entradas é composto por dois ramos em paralelo. Um dos ramos amostra o sinal de entrada na fase ϕ_1 e o outro amostra apenas na fase ϕ_2 . Assim, esta característica permite que o problema seja resolvido com o uso do circuito apresentado na Figura III.23.

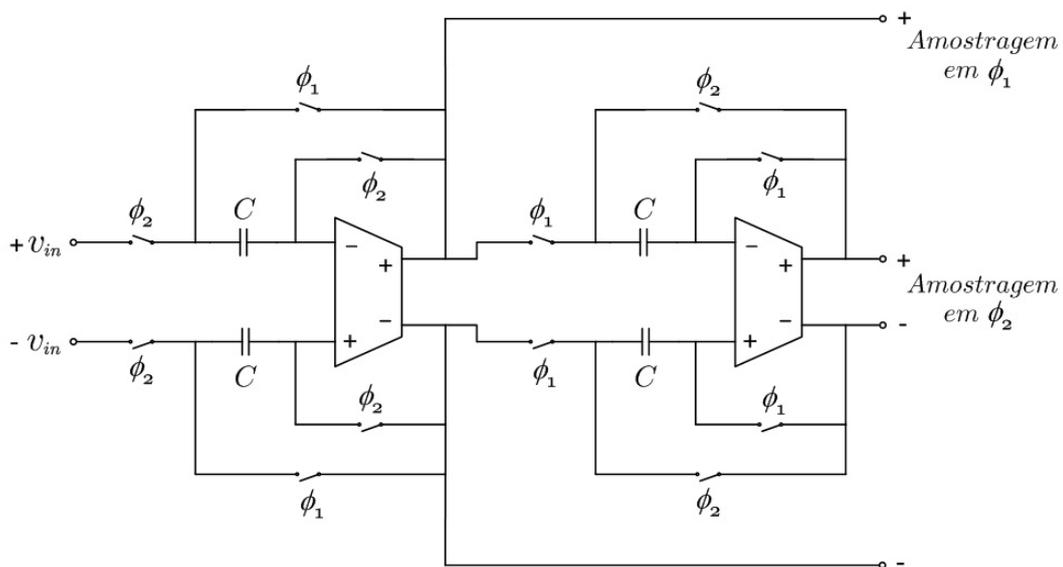


Figura III.23: Cascata dos *Buffers* Diferenciais a Capacitores Chaveados.

Assim, considerando os integradores diferenciais apresentados na Figura III.21 e a cascata de *buffers* da Figura III.23, obtém-se a versão diferencial do filtro a capacitores chaveados, apresentada na Figura III.24.

Na Figura III.24 está apresentado como deve ser realizada a conexão entre as saídas da cascata de *buffers* — Figura III.23 — com os ramos de entrada do integrador bilinear diferencial.

Assim, o filtro a capacitores chaveados já está dimensionado. Entretanto, ainda falta projetar todos os capacitores, os amplificadores operacionais de transcondutância e as chaves analógicas do filtro. Portanto, o capítulo seguinte é inteiramente dedicado a apresentar o projeto destes componentes.

CAPÍTULO IV

PROJETO DOS COMPONENTES DO FILTRO

No capítulo anterior, foi apresentado o processo de obtenção e dimensionamento do filtro a capacitores chaveados. Neste ponto do trabalho, a topologia do circuito do filtro e os valores das razões de capacitâncias já estão definidas. Resta agora projetar os capacitores, os amplificadores operacionais de transcondutância e as chaves analógicas que irão constituir o filtro. Portanto, neste capítulo, será apresentado o projeto destes componentes.

Neste projeto, optou-se por adotar o modelo de nível três para os transistores MOS, pois este modelo consegue descrever o comportamento dos transistores mais acuradamente que o modelo de nível um — normalmente empregado em cálculos realizados manualmente. Entretanto, apesar de ser mais complexo que o modelo de nível um, o modelo de nível três ainda é simples o suficiente para a realização de cálculos manuais.

De acordo com o modelo de nível três, a corrente de dreno, com o transistor operando na região de triodo, é dada por:

$$I_D = \frac{k_p W}{L(1 + \theta(V_{GS} - V_T))} \cdot \left[(V_{GS} - V_T) V_{DS} - (1 + FB) \frac{V_{DS}^2}{2} \right], \quad (\text{IV.1})$$

para $0 \leq V_{DS} \leq V_{DSsat}$. Em (IV.1), I_D é a corrente de dreno, V_{DS} é a tensão entre dreno e fonte, V_{GS} é a tensão entre porta e fonte, W é a largura e L é o comprimento do canal do transistor.

Já na região de saturação, a corrente de dreno é dada por:

$$I_D = \frac{k_p W}{2L(1 + FB)(1 + \theta(V_{GS} - V_T))} \cdot (V_{GS} - V_T)^2, \quad (\text{IV.2})$$

para $V_{DS} \geq V_{DSsat}$.

Em (IV.1) e (IV.2), os parâmetros FB , V_T e V_{DSsat} são dados, respectivamente, pelas seguintes expressões:

$$FB = \frac{|\gamma|}{2\sqrt{2\phi + V_{SB}}}, \quad (IV.3)$$

$$V_T = V_{T0} + \gamma \left(\sqrt{2\phi + V_{SB}} - \sqrt{2\phi} \right), \quad (IV.4)$$

$$V_{DSsat} = \frac{V_{GS} - V_T}{1 + FB}, \quad (IV.5)$$

onde V_{SB} é a tensão entre a fonte e o substrato.

Os demais parâmetros V_{T0} , k_p , ϕ , γ e θ dependem do processo de fabricação considerado.

Na primeira seção deste capítulo, é definido o valor da capacitância base que será adotada na construção de todos os capacitores do filtro, através de associações em paralelo, conforme fora mencionado no capítulo anterior. Além disso, nesta seção serão definidas a geometria e as dimensões das placas de polissilício que irão formar o capacitor base, de forma que o dispositivo apresente a capacitância desejada.

Na segunda seção, é apresentado o projeto dos amplificadores operacionais de transcondutância (OTA) do circuito. Inicialmente, são apresentados os principais parâmetros dos amplificadores, que influenciam diretamente no desempenho do filtro a capacitores chaveados. Nessa seção, também é apresentada a topologia de OTA a ser adotada neste projeto. Assim, dadas as especificações dos principais parâmetros e a topologia do circuito, os amplificadores serão dimensionados, de acordo com a metodologia apresentada nessa seção.

Por fim, na última seção, é apresentado o projeto das chaves analógicas do filtro. A exemplo do projeto dos amplificadores, nessa seção são apresentados os principais parâmetros das chaves, que influenciam no desempenho do circuito, e a topologia do circuito a ser adotada.

IV.1 - PROJETO DOS CAPACITORES

Na Seção III.7, foi definido que todos os capacitores do filtro serão implementados através da associação em paralelo de capacitores iguais, denominados *capacitores base*. Esta estratégia foi adotada para tornar mais precisa a implementação das razões entre os valores dos capacitores, pois os coeficientes do filtro são diretamente dependentes dessas razões. Dessa forma, será necessário projetar apenas o capacitor base, pois todos os demais capacitores serão contruídos a partir dele.

Conforme apresentado na Seção III.7, os capacitores do filtro serão implementados com duas placas polissilício, separadas por uma fina camada de óxido de silício. A capacitância deste dispositivo será determinada pela área e pelo perímetro das placas.

A dependência com relação ao perímetro se deve ao espalhamento do campo elétrico para uma região além das dimensões das placas do dispositivo, aumentando a área útil do capacitor e, conseqüentemente, a sua capacitância — fenômeno conhecido como efeito de borda.

Dessa forma, as placas do capacitor base deverão ser dimensionadas levando-se em consideração tanto sua área como seu perímetro.

Portanto, antes de projetar o capacitor, é necessário definir a sua capacitância. Um fator que impede o emprego de valores baixos de capacitância em filtros a capacitores chaveados é o ruído térmico. Nesses circuitos, as chaves analógicas apresentam um certo valor de resistência quando estão fechadas. Dessa maneira, a potência do ruído térmico, gerado pela resistência de uma chave, é dada por [4]:

$$v_n^2 = \frac{kT}{C_{eq}}, \quad (\text{IV.6})$$

onde k é a constante de Boltzmann; T é a temperatura absoluta, dada em Kelvins, e C_{eq} é a capacitância equivalente, vista pela chave.

Através de (IV.6), conclui-se que, quanto menores as capacitâncias do filtro, maior será a potência de ruído térmico verificada.

Por outro lado, as capacitâncias não devem ter valores elevados, pois as dimensões dos capacitores ocuparão uma significativa quantidade de área do circuito integrado, elevando o seu custo. Além disso, conforme é mostrado na Seção IV.2, quanto maiores os valores dos capacitores, maior será a corrente de polarização solicitada pelos OTA's, o que irá aumentar o consumo de potência do filtro. Então, optou-se por adotar o valor de 200 fF para a capacitância base, pois este valor se mostrou adequado a ambas as restrições apresentadas acima.

Para implementar um capacitor com 200 fF, poder-se-ia empregar duas placas de polissilício em forma retangular, com área e perímetro adequadas para produzir esse valor de capacitância. Entretanto, esta não é a melhor geometria.

Na fabricação de um circuito integrado CMOS, os limites das placas dos capacitores são definidos através de um processo de corrosão [3]. A área do circuito é inteiramente coberta por uma camada de polissilício e por uma camada de fotoresiste — material cuja característica de solubilidade pode ser modificada através da incidência de luz. As regiões onde deverão haver placas de polissilício são definidas através da incidência de luz através de uma máscara. Então, com o uso de um solvente, o fotoresiste é retirado das regiões onde não deve haver polissilício. Dessa forma, estas regiões ficam desprotegidas e suscetíveis à ação do agente corrosivo, responsável pela remoção do polissilício excedente.

Como as bordas das placas dos capacitores são delimitadas através desse processo de corrosão, é possível que a linha que delimita a fronteira das placas assuma uma

forma irregular, produzindo erros no valor da capacitância [21]. Esses erros são ainda maiores quando a geometria das placas possui ângulos muito fechados, pois as pontas são cortadas, reduzindo a área do capacitor — fenômeno conhecido como *undercut*.

Portanto, é adequado escolher uma geometria que não possua ângulos muito fechados. Então, optou-se por implementar as placas dos capacitores em formato octogonal, conforme apresentado na Figura III.17.

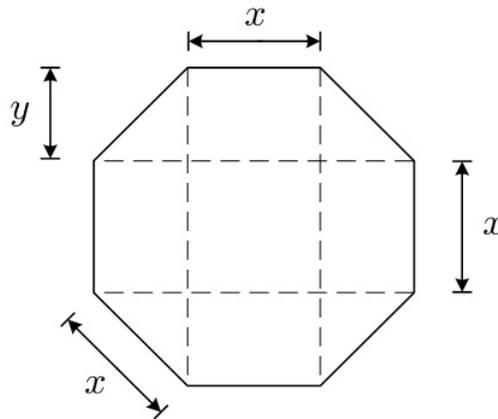


Figura IV.1: Placa dos capacitores de polissilício no formato de um octógono regular.

A placa de polissilício octogonal da Figura IV.1 possui ângulos consideravelmente mais abertos que os ângulos de uma placa retangular. Portanto, os erros devido ao efeito de *undercut* serão menores quando se adota uma placa octogonal. Seria possível empregar outras figuras geométricas, com ângulos ainda mais abertos. Entretanto, o *layout* ficaria mais complexo, sem um ganho de precisão significativo.

Então, definida a geometria a ser adotada na implementação dos capacitores, deve-se agora calcular as dimensões x e y da Figura (IV.10), de forma que o capacitor apresente uma capacitância de 200 fF.

O processo de fabricação CMOS 0,35 μm fornece, como parâmetros de processo, o valor de capacitância por unidade de área entre as duas placas de um capacitor de polissilício — identificada, nesse texto, por C_a — e o valor de capacitância por unidade de comprimento do perímetro — identificada por C_p —, referente à capacitância devido ao efeito de borda. Assim, a capacitância de um capacitor de polissilício será dada por:

$$C = C_a A + C_p P, \quad (\text{IV.7})$$

onde A é a área e P é o perímetro da placa do capacitor.

A Figura IV.1 mostra, através das linhas tracejadas, que a área do octógono pode ser dividida em um quadrado, quatro retângulos e quatro triângulos retângulos. Portanto, a área do octógono é dada por:

$$A = x^2 + 4xy + 2y^2. \quad (\text{IV.8})$$

Quanto ao perímetro da placa do capacitor, como a Figura IV.1 mostra um octógono regular, então seu perímetro é dado por:

$$P = 8x. \quad (\text{IV.9})$$

Além disso, teremos que:

$$x = \sqrt{2}y. \quad (\text{IV.10})$$

Então, substituindo (IV.10) em (IV.8) e (IV.9), obtém-se:

$$\begin{cases} A = 4(1 + \sqrt{2})y^2 \\ P = 8\sqrt{2}y \end{cases} \quad (\text{IV.11})$$

Substituindo as expressões (IV.11) em (IV.7), obtém-se:

$$C = 4(1 + \sqrt{2})C_a y^2 + 8\sqrt{2}C_p y. \quad (\text{IV.12})$$

Resolvendo (IV.12), obtém-se duas soluções para y , sendo que uma delas é negativa e a outra é positiva. Como y é um comprimento, descarta-se a solução negativa. Desse modo, a solução é dada por:

$$y = \frac{-2\sqrt{2}C_p + \sqrt{8C_p^2 + (1 + \sqrt{2})C_a C}}{2(1 + \sqrt{2})C_a}. \quad (\text{IV.13})$$

Então, dada a capacitância C do capacitor base e os parâmetros C_a e C_p do processo de fabricação, o valor de y é obtido a partir de (IV.13) e o valor de x é calculado através de (IV.10).

No processo de fabricação CMOS $0,35 \mu\text{m}$ adotado neste projeto, são fornecidos três valores numéricos para cada um dos parâmetros C_a e C_p : o valor mínimo, o típico e o máximo. Considerando que cada OTA do circuito é dimensionado de acordo com a carga capacitiva que está conectada a sua saída — conforme mostrado na Seção IV.2 —, é conveniente empregar os valores máximos dos parâmetros C_a e C_p no cálculo das dimensões do capacitor base, porque assim, garante-se que os capacitores construídos não apresentarão uma capacitância maior que aquela adotada no dimensionamento dos OTA's.

Então, considerando os valores máximos dos parâmetros C_a e C_p , as dimensões obtidas para o capacitor base são:

$$\begin{cases} x = 6,5 \mu\text{m} \\ y = 4,6 \mu\text{m} \end{cases} \quad (\text{IV.14})$$

Com as dimensões listadas em (IV.14), já é possível construir o *layout* dos capa-

citores base. Esses layouts são apresentados detalhadamente no Capítulo V.

IV.2 - PROJETO DOS AMPLIFICADORES OPERACIONAIS DE TRANSCONDUTÂNCIA

Na Seção II.3 foi mostrado que é conveniente implementar filtros a capacitores chaveados empregando OTA's ao invés de amplificadores operacionais. Portanto, nesta seção é descrito o projeto dos OTA's que constituem o filtro a capacitores chaveados.

IV.2.1 - AMPLIFICADOR COM SAÍDA EM CASCODE REGULADO

Uma das principais características requeridas pelos OTA's é um elevado ganho de tensão em baixa frequência. Essa característica é necessária para que a tensão diferencial de entrada dos OTA's seja quase nula, para uma dada tensão de saída — como ocorre em amplificadores operacionais.

Um elevado ganho de tensão pode ser obtido através de uma elevada resistência de saída, pois o ganho de tensão de um OTA é dado por:

$$A_v = g_m R_o, \quad (\text{IV.15})$$

onde g_m é a transcondutância e R_o é a resistência de saída do OTA. Quanto maior a resistência de saída, maior será o ganho do amplificador e, conseqüentemente, menor será o erro introduzido na resposta em frequência do filtro [22].

Portanto, com o objetivo de se obter uma elevada resistência de saída, optou-se por implementar os OTA's do filtro a capacitores chaveados empregando a topologia com saída em *cascode regulado* [3], [16], [23]; a qual é apresentada na Figura IV.2.

Essa topologia apresenta uma elevada resistência de saída, mas seu consumo de potência é significativamente mais elevado que o de outras topologias — como o amplificador com saída em cascode dobrado, por exemplo [16]. Entretanto, conforme será mostrado adiante, quanto menor a frequência de chaveamento do filtro, menor é o consumo de potência dos OTA's. Desse modo, como a frequência de amostragem do filtro a capacitores chaveados — 200 kHz — não é elevada o suficiente para requerer amplificadores com elevadas correntes de polarização, não haverá problemas em se adotar a topologia da Figura IV.2.

O processo de fabricação CMOS 0,35 μm utilizado para a implementação deste projeto permite que o circuito seja alimentado com uma tensão de, no máximo 5 V. Dessa forma, a diferença de tensão entre V_{DD} e V_{SS} , no circuito da Figura IV.2, deve ser de 5 V, no máximo. Então, optou-se por alimentar o circuito com uma fonte simétrica, onde $V_{DD} = 2,5 \text{ V}$ e $V_{SS} = -2,5 \text{ V}$.

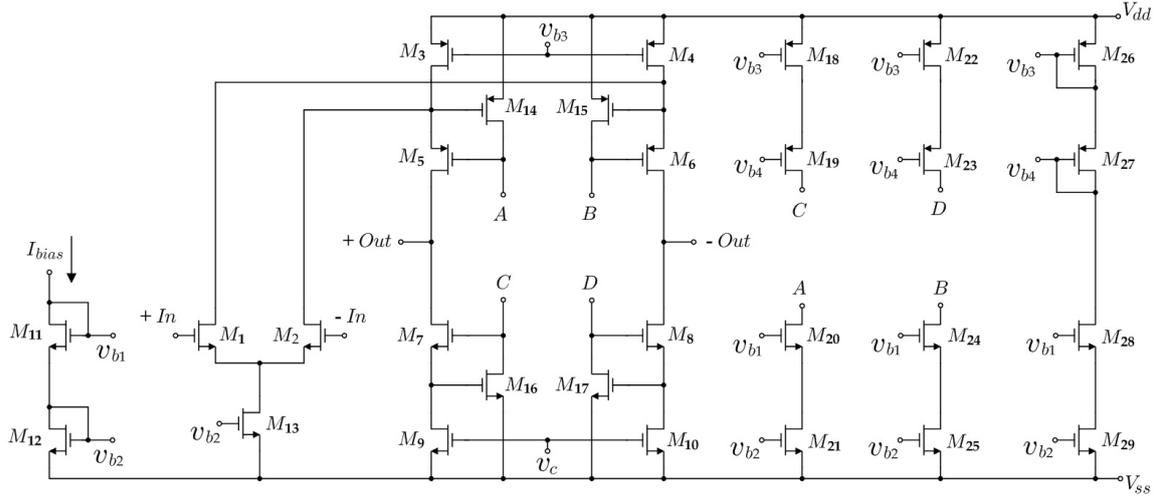


Figura IV.2: Circuito do amplificador operacional de transcondutância (OTA), com saída em cascode regulado.

De acordo com o circuito da Figura IV.2, para que todos os transistores MOS permaneçam operando na região de saturação, a tensão em cada um dos terminais de saída deve estar dentro dos seguintes limites:

$$\begin{aligned} V_{SS} + V_{GS16} + (V_{GS7} - V_{TN}) &\leq V_{out+} \leq V_{DD} + V_{GS14} + (V_{GS5} - V_{TP}), \\ V_{SS} + V_{GS17} + (V_{GS8} - V_{TN}) &\leq V_{out-} \leq V_{DD} + V_{GS15} + (V_{GS6} - V_{TP}). \end{aligned} \quad (IV.16)$$

Definindo ΔV_{GS} como:

$$\Delta V_{GS} = V_{GS} - V_T. \quad (IV.17)$$

Então, as desigualdades (IV.16) podem ser reescritas da seguinte forma:

$$\begin{aligned} V_{SS} + \Delta V_{GS16} + \Delta V_{GS7} + V_{TN} &\leq V_{out+} \leq V_{DD} + \Delta V_{GS14} + \Delta V_{GS5} + V_{TP}, \\ V_{SS} + \Delta V_{GS17} + \Delta V_{GS8} + V_{TN} &\leq V_{out-} \leq V_{DD} + \Delta V_{GS15} + \Delta V_{GS6} + V_{TP}. \end{aligned} \quad (IV.18)$$

Deve ser mencionado que, no processo CMOS adotado neste projeto, as tensões V_{TN} e V_{TP} possuem valores próximos da unidade, em módulo. Dessa maneira, considerando as desigualdades apresentadas em (IV.18), e dado que as tensões de alimentação valem $V_{DD} = 2,5$ V e $V_{SS} = -2,5$ V, definiu-se que o valor mais razoável para a excursão máxima de sinal em cada um dos terminais de saída dos OTA's seria:

$$-1 \leq V_{out+} \leq +1, \quad -1 \leq V_{out-} \leq +1. \quad (IV.19)$$

Desse modo, estão definidas as tensões de alimentação, os limites de excursão de sinal na saída e a topologia dos amplificadores do filtro. Resta agora definir os valores da transcondutância e da corrente de polarização para cada um dos OTA's.

IV.2.2 - CONTROLE DE MODO COMUM

O amplificador operacional de transcondutância apresentado na Figura IV.2 possui entrada e saída diferenciais. Ao ser aplicado em um filtro a capacitores chaveados diferencial, como o que é apresentado na Figura III.24, somente a tensão diferencial na saída é realimentada. Portanto, a realimentação negativa estabiliza apenas a tensão diferencial na saída do OTA, deixando livre a tensão de modo comum. Dessa forma, sem um controle adequado, a tensão de modo comum tende a ficar instável e a tensão de saída atinge uma das tensões de alimentação do circuito [16], [24]. Assim, o circuito do OTA, representado na Figura IV.2, deve necessariamente incluir um sistema de controle de modo comum para evitar esse problema.

Um sistema de controle, desenvolvido para estabilizar a tensão de modo comum na saída diferencial de um amplificador, normalmente deve incluir um circuito que detecta o nível de modo comum na saída e compara este nível medido com uma tensão de referência. O erro é então amplificado e a tensão resultante é adotada como tensão de controle para os transistores que exercem o papel de fontes de corrente que polarizam a saída diferencial do amplificador [16].

No amplificador da Figura IV.2, caso não houvesse o circuito de controle de modo comum, o terminal v_c deveria estar conectado à tensão de polarização v_{b2} . Entretanto, o terminal v_c é utilizado no controle da tensão de modo comum na saída. Se, por exemplo, as tensões nos terminais de saída v_{out+} e v_{out-} aumentarem, caracterizando uma tensão de modo comum, a tensão v_c deve ser aumentada também. Então, as fontes de corrente de polarização, formadas por M_9 e M_{10} , terão suas correntes aumentadas, fazendo com que a tensão de modo comum na saída seja reduzida. Analogamente, quando a tensão de modo comum na saída diminuir, a tensão de controle v_c deve ser reduzida também para fazer com que a tensão de modo comum volte para o valor de referência.

O princípio de operação do circuito de controle de modo comum a capacitores chaveados é ilustrado na Figura IV.3 [24]. Os extremos deste circuito são conectados aos terminais da saída diferencial do amplificador, o nó intermediário é conectado ao terminal de controle de modo comum v_c e os capacitores C possuem uma tensão inicial v_{DC} , representada por uma fonte de tensão em série. A partir da análise do circuito, obtém-se:

$$v_c = \frac{[C(v_{out+} - v_{DC}) + C(v_{out-} - v_{DC})]}{2C}. \quad (IV.20)$$

Simplificando, obtém-se:

$$v_c = \frac{v_{out+} + v_{out-}}{2} - v_{DC} = v_{cm} - v_{DC}, \quad (IV.21)$$

onde v_{cm} é a tensão de modo comum na saída do amplificador diferencial.

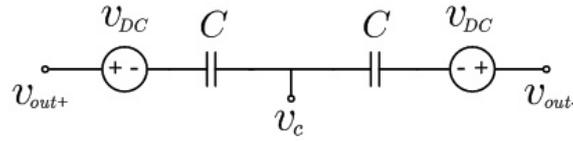


Figura IV.3: Princípio de operação do circuito de controle de modo comum a capacitores chaveados.

Como pode ser constatado a partir de (IV.21), o circuito da Figura IV.3 realiza a comparação entre a tensão de modo comum v_{cm} e uma tensão de referência v_{DC} , produzindo a tensão de controle v_c .

O circuito a capacitores chaveados que implementa a idéia básica da Figura IV.3 é apresentado na Figura IV.4. Neste circuito, durante a fase ϕ_1 , os capacitores C_1 são carregados com a tensão de referência que deve existir entre os terminais de saída e o terminal v_c . Durante a fase ϕ_2 , os capacitores C_1 são efetivamente conectados da forma que é apresentada na Figura IV.3, realizando o controle de modo comum. Nesta configuração, a tensão sobre os capacitores C_2 fica determinada pela tensão nos capacitores C_1 e é atualizada a cada fase ϕ_2 .

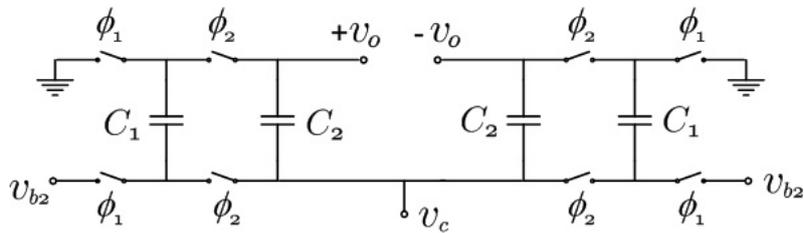


Figura IV.4: Circuito a capacitores chaveados para o controle de modo comum, mostrando os pontos de conexão com o circuito do OTA da Figura IV.2.

Durante a nova fase ϕ_1 , os capacitores C_1 são novamente carregados com a tensão de referência, enquanto que os capacitores C_2 continuam a realizar o controle de modo comum.

Uma análise mais detalhada da operação deste circuito [24] mostra que a tensão de modo comum tende a se estabilizar dentro de um certo intervalo de tempo, que depende dos valores das capacitâncias C_1 e C_2 .

O circuito de controle de modo comum da Figura IV.4 não apresenta restrições quanto à máxima tensão de entrada — como acontece em circuitos de controle de modo comum contínuos no tempo. Além disso, o circuito da Figura IV.4 não adiciona pólos ao circuito do amplificador diferencial e é altamente linear [24].

Entretanto, o circuito de controle de modo comum a capacitores chaveados tem o inconveniente de produzir interferência entre o sinal de *clock* que aciona as chaves e

o sinal na saída do amplificador — fenômeno conhecido como *clock feedthrough*. Além disso, o circuito da Figura IV.4 aumenta a carga capacitiva na saída do amplificador.

Por causa dessas desvantagens, o circuito de controle de modo comum da Figura IV.4 é normalmente empregado apenas em aplicações a capacitores chaveados.

Neste projeto, o circuito da Figura IV.4 será adotado para o controle de modo comum dos amplificadores da Figura IV.2. A ordem das fases foi escolhida de forma que a fase ϕ_1 apresente a menor carga capacitiva na saída do amplificador, pois é nesta fase que a maioria dos integradores atualiza a saída. Conforme será mencionado adiante, esta decisão ajuda a reduzir a corrente de polarização do amplificador, reduzindo o seu consumo de potência.

Neste projeto, optou-se por implementar os capacitores C_1 e C_2 usando a mesma técnica de associações em paralelo de capacitores base que é adotada na construção dos capacitores do filtro. Isso facilitará a construção do layout do circuito integrado, conforme é apresentado no Capítulo V, e proporcionará um melhor casamento entre os valores das capacitâncias. Uma boa escolha para C_1 e C_2 é fazer $C_1 = 3C_2$ [24]. Assim, o capacitor C_2 será construído com apenas um único capacitor base e o capacitor C_1 será implementado através da associação em paralelo de três capacitores base.

IV.2.3 - IDÉIA BÁSICA DO DIMENSIONAMENTO DO OTA

No caso específico de circuitos a capacitores chaveados, a tensão de saída em cada amplificador deve ser atualizada durante o intervalo de tempo de uma determinada fase de chaveamento. Seja, por exemplo, o integrador *forward* de Euler, apresentado na Figura II.21(b). Neste integrador, o capacitor C_1 é carregado durante a fase ϕ_1 , enquanto o capacitor C_2 mantém a mesma tensão da fase anterior. Já na fase ϕ_2 , a carga armazenada no capacitor C_1 é transferida para o capacitor C_2 . Dessa forma, a tensão de saída do OTA deverá ser atualizada durante o intervalo de tempo correspondente à fase ϕ_2 . Isso significa que a resposta transitória do circuito deverá durar menos que o intervalo de tempo correspondente à fase ϕ_2 .

A partir da análise dos integradores a capacitores chaveados, apresentados na Figura II.21, verifica-se que todos os circuitos sempre apresentam a configuração ilustrada na Figura IV.5¹ durante uma das fase de chaveamento.

No caso dos integradores *backward* de Euler e bilinear, a fonte de tensão v_{in} da Figura IV.5 é a própria tensão de entrada do circuito. Já no caso do integrador *forward* de Euler, pode-se considerar esta fonte como sendo uma representação da condição inicial do capacitor de entrada, exatamente como foi feito na análise apresentada na

¹Com o objetivo de simplificar a apresentação, os exemplos exibem amplificadores com saída simples, embora o circuito seja implementado na forma diferencial. No entanto, todas as conclusões válidas para OTA's com saída simples também são válidas para OTA's com saídas diferenciais.

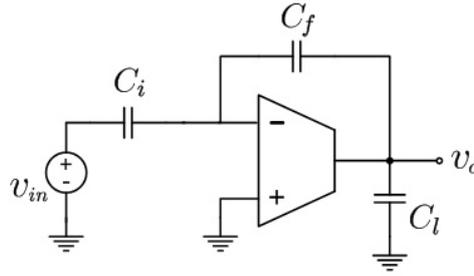


Figura IV.5: Configuração dos integradores a capacitores chaveados durante a fase de atualização da tensão de saída do OTA.

Seção II.3.

A resposta transitória da tensão de saída de um OTA em circuitos a capacitores chaveados pode ser dividida em duas partes: o tempo de *slew-rate* e o tempo de acomodação linear. Esta divisão é ilustrada na Figura IV.6.

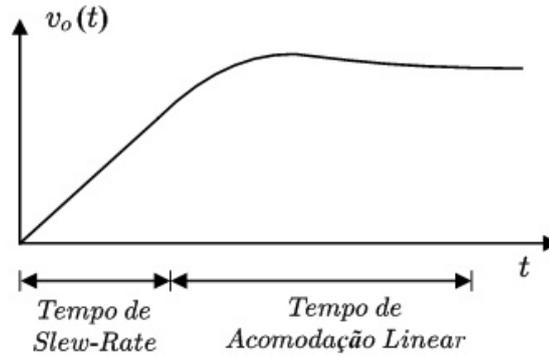


Figura IV.6: Resposta transitória da tensão de saída de um OTA em circuitos a capacitores chaveados, mostrando o tempo de *slew-rate* e o tempo de acomodação linear.

No início da resposta transitória, o chaveamento do circuito faz com que seja aplicada, na entrada do OTA, uma tensão grande o suficiente para comutar o par diferencial de entrada — formado pelos transistores M_1 e M_2 no circuito da Figura IV.2. Isso faz com que a corrente fique constante na saída do amplificador.

Esta corrente constante irá carregar a capacitância vista pelo terminal de saída do amplificador, fazendo com que a tensão de saída cresça linearmente, conforme ilustrado na Figura IV.6. A inclinação desta reta é denominada *slew-rate*, que pode ser calculado a partir da seguinte expressão:

$$SR = \frac{\Delta V_o}{T_{SR}}, \quad (\text{IV.22})$$

onde ΔV_o é a variação da tensão na saída durante o tempo de *slew-rate*, representado por T_{SR} .

Considerando o circuito da Figura IV.5, durante a fase de *slew-rate*, a saída do

OTA pode ser modelada como uma fonte de corrente constante, cujo valor I_{max} corresponde à máxima corrente que pode ser fornecida na saída. Além disso, como a entrada do OTA apresenta alta impedância, os terminais de entrada podem ser considerados como estando em aberto, pois a tensão de entrada não irá influenciar a corrente de saída durante o tempo de *slew-rate*. Então, a capacitância equivalente, vista pelo terminal de saída do OTA, durante o tempo de *slew-rate*, será dada por:

$$C_{eq} = C_l + \frac{C_i C_f}{C_i + C_f}. \quad (\text{IV.23})$$

Desse modo, conclui-se que o *slew-rate* também pode ser obtido através de:

$$SR = \frac{I_{max}}{C_{eq}}. \quad (\text{IV.24})$$

Devido à realimentação negativa, conforme a tensão na saída do OTA cresce, a tensão diferencial em sua entrada decresce. Em um determinado instante de tempo, a tensão na entrada ficará pequena o suficiente para que o par diferencial apresente um comportamento aproximadamente linear. A partir desse ponto, o circuito passará a apresentar uma resposta transitória típica de um sistema linear até atingir o valor de regime permanente.

Como os pólos da transcondutância de um OTA real estão em frequências altas, as capacitâncias C_i , C_f e C_l produzem um pólo dominante em baixa frequência. Então, o circuito da Figura IV.5 pode ser aproximado por um modelo de primeira ordem. Dessa forma, considerando que a transcondutância g_m do OTA é constante, independentemente da frequência, a constante de tempo do circuito da Figura IV.5 será dada por:

$$\tau = \frac{C_i C_l}{g_m C_f} + \frac{C_i}{g_m} + \frac{C_l}{g_m}. \quad (\text{IV.25})$$

Assim, dadas (IV.24) e (IV.25), o dimensionamento dos OTA's consiste em calcular a corrente de polarização — obtida através da corrente máxima de saída I_{max} — e a transcondutância g_m , de modo que o tempo total de estabilização da resposta transitória seja sempre menor que o tempo de duração de uma fase de chaveamento [23].

Neste projeto, optou-se por reservar a primeira terça parte do tempo de duração de uma fase de chaveamento para o tempo de *slew-rate* e a segunda terça parte para o tempo de acomodação linear. Esta situação deve ocorrer no pior caso de transição do sinal de saída, ou seja, no caso em que a tensão na saída do OTA deverá passar do menor para o maior valor permitido pela excursão de sinal na saída.

Dessa forma, a última terça parte fica reservada como uma folga de projeto, para evitar que efeitos de variação dos parâmetros de processo façam com que o tempo de

estabilização ultrapasse o tempo de duração de uma fase.

A corrente máxima que o OTA deve fornecer em sua saída é calculada a partir de uma combinação entre as equações (IV.22) e (IV.24), obtendo-se:

$$I_{max} = C_{eq} \cdot \frac{\Delta V_o}{T_{SR}}. \quad (IV.26)$$

Em (IV.26), o tempo de *slew-rate* T_{SR} é igual a um terço do tempo de duração de uma fase. Neste projeto, adotou-se uma frequência de amostragem igual a 200 kHz. Além disso, o período de amostragem foi dividido igualmente em duas fases ϕ_1 e ϕ_2 . Então, o tempo de *slew-rate* para o pior caso de transição do sinal na saída do OTA é dado por:

$$T_{SR} = \frac{1}{3} \cdot \frac{1}{2} \cdot \frac{1}{200 \cdot 10^3} \cong 0,833 \mu s. \quad (IV.27)$$

Entretanto, é difícil estabelecer um limite bem definido para o máximo valor de tensão na saída para o qual o OTA ainda estará operando em *slew-rate*. Então, para realizar o dimensionamento da corrente de polarização, considera-se que o pior caso da variação de tensão, durante o tempo de *slew-rate*, é igual à variação máxima de tensão na saída permitida pela excursão de sinal. Portanto, considerando os limites de excursão de sinal definidos na subseção anterior, teremos:

$$\Delta V_o = 2 V. \quad (IV.28)$$

De acordo com os valores dados em (IV.27) e (IV.28), garante-se que a corrente de polarização calculada em (IV.26) não irá produzir um tempo de *slew-rate* maior que a terça parte do tempo de duração de uma fase de chaveamento.

Quanto ao tempo de acomodação linear, a resposta transitória de um circuito linear de primeira ordem é dada por:

$$v_o(t) = V_{of} - (V_{of} - V_{oi})e^{-t/\tau}, \quad (IV.29)$$

onde V_{oi} é a tensão de saída inicial, V_{of} é a tensão final — valor da tensão na saída quando o circuito atinge o regime permanente — e τ é a constante de tempo do circuito.

Entretanto, assim como no caso do *slew-rate*, não é simples obter a tensão na saída do circuito quando este inicia seu comportamento linear. Portanto, para simplificar as equações de projeto, será considerado $V_{oi} = 0$ em (IV.29). Dessa forma, (IV.29) pode ser reescrita da seguinte maneira:

$$\frac{V_{of} - v_o(t)}{V_{of}} = e^{-t/\tau} = \epsilon, \quad (IV.30)$$

onde ϵ é o erro relativo entre a tensão na saída no instante t e seu valor de regime permanente.

O erro ϵ permite ao projetista definir o valor de tensão na saída que pode ser considerado como já sendo o de regime permanente. Se o projetista definir $\epsilon = 0,1\%$, por exemplo, será considerado que o circuito estará em regime permanente quando sua saída atingir um valor de tensão que é $0,1\%$ menor que o valor final.

Dessa forma, dado o valor do erro ϵ e o intervalo de tempo reservado para a resposta transitória linear T_{lin} , o valor da constante de tempo τ será, então, obtido da seguinte forma:

$$\tau = -\frac{T_{lin}}{\ln(\epsilon)}. \quad (IV.31)$$

Substituindo (IV.25) em (IV.31), obtém-se a expressão para o cálculo da transcondutância do OTA:

$$g_m = -\frac{1}{T_{lin}} \cdot \left(\frac{C_i C_l}{C_f} + C_i + C_l \right) \cdot \ln(\epsilon). \quad (IV.32)$$

Além disso, deve ser lembrado que o tempo de estabilização linear foi definido como sendo igual à terça parte do tempo de duração de uma fase de chaveamento. Então:

$$T_{lin} = \frac{1}{3} \cdot \frac{1}{2} \cdot \frac{1}{200 \cdot 10^3} \cong 0,833 \mu s. \quad (IV.33)$$

Portanto, as equações (IV.26) e (IV.32) permitem o cálculo dos principais parâmetros dos OTA's do filtro. Fica restando apenas calcular as dimensões dos transistores do circuito da Figura IV.2.

IV.2.4 - CÁLCULO DOS PARÂMETROS DOS AMPLIFICADORES

Na subseção IV.2.3, foi mostrado que a corrente de polarização e a transcondutância dos OTA's são determinadas pelas capacitâncias conectadas a cada amplificador, de acordo com o modelo da Figura IV.5.

As capacitâncias C_i , C_f e C_l apresentam valores diferentes para cada OTA. Além disso, para um mesmo OTA, essas capacitâncias apresentam valores diferentes, dependendo da fase de chaveamento que está sendo considerada. Isso acontece porque o circuito do filtro, durante a fase ϕ_1 , é diferente do circuito durante a fase ϕ_2 .

Então, as capacitâncias C_i , C_f e C_l foram calculadas para cada fase de cada um dos integradores do circuito da Figura III.11(b)². Os valores das capacitâncias são apresentados nas Tabelas IV.1 a IV.6.

²Nesses cálculos está sendo considerado o filtro com saída simples apenas para facilitar a apresentação. Todos os resultados obtidos aqui são igualmente válidos para a versão diferencial da Figura III.24

Tabela IV.1: Capacitâncias do Integrador A.

INTEGRADOR A			
Fase	Capacitâncias	Expressão	Valor (pF)
ϕ_1	C_i	$A_1 + A_3 + A_4$	4,4
	C_f	$A + A_2$	3,4
	C_l	$B_1 + D_1 + E_2 + C_2$	3,0
ϕ_2	C_i	$A_1 + A_4$	2,8
	C_f	A	2,8
	C_l	$D_1 + C_1 + C_2$	2,4

Tabela IV.2: Capacitâncias do Integrador B.

INTEGRADOR B			
Fase	Capacitâncias	Expressão	Valor (pF)
ϕ_1	C_i	0	0,0
	C_f	B	4,0
	C_l	$A_3 + C_2$	1,8
ϕ_2	C_i	$B_1 + B_2$	1,2
	C_f	B	4,0
	C_l	$C_1 + C_2$	0,8

Tabela IV.3: Capacitâncias do Integrador D.

INTEGRADOR D			
Fase	Capacitâncias	Expressão	Valor (pF)
ϕ_1	C_i	$D_1 + D_2 + D_3$	2,8
	C_f	D	2,4
	C_l	$A_4 + B_2 + E_1 + F_3 + G_2 + C_2$	8,4
ϕ_2	C_i	$D_1 + D_2$	1,8
	C_f	D	2,4
	C_l	$A_4 + F_3 + C_1 + C_2$	4,6

Tabela IV.4: Capacitâncias do Integrador E.

INTEGRADOR E			
Fase	Capacitâncias	Expressão	Valor (pF)
ϕ_1	C_i	0	0,0
	C_f	E	4,4
	C_l	$D_3 + C_2$	1,2
ϕ_2	C_i	$E_1 + E_2 + E_3$	5,0
	C_f	E	4,4
	C_l	$C_1 + C_2$	0,8

No cálculo das capacitâncias C_i , C_f e C_l , foram levados em conta os capacitores do filtro e os capacitores C_1 e C_2 do circuito de controle de modo comum.

De acordo com (IV.26), verifica-se que a corrente de polarização do OTA depende da capacitância equivalente C_{eq} dada por (IV.23), em função das capacitâncias C_i , C_f e C_l . Já a transcondutância do OTA, dada por (IV.32), depende de uma capacitância

Tabela IV.5: Capacitâncias do Integrador F .

INTEGRADOR F			
Fase	Capacitâncias	Expressão	Valor (pF)
ϕ_1	C_i	$F_2 + F_3$	5,6
	C_f	$F + F_1$	4,0
	C_l	$D_2 + E_3 + G_1 + C_2$	2,8
ϕ_2	C_i	F_3	1,4
	C_f	F	2,8
	C_l	$D_2 + C_1 + C_2$	1,0

Tabela IV.6: Capacitâncias do Integrador G .

INTEGRADOR G			
Fase	Capacitâncias	Expressão	Valor (pF)
ϕ_1	C_i	0	0,0
	C_f	G	1,6
	C_l	$F_2 + C_2$	3,0
ϕ_2	C_i	$G_1 + G_2$	1,8
	C_f	G	1,6
	C_l	$C_1 + C_2$	0,8

equivalente C_τ , dada por:

$$C_\tau = \frac{C_i C_l}{C_f} + C_i + C_l. \quad (\text{IV.34})$$

Como a corrente de polarização e a transcondutância são diretamente proporcionais às capacitâncias C_{eq} e C_τ , na Tabela IV.7 são apresentados os valores dessas capacitâncias para cada OTA do circuito do filtro. Esses valores foram obtidos aplicando-se os valores de C_i , C_f e C_l , dados nas Tabelas IV.1 a IV.6, em (IV.23) e (IV.34).

Tabela IV.7: Valores das capacitâncias C_{eq} e C_τ para cada um dos integradores do circuito do filtro.

Integrador	Fase	C_{eq} (pF)	C_τ (pF)
A	ϕ_1	4,92	11,28
	ϕ_2	3,8	7,6
B	ϕ_1	1,8	1,8
	ϕ_2	1,72	2,24
D	ϕ_1	9,69	21,0
	ϕ_2	5,63	9,85
E	ϕ_1	1,2	1,2
	ϕ_2	3,14	6,71
F	ϕ_1	5,13	12,32
	ϕ_2	1,93	2,9
G	ϕ_1	4,4	4,4
	ϕ_2	1,65	3,5

De acordo com a Tabela IV.7, verifica-se que alguns integradores apresentam

valores razoavelmente próximos para a capacitância C_{eq} , e o mesmo acontece com a capacitância C_τ . Isso significa que as especificações de corrente de polarização e de transcondutância também serão semelhantes para os OTA's desses integradores. Dessa forma, com o objetivo de simplificar o projeto, os integradores listados na Tabela IV.7 foram separados em grupos, de forma que cada grupo contém integradores com especificações semelhantes. Para cada grupo, será projetado um único OTA que satisfaça, ao mesmo tempo, a todas as especificações de corrente de polarização e transcondutância de todos os amplificadores dos integradores do grupo. Desse modo, o número de OTA's a serem projetados fica menor, facilitando o trabalho do projetista.

Ao se formarem os grupos, foi dada preferência por agrupar OTA's de integradores com especificações semelhantes para a corrente de polarização — ou seja, integradores com valores da capacitância C_{eq} semelhantes. Esse critério foi adotado porque OTA's com correntes de polarização semelhantes apresentarão consumo de potência semelhante. Caso a preferência fosse dada à formação de grupos de OTA's com transcondutância semelhante, poderíamos ter integradores operando com OTA's apresentando um consumo de potência bem maior que o necessário. Assim, o critério adotado é o mais razoável, do ponto de vista do consumo de potência.

Portanto, os grupos de integradores, formados segundo o critério estabelecido acima, são apresentados na Tabela IV.8.

Tabela IV.8: Definição dos grupos de integradores.

Grupos de Integradores	
Grupo	Integradores
GRUPO 1	A
	F
	G
GRUPO 2	B
	E
GRUPO 3	D

Para o Grupo 1, será projetado um OTA 1; para o Grupo 2, um OTA 2 e, para o Grupo 3, um OTA 3. Para que cada OTA satisfaça às especificações de todos os amplificadores do grupo, sua corrente de polarização e sua transcondutância serão dimensionadas para os piores casos de C_{eq} e C_τ entre os integradores do grupo.

No caso do Grupo 1, o integrador F apresenta, na fase ϕ_1 , os maiores valores de C_{eq} e C_τ do grupo. Dessa forma, o OTA 1 será dimensionado para atender a essas especificações.

No caso do Grupo 2, o integrador E apresenta, na fase ϕ_2 , os maiores valores de C_{eq} e C_τ do grupo. Portanto, o OTA 2 será dimensionado para atender a essas especificações.

O caso do Grupo 3 é o mais simples, pois nesse grupo há um único integrador, o integrador D . Neste integrador, os piores casos de C_{eq} e C_τ acontecem durante a fase ϕ_1 . Então, o OTA 3 será dimensionado para atender a essas especificações.

De acordo com a discussão acima, pode-se constatar que o OTA 3 é aquele que apresentará a maior corrente de polarização, sendo o que mais consome potência. Por outro lado, o OTA 2 é aquele que apresentará o menor consumo de energia.

Por fim, ficaram faltando os amplificadores dos *buffers* de entrada. Como esses amplificadores são os que possuem as menores capacitâncias conectadas a eles, optou-se por empregar o próprio OTA 2 para implementá-los, tendo-se em vista que o OTA 2 apresenta um baixo consumo de energia e é capaz satisfazer plenamente aos requerimentos de carga capacitiva dos *buffers*.

IV.2.5 - DIMENSIONAMENTO DOS AMPLIFICADORES

Nas seções anteriores foram definidas as principais características dos OTA's do filtro a capacitores chaveados: topologia do circuito, tensão de alimentação, excursão de sinal da saída, circuito de controle de modo comum, correntes de polarização e transcondutância.

Resta agora dimensionar os transistores do circuito da Figura IV.2, para cada um dos três OTA's do filtro.

Para dimensionar os transistores do amplificador da Figura IV.2, são feitas as seguintes considerações de projeto [23]:

- Todos os transistores do circuito são polarizados com a mesma tensão $\Delta V_{GS} = V_{GS} - V_T$. Assim, as expressões para a excursão de sinal na saída do OTA, dadas em (IV.18), podem ser reescritas da seguinte forma:

$$V_{SS} + 2 \Delta V_{GS} + V_{TN} \leq V_{out} \leq V_{DD} + 2 \Delta V_{GS} + V_{TP}, \quad (\text{IV.35})$$

para cada uma das saídas diferenciais.

- Alguns transistores serão projetados com as mesmas dimensões. Os grupos de transistores do circuito da Figura IV.2 que apresentarão as mesmas dimensões são os seguintes:

$$\begin{aligned} & \{M_1, M_2\}; \quad \{M_3, M_4\}; \quad \{M_5, M_6\}; \quad \{M_7, M_8, M_9, M_{10}\}; \\ & \{M_{11}, M_{12}, M_{16}, M_{17}, M_{20}, M_{21}, M_{24}, M_{25}, M_{28}, M_{29}\}; \\ & \{M_{13}\}; \quad \{M_{14}, M_{15}, M_{18}, M_{19}, M_{22}, M_{23}, M_{26}, M_{27}\}. \end{aligned} \quad (\text{IV.36})$$

- Dada a corrente máxima I_{max} requerida pela saída do OTA — calculada através de (IV.26) —, todas as correntes de polarização dos transistores do circuito

podem ser obtidas a partir das seguintes expressões:

$$\begin{aligned}
 I_{d1} = I_{d2} = I_{d5} = I_{d6} = I_{d7} = I_{d8} = I_{d9} = I_{d10} &= I_{max}; \\
 I_{d3} = I_{d4} = I_{d13} &= 2 I_{max}; \\
 I_{d11} = I_{d12} &= \frac{I_{max}}{K}; \\
 I_{d14} = I_{d15} = I_{d18} = I_{d19} = I_{d22} = I_{d23} = I_{d26} = I_{d27} &= \frac{I_{max}}{K}; \\
 I_{d16} = I_{d17} = I_{d20} = I_{d21} = I_{d24} = I_{d25} = I_{d28} = I_{d29} &= \frac{I_{max}}{K}.
 \end{aligned} \tag{IV.37}$$

Em (IV.37), o parâmetro K é um número inteiro. Este parâmetro é incluído para que os circuitos auxiliares de polarização — formados pelos transistores M_{26} até M_{29} — e os amplificadores dos cascodes de saída — formados pelos transistores M_{14} até M_{25} — sejam polarizados com uma corrente menor que o restante do circuito. Esta redução de corrente é feita com o objetivo de diminuir a potência dissipada pelo OTA, tendo-se em vista que os circuitos auxiliares não precisam, necessariamente, da mesma corrente de polarização requerida pelo restante do circuito. O valor do parâmetro K depende do valor da corrente I_{max} requerido por cada OTA, pois a corrente nos circuitos auxiliares deve ter um valor suficiente para que os espelhos de corrente e os amplificadores do cascode regulado funcionem adequadamente. Dessa forma, o projetista pode fazer uso de resultados de simulações para decidir qual o valor mais adequado para K .

- Todos os transistores do circuito possuirão o mesmo comprimento de canal L . Para evitar problemas decorrentes de um canal curto, optou-se adotar um comprimento maior que o comprimento mínimo exigido pelo processo de fabricação — $L_{min} = 0,5 \mu\text{m}$ ³. Então, o comprimento escolhido foi $L = 1 \mu\text{m}$.

De acordo com todas as considerações feitas até aqui, o procedimento de projeto dos OTA's pode ser resumidamente descrito através da seguinte seqüência de passos:

1. Com relação à resposta transitória do OTA durante uma mudança de fase, o projetista deve estabelecer quanto tempo será reservado para o *slew-rate* e para a acomodação linear. Neste projeto, ambos os tempos foram definidos como sendo iguais a um terço do intervalo de duração de uma fase de chaveamento.
2. Calcular o pior caso da capacitância equivalente C_{eq} — dada por (IV.23) —

³O processo CMOS $0,35 \mu\text{m}$ permite transistores com comprimento de canal igual a $0,35 \mu\text{m}$ se a tensão de alimentação do circuito for de $3,3 \text{ V}$. Entretanto, o comprimento mínimo, no caso em que a tensão de alimentação é de $5,0 \text{ V}$, é igual a $0,5 \mu\text{m}$. Como o circuito deste projeto é alimentado com $-2,5$ e $2,5 \text{ V}$, adotou-se $L = 0,5 \mu\text{m}$.

para o caso em que o OTA está operando em *slew-rate*. Este valor é adotado no cálculo da corrente máxima na saída do OTA — empregando-se (IV.26).

3. Estabelecer um valor para o fator K , referente ao escalamento de corrente nos circuitos auxiliares do OTA. A escolha do melhor valor de K pode ser feito através de simulação. Dessa forma, estão definidas as correntes de polarização em todos os transistores do circuito do OTA.
4. A partir dos limites especificados para a excursão de sinal na saída do OTA, deve-se calcular a tensão $\Delta V_{GS} = V_{GS} - V_T$ para os transistores do estágio de saída, empregando-se a relação (IV.35). Como ficou definido que esta tensão de polarização será a mesma para todos os transistores do circuito — exceto os transistores M_1 e M_2 do par diferencial — adota-se este valor para os demais transistores do circuito.
5. Com a tensão ΔV_{GS} e a corrente de polarização calculadas para todos os transistores do circuito do OTA, emprega-se (IV.2) para calcular a largura W dos mesmos, tendo-se em vista que o comprimento L já fora definido em $1 \mu\text{m}$.
6. Calcular a transcondutância g_m que o OTA deve ter para satisfazer à especificação do tempo de acomodação linear da resposta transitória, empregando-se (IV.32).
7. Considerando a expressão para a corrente de dreno do transistor, dada em (IV.2), a transcondutância do mesmo pode ser escrita como:

$$\begin{aligned} g_m &= \frac{\partial I_D}{\partial V_{GS}} = \\ &= \frac{k_p W}{2 L (1 + FB)} \cdot \left[\frac{2 (V_{GS} - V_T)}{(1 + \theta (V_{GS} - V_T))} - \frac{\theta (V_{GS} - V_T)^2}{(1 + \theta (V_{GS} - V_T))^2} \right]. \end{aligned} \quad (\text{IV.38})$$

Aplicando (IV.2) em (IV.38), obtém-se a transcondutância em função da corrente de polarização dos transistores do par diferencial:

$$\begin{aligned} g_m &= \frac{2 I_D}{(V_{GS} - V_T)} - \frac{\theta I_D}{(1 + \theta (V_{GS} - V_T))} = \\ &= \frac{2 I_D}{\Delta V_{GS}} - \frac{\theta I_D}{(1 + \theta \Delta V_{GS})}. \end{aligned} \quad (\text{IV.39})$$

Assim, sabendo-se os valores de I_d — dado em (IV.37) — e g_m , emprega-se (IV.39) para calcular ΔV_{GS} . A partir deste valor, emprega-se (IV.38) para calcular a largura dos transistores M_1 e M_2 do par diferencial.

Portanto, aplicando o procedimento acima a cada um dos três OTA's do circuito a capacitores chaveados, obtém-se:

$$\text{OTA 1} \quad \left\{ \begin{array}{l} I_{max} = 14 \mu\text{A} \\ K = 2 \\ W_P = 24 \mu\text{m} = 4 \cdot 6 \mu\text{m} \\ W_N = 3 \mu\text{m} = 2 \cdot 1,5 \mu\text{m} \\ W_{dif} = 7,5 \mu\text{m} = 5 \cdot 1,5 \mu\text{m} \end{array} \right. \quad (\text{IV.40})$$

$$\text{OTA 2} \quad \left\{ \begin{array}{l} I_{max} = 8 \mu\text{A} \\ K = 1 \\ W_P = 12 \mu\text{m} = 2 \cdot 6 \mu\text{m} \\ W_N = 1,6 \mu\text{m} \\ W_{dif} = 3,2 \mu\text{m} = 2 \cdot 1,6 \mu\text{m} \end{array} \right. \quad (\text{IV.41})$$

$$\text{OTA 3} \quad \left\{ \begin{array}{l} I_{max} = 25 \mu\text{A} \\ K = 3 \\ W_P = 36 \mu\text{m} = 6 \cdot 6 \mu\text{m} \\ W_N = 5,1 \mu\text{m} = 3 \cdot 1,7 \mu\text{m} \\ W_{dif} = 10,5 \mu\text{m} = 7 \cdot 1,5 \mu\text{m} \end{array} \right. \quad (\text{IV.42})$$

Nas expressões (IV.40) a (IV.42), W_P é a largura dos transistores PMOS do circuito da Figura IV.2 cuja corrente de dreno vale I_{max} , W_{dif} é a largura dos transistores M_1 e M_2 do par diferencial e W_N é a largura dos transistores NMOS cuja corrente de dreno vale I_{max} . As larguras dos demais transistores são escaladas pelo fator K de acordo com suas correntes de dreno, listadas em (IV.37).

Pode-se verificar que as larguras de alguns dos transistores foram expressas como o produto de um número inteiro por um comprimento. Isso foi feito para tornar possível a implementação desses transistores através da associação em paralelo de transistores menores. Essa técnica permite que o *layout* seja feito de tal forma a proporcionar um melhor casamento entre transistores [20].

IV.3 - PROJETO DAS CHAVES ANALÓGICAS

Com os capacitores e os amplificadores operacionais de transcondutância projetados, resta agora projetar as chaves analógicas do filtro da Figura III.24.

IV.3.1 - TOPOLOGIA DA CHAVE

O principal problema das chaves analógicas em circuitos a capacitores chaveados é a injeção de carga.

Conforme discutido na Seção II.2, as chaves analógicas são construídas com transistores MOS. Quando a chave está fechada, o canal do transistor da chave contém uma certa quantidade de carga. No momento em que a chave abre, o canal é desfeito

e parte das cargas, lá acumuladas, é injetada nos capacitores do filtro, provocando um erro na tensão armazenada nos mesmos.

Portanto, a injeção de carga provoca erros na resposta em frequência do filtro a capacitores chaveados e aumenta a distorção harmônica do sinal na saída, pois trata-se de um efeito não-linear [4].

Neste projeto, o emprego da estrutura diferencial na implementação do circuito do filtro ajuda na redução dos efeitos da injeção de carga, pois os erros de tensão provocados por este fenômeno aparecem como tensões de modo comum, que são rejeitadas pela estrutura diferencial. Entretanto, apenas adotar um estrutura diferencial não é o bastante. É necessário projetar as chaves analógicas de tal forma a minimizar a quantidade de cargas injetadas.

Outra questão a ser considerada no projeto das chaves analógicas, é o efeito de *clock feedthrough*. Na Seção II.2, foi apresentado o circuito da Figura IV.7(a). Este circuito mostra que a capacitância C_{gs} do transistor da chave forma um divisor capacitivo com o capacitor C , permitindo que uma parcela do sinal de *clock* apareça em v_o .

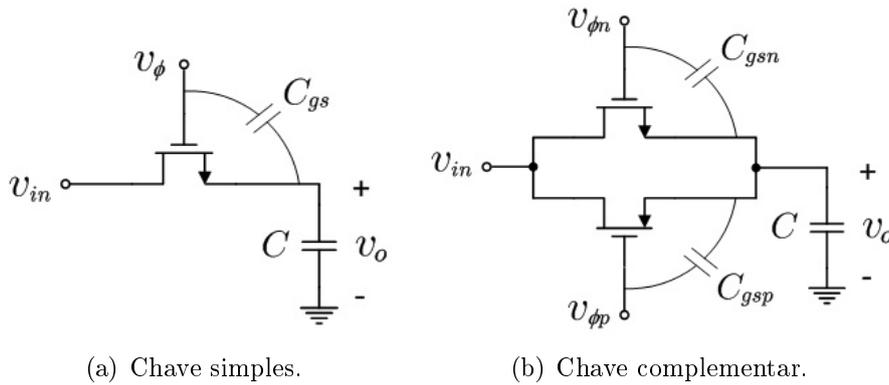


Figura IV.7: Compensação do efeito de *clock feedthrough*.

A Figura IV.7(b) ilustra o caso em que uma chave complementar é utilizada para carregar o capacitor C . Nesse caso, a tensão que aparece no capacitor, devido ao efeito de *clock feedthrough*, pode ser expressa por:

$$v_o = \frac{C_{gsn}}{C_{gsn} + C_{gsp} + C} v_{\phi n} + \frac{C_{gsp}}{C_{gsn} + C_{gsp} + C} v_{\phi p}. \quad (\text{IV.43})$$

Se os dois transistores da chave complementar apresentarem a mesma área de canal, teremos que $C_{gsn} \cong C_{gsp}$. Além disso, os sinais de *clock* que acionam as chaves são complementares. No caso deste projeto, quando $v_{\phi n} = 2,5 \text{ V}$, temos que $v_{\phi p} = -2,5 \text{ V}$, e vice-versa. Desse modo, pode-se escrever que $v_{\phi n} = -v_{\phi p}$.

Portanto, para este caso em que $C_{gsn} \cong C_{gsp}$ e $v_{\phi n} = -v_{\phi p}$, (IV.43) mostra que $v_o \cong 0$, atenuando o efeito de *clock feedthrough*.

Por isso, com o objetivo de minimizar a quantidade de cargas injetadas e o *clock feedthrough*, adotou-se o circuito da Figura IV.8 para a implementação das chaves analógicas do filtro da Figura III.24.

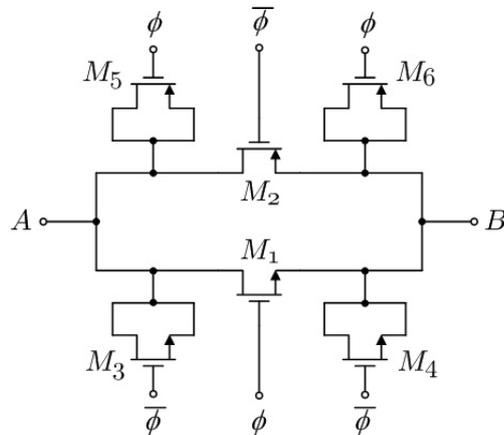


Figura IV.8: Circuito da chave analógica.

No circuito da Figura IV.8, verifica-se que foi empregada uma associação em paralelo de um transistor NMOS com um PMOS para implementar a chave. Uma das razões para o emprego dessa associação é justamente a redução da injeção de carga.

Um transistor NMOS possui um canal formado por elétrons. Por outro lado, um transistor PMOS apresenta um canal formado por lacunas. Dessa maneira, ao se abrir a chave, o efeito da injeção de elétrons em um capacitor conectado à chave será contrabalançado pela “injeção” de lacunas no mesmo capacitor.

Outra vantagem da chave complementar está no fato de que ela apresenta uma resistência menor que a de uma chave implementada com apenas um transistor MOS. Além disso, uma chave construída com apenas um transistor precisaria de uma largura maior para conseguir ter a mesma resistência de uma chave complementar, o que aumentaria a área do canal do transistor e elevaria a quantidade de cargas injetadas.

Outra técnica de redução da injeção de cargas, adotada no circuito da Figura IV.8, é o emprego de transistores *dummy*. Nesse circuito, os transistores M_1 e M_2 são os transistores principais da chave complementar. Já os transistores M_3 , M_4 , M_5 e M_6 são transistores *dummy*, adicionados ao circuito apenas com o objetivo de assimilar as cargas restantes dos transistores principais.

No circuito da Figura IV.8, quando o transistor M_1 abre, os transistores M_3 e M_4 são fechados. Nesse momento, o canal de M_1 será desfeito e serão criados os canais de M_3 e M_4 . Assim, as cargas que outrora constituíam o canal de M_1 , serão assimiladas pelos transistores M_3 e M_4 , para a formação de seus respectivos canais, reduzindo a injeção de carga.

No projeto de chaves analógicas com transistores *dummy*, recomenda-se que estes

transistores sejam dimensionados de forma que cada um tenha seu canal com metade da área do canal dos transistores principais [23]. Desse modo, na média, a quantidade de carga armazenada no canal do transistor principal será igual à quantidade de carga armazenada nos canais dos dois transistores *dummy*.

Devido às vantagens que o circuito da Figura IV.8 apresenta em relação à minimização do efeito de injeção de cargas, optou-se por empregá-lo no projeto do circuito a capacitores chaveados.

IV.3.2 - IDÉIA BÁSICA

Quando fechadas, as chaves analógicas apresentam uma certa resistência. Assim, os capacitores do filtro levarão um certo intervalo de tempo para se carregar — ou descarregar —, determinado pela constante de tempo formada pela resistência da chave e pela capacitância equivalente conectada a ela. Dessa forma, o projeto das chaves de um filtro a capacitores chaveados consiste em dimensionar a resistência da chave de modo a se obter uma determinada constante de tempo.

Os transistores MOS da chave operam na região de triodo. Portanto, considerando o modelo dado em (IV.1), a expressão para a condutância de um transistor MOS, nessa região de operação, é obtida da seguinte maneira:

$$G_{DS} = \frac{\partial I_D}{\partial V_{DS}} = \frac{k_p W}{L(1 + \theta(V_{GS} - V_T))} \cdot [(V_{GS} - V_T) - (1 + FB)V_{DS}]. \quad (\text{IV.44})$$

Assumindo que a condutância do transistor M_1 da Figura IV.8 vale G_{DSN} e a condutância do transistor M_2 vale G_{DSP} , a condutância da chave será dada por:

$$G_S = G_{DSN} + G_{DSP}. \quad (\text{IV.45})$$

Neste projeto, optou-se por dimensionar as chaves do filtro de forma que o tempo de carga dos capacitores não dure mais que um décimo do tempo de duração de uma fase de chaveamento — ou seja, 10% do tempo.

Uma abordagem para o dimensionamento seria calcular a condutância que cada chave deveria ter para que o tempo de carga dos capacitores conectados a ela seja menor ou igual a 10% do tempo de duração de uma fase. Entretanto, como pode ser visto a partir de (IV.44), a condutância da chave não é linear, pois a condutância depende das tensões nos terminais da chave. Dessa forma, ficaria difícil calcular, com precisão, o tempo de carregamento do capacitor.

Portanto, com o objetivo de dimensionar adequadamente as chaves do filtro a capacitores chaveados, foram empregadas simulações numéricas, realizadas com o simulador Spectre do *software* CADENCE⁴, para medir o tempo de carga dos capa-

⁴O modelo de transistores MOS empregado nessas simulações, assim como em todas as simulações

citores com maior precisão.

O circuito empregado nas simulações é composto por uma fonte de tensão constante, em série com uma chave e um capacitor, cujo valor é igual à capacitância equivalente vista por uma determinada chave do filtro a capacitores chaveados, conforme mostrado na Figura IV.9. A tensão inicial do capacitor é de -1 V — correspondendo ao limite inferior da excursão de sinal — e a tensão da fonte é de 1 V — correspondendo ao limite superior da excursão de sinal. A simulação consiste em fechar a chave e medir o tempo que o capacitor leva para se carregar de -1 V a até $0,99\text{ V}$ — 1% a menos que a tensão de regime permanente.

Portanto, com base nos resultados dessas simulações, os transistores das chaves foram dimensionados.

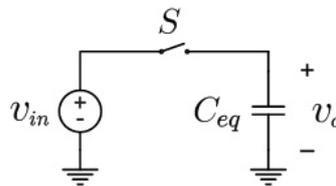


Figura IV.9: Circuito de simulação para o dimensionamento das chaves.

IV.3.3 - DIMENSIONAMENTO DAS CHAVES

Para o dimensionamento das chaves do filtro a capacitores chaveados, foram adotadas as seguintes considerações de projeto:

- Todos os transistores do circuito da Figura IV.8 têm o mesmo comprimento de canal. O comprimento escolhido é $L = 0,5\ \mu\text{m}$, o mínimo comprimento permitido pelo processo. Optou-se por adotar o comprimento mínimo para diminuir, ao máximo, a área do canal e, assim, reduzir a quantidade de carga que pode ser injetada nos capacitores do filtro.
- A largura dos transistores M_3 , M_4 , M_5 e M_6 são sempre iguais à metade da largura dos transistores M_1 e M_2 do circuito da Figura IV.8.

Para simplificar a apresentação, o circuito do filtro a capacitores chaveados da Figura III.24 foi redesenhado na Figura IV.10, onde as chaves foram identificadas. Além disso, chaves conectadas à mesma capacitância equivalente foram identificadas com mesmo nome, pois serão implementadas pelo mesmo circuito.

deste trabalho, é o BSIM3v3, e os parâmetros do processo CMOS $0,35\ \mu\text{m}$ foram fornecidos pelo fabricante.

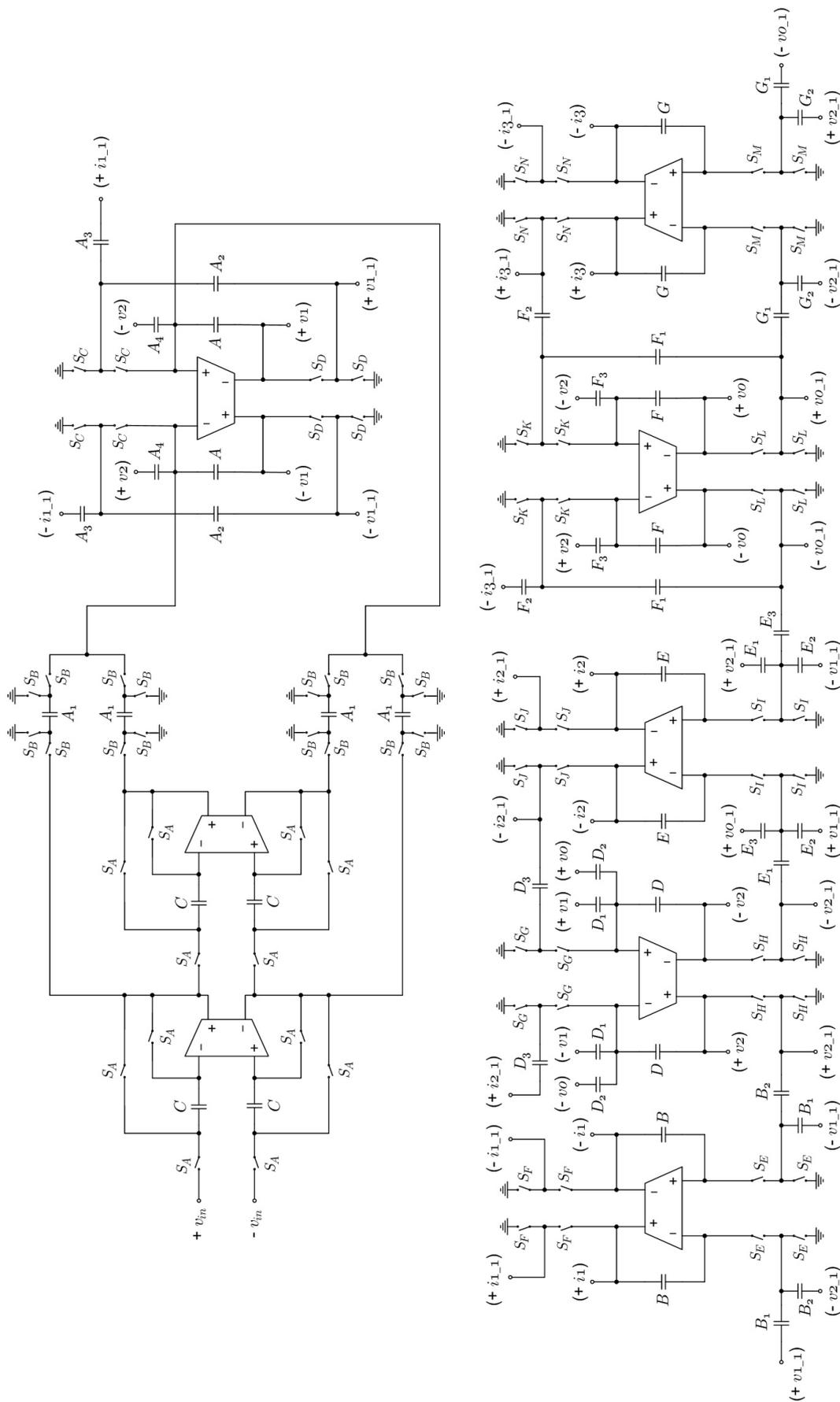


Figura IV.10: Identificação das chaves no filtro a capacitores chaveados.

De acordo com o circuito da Figura IV.10, foi montada a Tabela IV.9, com os valores das capacitâncias equivalentes conectadas a cada uma das chaves. No cálculo das capacitâncias equivalentes, considerou-se que todas as demais chaves são ideais — ou seja, sem resistência — e que as entradas diferenciais dos OTA's são pontos de terra virtual.

Tabela IV.9: Capacitâncias equivalentes conectadas a cada chave do circuito.

Chaves	Capacitor Equivalente	Capacitância (pF)
S_A	C	0,8
S_B	A_1	0,4
S_C	$A_2 + A_3$	2,2
S_D	$A_2 + B_1 + E_2$	1,8
S_E	$B_1 + B_2$	1,2
S_F	A_3	1,6
S_G	D_3	1,0
S_H	$B_2 + E_1 + G_2$	4,4
S_I	$E_1 + E_2 + E_3$	5,0
S_J	D_3	1,0
S_K	$F_1 + F_2$	5,4
S_L	$E_3 + F_1 + G_1$	3,6
S_M	$G_1 + G_2$	1,8
S_N	F_2	4,2

A primeira chave a ser testada por simulação é aquela que possui as menores dimensões permitidas pelo processo CMOS considerado⁵. Então, nesta chave mínima, a largura dos transistores M_3 , M_4 , M_5 e M_6 é igual a $0,5 \mu\text{m}$ e a largura dos transistores M_1 e M_2 é igual a $1 \mu\text{m}$. Esta chave será identificada no texto como S_1 deste ponto em diante.

Simulando o circuito da Figura IV.9 com a chave S_1 e cada uma das capacitâncias equivalentes listadas na Tabela IV.9, verificou-se que a chave S_1 serve adequadamente para desempenhar o papel de quase todas as chaves do circuito, com exceção das chaves S_H , S_I , S_K , S_L e S_N , para as quais o tempo de carga do capacitor equivalente durou mais que 10% do tempo de duração de uma fase de chaveamento. Portanto, conclui-se que todas as demais chaves podem ser adequadamente implementadas através da chave S_1 .

Para os casos em que o tempo de carga da capacitância equivalente não ficou adequado, foi necessário adotar uma chave com uma condutância maior. A expressão para a condutância de um transistor MOS, dada em (IV.44), sugere que um aumento na condutância pode ser obtido através do aumento da largura W do transistor. Assim, uma nova chave S_2 foi desenvolvida, cujas larguras dos transistores M_1 e M_2 são iguais a $2 \mu\text{m}$ e as larguras dos transistores M_3 , M_4 , M_5 e M_6 são iguais a $1 \mu\text{m}$.

⁵Neste processo, a largura mínima permitida para um transistor é de $0,5 \mu\text{m}$, para uma alimentação de $5,0 \text{ V}$.

Simulando com a chave S_2 os casos que não funcionaram adequadamente com a chave S_1 , verificou-se que todos os tempos de carregamento ficaram adequadamente dentro dos limites especificados.

Na Tabela IV.10 são listadas todas as chaves apresentadas na Figura IV.10, mostrando quais serão implementadas com a chave S_1 e quais serão implementadas com a chave S_2 .

Tabela IV.10: Definição dos tipos de chaves.

Tipo de Chave	Chaves		
S_1	S_A	S_D	S_G
	S_B	S_E	S_J
	S_C	S_F	S_M
S_2	S_H	S_K	S_N
	S_I	S_L	

Por fim, ainda falta considerar as chaves do circuito de controle de modo comum, apresentado na Figura IV.4. Como as cargas capacitivas alimentadas por essas chaves são $C_1 = 0,2$ pF e $C_2 = 0,6$ pF, os resultados obtidos nas simulações descritas aqui nos permitem concluir que a chave S_1 pode ser adequadamente empregada na implementação das chaves do circuito da Figura IV.4.

Assim, todos os componentes do filtro a capacitores chaveados estão completamente dimensionados. No Capítulo V são apresentados os *layouts* de todos os componentes projetados aqui. Já no Capítulo VI, são apresentados resultados de simulações envolvendo esses componentes.

CAPÍTULO V

LAYOUT

No Capítulo IV foi apresentado o dimensionamento dos componentes do filtro a capacitores chaveados: capacitores, chaves analógicas e amplificadores operacionais de transcondutância. Entretanto, para que o projeto do filtro fique completo, é necessário desenvolver seus respectivos *layouts*, descrevendo como esses componentes serão implementados em circuito integrado.

O desenvolvimento do *layout* também é considerado parte do projeto de um circuito integrado, porque decisões tomadas ao longo do seu desenvolvimento podem interferir diretamente no funcionamento e no desempenho do circuito em questão. Circuitos com o mesmo dimensionamento podem apresentar comportamento significativamente diferentes quando implementados em diferentes *layouts* [20].

Em filtros a capacitores chaveados, por exemplo, a acurácia da resposta em frequência do filtro é determinada pela precisão com que são implementados os valores relativos das capacitâncias. Conforme já fora citado anteriormente, os capacitores do filtro deste projeto são implementados através da associação em paralelo de capacitores base, justamente com o objetivo de melhorar a precisão com que os coeficientes do filtro são implementados. Entretanto, para que essa técnica funcione adequadamente, todos os capacitores base devem ser posicionados no *layout* de forma a se obter o melhor casamento possível entre seus valores de capacitância.

No caso dos amplificadores operacionais de transcondutância (OTA), o circuito da Figura IV.2 emprega espelhos de corrente e um par diferencial. Essas estruturas necessitam que os transistores envolvidos estejam bem casados, pois, caso contrário, seu desempenho ficará prejudicado.

Conseqüentemente, o casamento de componentes em circuito integrado é um problema bastante recorrente e está muito presente no projeto de filtros a capacitores chaveados. Entretanto, os processos de fabricação existentes não são capazes de construir componentes exatamente iguais em um mesmo circuito integrado, pois va-

riações de tamanho, espessura, temperatura e dopagem estão sempre presentes. Se, por exemplo, a espessura da camada de óxido variar em um mesmo circuito integrado, capacitores construídos com placas do mesmo tamanho terão capacitâncias diferentes e transistores apresentarão diferentes valores de V_T . Entretanto, diferentes técnicas de *layout* foram desenvolvidas de forma a compensar esses efeitos e conseguir obter o melhor casamento possível entre os componentes. As técnicas mais utilizadas são as seguintes [20]:

- Posicionar dispositivos que devem ser casados o mais próximo possível um do outro.
- Posicionar os dispositivos que devem ser casados com a mesma orientação no *layout*.
- Dividir os dispositivos grandes em partes menores, associadas em série ou em paralelo. As partes menores devem ser dispostas no *layout* de maneira interdigitada ou usando uma geometria de centróide comum.
- Envolver um conjunto de dispositivos que devem ser casados com dispositivos *dummy* para igualar as condições de fronteira em todos eles.
- Igualar os efeitos parasitas ao longo das interconexões de elementos casados.
- Igualar as trilhas de interconexões em circuitos diferenciais.
- Dar preferência a *layouts* simétricos.

Outra questão envolvendo *layout* de circuitos integrados é a interferência entre partes diferentes do circuito. No caso específico de filtros a capacitores chaveados, o circuito lida com dois tipos de sinais: os sinais processados pelo filtro e os sinais de *clock* que acionam as chaves do circuito. Assim, com o objetivo de minimizar a interferência dos sinais de *clock* sobre os sinais processados pelo filtro, é recomendável que as trilhas que realizam a interconexão de sinais de *clock* fiquem o mais afastadas possível das trilhas com os sinais que carregam informação.

Portanto, levando em consideração essas questões referentes ao casamento de componentes e a redução de interferência, chegou-se à organização geral do *layout* do filtro a capacitores chaveados — também conhecida como *floorplanning* —, apresentada na Figura V.1.

No diagrama da Figura V.1, as linhas de metal que conduzem os sinais de acionamento das chaves são traçadas na parte superior. Logo abaixo estão as linhas de metal que conduzem a alimentação do circuito — V_{DD} e V_{SS} — e mais abaixo temos as chaves analógicas. Abaixo das chaves temos apenas componentes do circuito que

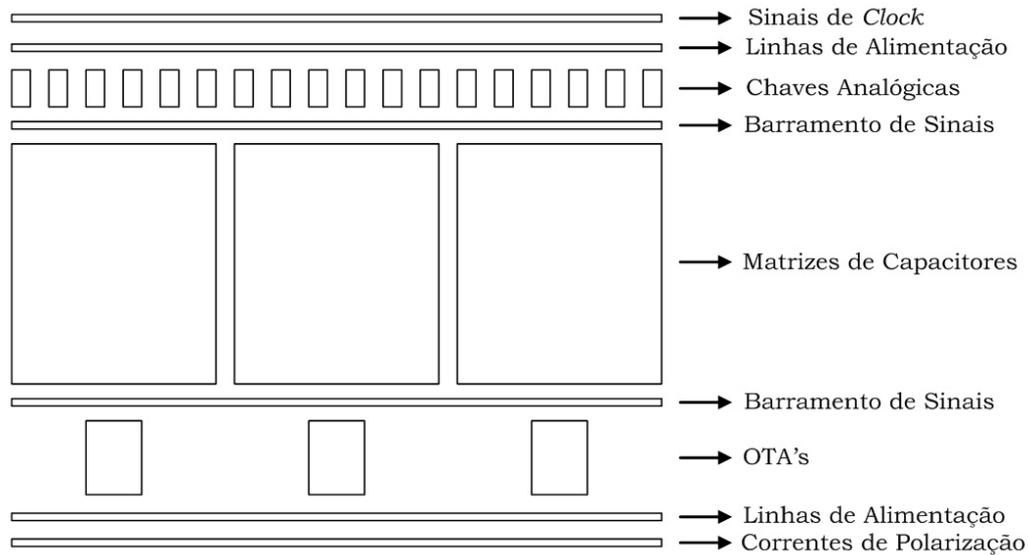


Figura V.1: Visão geral do layout do filtro a capacitores chaveados.

processam o sinal de entrada do filtro — capacitores e amplificadores operacionais. Dessa forma, os condutores com os sinais de *clock* estarão razoavelmente separados daqueles que conduzem os sinais processados pelo filtro. Isso é feito para reduzir a interferência entre esses dois tipos de sinais.

Outra característica do diagrama da Figura V.1 é o fato de que as linhas de alimentação — V_{DD} e V_{SS} — são traçadas tanto na parte superior, como na parte inferior do *layout*. Além disso, serão feitas várias ligações entre as linhas de alimentação superior e inferior ao longo do circuito. Isso foi feito com o objetivo de reduzir a resistência elétrica entre cada um dos nós que recebem uma das tensões de alimentação e os terminais dos *pads* onde a alimentação é efetivamente conectada.

No diagrama da Figura V.1 são apresentadas as matrizes de capacitores. Haverá uma matriz para cada integrador, contendo todos os capacitores base que constituem os capacitores que devem ser casados. Neste *layout*, diferentemente do que é feito em boa parte dos projetos de circuitos a capacitores chaveados diferenciais divulgados na literatura, todos os capacitores de um integrador estarão localizados em uma mesma matriz, ao invés de construir duas matrizes, onde cada uma contém os capacitores de um dos pólos da estrutura diferencial. O objetivo de adotar este arranjo é proporcionar um melhor casamento entre os capacitores equivalentes dos dois pólos da estrutura diferencial — quanto melhor for o casamento entre esses capacitores equivalentes, melhor será a rejeição ao modo comum da estrutura diferencial.

Na Figura V.1, é mostrado que entre as chaves e as matrizes de capacitores, assim como entre as matrizes e os OTA's, há barramentos por onde são feitas as interconexões entre os capacitores, as chaves e os OTA's.

Quanto aos circuitos de controle de modo comum de cada um dos OTA's do filtro,

optou-se por colocar os capacitores C_1 e C_2 , do circuito da Figura IV.4, na mesma matriz que os demais capacitores conectados ao seu respectivo OTA. Além disso, as chaves do circuito de controle de modo comum serão colocadas na mesma região que as demais chaves, com o objetivo de manter a separação entre os sinais de *clock* das fases e os sinais processados pelo filtro.

Por fim, na base do diagrama da Figura V.1, estão as linhas de metal responsáveis por conduzir as correntes de polarização I_{bias} para cada um dos amplificadores do filtro.

Assim, nas seções que se seguem, são apresentados os *layouts* de cada um dos componentes do circuito do filtro a capacitores chaveados: chaves analógicas, amplificadores operacionais e matrizes de capacitores. Finalmente, na Seção V.4, é apresentado o *layout* completo do filtro a capacitores chaveados, seguindo a idéia básica apresentada na Figura V.1.

V.1 - LAYOUT DAS CHAVES ANALÓGICAS

De acordo com a Seção IV.3, o filtro a capacitores chaveados emprega dois tipos diferentes de chaves analógicas, identificadas por S_1 e S_2 . Portanto, é necessário contruir um *layout* para cada um desses dois tipos de chave.

Na Figura IV.8 é apresentado o diagrama esquemático do circuito das chaves analógicas. Conforme citado na Seção IV.3, os capacitores *dummy* M_3 , M_4 , M_5 e M_6 devem ter a metade da largura dos transistores principais M_1 e M_2 , com o objetivo de transferir as cargas dos canais dos transistores principais para os canais dos transistores *dummy* durante o processo de abertura da chave, minimizando o efeito de injeção de carga.

Portanto, com essa idéia em mente, foram desenvolvidos os *layouts* apresentados na Figura V.2. O *layout* da chave S_1 está representado na Figura V.2(a) e o da chave S_2 está na Figura V.2(b).

Observando os *layouts* da Figura V.2, verifica-se que os transistores principais foram implementados através da associação de dois transistores em paralelo, onde cada transistor tem a mesma dimensão que os transistores *dummy*. Assim, garante-se que os transistores principais terão o dobro da largura de cada transistor *dummy*. Além disso, cada elemento do transistor principal foi montado lado a lado com um dos transistores *dummy*. Isso foi feito para aumentar o casamento entre esses transistores e facilitar a absorção, por parte dos transistores *dummy*, das cargas acumuladas no canal do transistor principal.

Seguindo a idéia geral apresentada na Figura V.1, os *layouts* das chaves analógicas, apresentados na Figura V.2, recebem os sinais de *clock* através dos terminais localizados na parte superior e disponibilizam os terminais de entrada e saída na

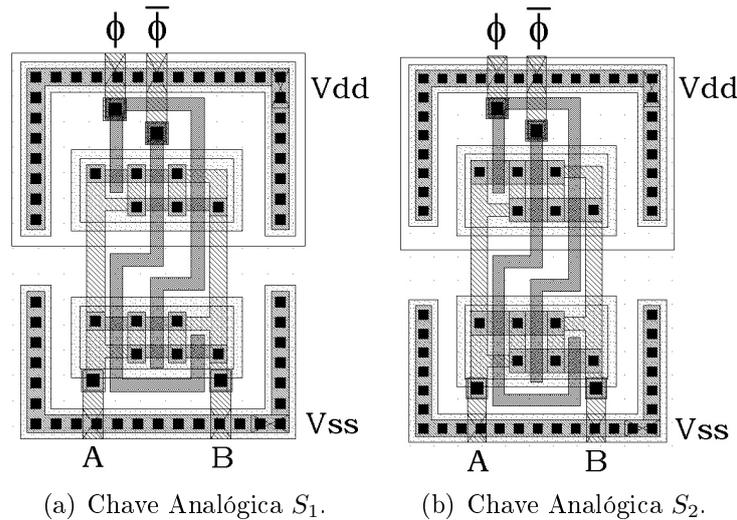


Figura V.2: *Layouts* das Chaves Analógicas.

parte inferior do *layout*.

Além disso, deve ser mencionado que os *layouts* da Figura V.2 foram desenhados de forma a minimizar o número de cruzamentos entre linhas que conduzem sinais de *clock* e linhas que conduzem sinais processados pelo filtro, com o objetivo de minimizar a interferência entre esses sinais, conforme as considerações acima.

Finalmente, deve ser mencionado que as dimensões do *layout* da chave S_1 , apresentado na Figura V.2(a), são: $15,2 \mu\text{m}$ de altura e $11,5 \mu\text{m}$ de largura. Já as dimensões do *layout* da chave S_2 , apresentado na Figura V.2(b), são: $16,3 \mu\text{m}$ de altura e $11,5 \mu\text{m}$ de largura.

V.2 - LAYOUT DOS AMPLIFICADORES OPERACIONAIS DE TRANSCONDUTÂNCIA

Na Seção IV.2, foi mostrado que o filtro a capacitores chaveados será implementado empregando-se três tipos diferentes de amplificadores operacionais de transcondutância, identificados como OTA 1, OTA 2 e OTA 3. A topologia de circuito adotada em todos eles é apresentada na Figura IV.2, e as dimensões dos transistores para cada um dos tipos de OTA são listadas em (IV.40), (IV.41) e (IV.42).

No circuito do OTA, os transistores do par diferencial de entrada devem estar muito bem casados para permitir o adequado funcionamento do amplificador. Além disso, o circuito da Figura IV.2 apresenta espelhos de corrente, empregados na polarização do amplificador. Os transistores desses espelhos de corrente também devem ser muito bem casados. Portanto, conclui-se que o principal requisito do *layout* dos OTA's é o casamento de alguns grupos de transistores do circuito.

Assim, a partir das considerações acima, foram desenvolvidos os *layouts* apresen-

tados nas Figuras V.3, V.4 e V.5, para os OTA's 1, 2 e 3, respectivamente.

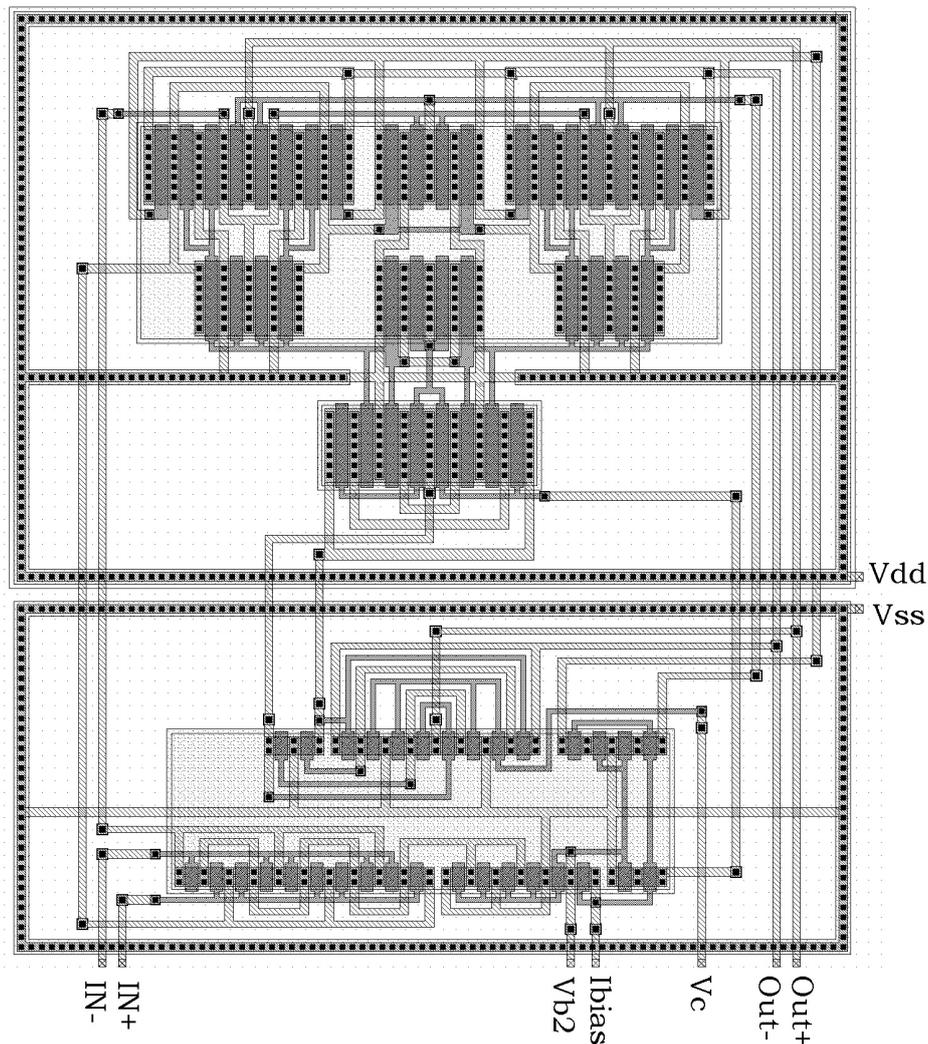


Figura V.3: *Layout* do Amplificador Operacional de Transcondutância 1.

Para conseguir um melhor casamento entre os transistores, vários deles foram implementados através da associação em paralelo de transistores com largura menor — a quantidade de transistores associados em paralelo em cada caso é apresentada em (IV.40), (IV.41) e (IV.42), onde algumas larguras foram expressas como o produto de um número inteiro e um valor de comprimento. Dessa forma, os transistores que requerem um bom casamento foram interdigitados no *layout*, dispondo todos deles na geometria de centróide comum.

De acordo com o diagrama da Figura V.1, os amplificadores devem ser dispostos lado a lado no *layout*. Assim, é conveniente construir o *layout* de todos os OTA's com a mesma altura, de modo que todos possam ser encaixados lado a lado. Assim, como muitos transistores serão implementados através da associação de transistores menores em paralelo, optou-se por empregar, aproximadamente, a mesma largura para todos esses transistores menores. Conforme pode ser constatado em (IV.40),

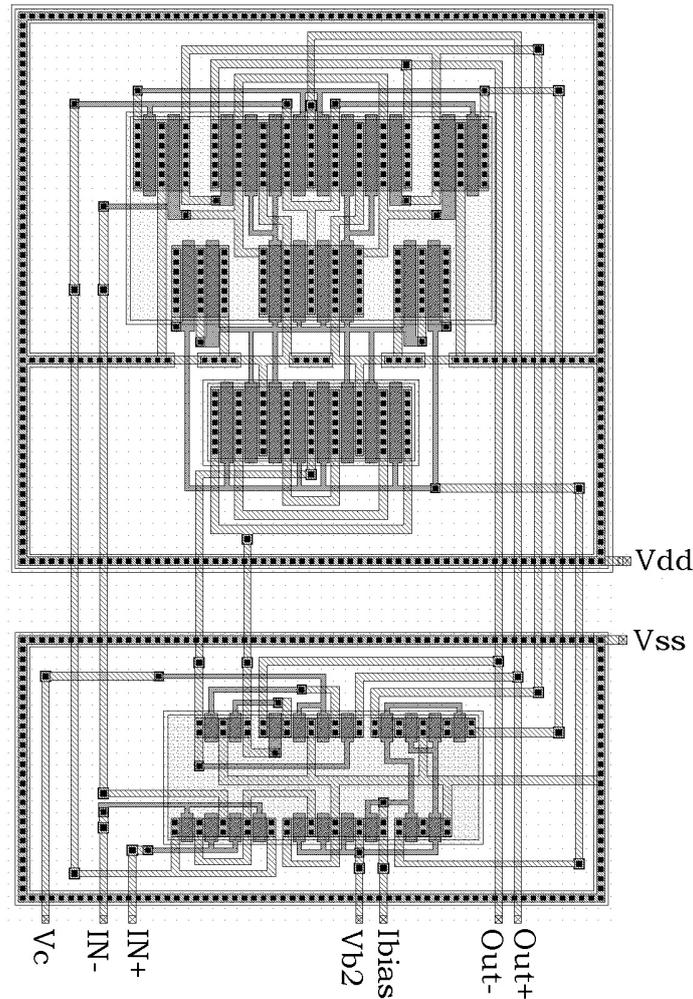


Figura V.4: *Layout* do Amplificador Operacional de Transcondutância 2.

(IV.41) e (IV.42), todos os transistores mais largos foram subdivididos em transistores menores com larguras parecidas. Assim, dispoendo os transistores interdigitados lado a lado no *layout*, todos os amplificadores apresentarão, aproximadamente, a mesma altura. Apenas a largura do *layout* de cada amplificador é que será diferente das dos demais.

Observando os *layouts* das Figuras V.3, V.4 e V.5, pode ser verificado que todos os amplificadores possuem a mesma altura, diferindo apenas na largura. Também pode ser constatato que os *layouts* são razoavelmente simétricos, o que é uma característica adequada para se obter um bom casamento entre componentes [20].

Também deve ser mencionado que as conexões entre os transistores foram feitas tomando-se o cuidado de não passar nenhuma trilha de metal por cima de transistores. Apesar de não haver nenhuma regra de impedimento, esta situação foi evitada com o objetivo de fazer com que todos os transistores apresentem, aproximadamente, as mesmas condições de fronteira, o que proporciona um melhor casamento entre eles [20].

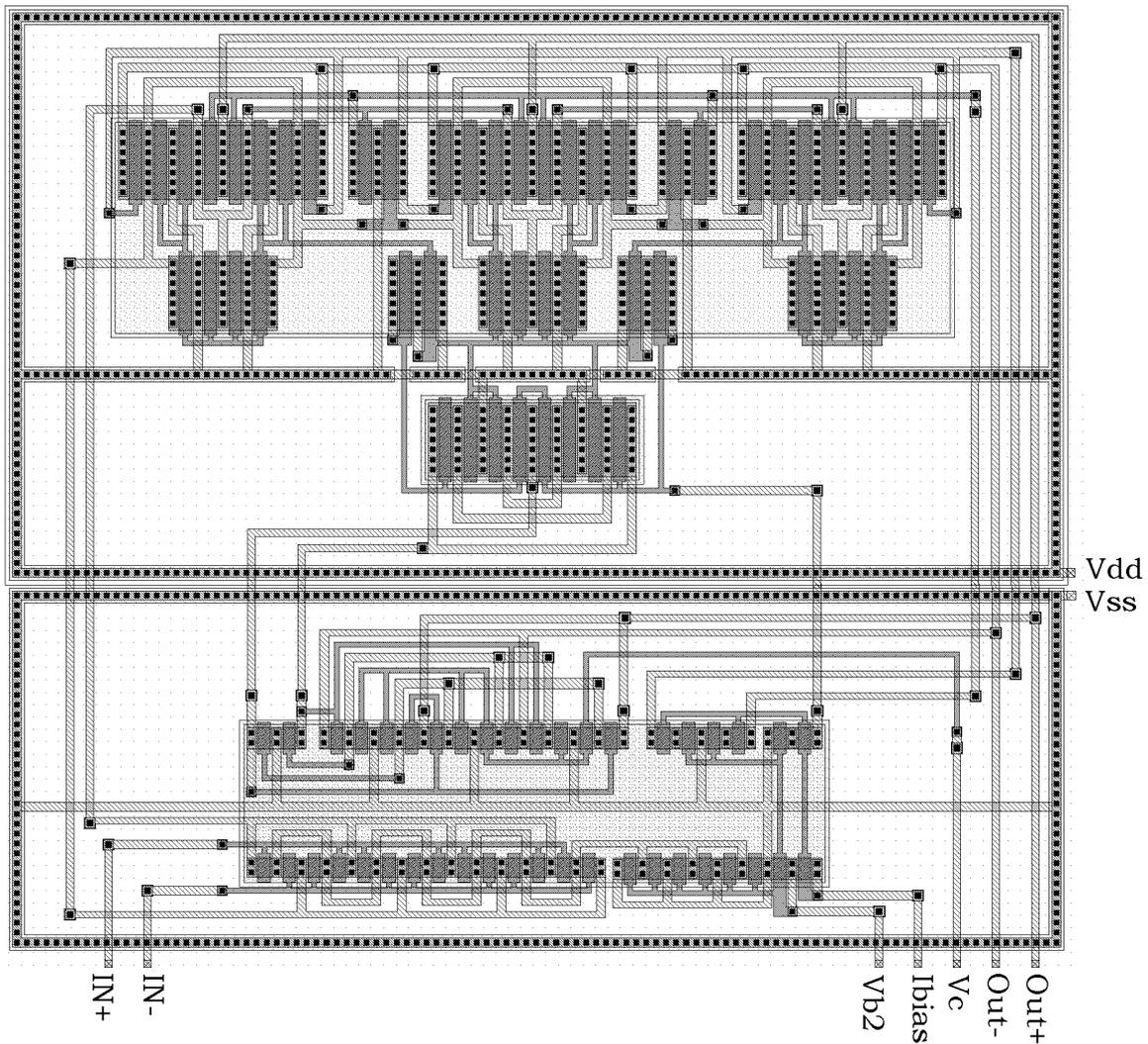


Figura V.5: *Layout* do Amplificador Operacional de Transcondutância 3.

A polarização dos poços N foi realizada introduzindo-se contatos tanto nas bordas quanto na região central do poço. Os contatos introduzidos na região central são necessários para satisfazer às regras de projeto que previnem a ocorrência de *latch-up*.

O *latch-up* ocorre quando um tiristor parasita — formado por uma junção $NPNP$ — é disparado acidentalmente durante a excursão dos sinais processados pelo circuito, produzindo correntes elevadas o suficiente para danificar o circuito integrado. Para evitá-lo, é necessário polarizar os poços e o substrato com a maior e com a menor tensão do circuito, respectivamente — ou seja, V_{DD} e V_{SS} . Além disso, nenhum ponto dentro das regiões de difusão deve estar mais distante de um contato de polarização — do poço ou do substrato — do que uma distância mínima estabelecida pelas regras de projeto. Por essa razão é que foram incluídos os pontos de polarização na região central dos poços N nos *layouts* das Figuras V.3, V.4 e V.5.

Quanto às dimensões, o *layout* do OTA 1 possui $76,15 \mu\text{m}$ de altura e $67,5 \mu\text{m}$

de largura; o *layout* do OTA 2 possui 76,15 μm de altura e 49,9 μm de largura; e o *layout* do OTA 3 possui 76,15 μm de altura e 85,1 μm de largura.

V.3 - LAYOUT DAS MATRIZES DE CAPACITORES

Na Seção IV.1 foi mostrado que todos os capacitores do filtro serão implementados com capacitores de polissilício. Nessa mesma seção, as dimensões da placa do capacitor base foram calculadas de forma a se obter um capacitor com uma capacitância de, no máximo, 200 fF.

As dimensões calculadas são referentes à placa da segunda camada de polissilício, ou seja, a placa superior. A placa inferior, formada pela primeira camada de polissilício, deve ter dimensões maiores que a placa superior. Isso é necessário para evitar que possíveis desalinhamentos entre as máscaras façam com que a placa superior fique com uma parte de sua área localizada além dos limites da placa inferior, o que comprometeria o valor da capacitância do dispositivo.

Sendo assim, seguindo as regras de projeto do processo CMOS 0,35 μm , optou-se por dimensionar a placa inferior do capacitor com 2 μm a mais de altura e de largura. Dessa forma, o *layout* do capacitor fica como o que é apresentado na Figura V.6.

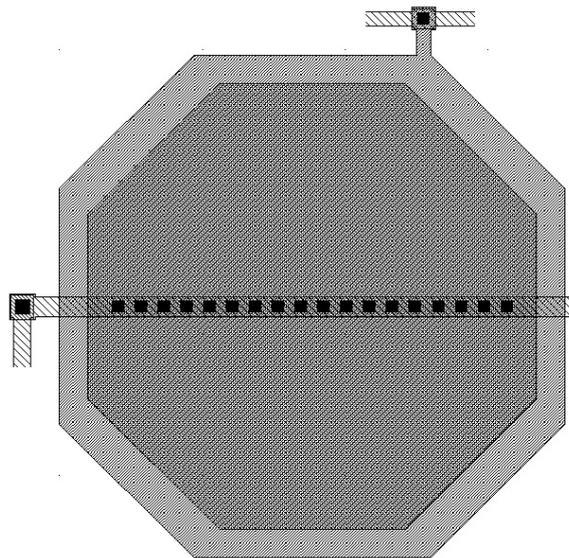


Figura V.6: *Layout* de um Capacitor Base.

No *layout* da Figura V.6, a placa superior é conectada a uma trilha de metal. Essa trilha, para ser conectada a outra parte do circuito, deverá passar por cima de uma pequena porção da placa inferior, que não é coberta pela placa superior. Essa sobreposição da linha de metal e a placa inferior aumenta a capacitância do capacitor base.

No *layout* da matriz, alguns capacitores base apresentarão duas sobreposições como essa, conforme será mostrado adiante. Então, com o objetivo de igualar todas

as capacitâncias base, essa sobreposição deve acontecer duas vezes em cada capacitor, mesmo quando não há necessidade [19]. No *layout* da Figura V.6, essas duas sobreposições podem ser visualizadas.

Todos os capacitores base serão arranjados em matrizes, onde cada uma conterá capacitores que devem ser muito bem casados. Com o objetivo de isolar cada matriz de capacitores de interferências provenientes de outras partes do circuito, cada matriz será montada sobre um poço N , polarizado com V_{DD} [20].

Para saber quais os capacitores que devem ser bem casados, basta analisar as equações de estado (III.41) a (III.46). Tomando a equação de estado (III.41) como exemplo, verifica-se que os coeficientes dessa equação são dados pelas razões A_1/A , A_2/A , A_3/A e A_4/A . Assim, para que esses coeficientes sejam implementados acuradamente, há a necessidade de que os capacitores A , A_1 , A_2 , A_3 e A_4 estejam muito bem casados. O mesmo raciocínio pode ser estendido para todas as outras equações de estado.

Portanto, a partir da discussão acima, conclui-se que cada matriz deve conter os capacitores que aparecem em uma mesma equação de estado. Além disso, como cada matriz está relacionada a um integrador, também estarão contidos na mesma matriz, os capacitores do circuito de controle de modo comum do respectivo OTA, que implementa o integrador em questão.

No caso dos *buffers* de entrada, haverá uma matriz para cada *buffer*, contendo os capacitores base que implementam os capacitores C , do circuito da Figura III.22, e os capacitores do circuito de controle de modo comum do respectivo OTA do *buffer*.

De acordo com o diagrama da Figura V.1, as matrizes de capacitores deverão ser posicionadas lado a lado no *layout*. A exemplo do que foi feito com os amplificadores, é conveniente que todas as matrizes possuam a mesma altura, ou seja, todas as matrizes deverão possuir o mesmo número de linhas, diferindo entre si apenas no número de colunas.

Outro fator a ser considerado é o arranjo dos capacitores em cada matriz. Para se conseguir um bom casamento entre os capacitores, é necessários arranjá-los em uma geometria de centróide comum, onde capacitores base que formam o mesmo capacitor do filtro estarão dispostos de forma simétrica em relação ao centro da matriz. Esse tipo de arranjo permite que os efeitos de variação do processo de fabricação — variação na espessura da camada de óxido, por exemplo — afetem, na média, todas as associações de capacitores base da mesma forma.

Para se conseguir um arranjo de capacitores base em uma geometria de centróide comum, é conveniente que a matriz seja o mais quadrada possível; ou seja, o número de linhas deve ser igual ou bem próximo do número de colunas. Assim, surge o seguinte problema: quais as dimensões que cada uma das matrizes deve ter de forma que todas tenham o mesmo número de linhas e, também, apresentem um formato

mais próximo possível de um quadrado?

Para resolver este problema, considere a matriz apresentada na Figura V.7. Essa figura representa a matriz de um integrador i qualquer. Ela possui n linhas e $n + k_i$ colunas, onde n é um número inteiro positivo e k_i é um número inteiro que pode ser tanto positivo como negativo.

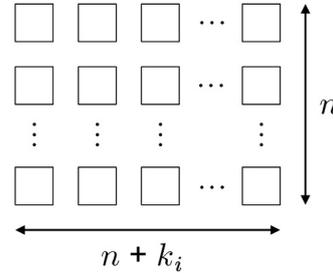


Figura V.7: Caso genérico de uma matriz de capacitores.

O número total de capacitores contidos na matriz V.7 é dado por:

$$n(n + k_i) = n^2 + n k_i = N_i. \quad (\text{V.1})$$

Assim, de acordo com (V.1), o número k_i pode ser obtido a partir da seguinte expressão:

$$k_i = \frac{N_i}{n} - n. \quad (\text{V.2})$$

Então, para que a matriz da Figura V.7 tenha um formato mais quadrado possível, o número k_i deve ser o menor possível, em módulo.

No caso do *layout* do filtro a capacitores chaveados, temos as matrizes A , B , D , E , F e G , com os capacitores dos integradores A , B , D , E , F e G , respectivamente. Considerando (III.65) e também o fato de que cada OTA necessita de oito capacitores base para o circuito de controle de modo comum, a quantidade de capacitores base em cada matriz é dada por:

$$\begin{aligned} N_A &= 86; & N_E &= 102; \\ N_B &= 60; & N_F &= 104; \\ N_D &= 60; & N_G &= 42. \end{aligned} \quad (\text{V.3})$$

Assim, considerando que todas as matrizes de capacitores devem ter o mesmo número de linhas n , (V.2) pode ser reescrita, para cada uma das matrizes, da seguinte

forma:

$$\begin{aligned} k_A &= \frac{86}{n} - n; & k_E &= \frac{102}{n} - n; \\ k_B &= \frac{60}{n} - n; & k_F &= \frac{104}{n} - n; \\ k_D &= \frac{60}{n} - n; & k_G &= \frac{42}{n} - n. \end{aligned} \quad (\text{V.4})$$

Assim, o problema consiste em encontrar o número de linhas n que faz com que a expressão:

$$|k_A| + |k_B| + |k_D| + |k_E| + |k_F| + |k_G| \quad (\text{V.5})$$

tenha o menor valor possível.

Para encontrar o valor n que minimiza (V.5), calculou-se o valor de (V.5) para diferentes valores inteiros e descobriu-se que $n = 9$ produz o menor valor.

Assim, as dimensões ótimas para cada matriz são:

$$\left\{ \begin{array}{l} A \rightarrow 9 \times 10 \\ B \rightarrow 9 \times 7 \\ D \rightarrow 9 \times 7 \\ E \rightarrow 9 \times 12 \\ F \rightarrow 9 \times 12 \\ G \rightarrow 9 \times 5 \end{array} \right. \quad (\text{V.6})$$

Entretanto, matrizes com as dimensões dadas em (V.6) apresentam mais capacitores que os números dados em (V.3). As matrizes A e F possuem quatro capacitores excedentes, a matriz E possui seis e as matrizes B , D e G possuem três. Esses capacitores excedentes serão implementadas nas matrizes do *layout* do filtro como capacitores *dummy*, presentes apenas para manter o formato retangular das matrizes.

Assim, como exemplo, a Figura V.8 mostra o layout da matriz de capacitores A . Essa matriz apresenta capacitores *dummy* distribuídos ao longo das bordas da matriz para fazer com que todos os capacitores apresentem as mesmas condições de fronteira. Condição necessária para garantir um bom casamento. Além disso, optou-se por implementar esses capacitores *dummy* com dimensões menores que os capacitores base com o objetivo de reduzir um pouco a área ocupada por cada matriz.

Quanto às matrizes de capacitores dos *buffers*, cada uma deve conter oito capacitores base para formar os capacitores C , do circuito da Figura III.22, e mais oito capacitores base para constituir o circuito de controle de modo comum. Sendo assim, optou-se por construir uma matriz 4×4 para cada *buffer*. Como essas matrizes não apresentam dimensões maiores que as matrizes dos integradores, não haverá problema em colocá-las lado a lado como mostrado no diagrama da Figura V.1.

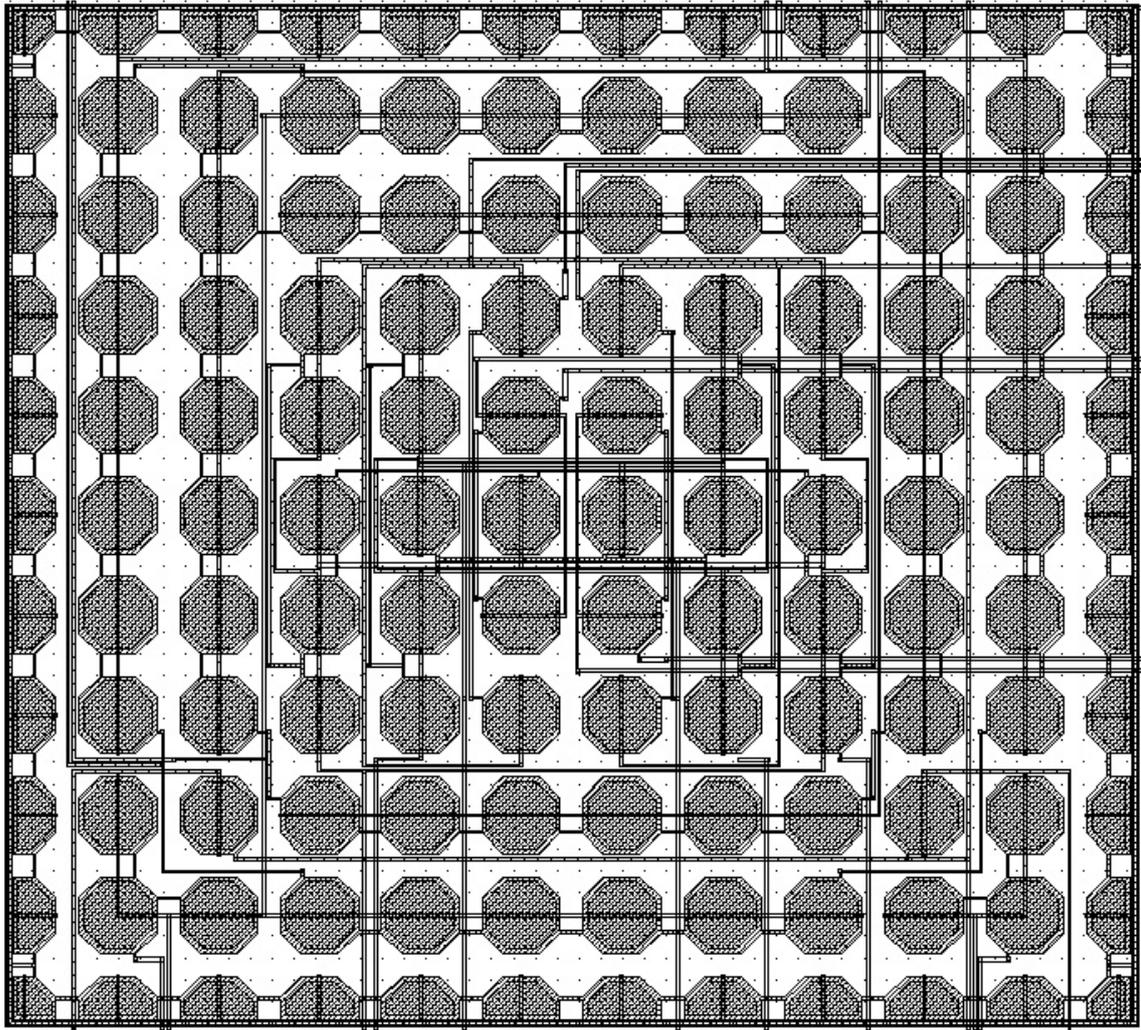


Figura V.8: *Layout* da Matriz de Capacitores do Integrador A.

As dimensões dos *layouts* de todas as matrizes de capacitores são apresentadas na Tabela V.1.

Tabela V.1: Dimensões das matrizes de capacitores.

MATRIZ	LARGURA (μm)	ALTURA (μm)
<i>buffer</i>	120,8	120,8
<i>A</i>	258,4	235,2
<i>B</i>	189,6	235,2
<i>D</i>	189,6	235,2
<i>E</i>	304,8	235,2
<i>F</i>	304,8	235,2
<i>G</i>	143,2	235,2

As conexões entre os capacitores foram feitas preferencialmente com trilhas de metal, pois interconexões feitas com trilhas de polissilício apresentam uma resistência elétrica significativamente maior que as equivalentes de metal.

Nas interconexões, tomou-se o cuidado de separar bem as trilhas conectadas às

saídas das trilhas conectadas às entradas dos OTA's, com o objetivo de se minimizar as capacitâncias parasitas que realizam indesejáveis realimentações positivas.

Também tomou-se o cuidado de separar a trilha conectada à placa superior da trilha conectada à placa inferior de um mesmo capacitor, com o objetivo de minimizar erros no valor de sua capacitância devido às capacitâncias parasitas entre trilhas. Por esse mesmo motivo, também foram evitados os cruzamentos entre essas duas trilhas.

V.4 - LAYOUT DO FILTRO A CAPACITORES CHAVEADOS

Com os *layouts* de todos os componentes do filtro a capacitores chaveados prontos, resta agora apresentar o *layout* do filtro completo. Portanto, seguindo a estrutura básica apresentada no diagrama da Figura V.1, o *layout* do filtro a capacitores chaveados é apresentado na Figura V.9.

O *layout* da Figura V.9 apresenta 2,128 mm de comprimento e 0,429 mm de altura, ocupando uma área de 0,913 mm².

Nos *layouts* dos componentes do filtro, as trilhas de metal 1 e metal 2 foram predominantemente empregadas nas interconexões dos elementos do circuito. Entretanto, nas interconexões dos componentes filtro no *layout* da Figura V.9 foram adotadas apenas trilhas de metal 2 e metal 3. Essa escolha foi feita porque as distâncias percorridas pelas trilhas apresentadas na Figura V.9 são significativamente grandes. Assim, com o objetivo de diminuir a capacitância parasita existente entre as trilhas e o substrato, foram adotadas trilhas de metal bem distantes do substrato [20].

O *layout* apresentado na Figura V.9 possui uma largura significativamente maior que sua altura. É importante lembrar que o projeto do circuito de detecção do efeito de cavitação não se limita apenas ao filtro a capacitores chaveados. Ainda há componentes a serem incluídos para compor todo o circuito integrado — componentes esses que não serão descritos neste trabalho. Tais componentes preencherão o espaço abaixo do *layout* da Figura V.9, dando ao *layout* do circuito integrado inteiro um formato mais próximo ao de um quadrado.

Assim, com o *layout* pronto, está concluído o projeto do filtro a capacitores chaveados. No capítulo seguinte são apresentados os resultados obtidos através de simulações do filtro projetado, para avaliar o seu desempenho.

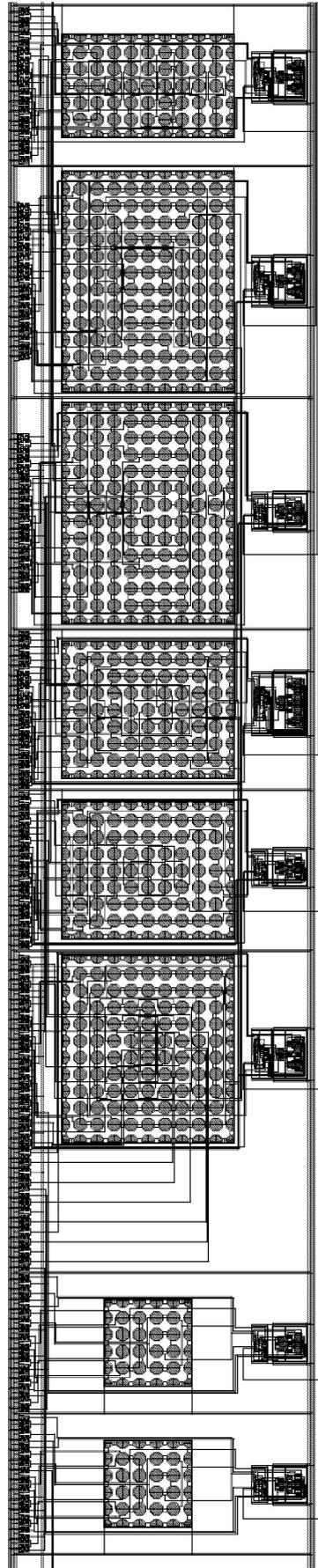


Figura V.9: *Layout* do Filtro a Capacitores Chaveados.

CAPÍTULO VI

RESULTADOS DAS SIMULAÇÕES

No Capítulo III foi descrito o procedimento de síntese do filtro a capacitores chaveados a partir de uma rede *ladder* passiva, adotada como protótipo. Entretanto, as simulações realizadas na ocasião consideravam ideais os amplificadores operacionais e as chaves analógicas, pois tinham como propósito apenas verificar se o filtro fora projetado corretamente.

No Capítulo IV os componentes do filtro a capacitores chaveados — capacitores, chaves analógicas e amplificadores operacionais de transcondutância — foram projetados e seus *layouts* foram descritos no Capítulo V. Com isso, agora podem ser realizadas simulações mais detalhadas, levando-se em conta a implementação de cada um dos componentes do filtros e os efeitos parasitas decorrentes do *layout* desenvolvido.

Para a realização das simulações, empregou-se o simulador *Spectre* que compõe o *software* CADENCE [25]. Este *software* permite a extração do circuito e dos efeitos parasitas¹ diretamente do *layout* desenvolvido, produzindo um modelo extraído do filtro. Esse modelo extraído permite uma simulação mais realista do circuito projetado. Portanto, todas as simulações apresentadas neste capítulo foram realizadas através do modelo extraído — exceto quando mencionado o contrário.

O modelo de transistor MOS adotado pelo simulador *Spectre* é o BSIM3v3. Os valores dos parâmetros desse modelo foram fornecidos pela empresa detentora do processo CMOS 0,35 μm considerado neste projeto. Além disso, foram adotados três conjuntos diferentes de valores numéricos para os parâmetros de processo. Um dos conjuntos contém os chamados parâmetros típicos, que correspondem aos valores médios dos parâmetros de processo. Um outro conjunto possui os piores casos dos valores dos parâmetros de processo, de forma que obtenhamos os piores desempenhos

¹Os efeitos parasitas são modelados com a adição de capacitores ao circuito, calculados de acordo com as dimensões físicas do *layout*.

possíveis em termos de velocidade de operação do circuito. E o outro conjunto possui os piores casos dos parâmetros de forma que o circuito apresente o maior consumo possível de energia. Dessa forma, os resultados das simulações possibilitarão avaliar quais serão os piores casos de desempenho do circuito projetado.

Com o objetivo de testar o desempenho de cada um dos componentes do filtro separadamente, na primeira seção são apresentados os resultados de simulação obtidos com as chaves analógicas, onde são avaliadas as características mais importantes das chaves que influenciam diretamente no desempenho do filtro a capacitores chaveados. Já na segunda seção, os resultados obtidos das simulações dos amplificadores operacionais de transcondutância (OTA) são apresentados.

Finalmente, na última seção, são apresentados os resultados obtidos através da simulação do filtro a capacitores chaveados e o seu desempenho é avaliado.

VI.1 - SIMULAÇÃO DAS CHAVES ANALÓGICAS

Na Seção IV.3, as chaves analógicas do filtro a capacitores chaveados foram devidamente projetadas, onde foram considerados dois tipos diferentes de chave: a chave S_1 e a S_2 . Agora, o objetivo é simular ambas as chaves desenvolvidas para avaliar seus desempenhos.

Conforme fora discutido na Seção IV.3, as características mais relevantes de uma chave analógica em um filtro a capacitores chaveados são: o tempo que cada uma levará para carregar os capacitores do filtro e o erro produzido na tensão sobre os capacitores devido aos efeitos de injeção de carga e de *clock feedthrough*. Dessa forma, as simulações apresentadas nesta seção destinam-se a avaliar exatamente essas características.

Primeiramente, foi testado o tempo que cada chave leva para carregar o seu pior caso de carga capacitiva. Para esta simulação, foi montado um circuito com uma fonte de tensão constante em série com uma das chaves analógicas e com uma carga capacitiva. O capacitor de carga estava previamente carregado com a menor tensão permitida pela excursão de sinal, ou seja, -1 V. A tensão na fonte era igual à maior tensão permitida pela excursão de sinal, ou seja, 1 V. Assim, o tempo de carga é medido para o pior caso de variação de tensão sobre um capacitor de carga. Quanto às cargas capacitivas, foi escolhido o maior valor equivalente de capacitância conectado a cada tipo de chave no filtro a capacitores chaveados, de acordo com Tabela IV.9. Assim, os valores das capacitâncias de pior caso para cada chave são apresentados na Tabela VI.1.

As respostas transitórias da tensão sobre o capacitor de carga, obtidas para cada uma das chaves S_1 e S_2 , são apresentadas nas Figuras VI.1 e VI.2, respectivamente. Nessas figuras também são mostrados os transitórios obtidos para o caso típico e para

Tabela VI.1: Pior caso de carga capacitiva para cada uma das chaves, quanto ao tempo de resposta transitória.

CHAVE ANALÓGICA	PIOR CASO DE CAPACITÂNCIA
S_1	2.2 pF
S_2	5.4 pF

o pior caso de velocidade dos parâmetros do processo CMOS, onde se observa que o tempo de resposta obtido com os parâmetros de pior caso é maior, como esperado.

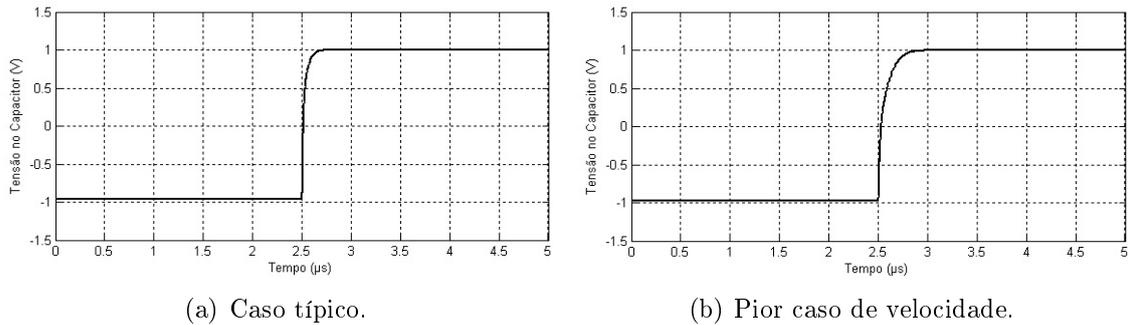


Figura VI.1: Transitórios de carregamento do pior caso de carga capacitiva para a chave analógica S_1 .

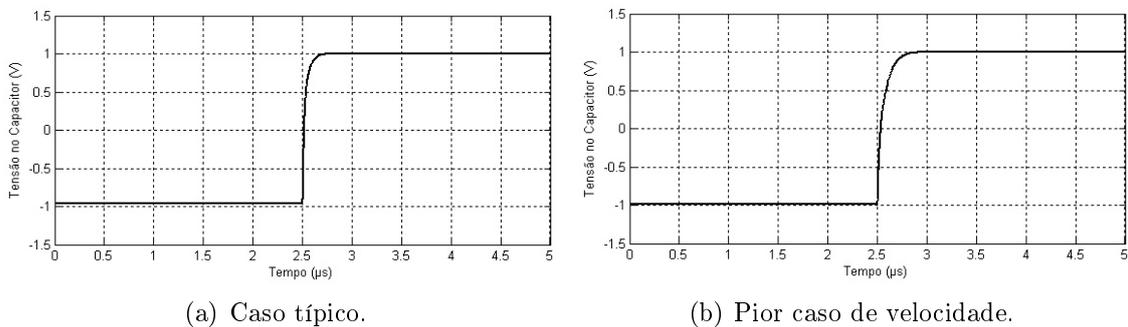


Figura VI.2: Transitórios de carregamento do pior caso de carga capacitiva para a chave analógica S_2 .

Na Tabela VI.2 são apresentados os tempos de carregamento medidos para cada uma das chaves, considerando que o tempo de carregamento do capacitor de carga está compreendido entre o instante em que a chave fecha e o instante em que a tensão no capacitor atinge 99% da sua tensão de regime permanente.

De acordo com os resultados apresentados na Tabela VI.2, verifica-se que todos os tempos de resposta transiente estão dentro do limite de $0.25 \mu s$ — o que corresponde a 10% do período de uma fase de chaveamento —, conforme especificado na Seção IV.3. Além disso, deve ser mencionado que essa característica se mantém mesmo quando são adotados os parâmetros de processo referentes ao pior caso de velocidade. Dessa forma, durante a operação do filtro a capacitores chaveados, o tempo de carga dos capacitores será dominado pela resposta transitória dos amplificadores operacionais

Tabela VI.2: Tempo de carregamento do pior caso de carga capacitiva para cada uma das chaves analógicas projetadas.

CHAVES ANALÓGICAS	CASO TÍPICO (μs)	PIOR CASO DE VELOCIDADE (μs)
S_1	0.11	0.24
S_2	0.10	0.21

de transcondutância, o qual é significativamente maior que os valores listados na Tabela VI.2.

Quanto à injeção de carga e ao efeito de *clock feedthrough*, foi adotado o mesmo circuito da simulação anterior. Agora, o objetivo é medir o erro produzido na tensão do capacitor de carga quando a chave se abre. Na simulação, a chave foi considerada inicialmente fechada, carregando o capacitor equivalente de carga com a máxima tensão permitida pela excursão de sinal. Quando a chave é aberta, a tensão no capacitor sofre uma pequena variação, devido tanto à injeção de carga, quanto ao *clock feedthrough*. Essa variação de tensão é tão maior quanto menor for a capacitância de carga. Dessa maneira, o pior caso da capacitância de carga adotado nessa simulação foi a menor capacitância equivalente conectada a cada tipo de chave. Assim, de acordo com os dados da Tabela IV.9, os piores casos de capacitância de carga para as chaves S_1 e S_2 são dados na Tabela VI.3.

Tabela VI.3: Pior caso de carga capacitiva para cada uma das chaves, quanto à injeção de carga e ao efeito de *clock feedthrough*.

CHAVE ANALÓGICA	PIOR CASO DE CAPACITÂNCIA
S_1	0.4 pF
S_2	3.6 pF

As variações de tensão medidas nos capacitores de carga para cada chave analógica são listadas na Tabela VI.4, onde são apresentadas as medições realizadas tanto para o caso de parâmetros típicos como, também, para o pior caso de velocidade.

Tabela VI.4: Erro de tensão em cada chave analógica devido aos efeitos de injeção de carga e de *clock feedthrough*.

CHAVES ANALÓGICAS	CASO TÍPICO (μV)	PIOR CASO DE VELOCIDADE (μV)
S_1	77	50
S_2	25	57

A partir dos resultados exibidos na Tabela VI.4, verifica-se que os erros de tensão medidos são menores que 0.01% da tensão máxima permitida pela excursão de sinal, ou seja, 1 V. Tais resultados são bastante satisfatórios, principalmente se levarmos em

consideração que o emprego de uma estrutura diferencial na implementação do filtro tende a diminuir ainda mais a influência desses erros sobre os sinais processados.

Portanto, os resultados obtidos nas simulações realizadas com as chaves analógicas se mostraram bastante satisfatórios para a sua aplicação no filtro a capacitores chaveados.

VI.2 - SIMULAÇÃO DOS AMPLIFICADORES OPERACIONAIS DE TRANSCONDUTÂNCIA

A Seção IV.2 apresenta a descrição do projeto dos OTA's empregados no filtro a capacitores chaveados. Além disso, foi mostrado que apenas três tipos diferentes de OTA's foram projetados para o filtro: OTA 1, OTA 2 e OTA 3. Portanto, o objetivo da presente seção é avaliar o desempenho de cada um desses OTA's, através de simulações.

A primeira característica a ser medida é a resposta em frequência do ganho de tensão de cada OTA. Como essa resposta é influenciada pela capacitância de carga vista pela saída do amplificador, as simulações foram realizadas levando-se em consideração essas capacitâncias de carga equivalentes, dadas em (IV.23). Os valores das capacitâncias equivalentes para cada integrador do filtro são listados na Tabela IV.7. Nas presentes simulações foi adotado o valor mais alto da capacitância equivalente C_{eq} para cada tipo de OTA. Os valores dessas capacitâncias de pior caso são listadas na Tabela VI.5.

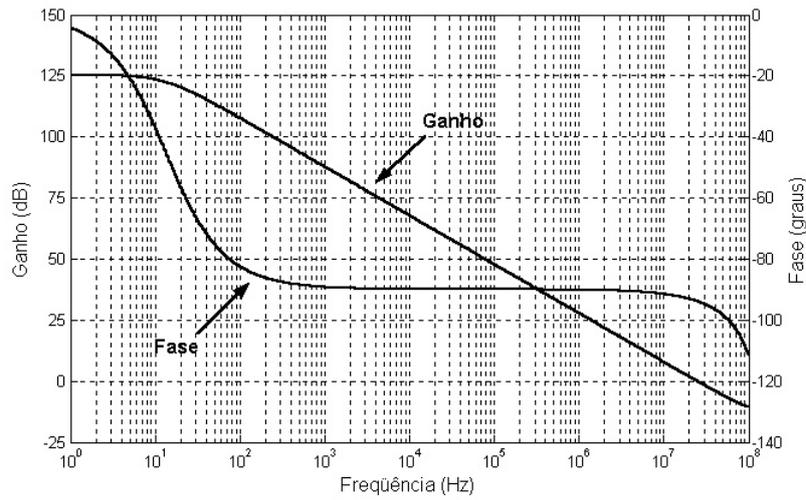
Tabela VI.5: Pior caso de carga capacitiva para cada um dos OTA's.

AMPLIFICADOR	PIOR CASO DE CAPACITÂNCIA
OTA 1	5.13 pF
OTA 2	3.14 pF
OTA 3	9.69 pF

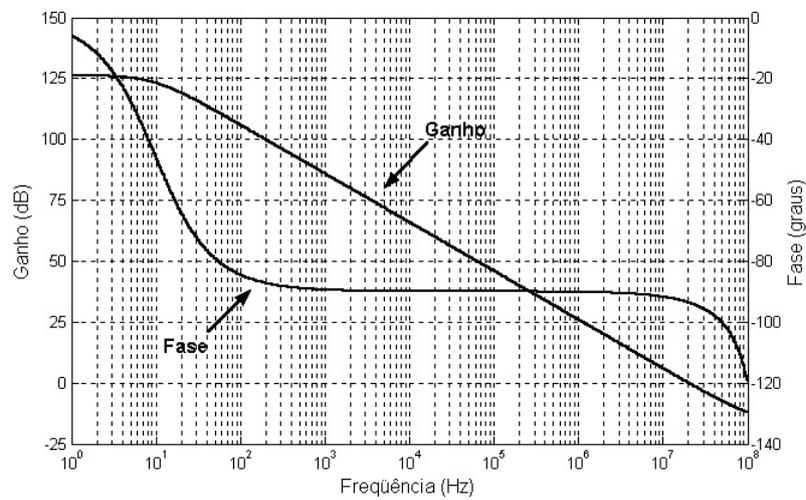
Desse modo, os gráficos da resposta em frequência — módulo e fase — dos OTA's 1, 2 e 3 são apresentados nas Figuras VI.3, VI.4 e VI.5, respectivamente. Em cada figura, consta a resposta em frequência obtida através do emprego dos parâmetros de processo típicos e aquela obtida através do emprego do pior caso de velocidade desses mesmos parâmetros.

Com base nos resultados apresentados nas Figuras VI.3, VI.4 e VI.5, foram elaboradas as Tabelas VI.6, VI.7 e VI.8, onde são listados os valores do ganho de tensão CC, do produto ganho-banda passante (GB) e da margem de fase, medidos para os OTA's 1, 2 e 3, respectivamente.

De acordo com os resultados obtidos para a resposta em frequência, verificou-se que todos os OTA's apresentaram um elevado ganho CC, da ordem de 120 dB.



(a) Caso típico.



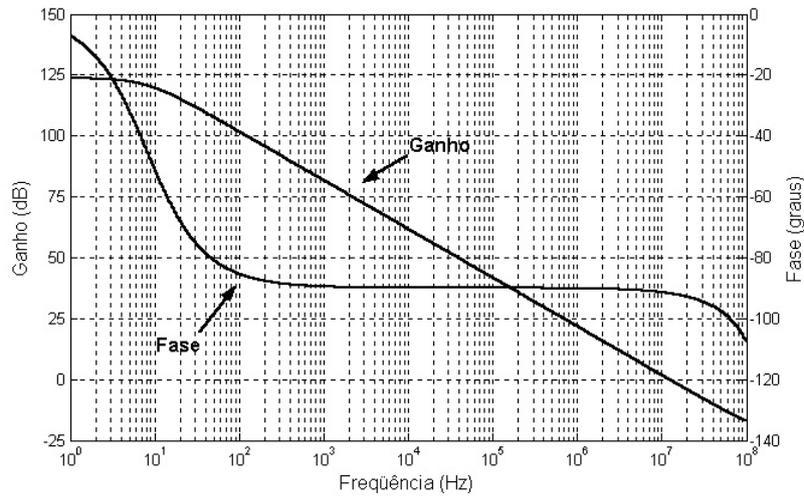
(b) Pior caso de velocidade.

Figura VI.3: Resposta em frequência do OTA 1.

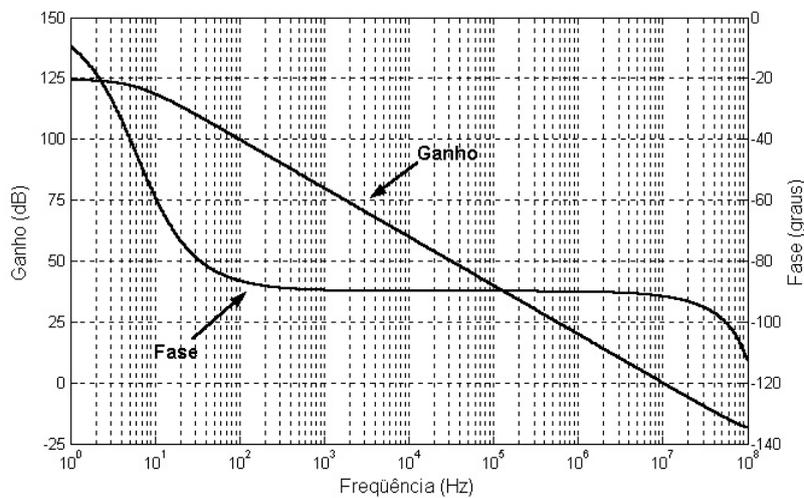
Tabela VI.6: Parâmetros da resposta em frequência do OTA 1.

PARÂMETROS	CASO TÍPICO	PIOR CASO DE VELOCIDADE
Ganho	125,3 dB	126,3 dB
GB	25,2 MHz	20,5 MHz
Margem de Fase	86, 1°	86, 4°

Essa característica é especialmente adequada em circuitos a capacitores chaveados, pois o erro na tensão de saída dos amplificadores será tão menor quanto maior for o seu ganho de tensão CC. Isso acontece porque quanto maior o ganho, mais a tensão diferencial de entrada do OTA ficará próxima de zero durante a operação do filtro — ou seja, o OTA apresentará uma comportamento mais próximo do ideal. É importante mencionar que os elevados ganhos verificados se devem ao fato de que foi adotada a topologia de cascode regulado, que proporciona uma elevada impedância de saída e, conseqüentemente, um elevado ganho de tensão.



(a) Caso típico.



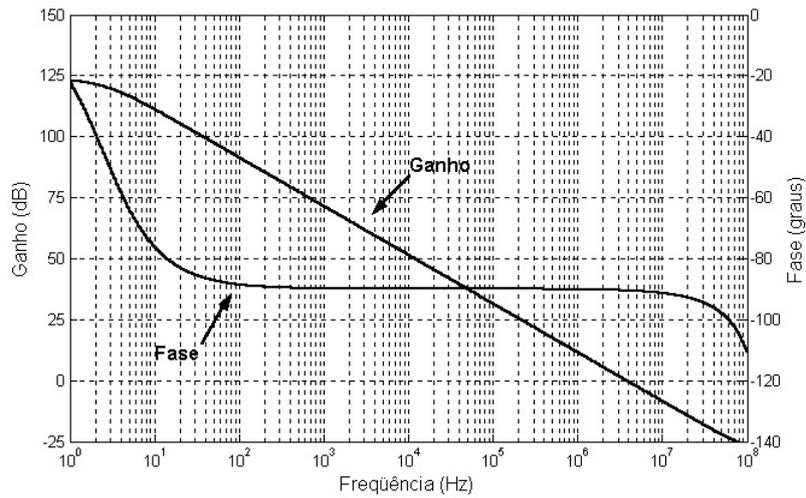
(b) Pior caso de velocidade.

Figura VI.4: Resposta em frequência do OTA 2.

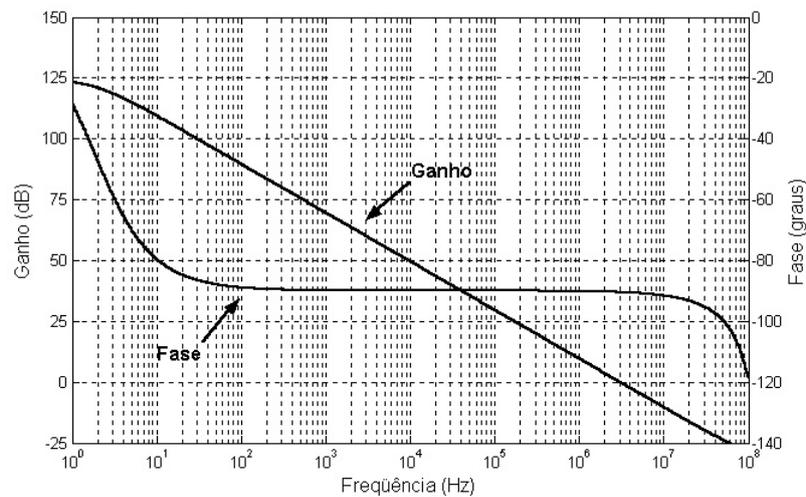
Tabela VI.7: Parâmetros da resposta em frequência do OTA 2.

PARÂMETROS	CASO TÍPICO	PIOR CASO DE VELOCIDADE
Ganho	123,6 dB	124,2 dB
GB	12,5 MHz	10,1 MHz
Margem de Fase	88,3°	88,4°

Outra característica relevante é a grande margem de fase verificada em todos os OTA's. Essa característica é importante para garantir a estabilidade dos amplificadores quando eles forem realimentados. A grande margem de fase se deve ao pólo dominante em baixa frequência — cujo efeito pode ser visualizado nos gráficos da resposta em frequência das Figuras VI.3, VI.7 e VI.8 — criado pela combinação de uma elevada impedância de saída dos OTA's com a sua respectiva carga capacitiva. Inclusive, essa é a razão pela qual os circuitos a capacitores chaveados empregam OTA's, ao invés de amplificadores operacionais — os quais apresentam baixa impedância de



(a) Caso típico.



(b) Pior caso de velocidade.

Figura VI.5: Resposta em frequência do OTA 3.

Tabela VI.8: Parâmetros da resposta em frequência do OTA 3.

PARÂMETROS	CASO TÍPICO	PIOR CASO DE VELOCIDADE
Ganho	123,0 dB	123,2 dB
GB	4 MHz	3 MHz
Margem de Fase	84,5°	84,7°

saída —, conforme foi discutido na Seção II.3.

Por fim, deve ser mencionado que os OTA's apresentaram um produto ganho-banda passante da ordem de megahertz, o que é mais do que o suficiente para um circuito a capacitores chaveados que opera com uma frequência de chaveamento de 200 kHz.

Depois da resposta em frequência, outra característica importante a ser avaliada é o tempo que a saída de um OTA leva para atingir a tensão de regime permanente quando ocorre uma transição de fase. Conforme foi mencionado na Seção IV.2, esse

tempo de resposta transiente também depende dos capacitores do filtro conectados ao OTA. Por isso, a simulação realizada para avaliar essa característica empregou, sem perda de generalidade, o circuito do integrador *forward* de Euler, também levando em conta a capacitância de carga conectada à saída do OTA, conforme mostrado na Figura VI.6.

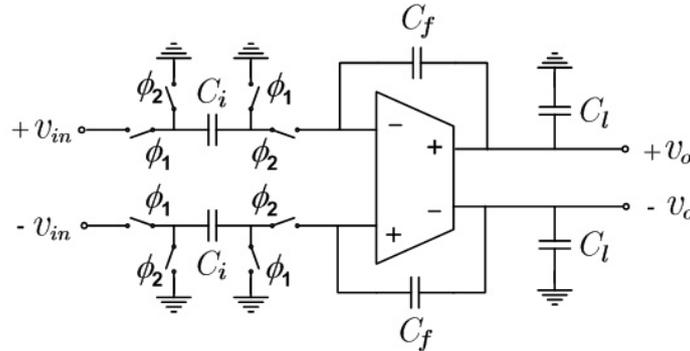


Figura VI.6: Circuito para a medição do tempo da resposta transitória na saída do OTA.

Para cada OTA projetado, a simulação foi realizada considerando o pior caso dos capacitores C_i , C_f e C_l — caso em que a resposta transitória terá maior duração. De acordo com as Tabelas IV.1 a IV.6, as capacitâncias de pior caso para cada OTA são listadas na Tabela VI.9.

Tabela VI.9: Pior caso das capacitâncias C_i , C_f e C_l para cada OTA.

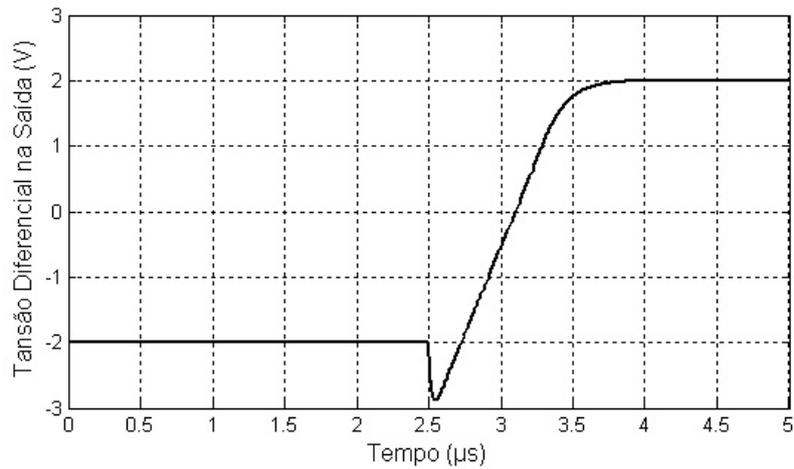
AMPLIFICADOR	C_i	C_f	C_l
OTA 1	5,6 pF	4,0 pF	2,8 pF
OTA 2	5,0 pF	4,4 pF	0,8 pF
OTA 3	2,8 pF	2,4 pF	8,4 pF

Nas simulações, atribuiu-se uma tensão inicial de -1 V e $+1$ V para os capacitores de carga C_l dos terminais de saída positivo e negativo, respectivamente. Dessa forma, aplicando-se uma tensão de entrada constante adequada², produziu-se uma variação de tensão diferencial de -2 V a $+2$ V na saída do OTA. Essa variação corresponde à máxima variação de tensão permitida para a excursão de sinal na saída do OTA, correspondendo ao pior caso do tempo de transição.

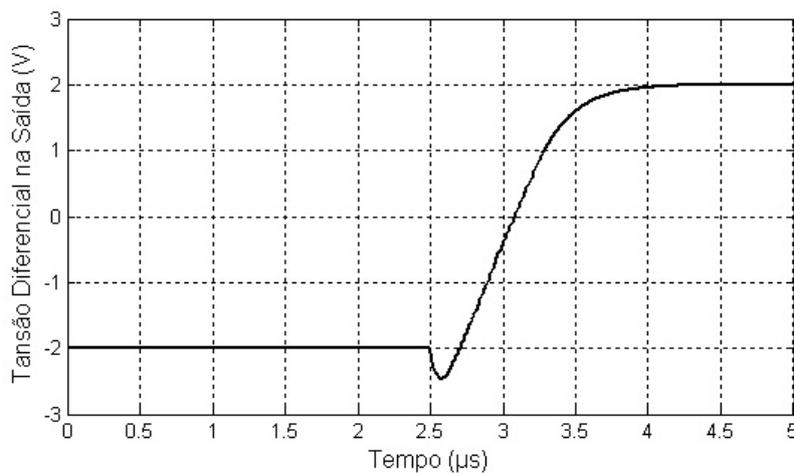
Então, simulando o circuito da Figura VI.6 para cada OTA, obtiveram-se as respostas transitórias apresentadas nas Figuras VI.7, VI.8 e VI.9, para os OTA's 1, 2 e 3, respectivamente.

Para cada OTA, foi simulada a resposta transitória para o caso típico dos parâmetros de processo e, também, para o pior caso de velocidade dos mesmos.

²A tensão v_{in} necessária para se produzir uma variação de tensão de -1 V para $+1$ V na saída positiva de cada OTA é dada por $v_{in} = (2C_f)/C_i$.



(a) Caso típico.

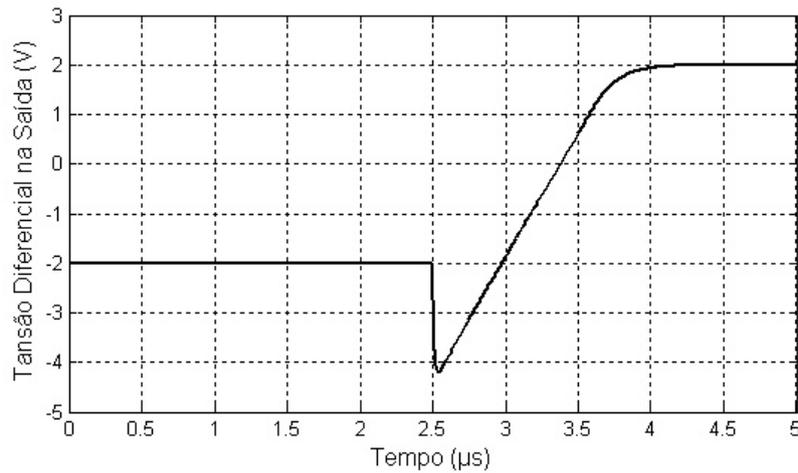


(b) Pior caso de velocidade.

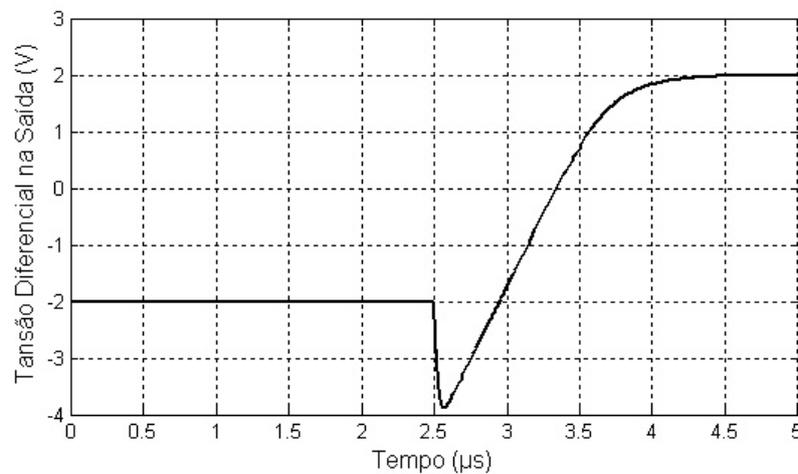
Figura VI.7: Resposta Transitória da tensão diferencial na saída do OTA 1.

Analisando essas respostas transitórias, verifica-se que, imediatamente após o início da fase ϕ_2 — fase em que ocorre a transição de sinal na saída —, a tensão sofre uma ligeira queda antes de crescer e atingir o valor de regime permanente. Isso ocorre porque, logo no início da fase ϕ_2 , os capacitores C_i , carregados com a tensão de entrada v_{in} , são conectados diretamente às entradas do OTA. Isso faz com que a tensão diferencial de entrada do OTA deixe de ser nula quase imediatamente. Essa variação brusca de tensão acaba sendo refletida para a saída v_o através dos capacitores C_f , provocando a queda de tensão verificada nos resultados.

No caso específico do filtro a capacitores chaveados, o tempo de resposta transitória que importa é o tempo que a saída do OTA leva para atingir o seu valor de regime permanente desde o início de uma fase de chaveamento. Desse modo, considerando que o regime permanente é alcançado quando a tensão na saída atingir 99% do seu valor final — de acordo com o que foi considerado durante o projeto apresentado na Seção IV.2 —, os tempos de resposta transitória, medidos para cada OTA, são



(a) Caso típico.



(b) Pior caso de velocidade.

Figura VI.8: Resposta Transiente da tensão diferencial na saída do OTA 2.

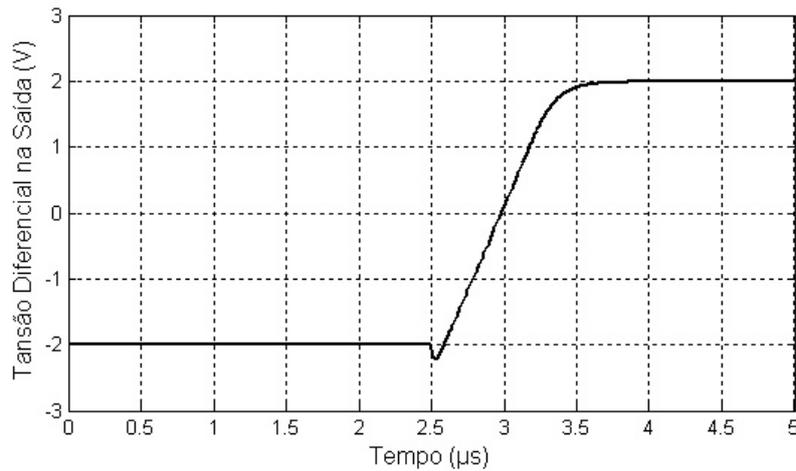
Tabela VI.10: Tempo de resposta transitória para cada OTA.

AMPLIFICADOR	CASO TÍPICO	PIOR CASO DE VELOCIDADE
OTA 1	1,1 μs	1,2 μs
OTA 2	1.4 μs	1.5 μs
OTA 3	0.95 μs	1.0 μs

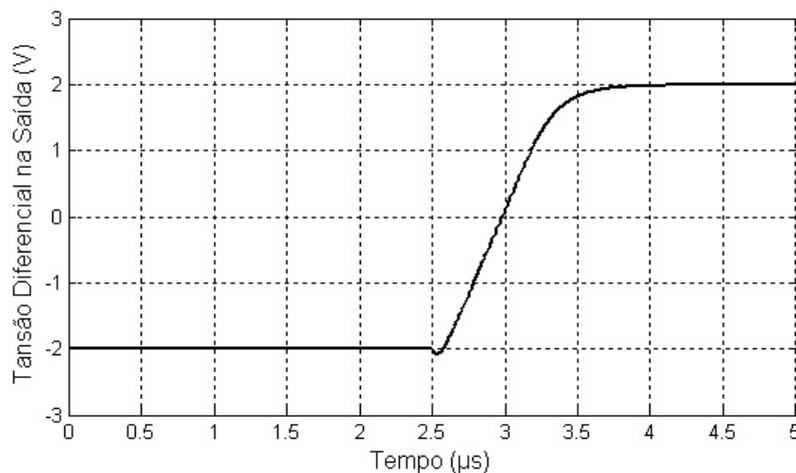
listados na Tabela VI.10.

Na Seção IV.2, foi estabelecido que o tempo da resposta transitória deveria se estender por, no máximo, dois terços do intervalo de tempo correspondente a uma fase de chaveamento, ou seja, aproximadamente 1,67 μs . De acordo com os resultados apresentados na Tabela VI.10, verifica-se que todos os tempos medidos para a resposta transitória são menores que esse limite, garantindo que a tensão na saída dos OTA's conseguirá se estabilizar durante o intervalo de uma fase de chaveamento.

Com o tempo de estabilização adequado, resta ainda verificar a excursão de sinal na saída de cada OTA. Para isso, foram realizadas simulações, onde cada OTA foi



(a) Caso típico.



(b) Pior caso de velocidade.

Figura VI.9: Resposta Transiente da tensão diferencial na saída do OTA 3.

idealmente realimentado como *buffer*, ou seja, a tensão diferencial na saída foi subtraída da tensão diferencial de entrada — empregando-se um subtrator ideal — e o resultado da diferença foi aplicado à entrada do OTA. Dessa forma, a tensão na saída do OTA irá acompanhar a tensão de entrada do *buffer*.

A partir das simulações realizadas com esse *buffer* diferencial, foram traçados os gráficos da tensão diferencial na saída dos OTA's em função da tensão diferencial de entrada dos *buffers*, exibidos nas Figuras VI.10(a), VI.10(b) e VI.10(c), para os OTA's 1, 2 e 3, respectivamente.

De acordo com a Seção IV.2, a excursão de sinal especificada para a tensão diferencial na saída dos OTA's foi de ± 2 V. Dessa forma, aplicando-se um sinal senoidal de 10 kHz, com amplitude de 2 V, aos *buffers* diferenciais da simulação acima, mediu-se a distorção harmônica total (THD) do sinal diferencial produzido na saída de cada um dos OTA's. Os valores obtidos são apresentados na Tabela VI.11. De acordo com esses resultados, verifica-se que o comportamento não linear dos OTA's introduz uma

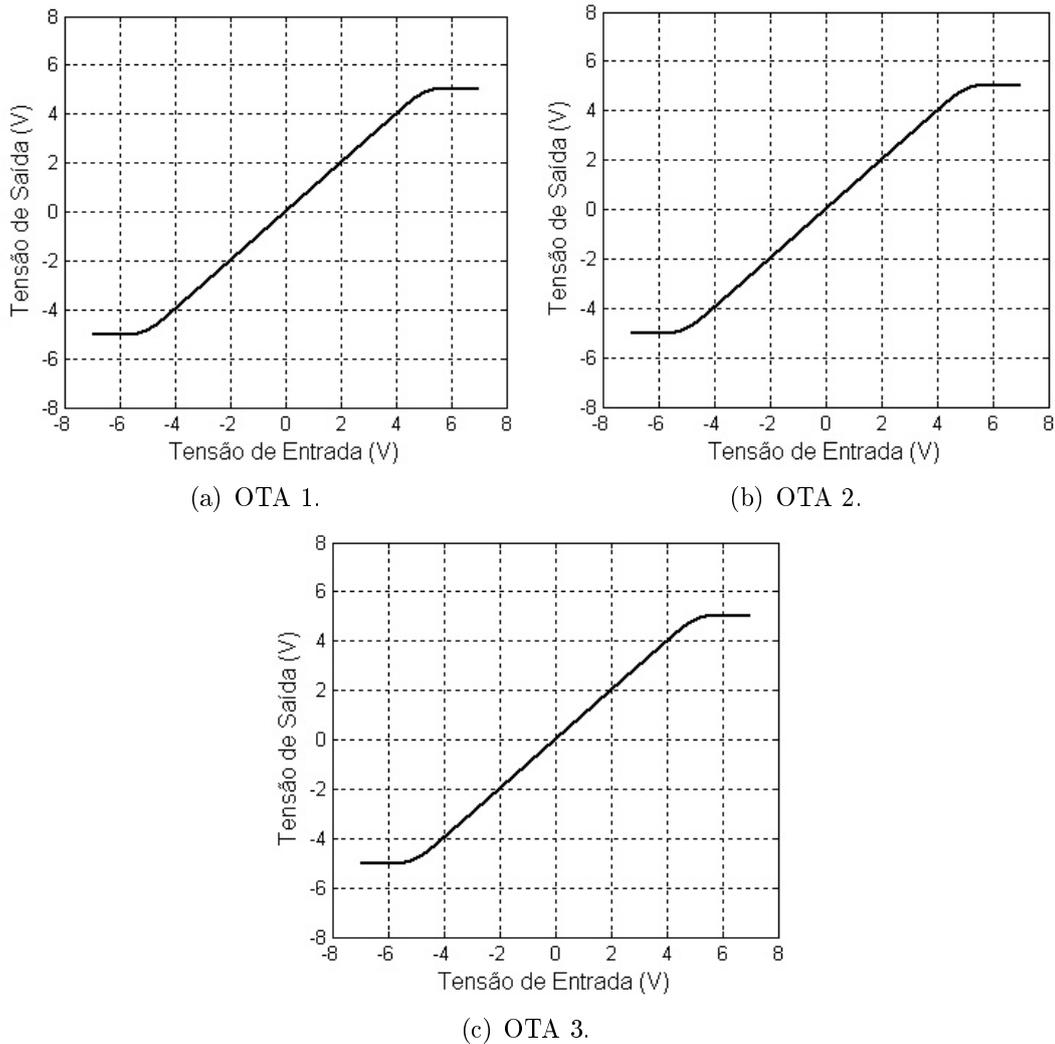


Figura VI.10: Tensão de saída versus a tensão de entrada de um *buffer* construído com cada um dos OTA's, mostrando as características de excursão de sinal.

baixa distorção no sinal compreendido dentro dos limites da excursão especificada.

Tabela VI.11: Valores de THD medidos na saída de cada OTA para um sinal diferencial de 10 kHz, com amplitude de 2 V.

AMPLIFICADOR	THD
OTA 1	0,0174% (-75, 2 dB)
OTA 2	0,0181% (-74, 8 dB)
OTA 3	0,0183% (-74, 8 dB)

Na Tabela VI.12 são apresentados os resultados de medições adicionais, realizadas para cada OTA. Foram medidos os valores da taxa de rejeição ao modo comum (CMRR — *Common Mode Rejection Ratio*), da tensão equivalente de ruído na entrada e da taxa de rejeição à tensão de alimentação (PSRR — *Power Supply Rejection Ratio*), a qual foi medida com respeito a cada uma das fontes de alimentação separadamente.

Tabela VI.12: Medidas adicionais de desempenho dos OTA's.

OTA	CMRR	EQUIVALENTE DE RUÍDO NA ENTRADA	PSRR	
			+2,5 V	-2,5 V
OTA 1	347 dB	24,8 μV	245 dB	263 dB
OTA 2	357 dB	39,6 μV	254 dB	271 dB
OTA 3	351 dB	21,7 μV	263 dB	282 dB

De acordo com a Tabela VI.12, verifica-se que tanto a CMRR, como a PSRR, apresentaram valores bem elevados. Isso acontece porque o emprego de saídas diferenciais nos OTA's faz com que os efeitos de uma tensão de modo comum na entrada e de uma variação nas tensões de alimentação sejam significativamente reduzidos.

Quanto à potência de cada um dos OTA's, a Tabela VI.13 lista os valores de potência medidos, levando-se em consideração tanto os parâmetros de processo típicos, como os de pior caso para o consumo de energia.

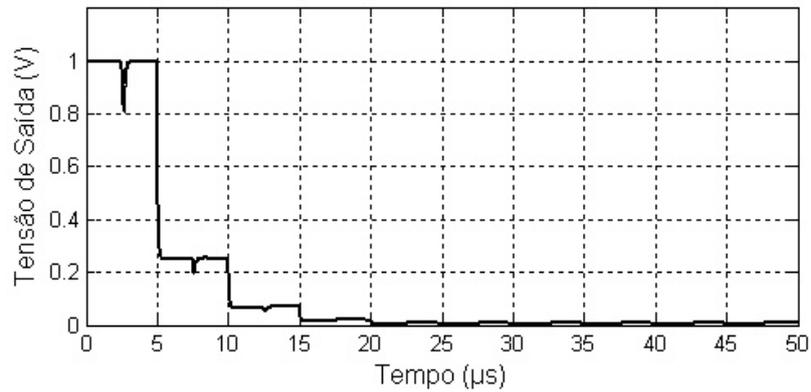
Tabela VI.13: Potência dos OTA's.

OTA	POTÊNCIA	
	CASO TÍPICO	PIOR CASO
OTA 1	227,415 μW	227,420 μW
OTA 2	179,925 μW	179,950 μW
OTA 3	352,550 μW	352,575 μW

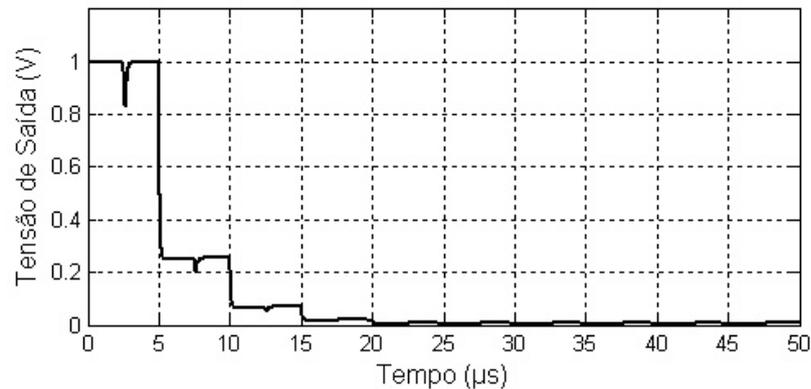
Finalmente, foi realizada uma simulação para avaliar o desempenho do circuito de controle de modo comum a capacitores chaveados — apresentado na Seção IV.2.2. Nesta simulação, nenhum sinal foi aplicado aos terminais de entrada e as capacitâncias equivalentes de carga — listadas na Tabela VI.5 — foram consideradas. Além disso, foram atribuídas condições iniciais aos capacitores de carga de forma que a tensão de modo comum na saída fosse, inicialmente, igual a 1 V — que corresponde ao limite máximo especificado para a excursão de sinal na saída.

O comportamento transitório da tensão de modo comum na saída dos OTA's 1, 2 e 3 é apresentado nas Figuras VI.11(a), VI.11(b) e VI.11(c), respectivamente.

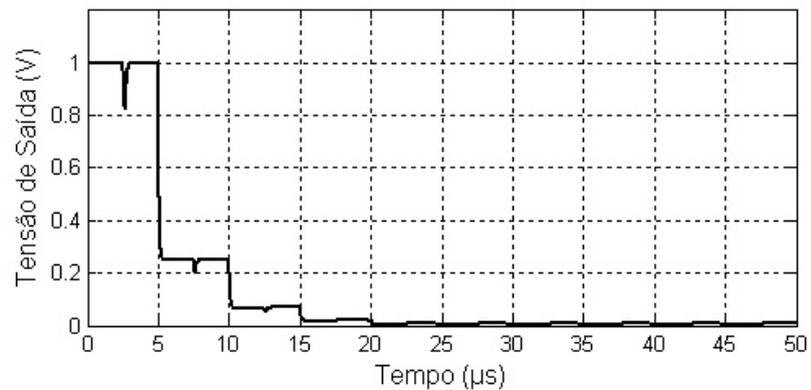
Observando os gráficos da Figura VI.11, verifica-se que a tensão de modo comum foi estabilizada em zero em apenas quatro ciclos de chaveamento. Além disso, pode ser notado que a tensão de modo comum sofre um pouco de interferência provocada pelo chaveamento do circuito de controle de modo comum. Essa é a razão pela qual esse circuito não é normalmente utilizado no controle de modo comum em amplificadores aplicados a circuitos contínuos no tempo, pois a interferência dos sinais de *clock* degradariam os sinais processados pelo filtro.



(a) OTA 1.



(b) OTA 2.



(c) OTA 3.

Figura VI.11: Transiente da tensão de modo comum na saída de cada um dos OTA's, devido ao controle de modo comum a capacitores chaveados.

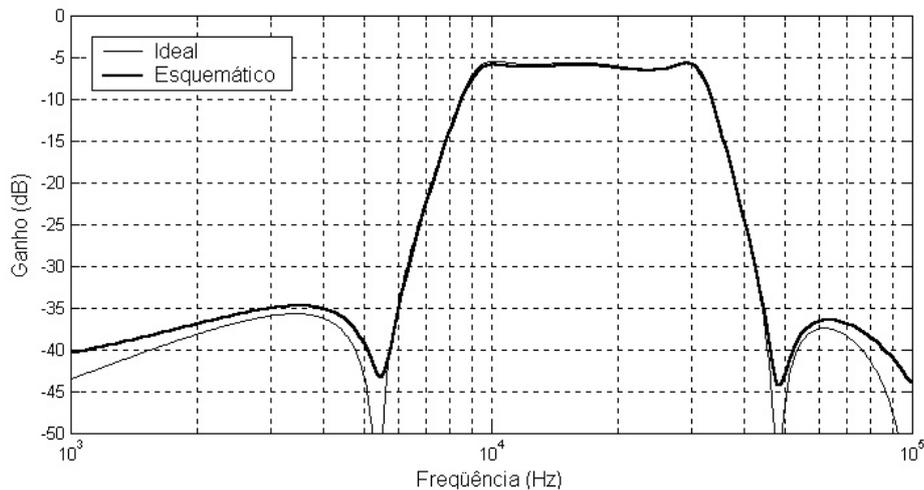
VI.3 - SIMULAÇÃO DO FILTRO A CAPACITORES CHAVEADOS

No Capítulo III foram apresentadas simulações com um modelo do filtro a capacitores chaveados, onde as chaves e os amplificadores operacionais eram considerados ideais. Nesta seção, novas simulações do filtro são realizadas para avaliar o efeito da implementação não ideal dos seus componentes e verificar a influência dos efeitos parasitas sobre a resposta em frequência do filtro.

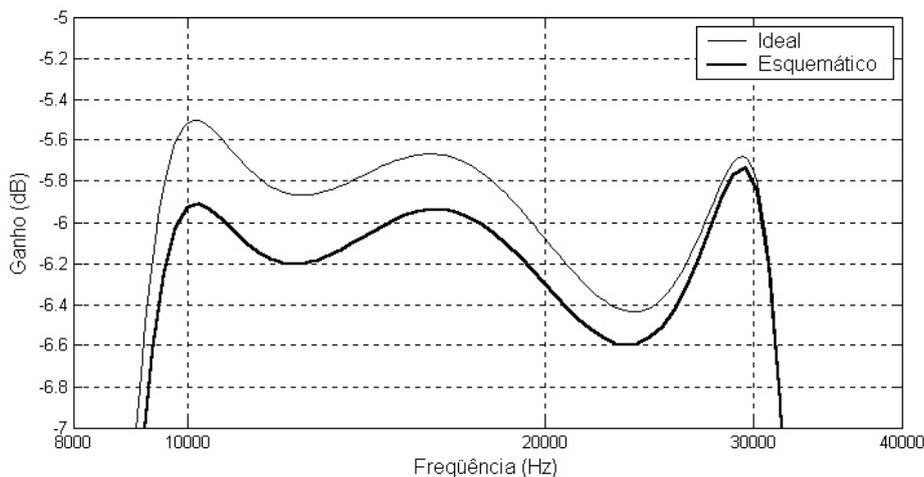
O *software* CADENCE permite ao usuário realizar uma simulação considerando apenas a implementação do circuito descrita nos diagramas esquemáticos, desconsiderando qualquer tipo de efeito parasita. Neste texto, iremos identificar esse tipo de simulação como sendo a *simulação de esquemático*, e ela serve para avaliar apenas os efeitos da implementação não ideal das chaves e dos amplificadores operacionais do filtro.

Além da simulação de esquemático, o CADENCE permite ao usuário realizar uma simulação que leva em consideração os efeitos parasitas, de acordo com o *layout* do circuito. Para isso, o *software* cria uma segunda versão do circuito, onde esses efeitos são extraídos do *layout*. Neste texto, iremos identificar esse tipo de simulação como sendo a *simulação do circuito extraído*.

Na Figura VI.12, é apresentada uma comparação entre os módulos da resposta em frequência do filtro, obtidos através das simulações ideal e de esquemático.



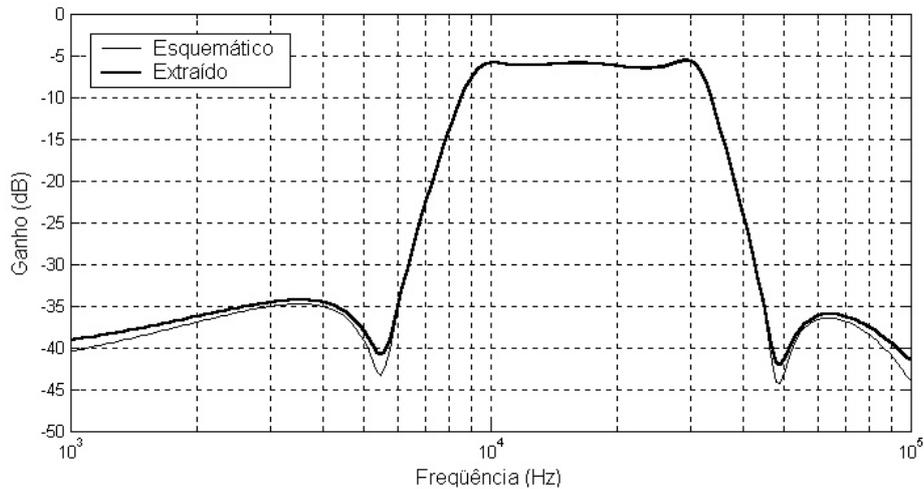
(a) Módulo da resposta em frequência do filtro.



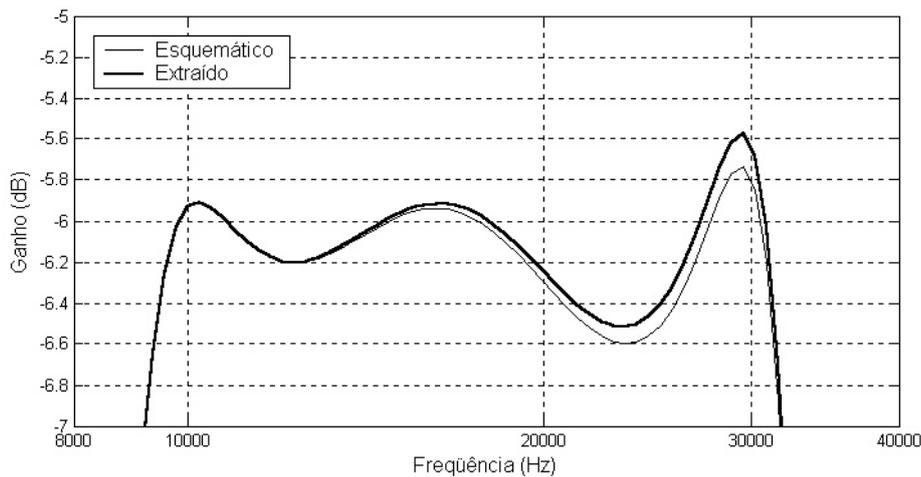
(b) Detalhe da banda passante.

Figura VI.12: Comparação entre o módulo da resposta em frequência obtida por meio da simulação ideal e por meio da simulação de esquemático.

Já na Figura VI.13, é apresentada a comparação entre os módulos da resposta em frequência do mesmo filtro, obtidos através da simulação de esquemático e através da simulação do circuito extraído.



(a) Módulo da resposta em frequência do filtro.



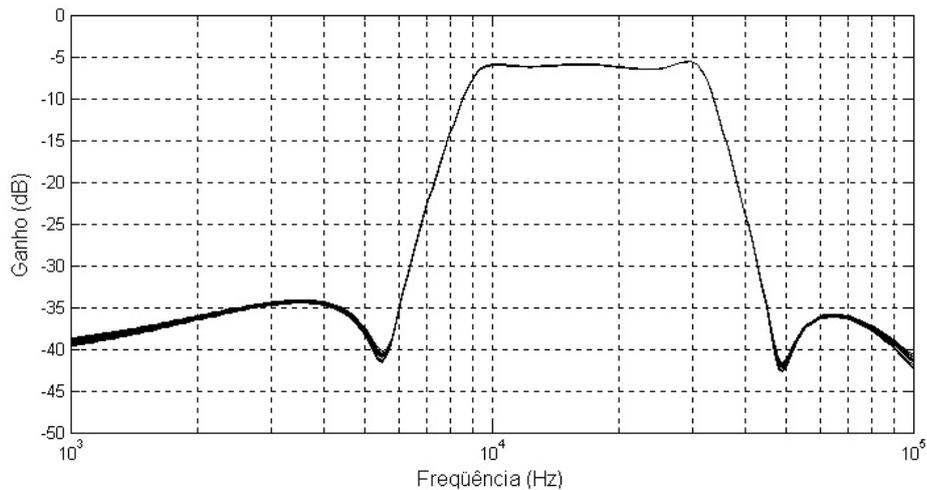
(b) Detalhe da banda passante.

Figura VI.13: Comparação entre o módulo da resposta em frequência obtida por meio da simulação de esquemático e por meio da simulação do circuito extraído.

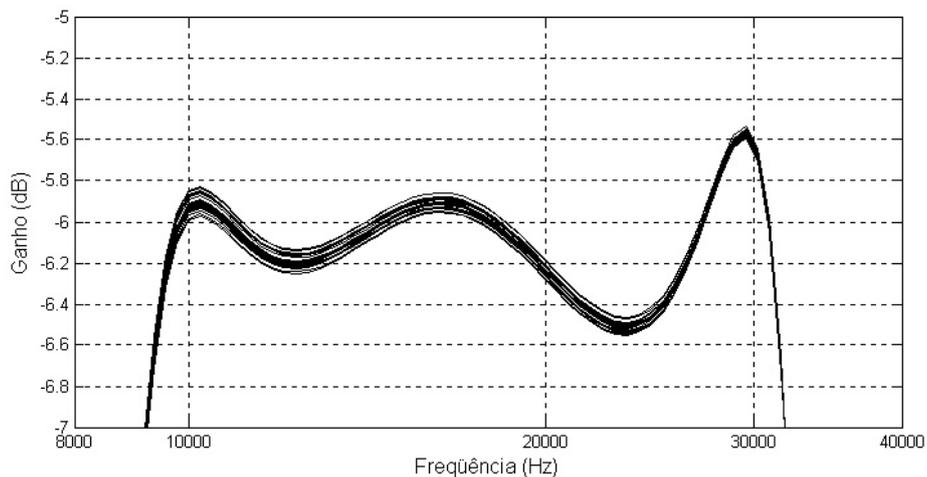
A partir desses resultados, verifica-se que as diferenças mais significativas ocorreram na comparação entre as respostas da simulação ideal e da simulação de esquemático. Isso mostra que os efeitos parasitas exerceram menos influência sobre a dinâmica do circuito, o que está diretamente relacionado com todos os cuidados tomados na elaboração do *layout*, conforme discutido no Capítulo V.

Quanto às especificações do filtro, verifica-se que os limites das bandas passante e de rejeição foram mantidos e o *ripple* da banda passante continua menor que 1 dB. Entretanto, as alterações verificadas na banda de rejeição do filtro fizeram com que a mínima atenuação fosse de 28,7 dB em relação à mínima atenuação na banda passante, o que é ligeiramente diferente dos 30 dB especificados.

Verificada a influência dos componentes não ideais e dos efeitos parasitas sobre a resposta em frequência do filtro, resta ainda verificar a influência da variação dos parâmetros de processo e do descasamento entre os componentes. Para isso, foi realizada uma simulação de Monte Carlo, onde os parâmetros de processo e o casamento entre os componentes foi variado. Os gráficos obtidos através das cinquênta simulações realizadas são apresentados na Figura VI.14. De acordo com esses resultados, pode ser verificada a baixa sensibilidade do filtro a capacitores chaveados, característica que se deve à implementação através de simulação de rede *ladder*, conforme discutido na Seção II.4.



(a) Módulo da resposta em frequência do filtro.



(b) Detalhe da banda passante.

Figura VI.14: Simulação de Monte Carlo da resposta em frequência do filtro.

Avaliadas as características da resposta em frequência do filtro, o próximo passo é avaliar a excursão de sinal na saída do filtro e a sua faixa dinâmica. Dessa forma, aplicando-se um sinal senoidal diferencial com frequência de 10 kHz e 2 V de amplitude — a máxima amplitude especificada para um sinal diferencial de entrada —, obtém-se, na saída do filtro, o sinal apresentado na Figura VI.15. O THD desse sinal

ficou em 0,278% (−51,1 dB).

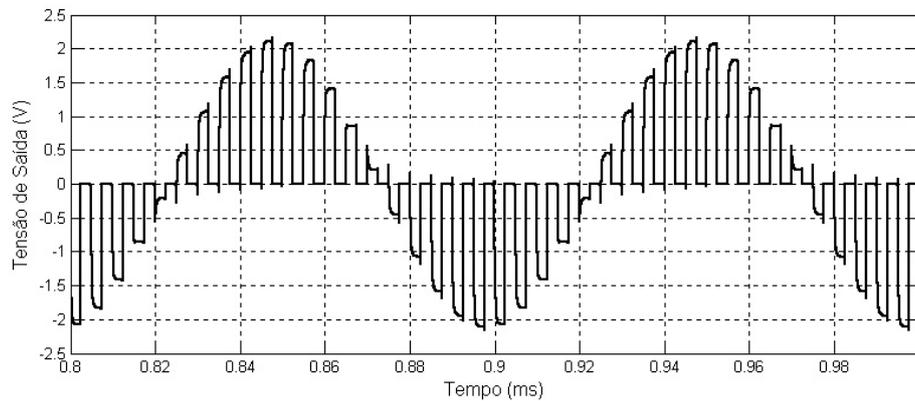


Figura VI.15: Sinal na saída do filtro devido a um sinal diferencial senoidal de 10 kHz, com 2 V de amplitude, aplicado à entrada.

Verifica-se, aqui, que o emprego da estrutura diferencial na implementação do filtro possui a vantagem adicional de suprimir os harmônicos pares, reduzindo a distorção da forma de onda na saída.

Quanto à faixa dinâmica do filtro, foi considerado que a máxima excursão de sinal na saída é aquela que produz um THD de 1% (−40 dB) para um sinal com frequência de 10 kHz. Dessa forma, os resultados das simulações mostraram que a máxima excursão foi de 3,2 V. Usando o CADENCE para medir a potência de ruído na saída, obteve-se que $v_n^2 = 9,95 \cdot 10^{-8} \text{ V}^2$. Portanto, a faixa dinâmica obtida para o filtro foi de 80,12 dB.

Finalmente, as simulações mostraram que o filtro completo apresenta uma potência de 1,653 mW, quando são considerados os parâmetros de processo típicos, e 1,754 mW, quando são considerados os parâmetros de pior caso.

CAPÍTULO VII

CONCLUSÕES

Neste trabalho foi apresentado o projeto de um filtro a capacitores chaveados, destinado ao processamento dos sinais envolvidos na detecção do efeito de cavitação em turbinas de usinas hidrelétricas. O papel do filtro é o de processar o sinal proveniente de um acelerômetro, que mede as vibrações das turbinas devido ao efeito de cavitação.

Ao longo deste trabalho, foram apresentados: o projeto do filtro a capacitores chaveados, de forma a atender às especificações recomendadas pelo CEPTEL; o projeto dos componentes do circuito do filtro; o *layout* do filtro, para a fabricação em circuito integrado e os resultados obtidos através de simulações, realizadas com o *software* CADENCE.

VII.1 - CONCLUSÕES GERAIS

Ao longo do Capítulo III, foi mostrado o procedimento para obter o filtro a capacitores chaveados através da simulação de uma rede *ladder* passiva duplamente terminada. De acordo com os resultados obtidos, pudemos verificar que o procedimento adotado conseguiu produzir adequadamente um filtro a capacitores chaveados com as especificações desejadas.

Além disso, também dever ser mencionado o fato de ter sido possível implementar um filtro a capacitores chaveados usando uma combinação de integradores de Euler, embora tenha sido adotada a transformação bilinear para a obtenção do filtro discreto a partir do protótipo contínuo no tempo. Essa implementação fez com que a área ocupada pelo filtro fosse significativamente reduzida, devido ao fato de que não foram adotados integradores bilineares — com exceção da integração do sinal de entrada. De acordo com [5], a desvantagem da implementação com integradores de Euler, em relação à implementação com integradores bilineares, está no fato de que esta última

apresenta menor sensibilidade. Entretanto, os resultados da simulação de Monte Carlo mostram que a sensibilidade do filtro obtido é satisfatória.

Outro fato relevante do Capítulo III é o método desenvolvido para aproximar os valores numéricos das razões de capacitores por números inteiros. Conforme demonstrado no próprio Capítulo III, esse método produz uma razão com os menores números inteiros possíveis que aproximam um dado valor dentro de uma tolerância especificada. De acordo com os resultados obtidos, verificou-se que as aproximações distorceram um pouco a forma do gráfico do módulo da resposta em frequência do filtro. Esses efeitos foram sentidos principalmente na banda passante do filtro, que deixou de ser *equirriple*. Os erros introduzidos pelas aproximações podem ser atenuados, caso o projetista adote tolerâncias mais severas do que aquelas apresentadas na Tabela III.6. Todavia, conforme foi discutido na Seção III.7, quanto maior a precisão desejada nas aproximações, maiores serão os números inteiros adotados na implementação das razões de capacitores. Conseqüentemente, mais capacitores base serão adotados na implementação dos capacitores do filtro, o que leva a um aumento na área ocupada pelo circuito integrado. Portanto, existe um compromisso entre a precisão das aproximações e a área ocupada pelo circuito do filtro.

No final do Capítulo III, foram citadas as vantagens que a implementação diferencial do filtro a capacitores chaveados apresenta. Entre as características citadas, a redução dos erros produzidos pela injeção de carga e pelo *clock feedthrough* são aquelas que estão diretamente relacionadas com filtros a capacitores chaveados. Além disso, o emprego da estrutura diferencial tem a vantagem de proporcionar uma maior imunidade ao ruído de modo comum aplicado à entrada do filtro, assim como atenuar os harmônicos de ordem par, reduzindo a distorção. A desvantagem foi o fato de que o circuito precisou do dobro de capacitores e chaves que seriam necessários caso fosse adotada uma implementação com saída simples. Entretanto, as vantagens proporcionadas pela implementação diferencial compensam essa desvantagem.

Quanto aos capacitores do filtro, a capacitância adotada para o capacitor base se mostrou bastante adequada, pois não produziu um circuito exageradamente grande e, principalmente, proporcionou ao filtro um bom desempenho em termos de ruído, conforme verificado nos resultados das simulações.

No caso das chaves analógicas, os resultados mostraram que o desempenho delas foi bastante satisfatório, no que se refere ao tempo de carregamento dos capacitores conectados a elas e aos efeitos de injeção de carga e *clock feedthrough*.

De acordo com os resultados obtidos para a resposta em frequência dos OTA's, pôde-se constatar que ao adotar amplificadores operacionais de transcondutância, ao invés de amplificadores operacionais, não houve a necessidade de se realizar a compensação dos amplificadores para garantir a estabilidade do circuito. Isso se deve à combinação da elevada impedância de saída dos OTA's com a capacitância vista

a partir dos terminais de saída. Tal impedância de saída também fez com que os OTA's exibissem um elevado ganho CC, que proporciona um pequeno erro na tensão de saída de cada amplificador durante a operação do filtro. Portanto, essas características mostram que foi bastante vantajoso adotar a topologia do OTA com cascode regulado, pois ela produziu uma elevada impedância de saída, proporcionando todas essas vantagens. Entretanto, a topologia com cascode regulado possui o inconveniente de ser a que mais consome energia, mas os resultados obtidos mostram que os OTA's projetados apresentaram uma potência razoável, devido ao fato do circuito operar com uma frequência de chaveamento relativamente baixa (200 kHz).

Com base nos resultados obtidos nas simulações do filtro a capacitores chaveados, verificou-se que os efeitos da implementação não ideal dos componentes do circuito sobre a resposta em frequência do filtro foram mais significativos que os efeitos parasitas decorrentes do *layout* desenvolvido. Tais resultados ratificam os métodos adotados no desenvolvimento do *layout*, descritos no Capítulo V.

Também foi verificado que a faixa dinâmica do filtro ficou em torno de 80,12 dB. Tal faixa dinâmica corresponde, aproximadamente, ao que seria obtido com um filtro digital operando com palavras de 13 bits.

Por fim, verificou-se que o uso da técnica de capacitores chaveados permitiu a implementação do filtro em circuito integrado, o que dificilmente seria viável se fossem adotadas técnicas contínuas no tempo, tendo-se em vista que a banda passante do filtro está compreendida entre 10 e 30 kHz. Além disso, a técnica de capacitores chaveados permitiu a implementação precisa da resposta em frequência desejada, pois não foram verificadas alterações significativas na resposta em frequência do filtro quando os parâmetros de processo foram variados durante a simulação de Monte Carlo.

VII.2 - TRABALHOS FUTUROS

Conforme mencionado no Capítulo V, o filtro a capacitores chaveados projetado neste trabalho será fabricado a partir dos *layouts* desenvolvidos aqui. Uma vez que o circuito tenha sido fabricado, serão realizadas as medições experimentais para avaliar o desempenho do circuito real.

Juntamente com o filtro a capacitores chaveados, o sistema de detecção de amplitude também foi incluído no primeiro circuito integrado de teste — implementado através de um circuito detector de envoltória CMOS. Este circuito é necessário porque a informação da quantidade de bolhas criadas pelo efeito de cavitação está contida na amplitude do sinal fornecido pelo acelerômetro.

Uma vez tendo o circuito real funcionando satisfatoriamente, será desenvolvido o filtro *anti-aliasing*, contínuo no tempo, adotando-se a técnica OTA-C — onde o

circuito é composto por transcondutores, implementados através de OTA's, e capacitores — com um sistema de sintonia automática, para compensar as variações dos parâmetros de processo e de temperatura.

Portanto, o objetivo final do trabalho é construir um circuito integrado dedicado, para ser efetivamente empregado em usinas hidrelétricas, integrando um sistema de proteção contra os danos causados pelo efeito de cavitação.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] CALAINHO, J. A. L., GONÇALVES, C., HORTA, C. A., *et al.*, “Cavitação em Turbinas Hidráulicas do tipo Francis e Kaplan no Brasil”. In: *XV Seminário Nacional de Produção e Transmissão de Energia Elétrica (SNPTEE)*, Foz do Iguaçu, Paraná, Brasil, 17 - 22 Outubro 1999.
- [2] TSIVIDIS, Y. P., “Integrated continuous-time filter design - an overview”, *IEEE Journal of Solid-State Circuits*, v. 29, n. 3, pp. 166–176, March 1994.
- [3] JONHS, D., MARTIN, K., *Analog integrated circuit design*. John Wiley & Sons, 1997.
- [4] GREGORIAN, R., TEMES, G. C., *Analog MOS integrated circuits for signal processing*. John Wiley & Sons, 1986.
- [5] QUEIROZ, A. C. M. de, PINHEIRO, P. M., “Switched-current ladder band-pass filters”. In: *IEEE International Symposium on Circuits and Systems - ISCAS'94*, v. 5, pp. 309–312, 30 May - 02 June 1994.
- [6] HELFENSTEIN, M., MURALT, A., FISCHER, G., *et al.*, “SC and SI filters in baseband applications: a comparison”. In: *Proc. IEEE International Symposium on Circuits and Systems - ISCAS'97*, v. 1, pp. 297–300, Hong Kong, June 1997.
- [7] HUGHES, J. B., WORAPISHET, A., TOURNAZOU, C., “Switched-capacitors versus switched-currents: a theoretical comparison”. In: *Proc. IEEE International Symposium on Circuits and Systems - ISCAS'2000*, v. 2, pp. 409–412, Geneva, Switzerland, May 2000.
- [8] OPPENHEIM, A. V., SCHAFER, R. W., *Discrete-time signal processing*. New Jersey, Prentice Hall International, 1989.
- [9] MITRA, S. K., *Digital signal processing - a computer-based approach*. 2 ed. McGraw-Hill, 2002.
- [10] POSCHENRIEDER, W., “Frequenz filterung durch netzwerke mit periodis gesteuerten schaltern”. In: *Analys und Synthese von Netzwerken*, pp. 220–237, Tagungsheft, Stuttgart, 1966.

- [11] FRIED, D. L., “Analog sampled-data filters”, *IEEE Journal of Solid-State Circuits*, v. SC-7, pp. 302–304, August 1972.
- [12] CAVES, J. T., ROSENBAUM, S. D., COPELAND, M. A., *et al.*, “Sampled analog filtering using switched capacitors as resistor equivalents”, *IEEE Journal of Solid-State Circuits*, v. SC-12, n. 6, pp. 592–599, December 1977.
- [13] HOSTICKA, B. J., BRODERSON, R. W., GRAY, P. R., “MOS sampled data recursive filters using switched-capacitor integrators”, *IEEE Journal of Solid-State Circuits*, v. SC-12, n. 6, pp. 600–608, December 1977.
- [14] YOUNG, I. A., GRAY, P. R., HODGES, D. A., “Analog NMOS sampled-data recursive filters”. In: *IEEE International Symposium on Solid-State Circuits*, pp. 156–157, February 1977.
- [15] FISCHER, J. H., “Noise sources and calculation techniques for switched capacitor circuits”, *IEEE Journal of Solid-State Circuits*, v. SC-17, n. 4, pp. 742–752, August 1982.
- [16] RAZAVI, B., *Design of analog CMOS integrated circuits*. McGraw-Hill, 2001.
- [17] FLEISCHER, P. E., LAKER, K. R., “A family of active switched capacitor biquad building blocks”, *Bell System Technology Journal*, v. 58, pp. 2235–2269, December 1979.
- [18] DESOER, C. A., KUH, E. S., *Teoria básica de circuitos*. Rio de Janeiro, Guanabara, 1969.
- [19] MCNUTT, M. J., LEMARQUIS, S., DUNKLEY, J. L., “Systematic capacitance matching errors and corrective layout procedures”, *IEEE Journal of Solid-State Circuits*, v. 29, n. 5, pp. 611–616, May 1994.
- [20] SAINT, C., SAINT, J., *IC mask design: essential layout techniques*. McGraw-Hill, 2002.
- [21] TSIVIDIS, Y., *Mixed analog-digital VLSI devices and technology: an introduction*. McGraw-Hill, 1995.
- [22] GEIGER, R. L., SANCHEZ-SINENCIO, E., “Operational amplifier gain-bandwidth product effects on the performance of switched-capacitor networks”, *IEEE Transactions on Circuits and Systems*, v. CAS-29, n. 2, pp. 96–106, February 1982.

- [23] BARÚQUI, F. A. P., *Estruturas a capacitores chaveados de baixa sensibilidade para o processamento de sinais*. Tese de Doutorado, COPPE/UFRJ, Rio de Janeiro, RJ - Brasil, Junho 1999.
- [24] CHOKSI, O., CARLEY, L. R., “Analysis of switched-capacitor common-mode feedback circuit”, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, v. 50, n. 12, pp. 906–917, December 2003.
- [25] <http://www.cadence.com>.
- [26] MCCREARY, J. L., “Matching properties and voltage and temperature dependence of MOS capacitors”, *IEEE Journal of Solid-State Circuits*, v. SC-16, n. 6, pp. 608–616, December 1981.
- [27] WITHERSPOON, S. A., JR., J. C., “The analysis of balanced, linear differential circuits”, *IEEE Transactions on Education*, v. 38, n. 1, pp. 40–50, February 1995.
- [28] KINGET, P. R., “Device mismatch and tradeoffs in the design of analog circuits”, *IEEE Journal of Solid-State Circuits*, v. 40, n. 6, pp. 1212–1224, June 2005.
- [29] TSIVIDIS, Y. P., “Analysis of switched capacitive networks”, *IEEE Transactions on Circuits and Systems*, v. CAS-26, n. 11, pp. 935–946, November 1979.
- [30] MARTIN, K., “Improved circuits for the realization of switched-capacitor filters”, *IEEE Transactions on Circuits and Systems*, v. CAS-27, n. 4, pp. 237–244, April 1980.
- [31] SZENTIRMAI, G., TEMES, G. C., “Switched-capacitor building blocks”, *IEEE Transactions on Circuits and Systems*, v. CAS-27, n. 6, pp. 492–501, June 1980.
- [32] NELIN, B. D., “Analysis of switched-capacitor networks using general-purpose circuit simulation programs”, *IEEE Transactions on Circuits and Systems*, v. CAS-30, n. 1, pp. 43–48, January 1983.
- [33] FILORAMO, P., GIUSTOLISI, G., PALMISANO, G., *et al.*, “Approach to the design of low-voltage SC filters”, *IEE Proc. Circuits Devices Sys.*, v. 147, n. 3, pp. 196–200, June 2000.